

公告本

申請日期	90-06-12
案號	9014144
類別	H01L 21/842

A4
C4

535264

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	使溝渠電容增大所用之方法
	英文	METHOD TO INCREASE THE TRENCH CAPACITANCE
二、發明 創作人	姓名	1.克勞斯-迪特摩哈德(Dr.Klaus-Dieter Morhard) 2.伊瑞那史伯勒(Irene Sperl) 3.克勞斯朋納(Klaus Penner)
	國籍	1.德國 2.德國 3.德國
	住、居所	1.德國得勒斯登 01099 比休福斯沃達爾街 7 號 2.德國得勒斯登 01109 葡特普瑟路 10 號 3.德國奧登朵夫-歐克里拉 01458 埃斯宜路 1 號
三、申請人	姓名 (名稱)	印芬龍科技股份有限公司 Infineon Technologies AG
	國籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代表 姓名	麥可勾威什(Michael Gollwitzer) 荷斯特卻佛(Dr.Horst Schäfer)

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號：，☒有 ☐無主張優先權

德 2000 年 06 月 13 日 10029036.1

有關微生物已寄存於：，寄存日期：，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(2)

要求保持相同。此迄今唯一實際應用之可能性以解決此問題在於將溝渠電容提高。在這方面利用較薄節點電介質使用的可能性。當然，在此所顯示明顯的界限定，它藉由流經電介質的漏電流而被限制。

當此種深溝渠式電容器具有達到晶圓深處中之瓶形擴展部份時，則可達成較佳的結果。因而達成電容器表面明顯的擴大，並且因此達成電容的增加。當然，要實現此種瓶狀的擴展部份是相當的複雜，尤其同時必須確保，它至鄰近的記憶胞不會有短路發生，或是至鄰近的結構之絕緣充足，以便將漏電流保持在界限之內。

製造此種瓶狀深溝渠電容器可以藉由乾式或濕式蝕刻製程而實施具有以下之以節點電介質填滿被蝕刻之凹口與擴展部份。

由美國專利案 US 5891807 可以得知此種電容器之例子。在此情況下，首先蝕刻遮罩藉由抗蝕劑之曝光與顯影而產生，其結構然後藉由乾式蝕刻、像是反應性離子蝕刻、電漿蝕刻等轉移至 TEOS 與位於其下之氮化物層中，因而產生硬式遮罩。然後瓶狀溝渠藉由非均向性反應性離子蝕刻，在兩個步驟中製成。即，首先在上部區域中形成稍微傾斜的壁，並且在第二步驟中在結構的深處中實現瓶狀的擴展部份。因此對於兩個蝕刻步驟藉由反應性離子蝕刻而使用不同的配方或蝕刻參數。例如第二蝕刻步驟以相同的蝕刻氣體，然而改變晶圓之表面溫度或降低蝕刻室內部之壓力而實施。

五、發明說明(3)

在每一個情況中所成問題的是參數準確地確定，並且尤其是蝕刻終止參數之確定，以確保其超過預設之蝕刻深度。還有重要的是要確定此瓶狀擴展部份何時必須終止之時間點。

當第二蝕刻步驟太早停止時，則不能達成將電容足夠地增加。若此第二步驟太遲終止，則存在此危險，它至鄰近的溝渠或主動區不再存在足夠的絕緣，因此必須預期漏電之增加。

此外其顯示，在乾式蝕刻製程的使用中必須預期各個記憶胞故障率的提高。

此用於製造深溝渠式電容器之一般之標準製程，包括在製造硬式遮罩的作業步驟之後，將矽蝕刻至 8 微米 (μm) 的深度以便形成溝渠，並且然後在溝渠中均勻地沈積砷玻璃。接著此溝渠以光阻劑填滿並且將光阻劑一直蝕刻 1 至 2 微米 (μm) 的深度。隨後將砷玻璃選擇性地對光阻劑蝕刻，並且將存留在溝渠中的光阻劑灰化。爲了產生 n^+ 摻雜基板，而將砷由在基板周圍中的砷玻璃去除，並且將在溝渠中的砷玻璃藉由蝕刻去除。最後，藉由在溝渠中沈積節點電介質以及沈積 n^+ - 多晶矽而製成深溝渠式電容器。

本發明以此目的爲基礎，其設立一種方法以提高溝渠電容，其操作可靠，並且以它可以以少許的費用而達成溝渠電容至少提高 15-20%。

本發明的目的是在一開始所提到特性的方法中以以下的方式達成：在將砷玻璃蝕刻後實施濕性化學蝕刻，其中此

五、發明說明(6)

7.....瓶形擴展部份

8.....節點電介質

9..... n^+ -摻雜多晶矽

四、中文發明摘要(發明之名稱： 使溝渠電容增大所用之方法)

本發明是有關於一種方法以增大在深溝渠式電容器中之溝渠電容，其中在標準的方法中，在砷玻璃蝕刻之後，另外實施濕性化學蝕刻，其中此經由去除砷玻璃所產生的 n^+ -摻雜基板在溝渠中，不但選擇性地對低摻雜基板的部份，而且選擇性地對氧化物層以及對氮化物層擴大約 20 奈米 (nm)。

(第 3 圖)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

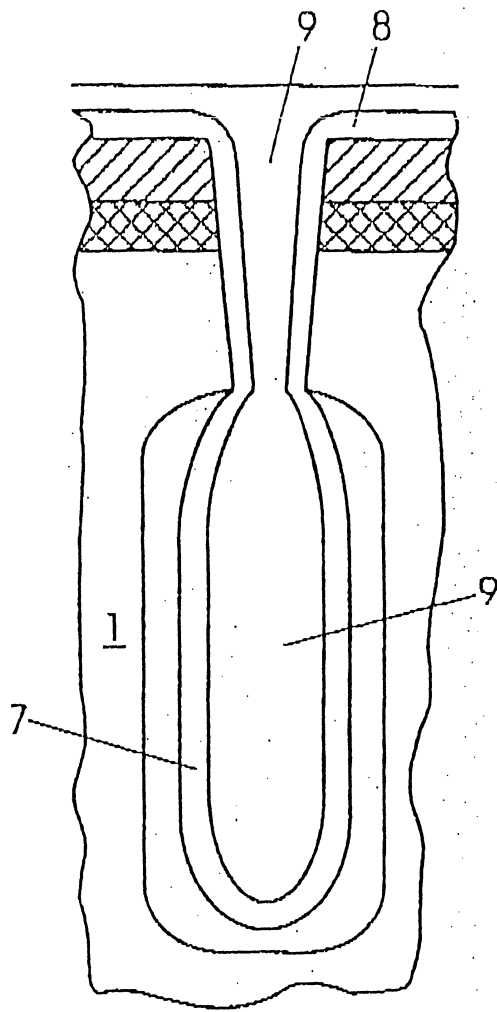
訂

英文發明摘要(發明之名稱：

METHOD TO INCREASE THE
TRENCH CAPACITANCE)

The present invention relates to a method to increase the trench capacitance in the deep-trench-capacitor, wherein, in the standard method after etching the arsenic glass execute an additional wet chemical etching, in which the n^+ -doped substrate produced through the removal of the arsenic glass selectively expands in the trench not only to the low-doped substrate (portion), but also to the oxide-layer and nitride-layer at around 20 nm.

Fig. 3



第 4 圖

92年2月19日

五、發明說明(1)

本發明是有關於一種方法以增大在半導體元件中作為記憶體元件之深溝渠式電容器中器之溝渠電容，此記憶體元件具有到達晶圓深處之瓶狀擴展部份，其中在矽基板上形成氧化物層，並且在氧化物層上形成氮化物層，並且在其中經由預先設置之微影術步驟中形成硬式遮罩，其洞孔決定所形成溝渠的位置，其中接著將矽蝕刻一直到達第一深度，以便形成溝渠，並且然後在溝渠中均勻地實施砷玻璃之沈積，接著進行以下之步驟：將溝渠以光阻劑填滿，將此光阻劑蝕刻一直到達第二較小的深度，將砷玻璃的砷對光阻劑作選擇性的蝕刻，對在溝渠中所有留的光阻劑實施灰化處理，由砷玻璃中將砷排出而至所圍繞之基板中，因此產生 n^+ 摻雜基板，以及實施砷玻璃之蝕刻，與在溝渠中沈積節點電介質，並且實施 n^+ 多晶矽之沈積。

記憶體元件通常以電容器實施，以它可以實現特別小的結構尺寸。然而此種電容器必須滿足不同的需求。除了須達到足夠的電容外，尤其還要有長時間儲存資訊的能力，即，資訊保持時間應該儘可能的長。因此必須確保儘可能小或沒有漏電流向鄰近的半導體結構。從新的揭示元件中而為熟知，將此種記憶胞以深溝渠電容器實施。此種電容器具有相當小的電容，隨著結構寬度進一步的減少，電容同樣地下降。然而較小的電容會加劇已提到的問題，這特別是由於資料保存時間，即，電荷保持時間較少的緣故。

然而在 DRAM 的發展中顯示，每一個結構尺寸的縮小(收縮)，亦導致資料保持時間的惡化(減少)。然而對產品的

五、發明說明(4)

藉由去除砷玻璃而產生之 n' -摻雜基板不但選擇性地對低摻雜的基板，而且對氧化物層與對氮化物層擴展。

以此方法一方面達成方法可靠性基本上的提高，因為經由此 n' 高摻雜區之選擇性之蝕刻，而可靠地避免了其至鄰近主動區或電晶體之短路(Short)，並且另一方面藉由此容易實施之方法而達成溝渠電容明顯提高大約 15~20%。

對於濕性化學蝕刻較佳使用多晶矽蝕刻劑，其由濃縮之硝酸與濃縮之氫氟酸所構成的混合物所製成。此溝渠較佳蝕刻到至少 8 微米(μm)的深度，此光阻劑蝕刻到至少 2 微米(μm)的深度並去除。此濕性化學蝕刻之溝渠擴展部份大約實施 20 奈米(nm)。

爲了進一步改善(蝕刻)選擇性，此多晶矽蝕刻劑可以由磷酸及／或醋酸混合製成。

本發明以下在實施例上，以最基本的方法步驟作進一步說明。

圖式之簡單說明

第 1 圖是具有硬式遮罩之矽基板。

第 2,3 圖是根據第 1 圖在達到完全蝕刻深度後之溝渠，其具有在矽基板中形成之 n' -高摻雜區。

第 4 圖是所製成之溝渠電容器，其具有瓶狀的擴散區。

由第 1 圖明顯地是 Si 基板 1，其中在預備步驟中塗佈氧化物層 2 與在此之上的氮化物層 3，在其中借助於一般的微影術產生具有孔 4 的所謂硬式遮罩。此孔 4 在仍待說明之以下蝕刻步驟中作爲蝕刻遮罩。此外，在此矽基板上可

五、發明說明(5)

以存在其他的中間層，例如 ARC 層，即抗反射層。

然後可以將溝渠 5 打開至大大約 8 微米 (μm) 的深度，因此然後在下部中藉由埋入板之擴散可以產生作為 n^+ -高摻雜區 6 (第 3 圖)。此埋入板 6 在矽基板 1 中可以達到 2 微米 (μm) 至 8 微米的深度。

在其他的蝕刻步驟中，其此時作為濕性蝕刻步驟實施，可以在 n^+ -高摻雜區 6 中選擇性地對氧化物層 2 以及對氮化物層 3 蝕刻。對此一種由濃縮硝酸與濃縮氫氟酸的混合物所構成多晶矽蝕刻劑為適合。當此多晶矽蝕刻劑是由磷酸及／或醋酸混合而成時，則達成(蝕刻)選擇性進一步的改善。

以此濕性蝕刻步驟，在溝渠 5 之下部區域中得到大約 20 奈米 (nm) 的瓶狀擴展部份 7。此導致溝渠式電容器之電容所欲增加之大約 15~20%。

在形成瓶狀擴展部份 7 後，首先經由沈積節點電介質 8，然後將溝渠 5 以 n^+ -多晶矽 9 填滿，而製成此溝渠電容器。

符號之說明

- 1.....矽基板
- 2.....氧化物層
- 3.....氮化物層
- 4.....孔
- 5.....溝渠
- 6..... n^+ -高摻雜區

六、申請專利範圍

第 90114144 號「使溝渠電容增大所用之方法」專利案申
(92 年 2 月修正)

六 申請專利範圍：

1. 一種在半導體元件中作為記憶體元件之深溝渠式電容器中使溝渠電容增大所用之方法，其具有到達晶圓深處中之擴展部份，其中在矽基板上有氧化物層以及在其上之氮化物層，且藉由預先設置的微影步驟形成硬化遮罩，其孔決定溝渠形成之位置，其中此矽然後被蝕刻一直至第一深度，以便形成溝渠，並且隨後在溝渠中均勻地沈積砷玻璃，並且其後的步驟為：以光阻劑填滿溝渠，將此光阻劑蝕刻至一第二較小的深度，將砷玻璃選擇性地對光阻劑蝕刻，將在溝渠中所有存留的光阻劑灰化，將砷從砷玻璃中排出而至周圍的基板中，因此產生 n^+ -摻雜基板，以及蝕刻砷玻璃並且在溝渠中沈積節點電介質並且實施 n^+ 多晶矽之沈積，其特徵為

在砷玻璃之蝕刻之後實施濕性化學蝕刻，其中藉由去除砷玻璃而產生之 n^+ -摻雜基板不但選擇性地對低摻雜基板，而且選擇性地對氧化物層以及氮化物層擴展。

2. 如申請專利範圍第 1 項之方法，其中

濕性化學蝕刻以一種多晶矽蝕刻劑實施。

3. 如申請專利範圍第 2 項之方法，其中

六、申請專利範圍

此多晶矽蝕刻劑是由濃縮的硝酸與濃縮的氫氟酸的混合物所構成。

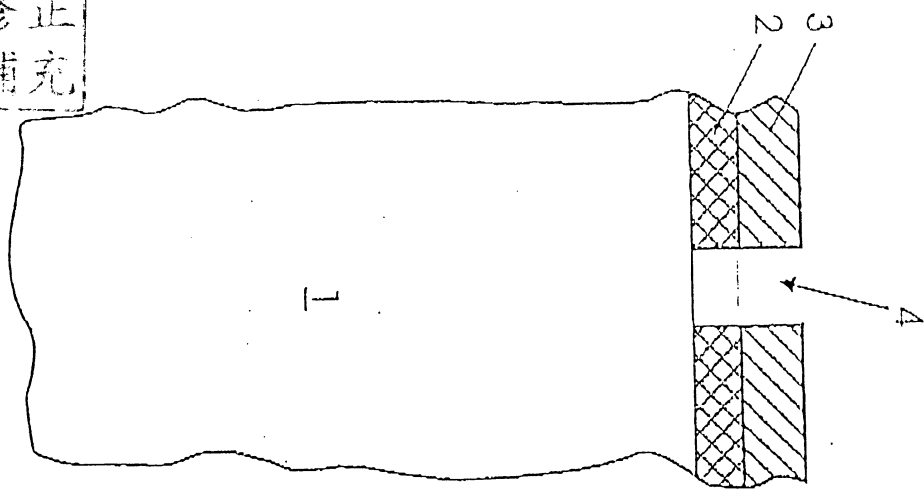
4. 如申請專利範圍第 2 或 3 項之方法，其中

此多晶矽蝕刻劑是由磷酸及／或醋酸混合而成。

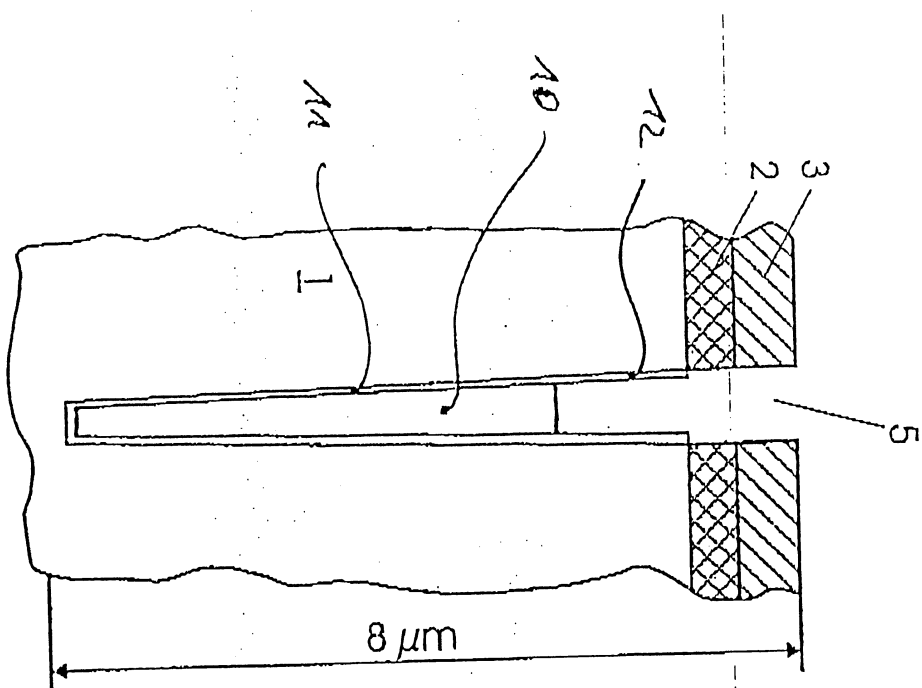
5. 如申請專利範圍第 1 至 3 項中任一項之方法，其中

第一深度至少是 8 微米 (μm)，並且第二深度至少是 2 微米 (μm)。

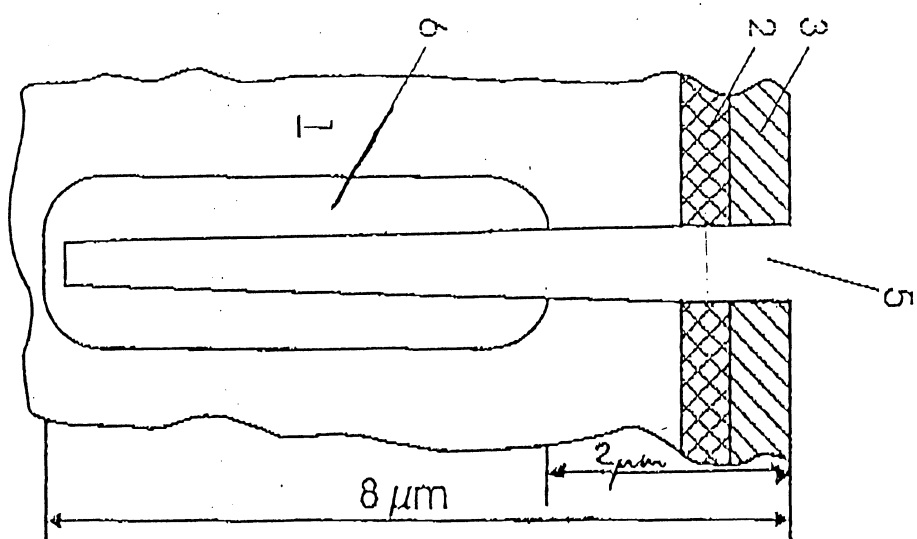
6. 如申請專利範圍第 1 至 3 項中任一項之方法，其中藉由濕性化學蝕刻，此 n^+ -摻雜基板大約擴展 20 奈米 (nm)。



第1圖



第2圖



第3圖