(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년12월17일
(11) 등록번호 10-1474028
(24) 등록일자 2014년12월11일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
H01L 29/06 (2006.01) *H01L 29/786* (2006.01)
(21) 출원번호 10-2008-7026973
(22) 출원일자(국제) 2007년04월03일
심사청구일자 2012년03월20일
(85) 번역문제출일자 2008년11월03일
(65) 공개번호 10-2009-0005149
(43) 공개일자 2009년01월12일
(86) 국제출원번호 PCT/US2007/008400
(87) 국제공개번호 WO 2007/114927
국제공개일자 2007년10월11일
(30) 우선권주장
11/397,358 2006년04월04일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
JP05198817 A*
JP10229175 A*
JP06053513 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
마이크론 테크놀로지, 인크.
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
(72) 발명자
포베스, 레오나르드
미국 97330 오레곤주 코밸리스 노쓰웨스트 마운틴 뷰 드라이브 7340
(74) 대리인
양영준, 백만기

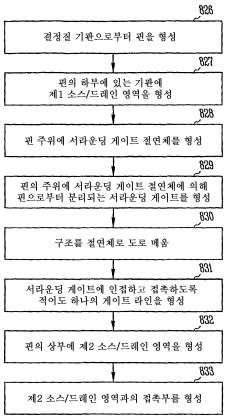
전체 청구항 수 : 총 21 항 심사관 : 김영진

(54) 발명의 명칭 **에칭된 나노핀 트랜지스터**

(57) 요 약

본 발명의 기술 요지의 일특징은 트랜지스터 형성 방법에 관한 것이다. 실시예에 따르면, 결정질 기판으로부터 핀(fin)이 형성된다. 핀 아래의 기판에는 제1 소스/드레인 영역이 형성된다. 핀의 주위에는 서라운딩 게이트 절연체가 형성된다. 또한, 핀의 주위에 서라운딩 게이트 절연체에 의해 핀으로부터 분리되는 서라운딩 게이트가 형성된다. 핀의 상부(top portion)에는 제2 소스/드레인 영역이 형성된다. 본 발명의 여러 실시예는 기판 위의 층에 구멍을 에칭하고, 구멍 내에 측벽 스페이서를 형성하며, 측벽 스페이서로부터 핀 패턴을 형성하며, 핀 패턴에 대응하는 마스크를 이용하여 기판으로부터 핀을 형성하기 위해 결정질 기판 내로 에칭한다. 본 명세서에서는 다른 특징 또한 제공된다.

대 표 도 - 도8



(30) 우선권주장
11/397,406 2006년04월04일 미국(US)
11/397,413 2006년04월04일 미국(US)
11/397,430 2006년04월04일 미국(US)
11/397,527 2006년04월04일 미국(US)

특허청구의 범위

청구항 1

트랜지스터를 형성하는 방법으로서,

결정질 기판으로부터 핀(fin)을 형성하는 단계 - 상기 핀을 형성하는 단계는,

상기 결정질 기판에 재료를 퇴적하는 단계;

최소 피처 길이(minimum feature length)를 갖는 마스크 패턴을 형성하고, 상기 마스크 패턴을 이용하여 상기 재료를 에칭하여 상기 재료 내에 적어도 두개의 구멍을 형성하는 단계 - 상기 재료는 상기 적어도 두개의 구멍 각각을 둘러싸고 상기 적어도 두개의 구멍 각각을 형성하는 측벽들을 제공하고, 상기 적어도 두개의 구멍 각각의 폭은 하나의 최소 피처 길이이고, 상기 적어도 두개의 구멍은 하나의 최소 피처 길이만큼 분리됨 -;

상기 구멍들을 둘러싸고 상기 구멍들을 형성하는 상기 측벽들 각각 상에 측벽 스페이서들을 형성하는 단계;

상기 측벽 스페이서들을 형성한 후에, 상기 측벽 스페이서들로부터 핀 패턴을 형성하는 단계 - 상기 핀 패턴을 형성하는 단계는 측벽 스페이서들의 어레이를 형성하는 단계를 포함하고, 상기 어레이의 제1 행 및 상기 어레이의 인접하는 제2 행은 상기 최소 피처 길이에서 상기 핀의 두께를 뺀 중심간 간격(center-to-center spacing)을 가지며, 상기 제2 행 및 상기 어레이의 인접하는 제3 행은 상기 최소 피처 길이에 상기 핀의 두께를 더한 중심간 간격을 가짐 -; 및

상기 핀 패턴을 형성한 후에, 상기 핀 패턴을 마스크로 이용하여 상기 결정질 기판으로부터 상기 핀을 에칭하는 단계를 포함함 -;

상기 핀 아래의 상기 기판에 제1 소스/드레인 영역을 형성하는 단계;

상기 핀의 주위에 서라운딩 게이트 절연체(surrounding gate insulator)를 형성하는 단계;

상기 핀의 주위에 상기 서라운딩 게이트 절연체에 의해 상기 핀으로부터 분리되는 서라운딩 게이트를 형성하는 단계; 및

상기 핀의 상부(top portion)에 제2 소스/드레인 영역을 형성하는 단계

를 포함하고,

상기 핀은 상기 최소 피처 길이에 대응하는 제1 방향의 단면 두께 및 상기 제1 방향에 수직인 제2 방향으로 상기 최소 피처 길이보다 작은 단면 두께를 갖는 트랜지스터 형성 방법.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 결정질 기판으로부터 핀을 형성하는 단계는, 결정질 실리콘 기판으로부터 핀을 형성하는 단계를 포함하는 트랜지스터 형성 방법.

청구항 4

제1항에 있어서, 상기 결정질 기판으로부터 핀을 형성하는 단계는, 상기 결정질 기판을 에칭하여 상기 핀을 형성하는 단계를 포함하는 트랜지스터 형성 방법.

청구항 5

제1항에 있어서, 상기 핀 아래의 상기 기판에 제1 소스/드레인 영역을 형성하는 단계는, 상기 기판에 인접한 트렌치에 도펀트(dopant)를 주입하는 단계와, 상기 도펀트를 상기 핀 아래로 확산시키는 단계를 포함하는 트랜지스터 형성 방법.

청구항 6

제5항에 있어서, 상기 확산시키는 단계는, 상기 도펀트를 상기 핀의 하부 내로 확산시키는 단계를 포함하는 트랜지스터 형성 방법.

청구항 7

제1항에 있어서, 상기 서라운딩 게이트 절연체를 형성하는 단계는, 실리콘 산화물을 형성하는 단계를 포함하는 트랜지스터 형성 방법.

청구항 8

제1항에 있어서, 상기 서라운딩 게이트를 형성하는 단계는, 폴리실리콘 게이트를 형성하는 단계를 포함하는 트랜지스터 형성 방법.

청구항 9

제1항에 있어서, 상기 서라운딩 게이트가 상기 핀의 높이보다 낮은 높이를 갖도록 상기 서라운딩 게이트를 리세스하는 단계를 더 포함하는 트랜지스터 형성 방법.

청구항 10

제1항에 있어서, 상기 서라운딩 게이트에 인접하고 접촉하는 게이트 접촉부를 형성하는 단계를 더 포함하는 트랜지스터 형성 방법.

청구항 11

제1항에 있어서, 상기 서라운딩 게이트에 인접하고 접촉하는 적어도 하나의 게이트 라인을 형성하는 단계를 더 포함하는 트랜지스터 형성 방법.

청구항 12

제11항에 있어서, 상기 서라운딩 게이트에 인접하고 접촉하는 적어도 하나의 게이트 라인을 형성하는 단계는, 상기 서라운딩 게이트의 제1 측면에 인접하고 접촉하는 제1 게이트 라인과, 상기 서라운딩 게이트의 제2 측면에 인접하고 접촉하는 제2 게이트 라인을 형성하는 단계를 포함하며, 상기 제1 측면과 상기 제2 측면은 상기 핀의 대향 면들 상에 위치되는 트랜지스터 형성 방법.

청구항 13

제11항에 있어서, 상기 핀은 단변 및 장변을 갖는 직사각형의 풋프린트(footprint)를 가지며, 상기 서라운딩 게이트에 인접하고 접촉하는 적어도 하나의 게이트 라인을 형성하는 단계는, 상기 장변 상의 상기 서라운딩 게이트에 접촉하도록 게이트 라인을 형성하는 단계를 포함하는 트랜지스터 형성 방법.

청구항 14

제11항에 있어서, 상기 핀은 단변 및 장변을 갖는 직사각형의 풋프린트를 가지며, 상기 서라운딩 게이트에 인접하고 접촉하는 적어도 하나의 게이트 라인을 형성하는 단계는, 상기 단변 상의 상기 서라운딩 게이트에 접촉하도록 게이트 라인을 형성하는 단계를 포함하는 트랜지스터 형성 방법.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

트랜지스터들의 어레이를 형성하는 방법으로서,

실리콘 웨이퍼 상에 질화물층을 형성하는 단계;

상기 질화물층 상에 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층에 적어도 하나의 구멍을 패터닝하고 에칭하는 단계;

상기 비정질 실리콘층을 산화시켜, 상기 비정질 실리콘층의 상기 구멍의 측벽들 상에 산화물 측벽 스페이서들을 형성하는 단계;

상기 비정질 실리콘층을 산화시킨 후에, 상기 구멍을 비정질 실리콘으로 다시 메우는 단계;

상기 구멍을 비정질 실리콘으로 다시 메운 후에, 상기 산화물 측벽 스페이서들의 상부 표면을 노출시키도록 평탄화하는 단계;

평탄화한 후에, 상기 산화물 측벽 스페이서들을 산화물의 핀 패턴으로 패터닝하고 에칭하는 단계;

상기 산화물 측벽 스페이서들을 패터닝하고 에칭한 후에, 상기 비정질 실리콘을 제거하는 단계;

상기 비정질 실리콘을 제거한 후에, 상기 산화물 측벽 스페이서들의 핀 패턴 아래에 질화물의 핀 패턴이 잔류되도록 상기 질화물층을 에칭하는 단계;

상기 실리콘 웨이퍼로부터 실리콘 핀들을 에칭하기 위해, 상기 질화물의 핀 패턴을 마스크로 이용하여, 상기 실리콘 웨이퍼를 에칭하는 단계 - 상기 실리콘 핀들의 제1 방향의 단면 두께는 최소 피처 길이에 대응하고, 상기 실리콘 핀들의 상기 제1 방향에 수직인 제2 방향의 단면 두께는 상기 최소 피처 길이보다 작고, 상기 제1 방향 및 상기 제2 방향은 상기 실리콘 웨이퍼의 표면에 평행함 -;

상기 실리콘 웨이퍼의 에칭된 상기 실리콘 핀들 아래에 도전 라인을 형성하기 위해 도펀트를 주입하고 상기 도펀트를 확산시켜, 상기 도펀트가 상기 실리콘 핀들을 위한 제1 소스/드레인 영역들을 제공하도록 하는 단계;

상기 실리콘 핀들 상에 서라운딩 게이트 절연체를 형성하는 단계;

상기 실리콘 핀들의 주위에 상기 서라운딩 게이트 절연체에 의해 상기 실리콘 핀들로부터 분리되는 서라운딩 게이트를 형성하는 단계;

상기 어레이 내의 인접한 트랜지스터들을 위해 상기 서라운딩 게이트들에 인접하고 접촉하는 게이트 라인들을 형성하는 단계; 및

상기 실리콘 핀들을 위한 제2 소스/드레인 영역들을 형성하는 단계

를 포함하고,

상기 핀은 최소 피처 길이에 대응하는 제1 방향의 단면 두께 및 상기 제1 방향에 수직인 제2 방향으로 상기 최소 피처 길이보다 작은 단면 두께를 갖는 트랜지스터 어레이 형성 방법.

청구항 23

제22항에 있어서, 상기 서라운딩 게이트 절연체를 형성하는 단계는, 상기 실리콘 웨이퍼로부터 에칭된 실리콘

핀을 열산화시키는 단계를 포함하는 트랜지스터 어레이 형성 방법.

청구항 24

제22항에 있어서, 상기 서라운딩 게이트를 형성하는 단계는, 폴리실리콘 게이트를 형성하는 단계를 포함하는 트랜지스터 어레이 형성 방법.

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

반도체 구조물로서,

열들과 행들로 배열된 트랜지스터들의 어레이

를 포함하며,

각각의 트랜지스터는 제1 소스/드레인 영역, 상기 제1 소스/드레인 영역 위의 제2 소스/드레인 영역, 및 상기 제1 소스/드레인 영역과 상기 제2 소스/드레인 영역 사이의 수직 방향의 채널 영역을 포함하고, 상기 채널 영역은 최소 피처 크기에 대응하는 제1 방향의 단면 두께 및 상기 제1 방향에 수직인 제2 방향으로 상기 최소 피처 크기보다 작은 단면 두께를 갖는 결정질 반도체 핀(fin)에 형성되며, 상기 핀은 상기 핀을 형성하기 위해 트렌치들을 에칭함으로써 결정질 웨이퍼로부터 형성되고,

각각의 상기 트랜지스터는 상기 핀의 주위에 형성된 게이트 절연체, 및 상기 핀의 주위에 형성되고 상기 게이트 절연체에 의해 상기 핀으로부터 분리되는 서라운딩 게이트를 더 포함하고, 제1 행 및 인접한 제2 행은 최소 피처 크기 거리(F)에서 상기 핀의 두께를 뺀 중심간 간격을 가지며, 상기 제2 행 및 인접하는 제3 행은 상기 최소 피처 크기 거리(F)에 상기 핀의 두께를 더한 중심간 간격을 갖는 반도체 구조물.

청구항 37

제36항에 있어서, 상기 서라운딩 게이트와 접촉하도록 상기 핀들을 따른 적어도 하나의 게이트 라인을 더 포함하는 반도체 구조물.

청구항 38

제37항에 있어서, 상기 핀은 장변 및 단변을 갖는 직사각 단면을 가지며, 상기 적어도 하나의 게이트 라인은 상기 장변 상의 상기 서라운딩 게이트와 접촉하는 반도체 구조물.

청구항 39

제37항에 있어서, 상기 핀은 장변 및 단변을 갖는 직사각 단면을 가지며, 상기 적어도 하나의 게이트 라인은 상기 단변 상의 상기 서라운딩 게이트와 접촉하는 반도체 구조물.

청구항 40

제37항에 있어서, 상기 적어도 하나의 게이트 라인은 상기 핀들의 대향 면들 상에 있는 2개의 게이트 라인을 포함하는 반도체 구조물.

청구항 41

삭제

명 세 서

기 술 분 야

[0001] 관련 출원의 상호 참조

[0002] 본 출원은 "Nanowire Transistor With Surrounding Gate"를 발명의 명칭으로 하여 2006년 4월 4일자 출원된 미국 특허 출원 번호 11/397,527호와, "Grown Nanofin Transistors"를 발명의 명칭으로 하여 동일자 출원된 미국 특허 출원 번호 11/397,430호와, "DRAM With Nanofin Transistors"를 발명의 명칭으로 하여 동일자 출원된 미국 특허 출원 번호 11/397,413호와, "Tunneling Transistor With Sublithographic Channel"을 발명의 명칭으로 하여 동일자 출원된 미국 특허 출원 번호 11/397,406호를 우선권으로 주장하며, 상기 특허 출원들은 본 발명의 일부로서 본 명세서에 원용되어 있다.

[0003] 본 발명은 일반적으로 반도체 소자에 관한 것으로, 보다 구체적으로는 나노핀 트랜지스터에 관한 것이다.

배 경 기 술

[0004] 반도체 산업은 트랜지스터와 같은 소자의 크기를 감소시켜 기판 상의 소자 밀도를 증가시키고자 하는 시장 요구를 갖는다. 일부 제품에서는 소비 전력을 낮추고, 성능을 높이며, 크기를 소형화하는 것을 목표로 하고 있다. 도 1은 k의 비율로 크기를 축소한 다양한 소자 파라미터에 대한 전반적인 추세 및 관계를 예시하고 있다. MOSFET 기술을 채널 길이가 0.1㎛(100㎚ 또는 1000Å) 미만인 깊은 서브미크론 영역까지 지속적으로 축소시키는 것은 종래의 트랜지스터 구조에서 커다란 문제점을 초래한다. 예컨대, 접합 깊이는 채널 길이보다 상당히 적어야 한다. 그러므로, 도 1에 예시된 트랜지스터(100)를 참조하면, 접합 깊이(101)는 대략 1000Å 길이인 채널 길이(102)에 대하여 수 백 Å 정도가 되어야 한다. 이러한 얕은 접합은 종래의 주입 및 확산 기술에 의한 형성을 어렵게 한다. 드레인 유기 배리어 강하(drain induced barrier lowering), 임계 전압 롤오프(threshold voltage roll off), 및 임계치 이하 전도(sub-threshold conduction) 등의 단채널 효과(short-channel effect)를 억제하기 위해 극히 높은 레벨의 채널 도핑이 요구된다. 임계치 이하 전도는 커패시터 셀에서의 전하 저장 유지 시간(charge storage retention time)을 감소시키기 때문에 DRAM 기술에서는 특히 문제가 된다. 이러한 극히 높은 도핑 레벨은 누설(leakage)을 증가시키고 캐리어 이동도를 감소시키는 결과를 초래한다. 그러므

로, 채널을 더 짧게 함으로써 얻어질 것으로 예상되는 성능의 향상은 도핑 농도가 높아짐에 따른 캐리어 이동도의 저하 및 누설의 증가에 의해 상쇄된다.

[0005] 누설 전류는 저전압 및 저전력 배터리-작동 CMOS 회로 및 시스템과, 특히 DRAM 회로에서 커다란 문제가 된다. 현저한 오버드라이브(overdrive) 및 합리적인 스위칭 속도를 달성하기 위해서는 임계 전압의 크기가 작아야 할 것이다. 그러나, 도 2에 예시된 바와 같이, 작은 임계치는 비교적 큰 임계치 이하 누설 전류(sub-threshold leakage current)를 야기한다.

[0006] 이 문제점을 해소하기 위해 제안된 일부 설계는, 초박막 바디를 갖는 트랜지스터, 또는 다른 트랜지스터 치수가 축소될 때에 표면 공간 전하 영역이 축소되는 트랜지스터를 사용한다. 트랜지스터를 축소하기 위해 듀얼-게이트 또는 더블-게이트 트랜지스터 구조가 제안되어 있다. 본 기술의 산업에서 흔히 사용되는 바와 같이, "듀얼-게이트"는 별도의 독립 전압으로 구동될 수 있는 프론트 게이트와 백 게이트를 갖는 트랜지스터를 지칭하며, "더블-게이트"는 양쪽의 게이트가 동일 전위로 구동되는 구조를 지칭한다. 더블-게이트 소자 구조의 예로는 FinFET가 있다. 또한, "트리게이트(TriGate)" 구조 및 서라운딩 게이트 구조(surrounding gate structure)도 제안되어 있다. "트리게이트" 구조에서, 게이트는 채널의 3개의 측면 상에 존재한다. 서라운딩 게이트 구조에서, 게이트는 트랜지스터 채널을 둘러싼다. 서라운딩 게이트 구조는 트랜지스터 채널에 걸쳐 바람직한 제어를 제공하지만, 그 구조는 실제로 실현하기가 용이하지 않다.

[0007] 도 3은 드레인, 소스, 및 게이트 절연체에 의해 반도체 바디로부터 분리된 프론트 게이트와 백 게이트를 갖는 듀얼-게이트 MOSFET를 예시하고 있으며, 또한 드레인에 의해 생성된 전계를 예시하고 있다. 듀얼-게이트 및/또는 더블-게이트 MOSFET의 일부 특성은, 싱글 게이트에 비해 2개의 게이트가 채널의 소스단(source-end)으로부터 드레인 전극에 의해 생성된 전계를 더욱 우수하게 차단하기 때문에, 종래의 벌크 실리콘 MOSFET 보다 우수하다. 서라운딩 게이트는 또한 소스로부터 드레인 전극에 의해 생성된 전계를 차단한다. 그러므로, 듀얼-게이트 및/또는 더블-게이트 MOSFET가 턴오프될 때에 게이트 접압이 감소되는 것보다 더욱 신속하게 임계치 이하 전류가 감소되기 때문에, 임계치 이하 누설 전류 특성이 향상된다. 도 4는 듀얼-게이트, 더블-게이트, 또는 서라운딩 게이트 MOSFET의 향상된 임계치 이하 특성을 종래의 벌크 실리콘 MOSFET의 임계치 이하 특성과 비교하여 전반적으로 예시하고 있다.

[0008] 도 5a 내지 도 5c는 종래의 FinFET를 예시하는 도면이다. 도 5a는 FinFET의 평면도를 예시하고 있으며, 도 5b는 라인 5B-5B를 따라 절취한 FinFET의 단면도를 예시하고 있다. 예시된 FinFET(503)는 제1 소스/드레인 영역(504), 제2 소스/드레인 영역(505), 및 제1 소스/드레인 영역과 제2 소스/드레인 영역 사이에 연장하는 실리콘 핀(silicon fin)(506)을 포함한다. 실리콘 핀은 트랜지스터 바디로서 기능하며, 여기서 제1 소스/드레인 영역과 제2 소스/드레인 영역 사이의 채널이 수평을 이루고 있다. 핀 위에는 실리콘 산화물 등의 게이트 절연체(507)가 형성되고, 핀 위에 산화물이 형성된 후에 그 위에 게이트(508)가 형성된다. 예시된 종래의 FinFET의 핀은 매립 산화물(509) 위에 형성된다. 도 5c는 FinFET의 핀을 제조하기 위한 종래의 에칭 기술을 예시하고 있다. 도 5c에 예시된 바와 같이, 핀 폭은 포토리소그래피 또는 e-빔 리소그래피 및 에칭에 의해 정해진다. 그러므로, 핀 폭은 최초에는 최소 피처 크기(minimum feature size)(1F)가 된다. 그 후, 핀의 폭은 화살표(510)로 나타낸 바와 같이 산화 또는 에칭에 의해 감소된다.

발명의 상세한 설명

[0009] 본 발명의 기술 요지의 특징은, 초박막 나노핀을 웨이퍼 내로 에칭하기 위해 측벽 스페이서 기술을 이용하고, 이들 에칭된 나노핀을 사용하여 서라운딩 게이트를 갖는 나노핀 트랜지스터를 제조한다. 본 발명의 여러 실시예는 실리콘 기판 내에 실리콘 나노핀을 에칭한다. 실리콘 나노핀은 트랜지스터의 바디의 두께와 채널 길이가 모두 리소그래피 치수(lithographic dimension)보다 작은 치수를 갖는 CMOS 트랜지스터의 바디 영역으로서 사용된다. 예컨대, 일부 실시예는 20 내지 50nm 정도의 두께를 갖는 초박막 나노핀을 제공한다.

[0010] 본 발명의 일 형태는 트랜지스터 형성 방법에 관련된다. 실시예에 따르면, 결정질 기판으로부터 핀(fin)이 형성된다. 핀 아래의 기판에는 제1 소스/드레인 영역이 형성된다. 핀의 주위에는 서라운딩 게이트 절연체가 형성된다. 또한, 핀의 주위에는 서라운딩 게이트 절연체에 의해 핀으로부터 분리되는 서라운딩 게이트가 형성된다. 핀의 상부(top portion)에는 제2 소스/드레인 영역이 형성된다. 본 발명의 여러 실시예는 기판 위의 층에 구멍을 에칭하고, 구멍 내에 측벽 스페이서를 형성하며, 측벽 스페이서로부터 핀 패턴을 형성하며, 핀 패턴에 대응하는 마스크를 이용하여 기판으로부터 핀을 형성하도록 결정질 기판 내로 에칭한다.

[0011] 본 발명의 다른 형태는 트랜지스터에 관련된다. 본 발명의 실시예에 따른 트랜지스터는, 기판으로부터 결정질

반도체 핀(fin)을 형성하기 위해 트렌치가 에칭되어 있는 결정질 기판과, 핀의 하부에서 결정질 기판에 형성된 제1 소스/드레인 영역, 및 제1 소스/드레인 영역과의 사이의 핀에 수직 방향의 채널 영역을 형성하기 위해 핀의 상부에 형성된 제2 소스/드레인 영역을 포함한다. 또한, 상기 트랜지스터는, 핀의 주위에 형성된 게이트 절연체와, 핀의 주위에 형성되고 게이트 절연체에 의해 핀으로부터 분리된 서라운딩 게이트를 포함한다. 핀은 최소 피처 크기보다 작은 단면 치수를 갖는다.

[0012] 이러한 본 발명의 형태 및 다른 형태, 실시예, 장점, 및 특징적 구조는 이하의 본 발명의 기술 요지에 대한 상세한 설명 및 첨부 도면으로부터 더욱 명확하게 이해될 수 있을 것이다.

실 시 예

[0025] 이하의 상세한 설명에서는 본 발명의 기술 요지가 실시될 수 있는 구체적인 형태 및 실시예를 예시를 목적으로 도시하고 있는 첨부 도면을 참조한다. 이들 실시예는 본 기술 분야의 당업자로 하여금 본 발명의 기술 요지를 실시할 수 있도록 하기에 충분한 정도로 구체적으로 설명된다. 어느 하나의 실시예의 형태가 다른 실시예의 형태와 조합될 수 있기 때문에, 본 발명의 기술 요지의 여러 실시예는 반드시 상호 배타적인 것은 아니다. 다른 실시예가 이용될 수도 있으며, 본 발명의 기술 요지의 사상으로부터 일탈함이 없이 구조적, 논리적 및 전기적 변경이 이루어질 수도 있다. 이하의 설명에서, "웨이퍼" 및 "기판"이라는 용어는 집적회로가 그 위에 형성되는 어떠한 구조 및 집적회로 제조의 여러 단계 동안의 이러한 구조를 전반적으로 지칭하기 위해 서로 바꾸어 사용될 수도 있다. 이들 용어 모두는 도핑된 반도체와 도핑되지 않은 반도체, 지지 반도체 또는 절연 재료 상의 반도체의 에피택셜층, 이러한 층들의 조합, 및 종래 기술로 공지된 기타 이러한 구조를 포함한다. 본 명세서에서 사용된 바와 같은 "수평"이라는 용어는 웨이퍼 또는 기판의 배향에 상관없이 웨이퍼 또는 기판의 기존의 평면 또는 표면에 평행한 평면으로서 규정된다. "수직"이라는 표현은 앞에서 규정된 바와 같은 수평에 대하여 수직인 방향을 지칭한다. "상에", "측에", "상위", "하위", "위에", 및 "아래에" 등의 표현은 웨이퍼 또는 기판의 배향에 상관없이 웨이퍼 또는 기판의 상면 상에 존재하고 있는 기존의 평면 또는 표면에 대한 위치를 규정한다. 따라서, 이하의 상세한 설명은 제한적인 의미로 받아들여져서는 안되며, 본 발명의 범위는 첨부된 청구범위 및 이러한 청구범위에 필적하는 등가물의 전체적인 범위에 의해서만 한정된다.

[0026] 본 명세서에는 나노핀 트랜지스터와, 나노핀이 기판 또는 웨이퍼 내로 에칭되어 단일 결정질 나노핀 트랜지스터를 제조하기 위해 사용되는 제조 기술이 개시되어 있다. 이하의 설명에서는 실리콘 나노핀 실시예를 언급할 것이다. 본 기술 분양의 당업자는 이러한 설명을 읽고 이해하면 다른 반도체를 이용하여 나노핀을 형성하는 방법을 이해하게 될 것이다. 본 발명의 기술 요지의 형태는 수직 채널을 갖는 나노핀 트랜지스터를 제공하며, 핀의 하부에 제1 소스/드레인 영역이 존재하고 핀의 상부에 제2 소스/드레인 영역이 존재한다. 도 6a 내지 도 6l은 본 발명의 기술 요지의 여러 실시예에 따른 나노핀 트랜지스터 형성 공정을 예시하고 있다.

[0027] 실리콘 웨이퍼 상에 실리콘 질화물이 퇴적되며, 이 실리콘 질화물은 비정질 실리콘(a-silicon)의 층으로 덮여진다. 도 6a는, 구멍(612)이 비정질 실리콘(613) 내에 형성되고 또한 측벽 스페이서(614)가 형성된 후의 구조(611)의 측면도를 예시하고 있다. 구멍(612)은 실리콘 웨이퍼 등의 기판(616) 위에 놓여지는 실리콘 질화물층(615)까지 연장한다. 각종 실시예에서는, 비정질 실리콘을 산화시켜 측벽 스페이서를 형성한다. 도 6b는 그 구조가 두꺼운 비정질 실리콘(616) 층으로 덮여진 후의 구조(611)의 측면도를 예시하고 있다. 도 6c는 그 구조가 화살표로 나타낸 바와 같이 적어도 비정질 실리콘의 상부 상의 산화물을 제거하기 위한 레벨까지 평탄화(planarization)된 후의 구조(611)를 예시하고 있다. 이 구조는 예컨대 화학적 기계적 연마(CMP) 공정을 이용하여 평탄화될 수 있다. 이로써 "레이스트랙(racetrack)" 패턴으로도 지칭되는, 기판 상에 노출된 산화물(614)의 가늘고 긴 직사각 패턴이 남겨지게 된다. 패턴 라인의 폭은 마스크 공정 및 리소그래피보다는 산화물 두께에 의해 결정된다. 예컨대, 산화물 두께는 여러 실시예에 따라 20 내지 50㎚ 정도의 범위 내에 있을 수 있다.

[0028] 도 6d는 레이스트랙 패턴 위의 마스크를 예시하고 있으며, 이 마스크는 산화물의 일부분을 선택적으로 덮고 산화물의 다른 부분은 노출시키고 있다. 음영 스트립으로 나타낸 노출된 산화물 부분은 제거된다. 비정질 실리콘을 제거하기 위해 칼륨 수산화물(KOH) 에칭과 같은 에칭 공정이 수행된다. 도 6d에 예시된 마스크 및 에칭 후에 잔류하는 산화물 또는 산화물의 일부분은 에칭 동안 질화물을 보호한다. 비정질 실리콘이 제거된 후, 질화물(615)이 에칭될 수 있으며, 웨이퍼(616)를 질화물층 아래의 소정 깊이까지 에칭하는 방향성 실리콘 에칭(directional silicon etch)이 후속된다. 질화물 패턴은 실리콘의 국소 영역을 에칭으로부터 보호하며, 그 결과 도 6e에 예시된 바와 같이 실리콘 웨이퍼의 현재의 하위 표면으로부터 돌출하는 실리콘의 실리콘 핀(617)이 형성된다. 도 6f 및 도 6g는 핀의 상부와 핀의 하부의 트렌치가 도펀트(dopant)로 주입된 후의 구조의 평면도

및 측면도를 예시하고 있다. 도 6f에 예시된 바와 같이, 트렌치 내의 도펀트는 도전성 라인(618)(예컨대, 소스 라인)을 형성한다. 도펀트는 또한 핀의 하부 또는 하부 일부분에 소스/드레인 영역을 형성한다. 핀이 극히 얇기 때문에, 트렌치 내의 도핑은 핀 아래에서 완전하게 확산할 수 있다. 행(row) 방향이나 열(column) 방향으로 스트립이 존재할 수 있다.

[0029] 도 6h는, 핀(617) 주위에 게이트 절연체(619)가 형성되고 또한 핀의 주위에 게이트 절연체에 의해 핀으로부터 분리된 게이트 재료(620)가 형성된 후의 구조(611)를 예시하고 있다. 예컨대, 본 실시예는 열산화 공정(thermal oxidation process)을 이용하여 실리콘 핀을 산화시킨다. 게이트 재료(620)로는 여러 실시예에 따라 폴리실리콘 또는 금속이 가능하다.

[0030] 도 6i 및 도 6j는 각각 제1 어레이 실시예의 평면도와 라인 6J-6J를 따라 절취한 단면도를 예시하고 있다. 구조(611)는 절연체(621)(예컨대, 산화물)로 도로 메워지며, 핀의 측면 상에 트렌치가 생성된다. 폴리실리콘 또는 금속과 같은 게이트 배선 재료(622)가 퇴적되고, 측벽 상에만 잔류하여 핀을 위한 서라운딩 게이트(620)에 접촉하도록 방향성으로 에칭될 수 있다. 게이트 재료 및 게이트 배선 재료는 핀의 상부 아래로 리세스(recess)되도록 에칭될 수 있다. 전체 구조는 산화물로 도로 메워지고, 표면 상에 산화물만 잔류되도록 평탄화될 수 있다. 그 후, 종래 기술에 의해서, 접촉 개구 및 드레인 도핑 영역이 필러(pillar)의 상부까지 에칭되고 드레인 영역이 주입되며 드레인 영역에 대한 금속 접촉부가 형성된다. 이 경우, 금속 배선은 "x 방향"으로 이어질 수 있으며, 매립 소스 배선은 예시 도면의 평면에 수직인 방향으로 이어질 수 있다.

[0031] 도 6k 및 도 6l은 각각 제2 어레이 실시예의 평면도와 라인 6L-6L을 따라 절취한 단면도이다. 구조(611)는 절연체(621)(예컨대, 산화물)로 도로 메워지고, 핀(617)의 측면을 따라 "y-방향"으로 트렌치가 생성된다. 폴리실리콘 또는 금속 등의 게이트 배선 재료(622)가 퇴적되고, 측벽 상에만 잔류하여 핀 상의 게이트에 접촉하도록 방향성으로 에칭될 수 있다. 게이트 재료 및 게이트 배선 재료는 핀의 상부 아래로 리세스되도록 에칭될 수 있다. 전체 구조는 절연체(예컨대, 산화물)로 도로 메워지고, 표면 상에 산화물만 잔류되도록 평탄화될 수 있다. 그 후, 종래 기술에 의해서, 접촉 개구 및 드레인 도핑 영역이 필러의 상부까지 에칭되고 드레인 영역이 주입되며 드레인 영역에 대한 금속 접촉부가 형성된다. 이 경우, 금속 배선은 예시 도면의 평면에 수직인 방향으로 이어질 수 있으며, 매립 소스 배선은 "x 방향"으로 이어질 수 있다.

[0032] 제1 및 제2 어레이 실시예 양자에서, 매립된 소스/드레인은 서라운딩 게이트 절연체 및 서라운딩 게이트의 형성 전에 주입될 수 있다. 도 6l은 드레인/소스 영역(623, 624), 리세스된 게이트(620), 및 소스/드레인 영역 배선(618)을 갖는 완성된 핀 구조 중의 하나를 예시하고 있다. 나노핀 FET는 커다란 W/L 비율을 가질 수 있으며, 나노와이어 FET보다 더 많은 전류를 도통시킬 것이다.

[0033] 도 7은 여러 실시예에 따른, 나노핀 트랜지스터의 어레이를 위한 나노핀의 레이아웃에 대한 평면도를 예시하고 있다. 도 7은 2개의 측벽 스페이서(714)의 "레이스트랙"을 도시하고 있고, 또한 에칭에 의해 제거된 측벽 스페이서의 일부분을 도시하고 있다. 측벽 스페이서 트랙을 형성하기 위해 사용된 구멍은 최소 피처 크기(1F)로 형성된다. 마스크 스트립(725)은 최소 피처 크기(1F)의 폭을 가지며, 최소 피처 크기(1F) 만큼 분리되어 있다. 예시된 레이아웃에서, 나노핀의 열은 대략 2F의 중심간 간격을 가지며, 나노핀의 행은 대략 1F의 중심간 간격을 갖는다. 또한, 도 7에 예시된 바와 같이, 나노핀이 구멍의 벽 상의 측벽 스페이서로부터 형성되므로, 제1 행과 제2 행 사이의 중심간 간격은 1F 크기보다 나노핀의 두께에 해당하는 양만큼 다소 작을 것이며(1F - △T), 제2 행과 제3 행 사이의 중심간 간격은 1F 크기보다 나노핀의 두께에 해당하는 양만큼 다소 더 클 것이다(1F + △T). 일반적으로, 제1 행과 제2 행 사이의 중심간 간격은 피처 크기 거리(NF)보다 나노핀의 두께에 해당하는 양만큼 다소 작을 것이며(NF - △T), 제2 행과 제3 행 사이의 중심간 간격은 피처 크기 거리(NF)보다 나노핀의 두께에 해당하는 양만큼 다소 더 클 것이다(NF + △T).

[0034] 도 8은 본 발명의 기술 요지의 실시예에 따른 나노핀 트랜지스터 제조 공정을 예시하고 있다. 단계 826에서는 결정질 기판으로부터 핀이 형성된다. 예컨대, 핀은 실리콘 웨이퍼 등의 웨이퍼로부터 에칭될 수 있다. 단계 827에서는, 핀의 하부에 있는 기판에 제1 소스/드레인 영역이 형성된다. 핀이 박막이기 때문에, 도펀트가 핀의 전체 풋프린트(footprint) 아래에 확산할 수 있다. 단계 828에서는, 서라운딩 게이트 절연체가 핀 주위에 형성되며, 단계 829에서는, 핀의 주위에 서라운딩 게이트 절연체에 의해 핀으로부터 분리되는 서라운딩 게이트가 형성된다. 그 결과의 구조는 단계 830에서 절연체로 도로 메워진다. 단계 831에 나타낸 바와 같이, 트렌치가 에칭되고, 게이트 라인이 서라운딩 게이트에 인접하여 서라운딩 게이트와 접촉하도록 형성된다. 일부 실시예는 서라운딩 게이트의 반대 측과 접촉하도록 2개의 게이트 라인을 형성한다. 게이트 라인은 나노핀 구조의 장변(long side) 상의 서라운딩 게이트와 접촉하도록 배향되거나, 또는 나노핀 구조의 단변(short side) 상의 서라

운딩 게이트와 접촉하도록 배향될 수 있다. 즉, 게이트 라인은 열 방향 또는 행 방향으로 형성될 수 있다. 단계 832에서는 핀의 상부에 제2 소스/드레인 영역이 형성되며, 단계 833에서는 제2 소스/드레인 영역을 위한 접촉부가 형성된다.

[0035] 도 9는 본 발명의 기술 요지의 여러 실시예에 따른, 도 8의 단계 826에서 나타낸 바와 같은 결정질 기판으로부터 핀을 형성하는 공정을 예시하고 있다. 단계 934에서는 결정질 기판 위에 층이 형성되며, 단계 935에서는 층에 구멍이 에칭되거나 다른 방식으로 형성된다. 여러 실시예에서, 결정질 기판 위에 형성되는 층은 비정질 실리콘층이고, 결정질 기판과 비정질 실리콘 사이에는 실리콘 질화물층이 개재되어 있으며, 실리콘 질화물층까지 구멍이 에칭된다. 단계 936에서는, 구멍의 둘레부를 형성하는 층의 벽에 맞닿도록 구멍 내에 측벽 스페이서가 형성된다. 여러 실시예는 측벽 스페이서를 형성하기 위해 비정질 실리콘층을 산화시킨다. 단계 937에서는, 구멍이 제1 층의 재료(예컨대, a-silicon)로 도로 메워지며, 그 구조가 평탄화된다. 도 6b 및 도 6c에 예시된 실시예에서, 평탄화는 비정질 실리콘의 상면 상의 산화물을 제거하여, 산화물 측벽 스페이서의 "레이스트랙" 또는 직사각 패턴을 남겨두게 된다. 단계 938에서는, 측벽 스페이서로부터 핀 패턴이 형성되며, 이것은 예컨대 마스크 및 에칭 공정을 이용하여 실현될 수도 있다. 일부 실시예에서, 그 결과의 핀 패턴은, 최소 피처 크기에 대응하는 제1 방향의 제1 단면 두께와, 산화물 측벽의 두께에 대응하고 최소 피처 크기보다 상당히 작은 제1 방향에 수직인 제2 방향의 제2 단면 두께를 갖는다. 단계 939에서는, 층(예컨대, a-silicon)이 제거되어, 측벽 스페이서의 핀 패턴이 남겨지게 된다. 단계 940에서는, 측벽 스페이서의 핀 패턴에 대응하는 마스크를 이용하여 결정질 기판이 에칭된다. 여러 실시예는 실리콘 질화물층을 핀 패턴 모양으로 에칭하고, 그 후 기판이 에칭될 때에 결정질 기판을 핀 패턴으로 마스크하기 위해 이 실리콘 질화물층을 이용한다. 단계 941에서는, 마스크층(예컨대, 실리콘 질화물)이 제거되어 에칭된 핀의 상부를 노출시킨다.

[0036] 도 10은 본 발명의 기술 요지의 여러 실시예에 따른 메모리 소자의 여러 실시예의 하이-레벨 구성에 대한 간략화된 블록도이다. 예시된 메모리 소자(1042)는 메모리 어레이(1043)와, 통신 라인 또는 채널(1045)을 통해 메모리 어레이 상의 동작을 수행하기 위한 판독/기입 제어 회로(1044)를 포함한다. 예시된 메모리 소자(1042)는 메모리 카드일 수도 있고, 또는 싱글 인라인 메모리 모듈(SIMM : Single Inline Memory Module) 및 듀얼 인라인 메모리 모듈(DIMM : Dual Inline Memory Module) 등의 메모리 모듈일 수도 있다. 본 기술 분야의 당업자는, 이러한 설명을 읽고 이해하면, 메모리 어레이 및/또는 제어 회로 내의 반도체 부품이 전술한 바와 같이 에칭된 나노핀 트랜지스터를 이용하여 제조될 수 있다는 것을 이해할 것이다. 이들 소자를 위한 구조 및 제조 방법은 위에 설명되어 있다.

[0037] 메모리 어레이(1043)는 다수의 메모리셀(1046)을 포함한다. 메모리 어레이 내의 메모리셀은 행과 열로 배열된다. 여러 실시예에서, 워드 라인(1047)이 행 내의 메모리셀을 연결하고, 비트 라인(1048)이 열 내의 메모리셀을 연결한다. 판독/기입 제어 회로(1044)는, 요구된 행을 선택하도록 기능하는 워드 라인 선택 회로(1049)와, 요구된 열을 선택하도록 기능하는 비트 라인 선택 회로(1050)와, 메모리 어레이(1043) 내의 선택된 메모리셀에 대한 메모리 상태를 검출하도록 기능하는 판독 회로(1051)를 포함한다.

[0038] 도 11은 본 발명의 여러 실시예에 따른, 하나 이상의 나노핀 트랜지스터를 갖는 전자 시스템(1152)의 개요도를 예시하고 있다. 전자 시스템(1152)은 컨트롤러(1153), 버스(1154) 및 전자 소자(1155)를 포함하며, 버스(1154)는 컨트롤러(1153)와 전자 소자(1155) 간의 통신 채널을 제공한다. 여러 실시예에서, 컨트롤러 및/또는 전자 소자는 본 명세서에서 전술한 바와 같은 나노핀 트랜지스터를 포함한다. 예시된 전자 시스템(1152)은 정보 처리 장치, 무선 시스템, 전화통신 시스템, 광섬유 시스템, 전자-광학 시스템 및 컴퓨터를 포함할 수도 있으며, 이들로만 한정되지는 않는다.

[0039] 도 12는 컨트롤러(1257) 및 메모리(1258)를 포함하는 시스템(1256)의 실시예의 개요도이다. 컨트롤러 및/또는 메모리는 본 발명의 여러 실시예에 따른 나노핀 트랜지스터를 포함할 수 있다. 예시된 시스템(1256)은 또한 전자 장치(1259)와, 컨트롤러와 전자 장치 사이 및 컨트롤러와 메모리 사이의 통신 채널을 제공하기 위한 버스(1260)를 포함한다. 버스는 각각 독립적으로 구성된 어드레스 버스, 데이터 버스 및 제어 버스를 포함하거나, 또는 어드레스, 데이터 및/또는 제어를 제공하기 위해 공통의 통신 채널을 사용할 수도 있으며, 후자의 경우 공통의 통신 채널의 사용은 컨트롤러에 의해 조정된다. 본 실시예에서, 전자 장치(1259)는 메모리(1258)와 유사하게 구성된 추가의 메모리일 수도 있다. 본 실시예는 버스(1260)에 연결된 주변 장치 또는 장치들(1261)을 포함할 수도 있다. 주변 장치는 디스플레이, 추가의 기억 메모리, 또는 컨트롤러 및/또는 메모리와 함께 동작할 수 있는 기타 제어 장치를 포함할 수도 있다. 본 실시예에서, 컨트롤러는 프로세서이다. 컨트롤러(1257), 메모리(1258), 전자 장치(1259) 및 주변 장치(1261)의 어떠한 것도 여러 실시예에 따른 나노핀 트랜지스터를 포함할 수도 있다. 시스템(1256)은 정보 처리 장치, 전화통신 시스템, 및 컴퓨터를 포함할 수도 있으며, 이러한 것

만을 포함하도록 한정되지 않는다. 본 설명에서 개시된 바와 같은 나노핀 트랜지스터를 포함하는 응용 장치는 메모리 모듈에 사용하기 위한 전자 시스템, 소자 드라이버, 전력 모듈, 통신 모뎀, 프로세서 모듈 및 어플리케이션-특정 모듈을 포함하며, 다층 멀티칩 모듈을 포함할 수도 있다. 이러한 회로는 또한 시계, 텔레비전, 휴대전화, 개인용 컴퓨터, 자동차, 산업 제어 시스템, 항공기 등과 같은 다양한 전자 시스템의 소부품일 수도 있다.

[0040] 메모리는 본 발명의 여러 실시예에 따른 나노핀 트랜지스터를 포함하는 메모리 소자로서 실현될 수도 있다. 본 발명의 실시예는 어떠한 크기 및 어떠한 유형의 메모리 회로에도 동일하게 적용할 수 있으며, 특정 유형의 메모리 소자로 국한되지 않는다는 것을 이해할 수 있을 것이다. 메모리 유형에는 DRAM, SRAM(정적 랜덤 액세스 메모리) 또는 플래시 메모리 등이 있다. 추가로, DRAM은 흔히 SGRAM(동기식 그래픽 랜덤 액세스 메모리), SDRAM(동기식 랜덤 액세스 메모리), SDRAM Ⅱ, 및 DDR SDRAM(더블 데이터 레이트 SDRAM)으로 지칭되는 동기식 DRAM이 가능하다. 현재 개발되고 있는 다양한 메모리 기술은 압축 변형된 채널(compressively-strained channel)을 갖는 트랜지스터를 이용할 수 있다.

[0041] 본 발명의 개시 내용에는 여러 가지의 공정, 회로도, 및 셀 구조를 포함한다. 본 발명의 기술 요지는 특정한 공정 순서 또는 논리적인 배열로 한정되지 않는다. 본 명세서에서는 구체적인 실시예를 예시 및 설명하였지만, 본 기술 분야의 당업자는 동일한 목적을 달성하기 위해 산출되는 어떠한 구성도 도시된 구체적인 실시예를 대신할 수 있다는 것을 이해할 것이다. 본 출원은 본 발명의 기술 요지의 수정예 또는 변형예를 포함할 것이다. 이상의 설명은 예시를 위한 것으로 본 발명을 제한하려는 것은 아니라는 것을 이해할 것이다. 이상의 설명을 검토 및 이해한 당업자라면 전술한 실시예의 조합 및 기타 실시예도 가능할 것이라는 점을 명백히 이해할 것이다. 본 발명의 기술 요지의 범위는 첨부된 청구범위 및 이러한 청구범위와 동등한 등가물의 전체 범위를 참조하여 결정되어야 한다.

도면의 간단한 설명

[0013] 도 1은 k의 비율로 크기를 축소한 다양한 소자 파라미터에 대한 전반적인 추세 및 관계를 예시하는 도면이다.

[0014] 도 2는 종래의 실리콘 MOSFET에서의 임계치 이하 누설을 예시하는 도면이다.

[0015] 도 3은 드레인, 소스, 게이트 절연체에 의해 반도체 바디로부터 분리된 프론트 게이트와 백 게이트, 및 드레인에 의해 생성된 전계를 갖는 듀얼-게이트 MOSFET를 예시하는 도면이다.

[0016] 도 4는 듀얼-게이트, 더블-게이트, 및 서라운딩 게이트 MOSFET의 향상된 임계치 이하 특성을 종래의 벌크 실리콘 MOSFET의 임계치 이하 특성과 비교하여 전반적으로 예시하는 도면이다.

[0017] 도 5a 내지 도 5c는 종래의 FinFET를 예시하는 도면이다.

[0018] 도 6a 내지 도 6l은 본 발명의 기술 요지의 여러 실시예에 따른 나노핀 트랜지스터 형성 공정을 예시하는 도면이다.

[0019] 도 7은 여러 실시예에 따른, 나노핀 트랜지스터의 어레이를 위한 나노핀의 레이아웃의 평면도이다.

[0020] 도 8은 본 발명의 기술 요지의 여러 실시예에 따른 나노핀 트랜지스터 제조 공정을 예시하는 도면이다.

[0021] 도 9는 본 발명의 기술 요지의 여러 실시예에 따른, 결정질 기판으로부터 핀을 형성하기 위한 공정을 예시하는 도면이다.

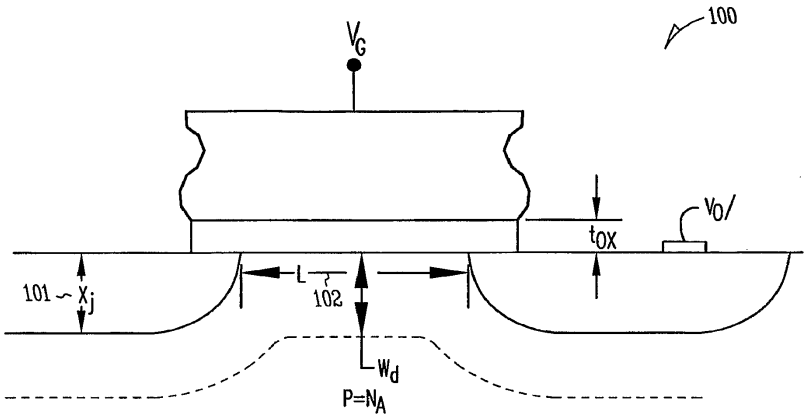
[0022] 도 10은 본 발명의 기술 요지의 여러 실시예에 따른 메모리 소자의 여러 실시예의 하이 레벨 구성에 대한 간략화된 블록도이다.

[0023] 도 11은 본 발명의 여러 실시예에 따른, 하나 이상의 나노핀 트랜지스터를 갖는 전자 시스템에 대한 도면이다.

[0024] 도 12는 컨트롤러 및 메모리를 갖는 시스템의 실시예에 대한 도면이다.

도면

도면1



$V_G \rightarrow V_G/k$ $\quad V_O \rightarrow V_O/k$

$t_{OX} \rightarrow t_{OX}/k$

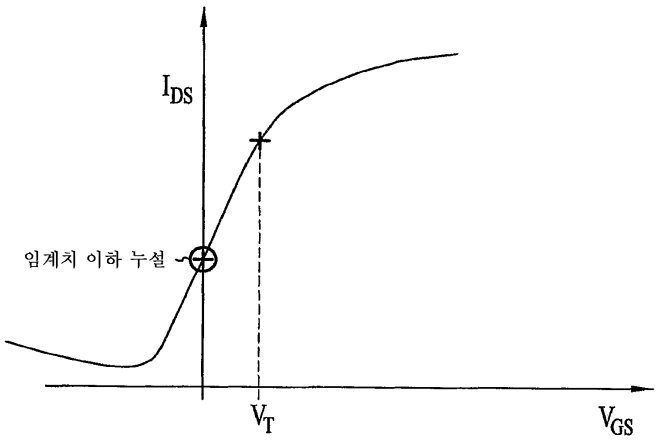
$L \rightarrow L/k$

$X_j \rightarrow X_j/k$ 접합 깊이 감소

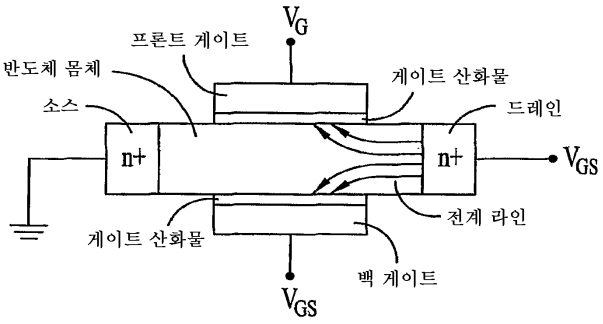
$W_d \rightarrow W_d/k$

$N_A \rightarrow k\ N_A$ 기판 도핑 증가

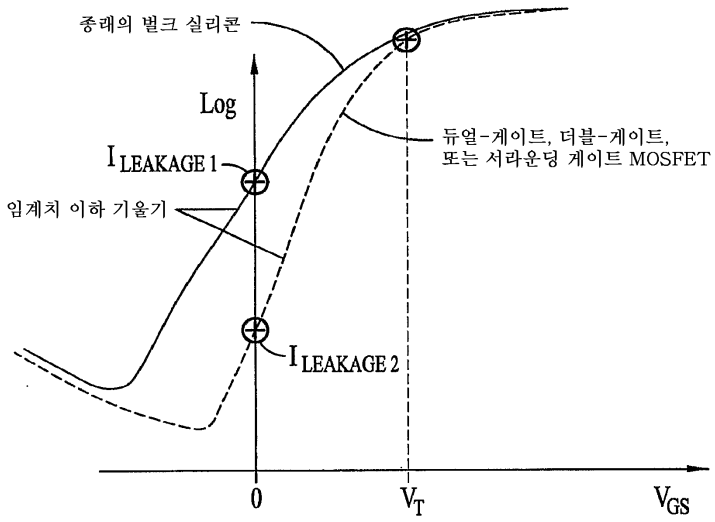
도면2



도면3

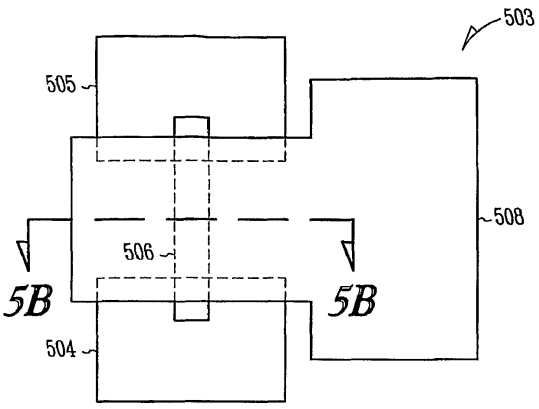


도면4



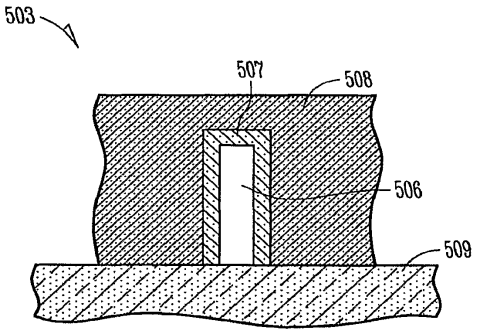
도면5a

(종래 기술)



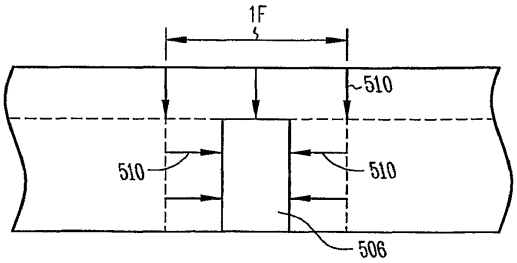
도면5b

(종래 기술)

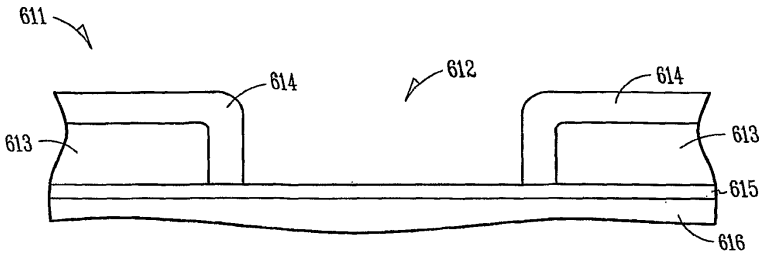


도면5c

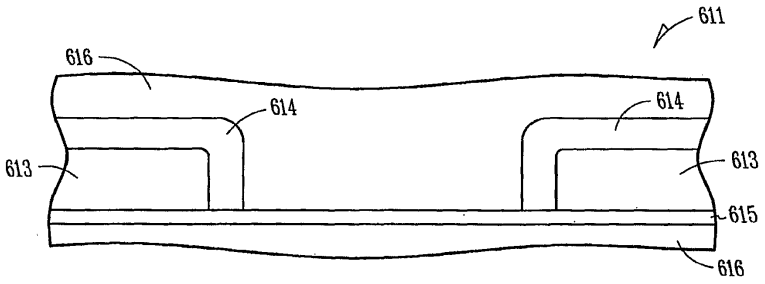
(종래 기술)



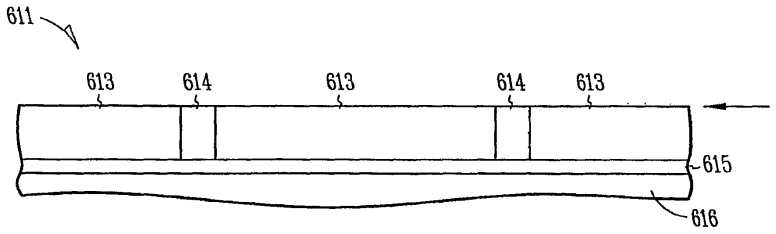
도면6a



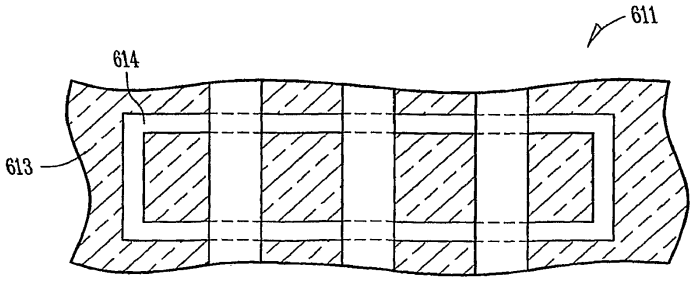
도면6b



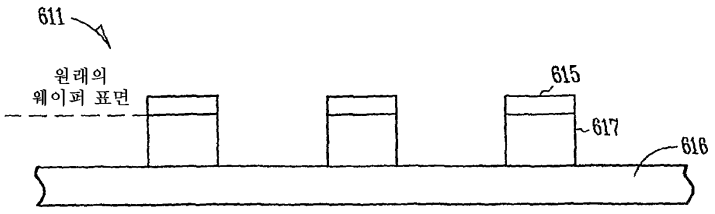
도면6c



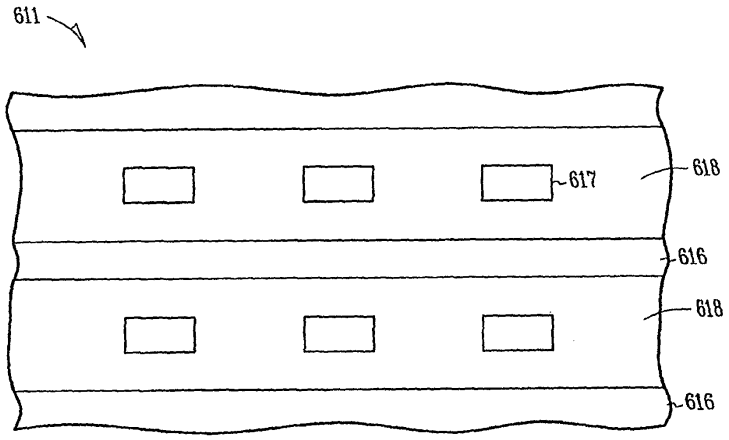
도면6d



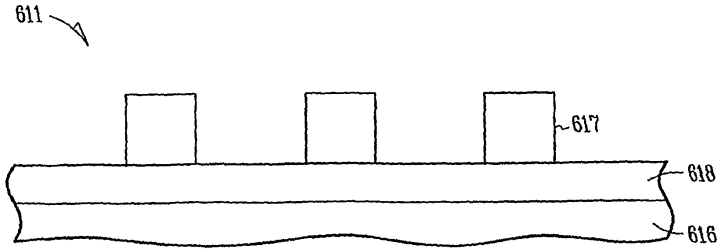
도면6e



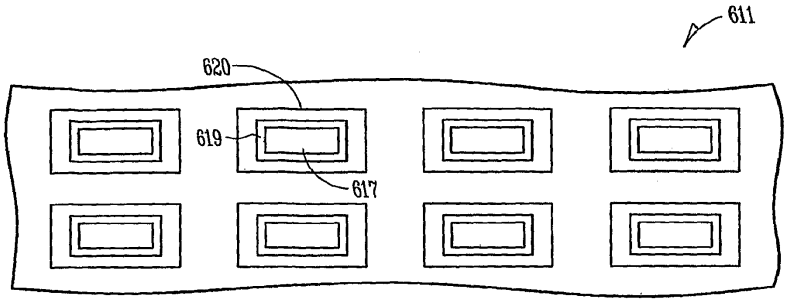
도면6f



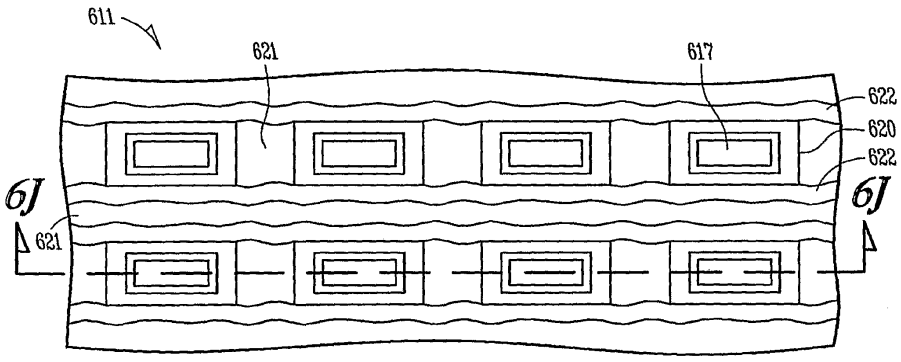
도면6g



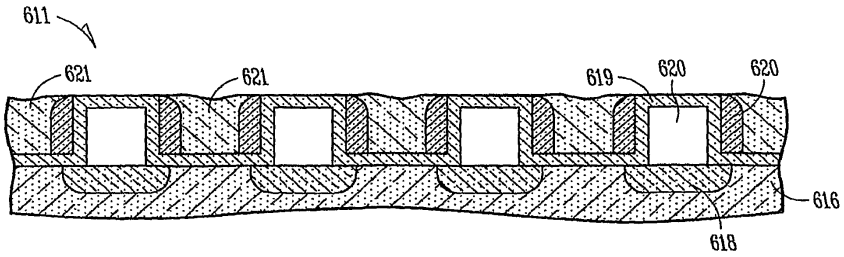
도면6h



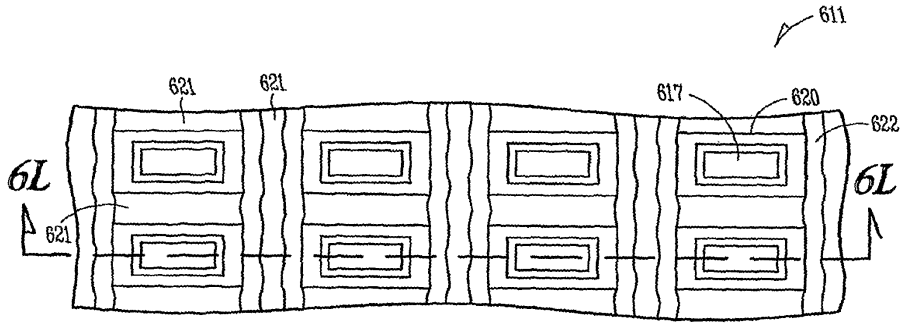
도면6i



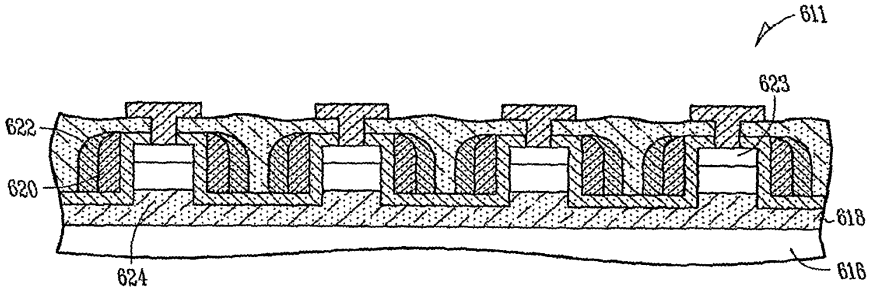
도면6j



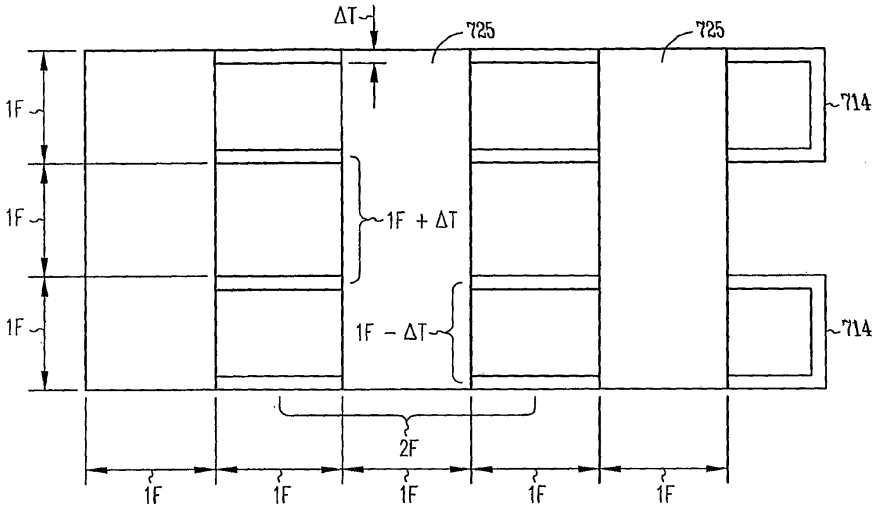
도면6k



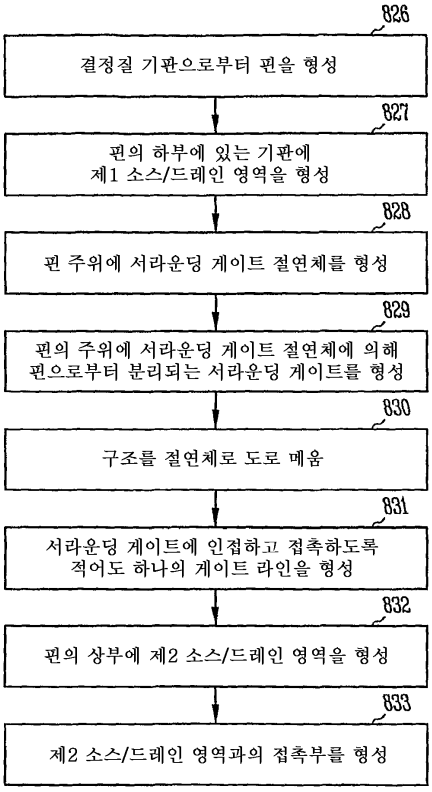
도면6l



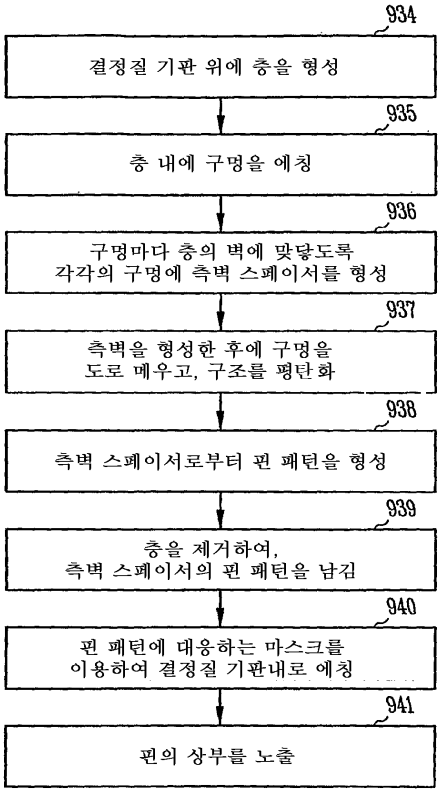
도면7


ΔT
725
725
714
714
1F
1F
1F
1F + ΔT
1F − ΔT
2F
1F
1F
1F
1F
1F

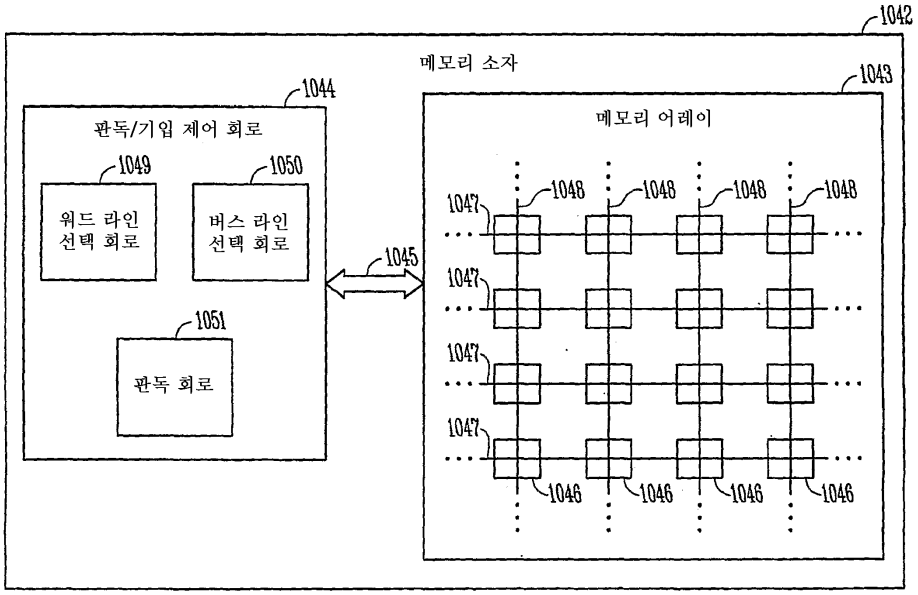
도면8


826
결정질 기판으로부터 핀을 형성
827
핀의 하부에 있는 기판에
제1 소스/드레인 영역을 형성
828
핀 주위에 서라운딩 게이트 절연체를 형성
829
핀의 주위에 서라운딩 게이트 절연체에 의해
핀으로부터 분리되는 서라운딩 게이트를 형성
830
구조를 절연체로 도로 메움
831
서라운딩 게이트에 인접하고 접촉하도록
적어도 하나의 게이트 라인을 형성
832
핀의 상부에 제2 소스/드레인 영역을 형성
833
제2 소스/드레인 영역과의 접촉부를 형성

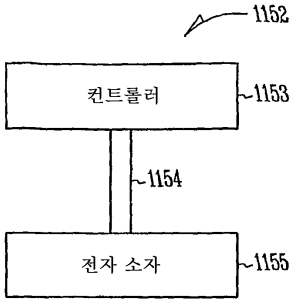
도면9


934
결정질 기판 위에 층을 형성
935
층 내에 구멍을 에칭
936
구멍마다 층의 벽에 맞닿도록
각각의 구멍에 측벽 스페이서를 형성
937
측벽을 형성한 후에 구멍을
도로 메우고, 구조를 평탄화
938
측벽 스페이서로부터 핀 패턴을 형성
939
층을 제거하여,
측벽 스페이서의 핀 패턴을 남김
940
핀 패턴에 대응하는 마스크를
이용하여 결정질 기판내로 에칭
941
핀의 상부를 노출

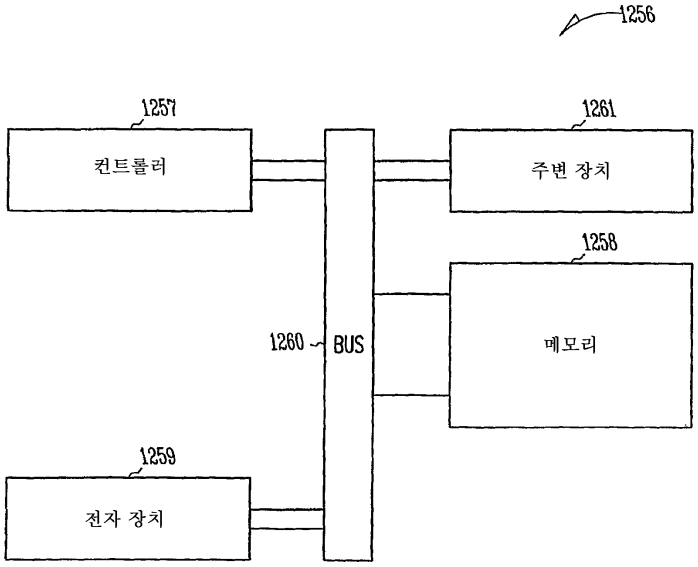
도면10


1042
메모리 소자
1044
판독/기입 제어 회로
1049
워드 라인
선택 회로
1050
버스 라인
선택 회로
1051
판독 회로
1045
1043
메모리 어레이
1047
1048
1046

도면11


1152
컨트롤러
1153
1154
전자 소자
1155

도면12


1256
1257
컨트롤러
1261
주변 장치
1258
메모리
1260
BUS
1259
전자 장치