

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-154210
(P2008-154210A)

(43) 公開日 平成20年7月3日(2008.7.3)

(51) Int.Cl.			F I			テーマコード (参考)		
H03K	5/00	(2006.01)	H03K	5/00	V	5J001		
H03L	7/081	(2006.01)	H03L	7/08	J	5J106		
H03L	7/08	(2006.01)	H03L	7/08	H			
H03L	7/00	(2006.01)	H03L	7/00	D			
H03K	5/14	(2006.01)	H03K	5/14				

審査請求 未請求 請求項の数 20 O L (全 19 頁)

(21) 出願番号 特願2007-224001 (P2007-224001)
 (22) 出願日 平成19年8月30日 (2007.8.30)
 (31) 優先権主張番号 10-2006-0129582
 (32) 優先日 平成18年12月18日 (2006.12.18)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111
 株式会社ハイニクスセミコンダクター
 HYNIX SEMICONDUCTOR
 INC.
 大韓民国京畿道利川市夫鉢邑牙美里山136-1
 San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea
 (74) 代理人 100117514
 弁理士 佐々木 敦朗
 (72) 発明者 沈 錫 輔
 大韓民国京畿道利川市夫鉢邑牙美里山136-1

最終頁に続く

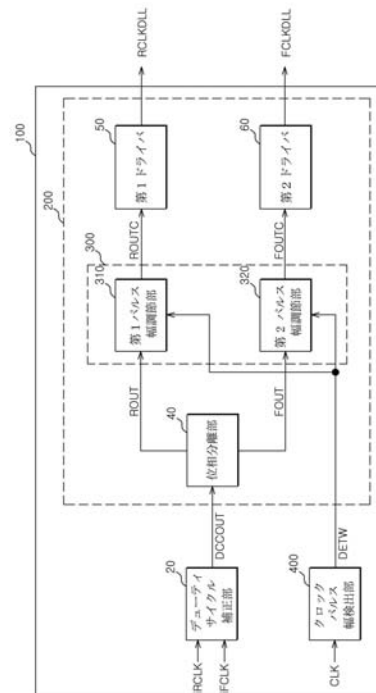
(54) 【発明の名称】 半導体記憶装置の遅延ロックループ回路

(57) 【要約】

【課題】遅延ロックループクロックが伝送される過程で発生するタイミングエラーを未然に防止できるようにした半導体記憶装置の遅延ロックループ回路を提供する。

【解決手段】内部クロックのデューティサイクルを補正して出力するデューティサイクル補正手段と、外部クロックのクロックパルス幅を検出してパルス幅検出信号を出力するクロックパルス幅検出手段と、前記デューティサイクル補正手段の出力の位相を分離し、前記パルス幅検出信号に相応するように前記位相分離された2つの信号のうち少なくとも1つのパルス幅を調節して、遅延ロックループクロックとして出力するドライブ手段とを備えている。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

内部クロックのデューティサイクルを補正して出力するデューティサイクル補正手段と、
外部クロックのクロックパルス幅を検出してパルス幅検出信号を出力するクロックパルス幅検出手段と、

前記デューティサイクル補正手段の出力の位相を分離し、前記パルス幅検出信号に相応するように前記位相分離された 2 つの信号のうち少なくとも 1 つのパルス幅を調節して、遅延ロックスループクロックとして出力するドライブ手段とを備えることを特徴とする半導体記憶装置の遅延ロックスループ回路。

10

【請求項 2】

前記クロックパルス幅検出手段は、
前記外部クロックの周波数を分割する分周部と、
前記分周部の出力を遅延させる遅延部と、
前記分周部の出力と前記遅延部の出力が入力される第 1 論理回路と、
前記第 1 論理回路の出力が入力されて前記パルス幅検出信号を出力するラッチとを備えることを特徴とする請求項 1 に記載の半導体記憶装置の遅延ロックスループ回路。

【請求項 3】

前記第 1 論理回路は、論理積演算を行うように構成されることを特徴とする請求項 2 に記載の半導体記憶装置の遅延ロックスループ回路。

20

【請求項 4】

前記ラッチは、
第 1 入力端に電源が印加され、出力端を介して前記パルス幅検出信号を出力する第 1 論理素子と、
前記第 1 論理回路の出力が入力される反転素子と、
第 1 入力端には前記第 1 論理素子の出力が入力され、第 2 入力端には前記反転素子の出力が入力され、出力端は前記第 1 論理素子の第 2 入力端と接続された第 2 論理素子とを備えることを特徴とする請求項 2 に記載の半導体記憶装置の遅延ロックスループ回路。

【請求項 5】

前記ドライブ手段は、
前記デューティサイクル補正部の出力を第 1 および第 2 位相信号に分離して出力する位相分離部と、
前記第 1 および第 2 位相信号のうち少なくとも 1 つのパルス幅を前記パルス幅検出信号によって調節して出力するパルス幅調節部とを備えることを特徴とする請求項 1 に記載の半導体記憶装置の遅延ロックスループ回路。

30

【請求項 6】

前記パルス幅調節部は、
前記第 1 位相信号のパルス幅を前記パルス幅検出信号に該当する幅だけ減少させて出力する第 1 パルス幅調節部と、
前記第 2 位相信号のパルス幅を前記パルス幅検出信号に該当する幅だけ減少させて出力する第 2 パルス幅調節部とを備えることを特徴とする請求項 5 に記載の半導体記憶装置の遅延ロックスループ回路。

40

【請求項 7】

前記第 1 パルス幅調節部は、
前記第 1 位相信号を前記パルス幅検出信号に相応する時間だけ遅延させて出力する可変遅延部と、
前記第 1 位相信号と前記可変遅延部の出力を演算する論理素子と、
前記論理素子の出力と前記第 1 位相信号を演算する第 2 論理回路とを備えることを特徴とする請求項 6 に記載の半導体記憶装置の遅延ロックスループ回路。

【請求項 8】

50

前記可変遅延部は、
前記パルス幅検出信号によって前記第 1 位相信号を通過させる複数のスイッチング素子と、

前記複数のスイッチング素子の出力を互いに異なる時間だけ遅延させる複数の遅延素子と、

前記複数の遅延素子の出力を演算する第 3 論理回路と
を備えることを特徴とする請求項 7 に記載の半導体記憶装置の遅延ロックループ回路。

【請求項 9】

前記複数のスイッチング素子は、パスゲートであることを特徴とする請求項 8 に記載の半導体記憶装置の遅延ロックループ回路。

10

【請求項 10】

前記第 3 論理回路は、前記複数の遅延素子の出力を論理和するように構成されることを特徴とする請求項 8 に記載の半導体記憶装置の遅延ロックループ回路。

【請求項 11】

前記第 2 論理回路は、前記論理素子の出力と前記第 1 位相信号を論理積するように構成されることを特徴とする請求項 7 に記載の半導体記憶装置の遅延ロックループ回路。

【請求項 12】

前記第 2 パルス幅調節部は、前記第 1 パルス幅調節部と同一に構成されることを特徴とする請求項 6 に記載の半導体記憶装置の遅延ロックループ回路。

【請求項 13】

前記ドライブ手段は、前記パルス幅調節部の出力と前記位相分離部の出力をドライブするための第 1 および第 2 ドライバをさらに備えることを特徴とする請求項 5 に記載の半導体記憶装置の遅延ロックループ回路。

20

【請求項 14】

内部クロックのデューティサイクルを補正して出力するデューティサイクル補正手段と、

前記デューティサイクル補正部の出力の位相を分離し、前記位相分離された 2 つの信号のうち少なくとも 1 つのパルス幅を調節して、遅延ロックループクロックとして出力するドライブ手段と

を備えることを特徴とする半導体記憶装置の遅延ロックループ回路。

30

【請求項 15】

前記ドライブ手段は、
前記デューティサイクル補正部の出力を第 1 および第 2 位相信号に分離して出力する位相分離部と、

前記第 1 および第 2 位相信号のうち少なくとも 1 つのパルス幅を調節して出力するパルス幅調節部と

を備えることを特徴とする請求項 14 に記載の半導体記憶装置の遅延ロックループ回路。

【請求項 16】

前記パルス幅調節部は、

前記第 1 位相信号のパルス幅を減少させて出力する第 1 パルス幅調節部と、

前記第 2 位相信号のパルス幅を減少させて出力する第 2 パルス幅調節部と

を備えることを特徴とする請求項 15 に記載の半導体記憶装置の遅延ロックループ回路。

40

【請求項 17】

前記第 1 パルス幅調節部は、

前記第 1 位相信号を定められた時間だけ遅延させて出力する遅延部と、

前記第 1 位相信号と前記遅延部の出力を演算する論理素子と、

前記論理素子の出力と前記第 1 位相信号を演算する第 4 論理回路と

を備えることを特徴とする請求項 16 に記載の半導体記憶装置の遅延ロックループ回路。

【請求項 18】

前記第 4 論理回路は、前記論理素子の出力と前記第 1 位相信号を論理積するように構成

50

されることを特徴とする請求項 17 に記載の半導体記憶装置の遅延ロックループ回路。

【請求項 19】

前記第 1 パルス幅調節部は、前記第 2 パルス幅調節部と同一に構成されることを特徴とする請求項 16 に記載の半導体記憶装置の遅延ロックループ回路。

【請求項 20】

前記ドライブ手段は、前記パルス幅調節部の出力と前記位相分離部の出力をドライブするための第 1 および第 2 ドライバをさらに備えることを特徴とする請求項 15 に記載の半導体記憶装置の遅延ロックループ回路。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体記憶装置に関し、特に半導体記憶装置の遅延ロックループ回路に関するものである。

【背景技術】

【0002】

遅延ロックループ (Delay Locked Loop: DLL) 回路は、半導体記憶装置の外部から供給される外部クロック CLK と半導体記憶装置の内部で用いられる内部クロック iclk の位相を同期させるための遅延ロックループクロック RCLKDLL, FCLKDLL を生成する回路である。

【0003】

20

前記遅延ロックループクロック RCLKDLL は、前記外部クロック CLK の立ち上がりエッジに同期したクロックであり、前記遅延ロックループクロック FCLKDLL は前記外部クロック CLK の立ち下がりエッジに同期したクロックである。

【0004】

図 1 に示すように、前記半導体記憶装置の遅延ロックループ回路 10 から出力された遅延ロックループクロック RCLKDLL, FCLKDLL は、信号線を介して第 1 データ入出力部 11 および第 2 データ入出力部 12 に供給される。

【0005】

前記第 1 および第 2 データ入出力部 11, 12 は、前記遅延ロックループクロック RCLKDLL, FCLKDLL を用いて全体入出力データを半分に分けて処理するための構成である。例えば、一度の入力又は出力命令に応じて出力される全体データが 16 ビットであれば、第 1 データ入出力部 11 は 0 ~ 7 番に該当する 8 個のデータを処理し、残りのデータは第 2 データ入出力部 12 で処理する。

30

【0006】

半導体記憶装置がさらに高速化してデータ処理量が増加するにつれて、円滑なデータ入出力のために上記のようなデータ入出力部を複数用いる方式が使われている。

【0007】

前記第 1 および第 2 データ入出力部 11, 12 は、遅延ロックループクロック RCLKDLL, FCLKDLL のスキューを考慮して、クロック CLK が発生した時点からデータをアクセスするのに必要な時間 tAC と CAS レイテンシに合うように前記遅延ロックループクロック RCLKDLL, FCLKDLL に対する遅延およびタイミングの調整を行う。

40

【0008】

従来技術に係る遅延ロックループ回路 10 は、図 2 に示すようにデューティサイクル補正部 20 および遅延ロックループクロックドライバ 30 を備えている。

前記遅延ロックループクロックドライバ 30 は、位相分離部 40、第 1 ドライバ 50、および第 2 ドライバ 60 を備えている。

このように構成された従来技術に係る遅延ロックループ回路の動作を説明すれば次の通りである。

【0009】

50

前記デューティサイクル補正部 20 は、遅延ロックループ回路 10 の内部の遅延ループ (図示せず) によって遅延ロックされた内部クロック $iRCLK$, $iFCLK$ のデューティサイクルを補正して出力する。

【0010】

前記遅延ロックループクロックドライバ 30 の位相分離部 40 は、前記デューティサイクル補正部 20 の出力 $DCOUT$ の位相を分離した位相分離信号 $ROUT$, $FOUT$ を出力する。

【0011】

前記遅延ロックループクロックドライバ 30 の第 1 ドライバ 50 は、前記位相分離信号 $ROUT$ を前記遅延ロックループクロック $RCLKDLL$ でドライブして遅延ロックループ回路 10 の外部の信号線に出力する。

10

【0012】

前記第 2 ドライバ 60 は、前記位相分離信号 $FOUT$ を前記遅延ロックループクロック $FCLKDLL$ でドライブして遅延ロックループ回路 10 の外部の信号線に出力する。

【0013】

従来の技術に係る半導体記憶装置では、前記遅延ロックループクロック $RCLKDLL$, $FCLKDLL$ は、図 1 に示すように長い信号線を介して伝送され、上述したスキューを有するようになる。

図 1 の第 1 および第 2 データ入出力部 11 , 12 においては、前記遅延ロックループクロック $RCLKDLL$, $FCLKDLL$ のスキューを補償するようになっている。

20

【0014】

しかし、従来の技術に係る半導体記憶装置は、図 1 に示すように第 1 および第 2 データ入出力部 11 , 12 と接続された信号線が非対称的であるため、上述した遅延ロックループクロック $RCLKDLL$, $FCLKDLL$ のスキュー補償がなされないだけでなく、むしろスキューをより深刻化させ得る。

【0015】

このような従来の技術に係る半導体記憶装置では、遅延ロックループクロック $RCLKDLL$, $FCLKDLL$ のスキューによってタイミングエラーを誘発する。すなわち、正常な場合、2つの遅延ロックループクロック $RCLKDLL$ と $FCLKDLL$ には互いに重なる区間が存在してはいけない。しかし、図 3 の A 区間のように2つの遅延ロックループクロック $RCLKDLL$ と $FCLKDLL$ には重なる区間が存在するので、タイミングエラーを誘発する。

30

【0016】

DDR DRAM (Double Data Rate Dynamic RAM) の場合、クロックの立ち上がりエッジと立ち下がりエッジの各々のタイミングでデータが入力されたりデータを出力したりする。したがって、図 3 の A 区間のように重なる区間が存在すれば、それを用いるデータ入出力構成の誤動作により深刻なデータ入出力のエラーが誘発される問題点がある。

【0017】

詳述した従来技術の問題は、図 3 に示すように遅延ロックループクロック $RCLKDLL$, $FCLKDLL$ のハイレベル区間の幅が異なるために生じるものである。したがって、単に遅延ロックループクロック $RCLKDLL$, $FCLKDLL$ のうちいずれかが1つを遅延させるだけでは上述した従来の問題を解決することはできない。また、遅延ロックループクロック $RCLKDLL$, $FCLKDLL$ を遅延させることは、前記第 1 および第 2 データ入出力部において前記データアクセス時間 tAC の調整を困難にするという新たな問題を生じさせる。いため適用範囲が制限されるという問題点がある。これに似ている技術はアメリカ登録特許 7,103,133 (特許文献 1) に開示されている。

40

【特許文献 1】米国特許 7,103,133 号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

50

本発明は、遅延ロックスルーブクロックが伝送される過程で発生するタイミングエラーを未然に防止できるようにした半導体記憶装置の遅延ロックスルーブ回路を提供することにその目的がある。

【課題を解決するための手段】

【0019】

本発明に係る半導体記憶装置の遅延ロックスルーブ回路は、内部クロックのデューティサイクルを補正して出力するデューティサイクル補正手段と、外部クロックのクロックパルス幅を検出してパルス幅検出信号を出力するクロックパルス幅検出手段と、前記デューティサイクル補正手段の出力の位相を分離し、前記パルス幅検出信号に相応するように前記位相分離された2つの信号のうち少なくとも1つのパルス幅を調節して、遅延ロックスルーブクロックとして出力するドライブ手段とを備えることを特徴とする。

10

【0020】

本発明に係る半導体記憶装置の遅延ロックスルーブ回路は、内部クロックのデューティサイクルを補正して出力するデューティサイクル補正手段と、前記デューティサイクル補正部の出力の位相を分離し、前記位相分離された2つの信号のうち少なくとも1つのパルス幅を調節して、遅延ロックスルーブクロックとして出力するドライブ手段とを備えることを他の特徴とする。

【発明の効果】

【0021】

本発明に係る半導体記憶装置の遅延ロックスルーブ回路は、遅延ロックスルーブ回路の外部に出力され、非対称信号線を介する場合に備えて遅延ロックスルーブクロックのパルス幅を調節して出力するため、伝送経路上で生じ得る遅延ロックスルーブクロックのタイミングエラーの問題を未然防止して、半導体記憶装置の性能を向上させられる効果がある。

20

【0022】

また、本発明に係る半導体記憶装置の遅延ロックスルーブ回路は、外部クロックのパルス幅の可変に対応して遅延ロックスルーブクロックのパルス幅を調節するため、半導体記憶装置の動作周波数の変動にも完璧に対応できる効果がある。

【発明を実施するための最良の形態】

【0023】

以下、添付された図面を参照して本発明に係る半導体記憶装置の遅延ロックスルーブ回路の好ましい実施形態を説明すれば次の通りである。

30

【0024】

本発明に係る半導体記憶装置の遅延ロックスルーブ回路100は、図4に示すように、内部クロック*i* R C L K、*i* F C L Kのデューティサイクルを補正して出力するデューティサイクル補正部20、外部クロックC L Kのクロックパルス幅を検出してパルス幅検出信号D E T Wを出力するクロックパルス幅検出部400、および前記デューティサイクル補正部20の出力の位相を分離し、前記パルス幅検出信号D E T Wに相応するように前記位相分離された2つの信号R O U T、F O U Tのうち少なくとも1つのパルス幅を調節して、遅延ロックスルーブクロックR C L K D L L、F C L K D L Lとして出力する遅延ロックスルーブクロックドライバ200を備えている。

40

【0025】

前記遅延ロックスルーブクロックドライバ200は、前記デューティサイクル補正部20の出力を第1および第2位相信号R O U T、F O U Tに分離して出力する位相分離部40、前記第1および第2位相信号R O U T、F O U Tのうち少なくとも1つのパルス幅を前記パルス幅検出信号D E T Wに応じて調節して出力するパルス幅調節部300、および前記パルス幅調節部300の出力をドライブするための第1および第2ドライバ50、60を備えている。

【0026】

前記パルス幅調節部300は、前記第1位相信号R O U Tおよび第2位相信号F O U Tのうちいずれか1つ又は2つともパルス幅を調節するように構成することができる。

50

前記パルス幅調節部 300 を前記第 1 および第 2 位相信号 R O U T , F O U T のパルス幅全てを調節するように構成した場合、その構成は図 4 に示す通りである。前記パルス幅調節部 300 は、前記第 1 位相信号 R O U T のパルス幅を前記パルス幅検出信号 D E T W に該当する幅だけ減少させて出力する第 1 パルス幅調節部 310、および前記第 2 位相信号 F O U T のパルス幅を前記パルス幅検出信号 D E T W に該当する幅だけ減少させて出力する第 2 パルス幅調節部 320 を備えている。

【 0 0 2 7 】

前記第 1 パルス幅調節部 310 は、図 5 に示すように、前記第 1 位相信号 R O U T を前記パルス幅検出信号 D E T W に相応する時間だけ遅延させて出力する可変遅延部 311、前記第 1 位相信号 R O U T と前記可変遅延部 311 の出力を演算する第 1 ナンドゲート N D 3 1、および前記第 1 ナンドゲート N D 3 1 の出力と前記第 1 位相信号 R O U T を論理積演算する第 2 ナンドゲート N D 3 2 とインバータ I V 3 1 を備えている。

10

【 0 0 2 8 】

前記可変遅延部 311 は、図 6 に示すように前記パルス幅検出信号 D E T W が入力される第 1 インバータ I V 4 1、前記パルス幅検出信号 D E T W と前記第 1 インバータ I V 4 1 の出力により前記第 1 位相信号 R O U T を通過させる第 1 パスゲート P G 4 1、前記第 1 インバータ I V 4 1 の出力と前記パルス幅検出信号 D E T W により前記第 2 位相信号 F O U T を通過させる第 2 パスゲート P G 4 2、前記第 1 パスゲート P G 4 1 の出力を第 1 遅延時間だけ遅延させて出力する第 1 デレイ素子 312、前記第 2 パスゲート P G 4 2 の出力を第 2 遅延時間だけ遅延させて出力する第 2 デレイ素子 313、および前記第 1 および第 2 パスゲート P G 4 1 , P G 4 2 の出力を論理和演算するノアゲート N R 4 1 と第 2 インバータ I V 4 2 を備えている。前記第 1 デレイ素子 312 に比べて第 2 デレイ素子 313 の遅延時間はより大きく設定される。

20

【 0 0 2 9 】

図 4 の第 2 パルス幅調節部 320 は、前記第 1 パルス幅調節部 310 と同一に構成される。

一方、前記パルス幅調節部 300 を前記第 1 位相信号 R O U T のパルス幅だけを調節するように構成した場合、図 4 で第 2 パルス幅調節部 320 を削除して第 2 位相信号 F O U T が直接第 2 ドライバ 60 に印加されるようにすればよい。

【 0 0 3 0 】

前記パルス幅調節部 300 を前記第 2 位相信号 F O U T のパルス幅だけを調節するように構成した場合、図 4 で第 1 パルス幅調節部 310 を削除して第 1 位相信号 R O U T が直接第 1 ドライバ 50 に印加されるようにすればよい。

30

【 0 0 3 1 】

前記クロックパルス幅検出部 400 は、図 7 に示すように前記外部クロック C L K の周波数を分割する分周部 410、前記分周部 410 の出力を遅延させる遅延部 420、前記分周部 410 の出力と前記遅延部 420 の出力とが入力される第 1 ナンドゲート N D 5 1、前記第 1 ナンドゲート N D 5 1 の出力が入力される第 1 インバータ I V 5 1、および前記第 1 インバータ I V 5 1 の出力が入力されるラッチ 430 を備えている。前記クロックパルス幅検出部 400 では、分周部 410 が外部クロック C L K の周波数を所定倍率（例えば、 $1/2$ ）に分けて出力する。前記遅延部 420 は、前記分周部 410 の出力を定められた時間だけ遅延させて出力する。前記第 1 ナンドゲート N D 5 1 と第 1 インバータ I V 5 1 とは、前記分周部 410 の出力と前記遅延部 420 の出力とを論理積演算して、その演算の結果を出力する。

40

【 0 0 3 2 】

前記ラッチ 430 は、第 1 入力端に電源 V D D が印加され、出力端を介して前記パルス幅検出信号 D E T W を出力する第 2 ナンドゲート N D 5 2、前記第 1 インバータ I V 5 1 の出力が入力される第 2 インバータ I V 5 2、および第 1 入力端に前記第 2 ナンドゲート N D 5 2 の出力が入力され、第 2 入力端に前記第 2 インバータ I V 5 2 の出力が入力され、出力端が前記第 2 ナンドゲート N D 5 2 の第 2 入力端と接続された第 3 ナンドゲート N

50

D 5 3を備えている。前記ラッチ 4 3 0は、初期動作時から前記第 1 インバータ I V 5 1の出力がローレベルの区間中、前記パルス幅検出信号 D E T Wをローレベルで出力し、前記第 1 インバータ I V 5 1の出力がハイレベルに遷移すれば、前記パルス幅検出信号 D E T Wをハイレベルで出力する。

【 0 0 3 3 】

例えば、外部クロック C L Kの周波数が高くてクロックパルス幅が狭い場合、図 8 aに示すように前記分周部 4 1 0の出力 C 1と前記遅延部 4 2 0の出力 C 2とを論理積すれば、第 1 インバータ I V 5 1の出力 C 3はローレベルを維持するために、ラッチ 4 3 0を介してパルス幅検出信号 D E T Wはローレベルで出力される。したがって、パルス幅検出信号 D E T Wがローレベルである場合、クロックパルス幅の狭いものを検出することができる。一方、外部クロック C L Kの周波数が低くてクロックパルス幅が広い場合、図 8 bに示すように前記分周部 4 1 0の出力 C 1と前記遅延部 4 2 0の出力 C 2を論理積すれば、第 1 インバータ I V 5 1の出力 C 3はハイレベル区間が繰り返されるパルス形状を示すため、ラッチ 4 3 0を介してパルス幅検出信号 D E T Wはハイレベルで出力される。したがって、パルス幅検出信号 D E T Wがハイレベルである場合、クロックパルス幅の広いものを検出することができる。

【 0 0 3 4 】

このように構成された本発明の実施形態に係る半導体記憶装置の遅延ロックループ回路の動作を説明すれば次の通りである。

【 0 0 3 5 】

前記デューティサイクル補正部 2 0は、内部クロック i R C L K , i F C L Kのデューティサイクルを補正した信号 D C D C O U Tを出力する。

前記クロックパルス幅検出部 4 0 0は、図 8 aおよび図 8 bに示すように外部クロック C L Kのパルス幅に応じたパルス幅検出信号 D E T Wを出力する。

前記位相分離部 4 0は、前記信号 D C D C O U Tの位相を分離して、第 1 および第 2 位相信号 R O U T , F O U Tを出力する。

前記パルス幅調節部 3 0 0は、前記パルス幅検出信号 D E T Wにより、第 1 および第 2 位相信号 R O U T , F O U Tのパルス幅を調節して出力する。

前記第 1 および第 2 パルス幅調節部 3 1 0 , 3 2 0のパルス幅調節動作は同一であり、第 1 パルス幅調節部 3 1 0の動作を説明すれば次の通りである。

前記パルス幅検出信号 D E T Wがハイレベルである場合、すなわち外部クロック C L Kの周波数が低くて外部クロック C L Kのパルス幅が広い場合について説明すれば次の通りである。

【 0 0 3 6 】

図 9 aに示すように、図 6の可変遅延部 3 1 1は、前記第 1 位相信号 R O U Tを前記第 1 デレイ素子 3 1 2の遅延時間に比べて長い第 2 デレイ素子 3 1 3の遅延時間だけ遅延させて出力する。図 5の第 1 ナンドゲート N D 3 1は、前記可変遅延部 3 1 1の出力 B 1と前記第 1 位相信号 R O U Tを演算した信号 B 2を出力する。前記第 2 ナンドゲート N D 3 2とインバータ I V 3 1は、前記信号 B 2と前記第 1 位相信号 R O U Tを論理積することにより、前記第 1 位相信号 R O U Tのパルス幅を前記第 2 デレイ素子 3 1 3の遅延時間だけ減少させた信号 R O U T Cを出力する。

前記パルス幅検出信号 D E T Wがローレベルである場合、すなわち外部クロック C L Kの周波数が高くて外部クロック C L Kのパルス幅が狭い場合について説明すれば次の通りである。

【 0 0 3 7 】

図 9 bに示すように、図 6の可変遅延部 3 1 1は、前記第 1 位相信号 R O U Tを前記第 1 デレイ素子 3 1 2の遅延時間だけ遅延させて出力する。図 5の第 1 ナンドゲート N D 3 1は、前記可変遅延部 3 1 1の出力 B 1前記第 1 位相信号 R O U Tを演算した信号 B 2を出力する。前記第 2 ナンドゲート N D 3 2とインバータ I V 3 1とは、前記信号 B 2と前記第 1 位相信号 R O U Tとを論理積することにより、前記第 1 位相信号 R O U Tのパル

10

20

30

40

50

ス幅を前記第1ディレイ素子312の遅延時間だけ減少させた信号ROUTCを出力する。

つまり、第1パルス幅調節部310および第2パルス幅調節部320は、外部クロックCLKのパルス幅を検出してパルス幅の調節量を異にすることにより、外部クロックCLKのパルス幅が異なっても信号ROUTC, FOUTCのパルス幅が一定になるようにする。

前記第1および第2ドライバ50, 60は、前記信号ROUTC, FOUTCを各々ドライブして遅延ロックループクロックRCLKDLL, FCLKDLLとして出力する。

【0038】

前記出力された遅延ロックループクロックRCLKDLL, FCLKDLLは、前記パルス幅調節部300を経由しないで生成された場合に比べてハイレベル区間の幅が減少した。周波数が異なることによって外部クロックCLKのパルス幅が可変しても、前記遅延ロックループクロックRCLKDLL, FCLKDLLのハイレベル区間の幅は一定に維持される。前記遅延ロックループクロックRCLKDLL, FCLKDLLは遅延ロックループ回路の外部に出力され、非対称信号線を経てスキューが発生しても互いに重なる区間が存在しなくなる。

10

【0039】

本発明の他の実施形態に係る半導体記憶装置の遅延ロックループ回路500は、図10に示すように、内部クロックiRCLK, iFCLKのデューティサイクルを補正して出力するデューティサイクル補正部20、および前記デューティサイクル補正部20の出力の位相を分離し、前記位相分離された2つの信号ROUT, FOUTのうち少なくとも1つのパルス幅を調節して、遅延ロックループクロックRCLKDLL, FCLKDLLとして出力する遅延ロックループクロックドライバ600を備えている。

20

【0040】

前記遅延ロックループクロックドライバ600は、前記デューティサイクル補正部20の出力を第1および第2位相信号ROUT, FOUTに分離して出力する位相分離部40、前記第1および第2位相信号ROUT, FOUTのうち少なくとも1つのパルス幅を調節して出力するパルス幅調節部700、および前記パルス幅調節部700の出力をドライブするための第1および第2ドライバ50, 60を備えている。前記パルス幅調節部700が前記第1位相信号ROUTのパルス幅を調節する場合、図10の第2パルス幅調節部720は削除され、第2位相信号FOUTは直接第2ドライバ60に印加される。一方、前記パルス幅調節部700が前記第2位相信号FOUTのパルス幅を調節する場合、図10の第1パルス幅調節部710は削除され、第1位相信号ROUTは直接第1ドライバ50に印加される。

30

【0041】

前記パルス幅調節部700は、前記第1位相信号ROUTおよび第2位相信号FOUTのうちいずれか1つ又は両方のパルス幅を調節するように構成することができる。

前記パルス幅調節部700を前記第1および第2位相信号ROUT, FOUTのパルス幅を調節するように構成する場合、その構成は図10に示す通りである。前記パルス幅調節部700は、前記第1位相信号ROUTのパルス幅を定められた幅だけ減少させて出力する第1パルス幅調節部710、および前記第2位相信号FOUTのパルス幅を定められた幅だけ減少させて出力する第2パルス幅調節部720を備えている。

40

【0042】

前記第1パルス幅調節部710は、図11に示すように、前記第1位相信号ROUTを定められた時間だけ遅延させて出力するディレイ素子711、前記第1位相信号ROUTと前記ディレイ素子711の出力を演算する第1ナンドゲートND61、および前記第1ナンドゲートND61の出力と前記第1位相信号ROUTを論理積演算する第2ナンドゲートND62とインバータIV61を備えている。

【0043】

図10の第2パルス幅調節部720は、前記第1パルス幅調節部710と同一に構成さ

50

れる。但し、第1パルス幅調節部710のディレイ素子711と第2パルス幅調節部720のディレイ素子の遅延時間は、回路設計によって同一であるか異なり得る。

【0044】

一方、前記パルス幅調節部700が前記第1位相信号ROUTのパルス幅だけを調節するように構成された場合、図10で第2パルス幅調節部720は削除し、第2位相信号FOUTは直接第2ドライバ60に印加されるようにすればよい。

【0045】

前記パルス幅調節部700が前記第2位相信号FOUTのパルス幅だけを調節するように構成された場合、図10で第1パルス幅調節部710は削除し、第1位相信号ROUTは直接第1ドライバ50に印加されるようにすればよい。

10

【0046】

このように構成された本発明の他の実施形態に係る半導体記憶装置の遅延ロックループ回路の動作を説明すれば次の通りである。

前記デューティサイクル補正部20は、内部クロックiRCLK, iFCLKのデューティサイクルを補正した信号DCDCOUTを出力する。

前記位相分離部40は、前記信号DCDCOUTの位相を分離して第1および第2位相信号ROUT, FOUTを出力する。

前記パルス幅調節部700は、前記第1および第2位相信号ROUT, FOUTのパルス幅を調節して出力する。

【0047】

20

前記第1および第2パルス幅調節部710, 720のパルス幅調節動作は同一であり、第1パルス幅調節部710の動作を説明すれば次の通りである。図11に示すように、ディレイ素子711は前記第1位相信号ROUTを既に設定された遅延時間だけ遅延させて出力する。前記第1ナンドゲートND61は、前記ディレイ素子711の出力と前記第1位相信号ROUTを演算して出力する。前記第2ナンドゲートND62とインバータIV61は、前記第1ナンドゲートND61の出力と前記第1位相信号ROUTを論理積して、前記第1位相信号ROUTのパルス幅を前記ディレイ素子711の遅延時間だけ減少させた信号ROUTCを出力する。

【0048】

つまり、第1パルス幅調節部710および第2パルス幅調節部720は、第1および第2位相信号ROUTおよびFOUTのパルス幅を各々一定量だけ減少させた信号ROUTCおよびFOUTCを出力する。

30

【0049】

前記第1および第2ドライバ50, 60は、前記信号ROUTCとFOUTCを各々ドライブして、遅延ロックループクロックRCLKDLL, FCLKDLLとして出力する。

前記出力された遅延ロックループクロックRCLKDLL, FCLKDLLは、前記パルス幅調節部700を介さずに生成された場合に比べてハイレベル区間の幅が減少した。したがって、前記遅延ロックループクロックRCLKDLL, FCLKDLLは遅延ロックループ回路の外部に出力され、非対称信号線を経てスキューが発生しても互いに重なる区間が存在しなくなる。

40

【0050】

本発明が属する技術分野の当業者は、本発明がその技術的思想や必須の特徴を変更せず、他の具体的な形態によって実施することができるため、以上で記述した実施形態はすべての面で例示的なものであり、限定的なものではないことを理解しなければならない。本発明の範囲は、前記詳細な説明よりは後述する特許請求の範囲によって表され、特許請求の範囲の意味および範囲そしてその等価概念から導き出されるすべての変更又は変形された形態が本発明の範囲に含まれると解釈しなければならない。

【図面の簡単な説明】

【0051】

50

【図 1】従来の技術に係る半導体記憶装置の遅延ロックループクロックの伝送経路を示すブロック図である。

【図 2】従来の技術に係る半導体記憶装置の遅延ロックループ回路のブロック図である。

【図 3】従来の技術に係る半導体記憶装置の遅延ロックループクロックのエラー発生を示すタイミング図である。

【図 4】本発明の実施形態に係る半導体記憶装置の遅延ロックループ回路のブロック図である。

【図 5】図 4 の第 1 パルス幅調節部の回路図である。

【図 6】図 5 の可変遅延部の回路図である。

【図 7】図 4 のクロックパルス幅検出部の回路図である。

10

【図 8 a】図 7 のクロックパルス幅検出部の動作タイミング図である。

【図 8 b】図 7 のクロックパルス幅検出部の動作タイミング図である。

【図 9 a】図 5 の第 1 パルス幅調節部の動作タイミング図である。

【図 9 b】図 5 の第 1 パルス幅調節部の動作タイミング図である。

【図 10】本発明の他の実施形態に係る半導体記憶装置の遅延ロックループ回路のブロック図である。

【図 11】図 10 の第 1 パルス幅調節部の回路図である。

【符号の説明】

【0052】

20 ... デューティサイクル補正部

20

40 ... 位相分離部

50 ... 第 1 ドライバ

60 ... 第 2 ドライバ

100, 500 ... 遅延ロックループ回路

200, 600 ... 遅延ロックループクロックドライバ

300, 700 ... パルス幅調節部

310 ... 第 1 パルス幅調節部

311 ... 可変遅延部

312 ... 第 1 デイレイ素子

313 ... 第 2 デイレイ素子

30

320, 720 ... 第 2 パルス幅調節部

410 ... 分周部

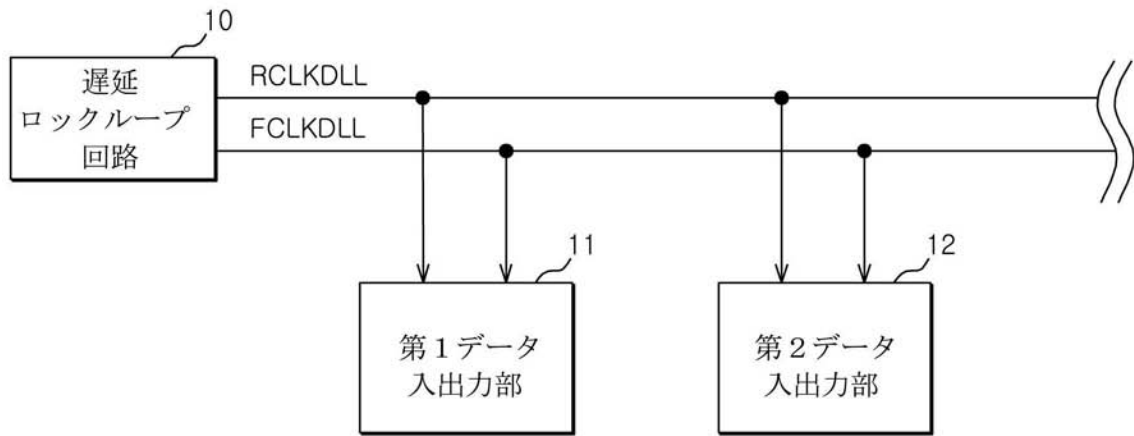
420 ... 遅延部

430 ... ラッチ

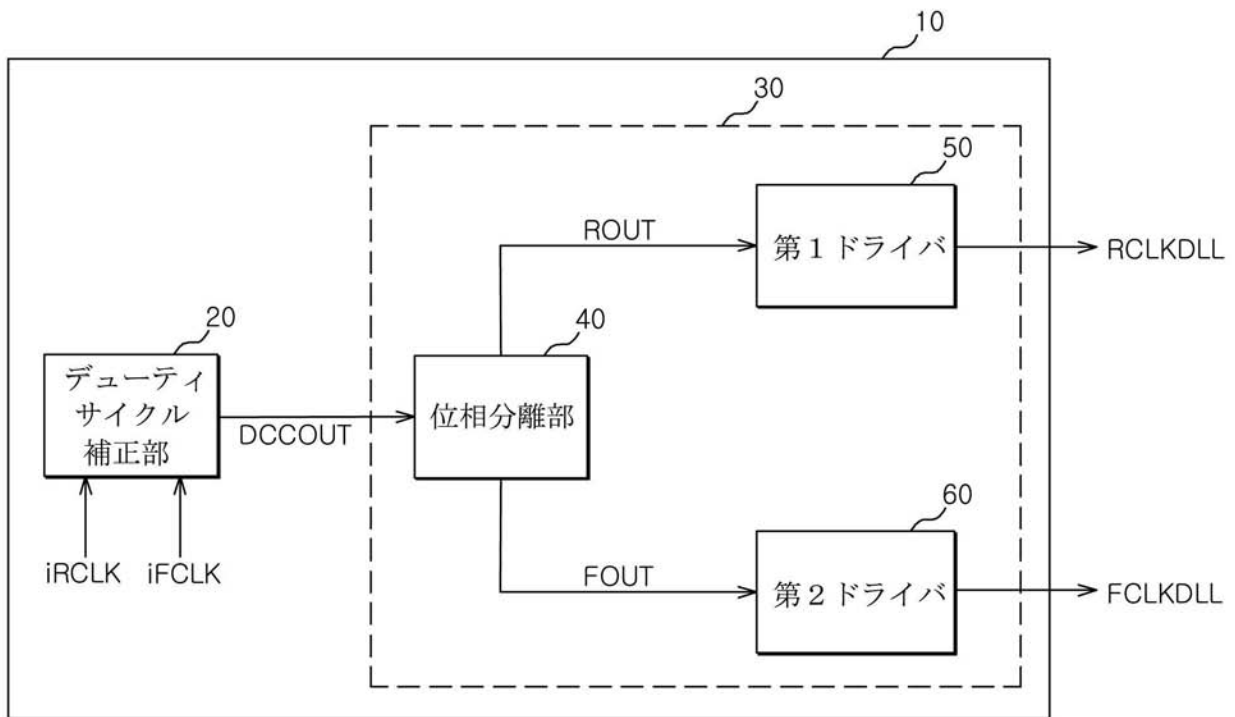
710 ... 第 1 パルス幅調節部

711 ... デイレイ素子

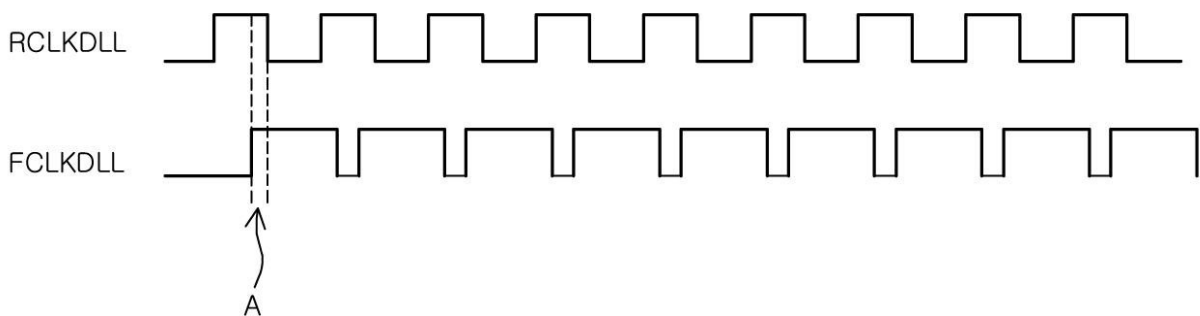
【図1】



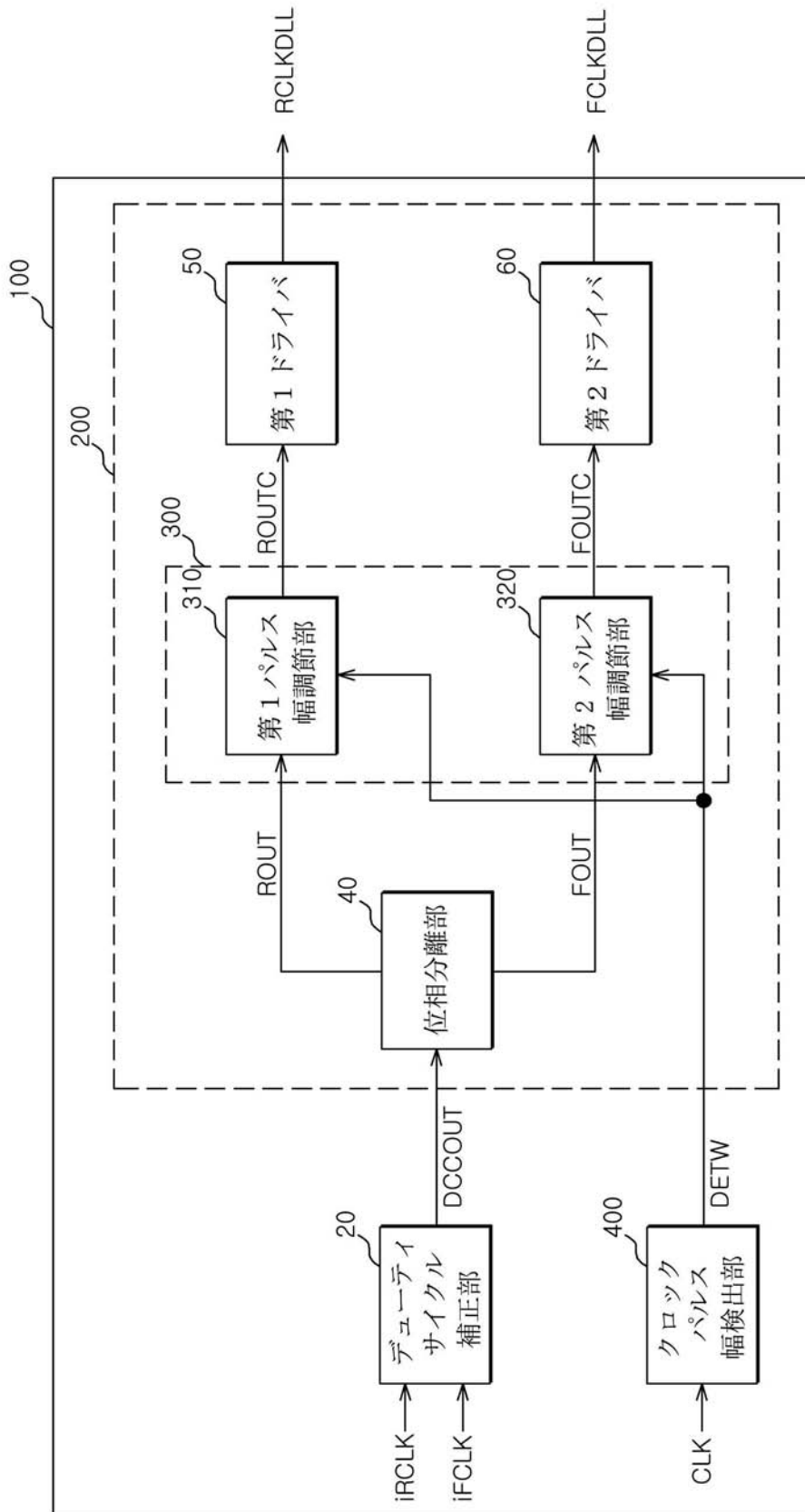
【図2】



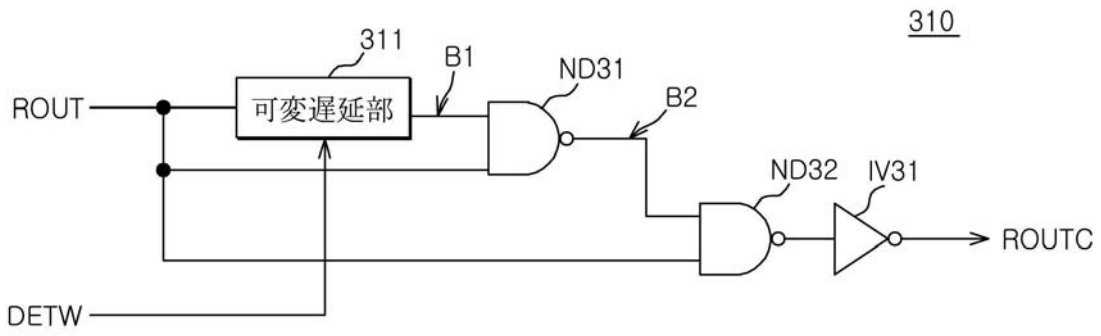
【図3】



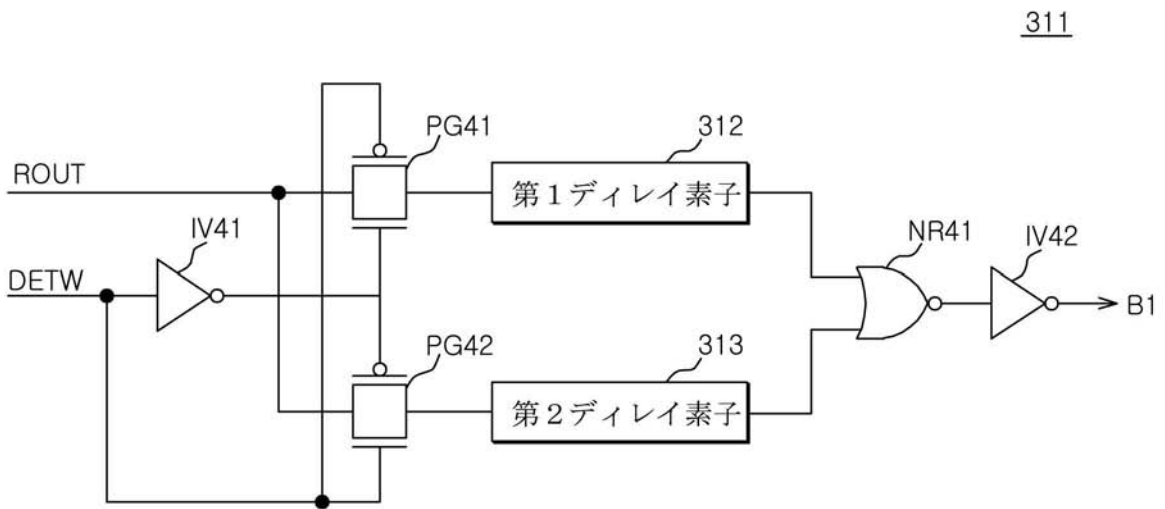
【 図 4 】



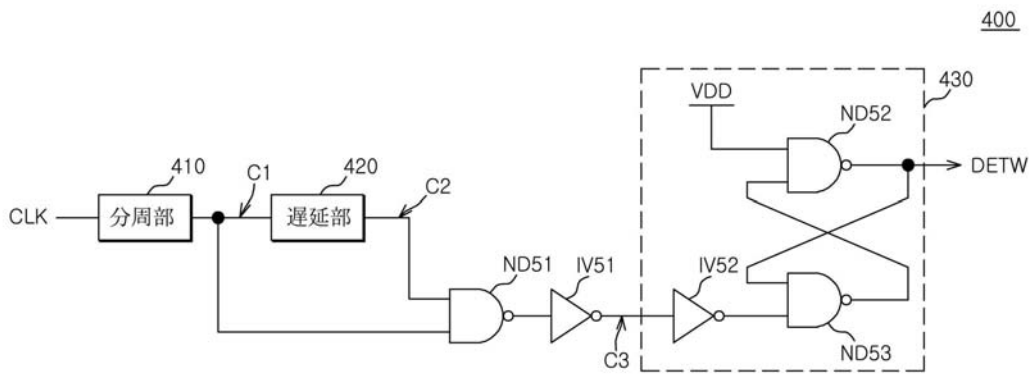
【 図 5 】



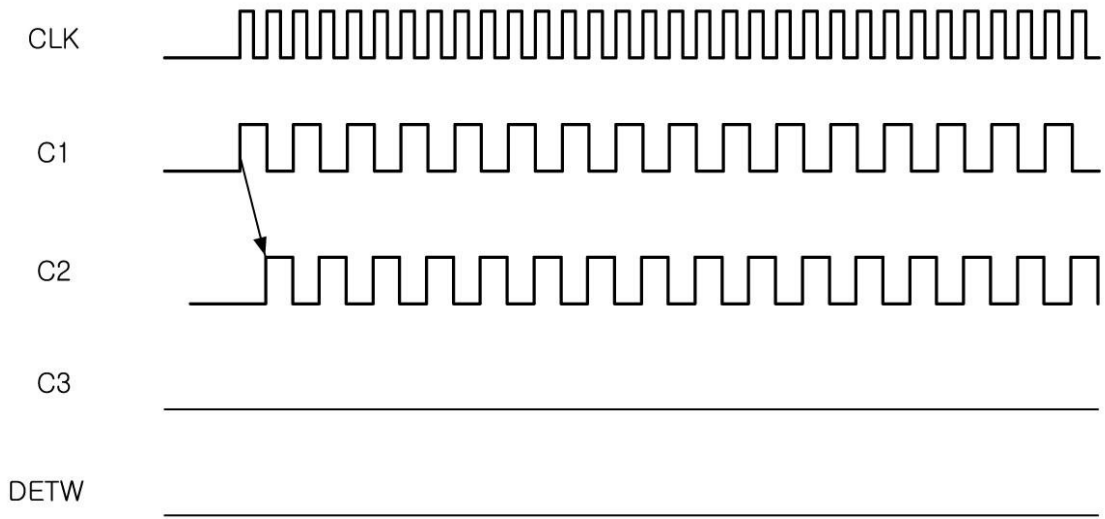
【 図 6 】



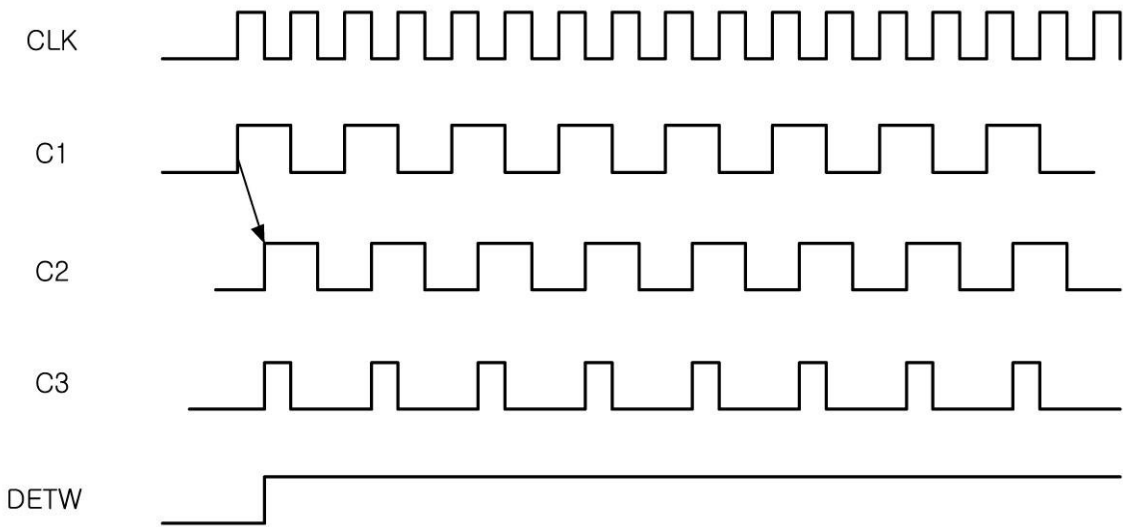
【 図 7 】



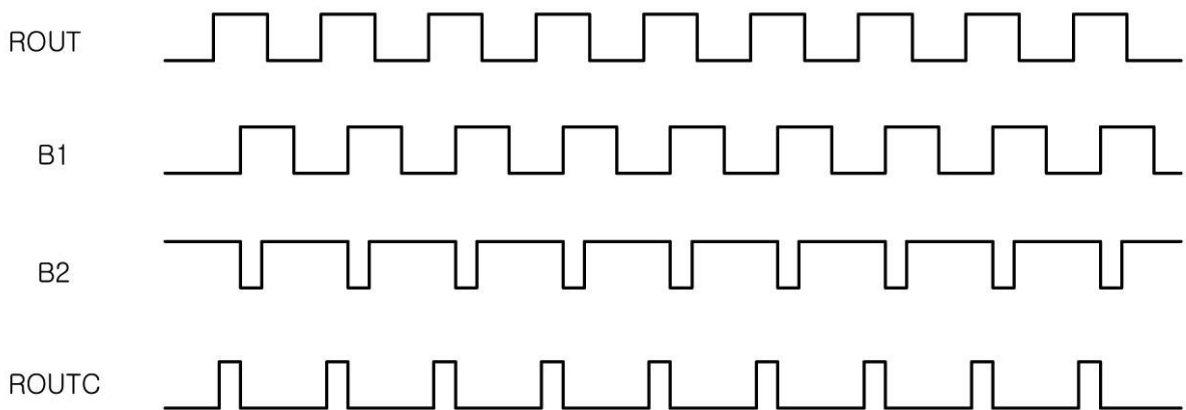
【 図 8 a 】



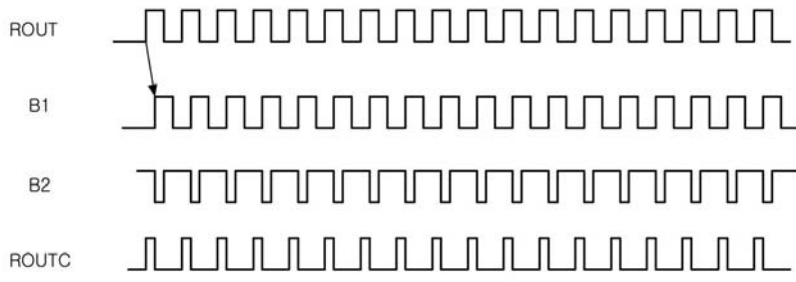
【 図 8 b 】



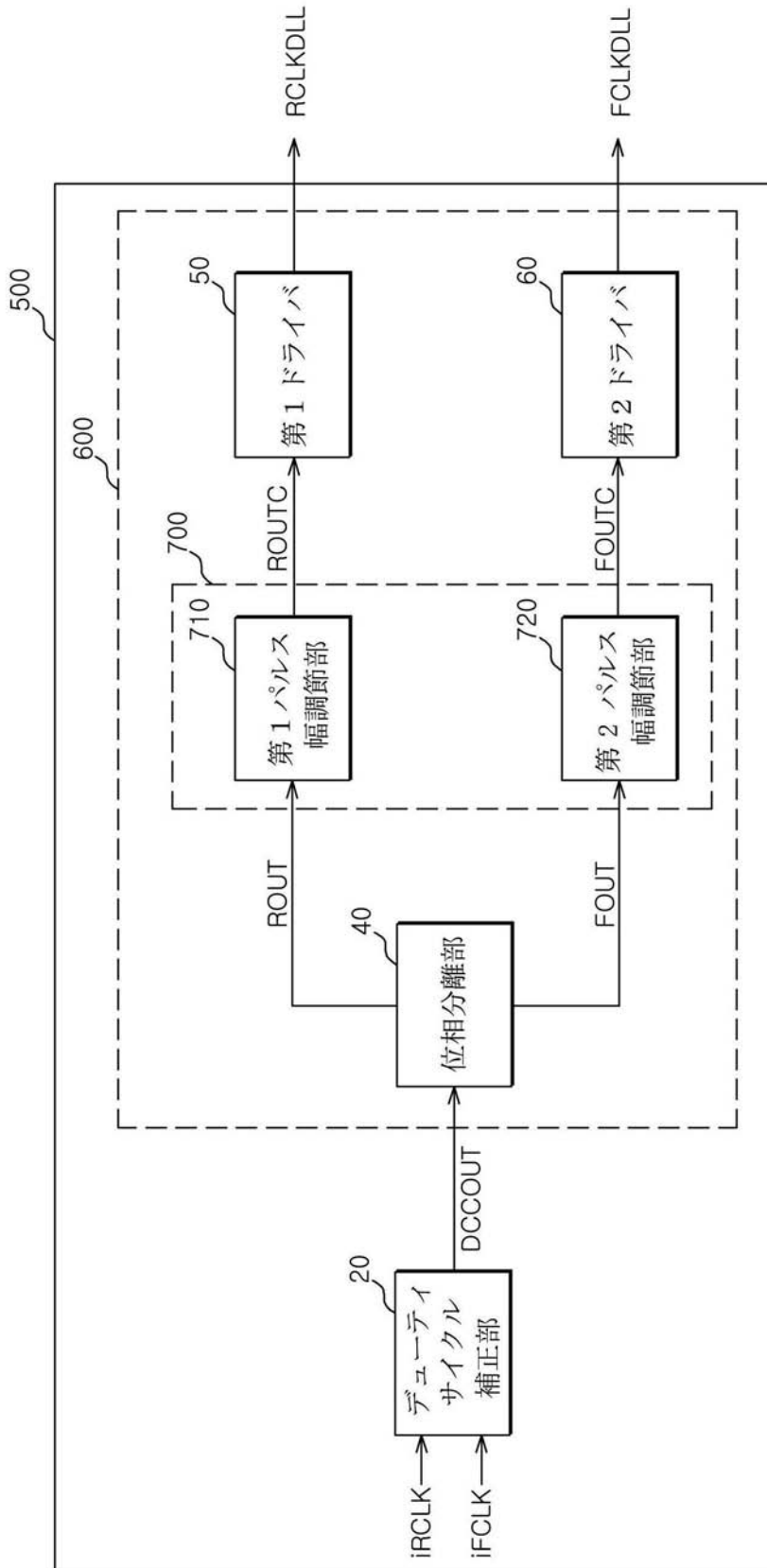
【 図 9 a 】



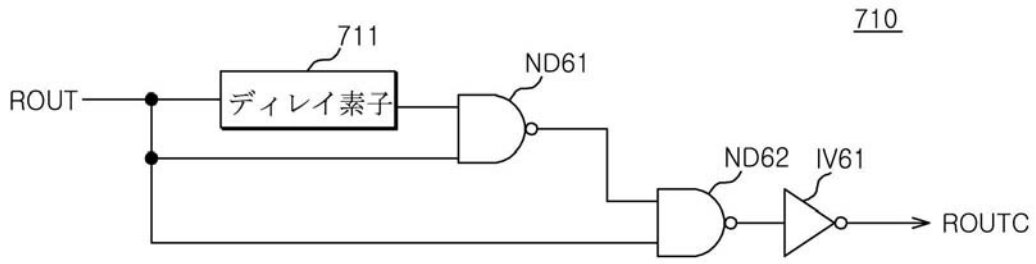
【 図 9 b 】



【図10】



【 図 1 1 】



フロントページの続き

Fターム(参考) 5J001 AA05 AA11 BB11 BB12 CC03 DD09
5J106 AA04 CC59 DD46 FF07 GG10 HH02 JJ06 KK17