



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I509442 B

(45) 公告日：中華民國 104 (2015) 年 11 月 21 日

(21) 申請案號：099120411

(22) 申請日：中華民國 99 (2010) 年 06 月 23 日

(51) Int. Cl. : **G06F17/50 (2006.01)****H01L21/027 (2006.01)**

(30) 優先權：2009/07/16 美國

61/226,261

2009/10/20 美國

12/582,366

(71) 申請人：卡登斯設計系統股份有限公司 (美國) CADENCE DESIGN SYSTEMS, INC. (US)
美國(72) 發明人：賽茲吉奈 阿布度拉漢 SEZGINER, ABDURRAHMAN (US)；諾伊斯 大衛 C
NOICE, DAVID COOKE (US)；史惠斯 傑森 SWEIS, JASON (US)；吉勞西 瓦
西里歐斯 GEROUSIS, VASSILIOS (US)；姚蘇乾 YAO, SOZEN (US)

(74) 代理人：惲軼群；陳文郎

(56) 參考文獻：

TW I279648

TW 200900980A

US 2009/0079005A1

審查人員：林剛煌

申請專利範圍項數：18 項 圖式數：14 共 61 頁

(54) 名稱

用以為欲以雙倍圖樣化製造之積體電路安排路由的方法、系統、及程式產品

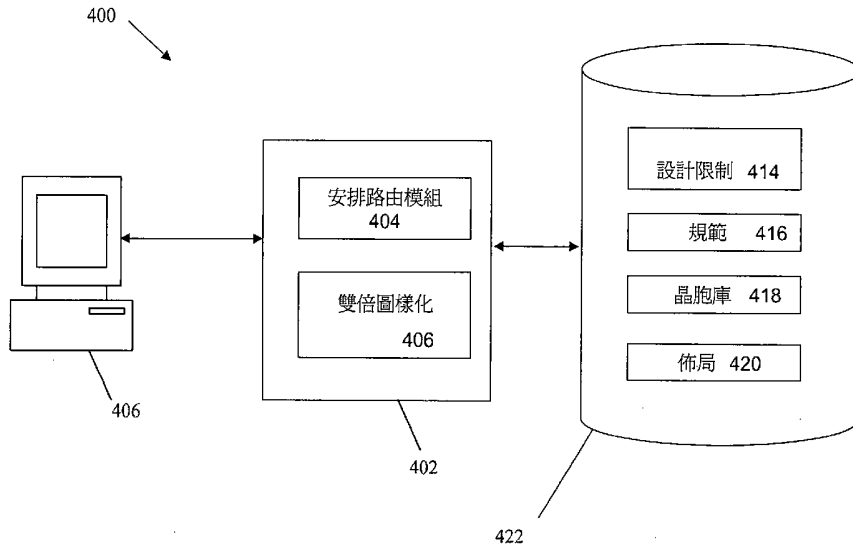
METHOD, SYSTEM, AND PROGRAM PRODUCT FOR ROUTING AN INTEGRATED CIRCUIT TO
BE MANUFACTURED BY DOUBLED PATTERNING

(57) 摘要

本發明揭露一種用以使用建構正確的雙重專利為一電子設計安排路由的方法、設備、及程式產品。已被安排路由的佈局將由建構被設計成允許用雙重專利成功製造，因為路由器將不允許佈局中用雙倍圖樣化無法成功製造的一路由安排組態。

Disclosed are a method, apparatus, and program product for routing an electronic design using double patenting that is correct by construction. The layout that has been routed will by construction be designed to allow successful manufacturing with double patenting, since the router will not allow a routing configuration in the layout that cannot be successfully manufactured with double patterning.

第 3 圖



- 400 . . . 系統
- 402 . . . 佈局/配置及安排路由工具、電子設計自動化工具
- 404 . . . 安排路由模組
- 406 . . . 雙倍圖樣化模組、使用者站
- 414 . . . 設計限制
- 416 . . . 設計規範
- 418 . . . 晶胞庫
- 420 . . . 佈局、佈局與遮罩設計、顯示佈局
- 422 . . . 電腦可讀媒體

六、發明說明：

【發明所屬之技術領域】

交互參考相關申請案

本發明主張2009年7月16日提出申請的美國臨時申請案第61/226,261的利益，其全部內容併入本文以供參考。

技術領域

本發明有關於用以為一使用雙倍圖樣化方法製造之積體電路的互連安排路由的電子設計自動化。

【先前技術】

發明背景

積體電路或IC是藉由圖樣化一基板及沉積於基板上的材料而產生。基板典型地是一半導體晶圓。圖樣化特徵(feature)構成裝置及互連。此製程一般地以一設計者使用一硬體描述語言來階層式定義電路的功能組件來產生一積體電路而開始。由此高階功能描述，產生一實體電路實施資料集，其通常為一連線網表(netlist)的形式。此連線網表識別一晶胞庫中的邏輯晶胞實例，並描述晶胞至晶胞的連接。

接著使用連線網表建立一佈局檔案。這是透過一配置與安排路由過程來完成，此過程將邏輯晶胞分配至裝置佈局中的實體位置並為它們的互連安排路由。實體佈局典型地被描述為許多圖樣化層，及每一層的圖樣用一組多邊形的聯合來描繪。佈局資料集例如以GDS II (“Graphic Data System II”)或OASIS (“Open Artwork System Interchange Standard”)格式儲存。積體電路的組件裝置及互連逐層被建

構。一層沉積於晶圓上並接著使用一光微影製程及一蝕刻製程而被圖樣化。對每一層的光微影，由佈局檔案建立一或多個光罩。光罩被用來將佈局圖樣轉移至晶圓上的實體層。一光罩或遮罩提供各自積體電路層之期望實體幾何形狀的影像。光經過遮罩將該層的佈局圖樣投射至晶圓上。一成像透鏡系統將佈局投射並集中於基板上。經投射光圖樣與晶圓上的一感光抗蝕劑(resist)塗層相互作用及，經曝光的抗蝕劑部分變為在一顯影液中是可溶的或是不可溶的，視光阻劑(photoresist)類型而定。因此，透過光學投射及化學反應，遮罩圖樣被轉移至光阻劑。光阻劑圖樣隨後透過一蝕刻製程被轉移至一下層。一般地，包含化學選擇性反應離子的電漿被用來蝕刻接近垂直側壁的高深寬比溝槽與孔。

隨著不斷期望以較小體積提供較多功能及單晶片系統與混合信號設計的發展，IC特徵幾何形狀被驅使變為越來越小的尺寸。然而，將愈益小特徵的一準確影像投射至晶圓上的能力受所使用的光波長與透鏡系統能力限制。一投射系統可印製的最小特徵尺寸可用下式表示：

$$CD = k_1 \frac{\lambda}{NA}$$

其中CD(critical dimension，臨界尺寸)為最小特徵尺寸； k_1 為製程相關因數的一無因次係數； λ 為所使用的光波長；及NA是自晶圓所見之投射的數值孔徑。上面方程式不是一黑白分明的絕對限制。隨著 k_1 降至0.35以下，微影製程

的良率逐步降低，及其成本升高。對於一單一曝光，將 k_1 降至0.28以下是不實際的。對一週期性圖樣的節距有一基本的硬限制：

$$\text{週期} \geq 0.5 \frac{\lambda}{NA}$$

當使用一利用一單一光子反應的抗蝕劑時，不論所使用的光罩及解析度增強技術，節距限制不能被違反。此限制的理由為，在光阻劑內產生的光強度影像是受空間角頻域中的頻帶限制的。當強度影像相對x與y座標(晶圓平面中的座標)進行傅立葉轉換時，經轉換強度影像的支援被包含於半徑為 $4\pi NA/\lambda$ 的一圓盤中。可用一單一微影步驟印製的圖樣近似為此類帶限函數的等位曲線。

目前，最高階高容微影技術使用193 nm波長氬氟(ArF)準分子鐳射作為光源及一具有1.35數值孔徑的投射透鏡，其在一單一微影步驟中無法印製小於67 nm的節距。因此，習知微影技術的解析度限制愈益受到關鍵IC特徵幾何形狀縮小尺寸的挑戰。

雙倍圖樣化：用來增強特徵密度的一類技術被稱為雙倍圖樣化或多倍圖樣化。有數種雙倍圖樣化類型在用，最常見的類型是：光刻-蝕刻-光刻-蝕刻(litho-etch-litho-etch) (LELE)；光刻-凍結-光刻-蝕刻(litho-freeze-litho-etch) (LFLE)；自我對準式雙倍圖樣化(self-aligned double patterning, SADP)，亦稱為間隔物輔助雙倍圖樣化(spacer-assisted double patterning)或側壁影像轉移(sidewall

image transfer, SIT)。

光刻-蝕刻-光刻-蝕刻製程與光刻-凍結-光刻-蝕刻製程將佈局分解成兩部分，每一部分近似一適當地受頻帶限制強度影像的等位曲線。分解類似於使用兩種顏色來給一地圖著色使得沒有兩個相鄰國家都具有相同顏色。類似地，將佈局分解成兩部分可稱為「給佈局著色」。分配第一種顏色的特徵用一第一微影步驟印製，及分配第二種顏色的特徵用一第二微影步驟印製。在此術語中，顏色僅僅是一標誌，不是一實體顏色。

光刻-蝕刻-光刻-蝕刻的溝槽分解變體：依據LELE的溝槽分解變體，圖樣被表示為兩組溝槽的聯合。溝槽分解LELE方法拓撲上適於雙倍圖樣化鑲嵌金屬層。現在參考第1a至1d圖，藉由使用一第一微影步驟及一第一蝕刻步驟將第一組溝槽1蝕刻於一硬遮罩2中(第1a圖)，及一防反射塗層4及一第二光阻劑5在此硬遮罩上遭旋轉(第1b圖)。透過一第二微影步驟將第二組溝槽7蝕刻於硬遮罩2中(第1c圖)，並執行一第二蝕刻步驟(第1d圖)。硬遮罩2中兩組溝槽1與7的聯合透過一第三蝕刻製程(未繪示)被轉移至下層。一硬遮罩通常是一沉積在欲圖樣化層上的薄膜。此硬遮罩與欲圖樣化的層化學上不同使得它們可一次一者而被選擇性蝕刻。

SADP(SIT) 方法是雙倍圖樣化的一已知方法 [C. Bencher, “SADP: The Best Option for 32 nm NAND Flash,” *Nanochip Technology Journal*, Issue 2, 2007]。參考第2a至2c圖，在SADP方法中，一核心(亦稱為心軸)圖樣10透過一微

影及一蝕刻製程而在一晶圓上形成(第2a圖)。核心圖樣10透過沉積於一晶圓20上的一介電質層15而形成。一間隔材料25例如 Si_3N_4 沉積於核心圖樣上(第2b圖)。此間隔材料是透過一電漿製程以蝕刻水平表面較快的一方式而被蝕刻。第2c圖繪示間隔蝕刻製程之後晶圓的橫截面。核心圖樣10中特徵(島)的側壁受間隔物35覆蓋。

SADP的溝槽成線(Wire-by-trench)變體：在溝槽成線SADP製程中，間隔物圖樣定義金屬連接間的介電質。核心圖樣10透過一化學選擇性蝕刻製程而被移除，留下側壁間隔物35(第2d-1圖)。側壁間隔物圖樣使用一蝕刻製程被轉移至介電質層15(第2e-1圖)。在間隔物35與介電質層15之間可有一或多個硬遮罩層。在該情況中，間隔物圖樣使用多個蝕刻製程而被轉移至介電質層15中。溝槽於介電質層中形成。在雙鑲嵌製程中在此步驟蝕刻導通孔(未繪示)。用金屬填充溝槽及導通孔。在鑲嵌製程中，用阻障與晶種層塗布溝槽，及銅被電沉積於溝槽與導通孔中。過量的銅用一CMP(化學機械研磨)移除，僅留銅40於溝槽與導通孔中(第2f-1圖)。

SADP的間隔物成線(Wire-by-Spacer)變體：在間隔物成線SADP製程中，間隔物圖樣定義金屬互連圖樣。實現間隔物圖樣定義金屬互連圖樣概念上最簡單的方式將會是用金屬作間隔物。這未被實行，因為針對因其較佳導電性而為互連金屬的銅沒有一良好的蝕刻製程。溝槽成線方法遵循第2a至2c圖的方法。接著，間隔物被核心材料50或一化學

上類似的材料覆蓋，如第2d-2圖所示。此沉積物填充間隔物35間的空間。間隔物與核心材料透過CMP變薄(第2e-2圖)以使間隔物的橫截面變得更矩形。間隔物由一化學選擇性蝕刻製程移除(第2f-2圖)。間隔物35所在處現在為溝槽36。溝槽圖樣透過一蝕刻製程被轉移至將支援導線的介電質層(第2g-2圖)。依據雙鑲嵌製程在此步驟使用一獨立的微影與蝕刻步驟來蝕刻導通孔(未繪示)。介電質層37中的溝槽及導通孔用金屬填充。最後，金屬37在間隔物的位置，及介電質在核心51與間隔物52間的空間之位置。

雙倍圖樣化限制：當一組奇數特徵中的每一特徵離組中另一特徵一最小臨界距離時，LELE雙倍圖樣化無法印製此組奇數特徵。此類諸組特徵可稱為奇循環(odd cycle)或顏色衝突。奇循環在實體範圍與特徵數目上可任意大。一本地操作無法檢查奇循環的出現。在此情況中，「本地」意為限制為晶圓(x-y)平面的一鄰近區，使得鄰近區的直徑不到最小特徵尺寸的數倍(例如，5倍)。類似地，若一奇循環被檢測到，其不必由不產生另一奇循環的一本地操作修復。先前技藝雙倍圖樣化教示藉由將一特徵分成重疊段並給諸段著不同顏色來解決顏色衝突。舉例而言，在一奇循環中將特徵中的一特徵分成兩特徵會生成偶數特徵。然而，新著色方案可產生一新的顏色衝突。如果一佈局是不顧雙倍圖樣化的限制而建立，在一可接受的時間或計算量內不能實現一有效分解。

鑲嵌製程：在積體電路中鑲嵌製程被用於進行銅互

連。在鑲嵌製程中，互連被蝕刻為到一介電質層諸如 SiO_2 或TEOS中的溝槽。溝槽內襯一擴散阻障一薄膜諸如氮化鈦或氮化鉍。此阻障膜阻止金屬原子擴散至介電質中。溝槽接著內襯種電沉積之導電層的一薄膜。此阻障與晶種層典型地透過一物理或化學氣相沉積而沉積。用一濕電沉積製程來給溝槽填充典型為銅之金屬。電沉積不僅填充溝槽而且用一過量金屬層塗布晶圓。過量金屬透過化學機械研磨來移除，這僅留金屬於溝槽與導通孔中。在不同層的金屬溝槽(導線)由稱為導通孔的垂直互連而連接。導通孔由蝕刻一介電質內的孔並用金屬填充孔而製成。雙鑲嵌製程以兩單獨的微影步驟來蝕刻一溝槽層與一導通孔(亦稱為導通開口)層。導通孔比溝槽蝕刻得更深，下至前一金屬層。存在一溝槽優先(trench-first)雙鑲嵌製程與一導通孔優先(via-first)雙鑲嵌製程。在雙鑲嵌製程的任一變體中，導通孔與溝槽以一組阻障、晶種、及金屬沉積來進行金屬填充。習知地，溝槽層用一單一微影步驟圖樣化，及相關聯的導通孔用另一單一微影步驟圖樣化。製造22 nm節點以下的邏輯裝置可需要雙倍圖樣化溝槽層與導通孔層當中之二者或此兩者。

單一開口與雙開口導通孔：相鄰路由層上的一些導線透過導通孔連接。導通孔可為單一開口或雙開口。一單一開口通常被繪為一正方形，但因受限的微影解析度在x-y平面再現具有近似一圓形橫截面。在三維中，一單一開口導通孔近似一圓柱。一單一開口導通孔的直徑相當於一導線

(溝槽)的寬度。單一開口導通孔具有為開路抑或因微影、蝕刻、及沉積製程上的變化而具有一無法接受的高電阻之一些可能性。雙開口導通孔被用來降低具有欠佳經連接導通孔的可能性。一雙開口導通孔為並行連接的兩相鄰導通孔抑或較佳地繪為具有一矩形橫截面之導通孔，此矩形橫截面透過微影變為一橢圓橫截面。一矩形雙開口導通孔的長尺寸為導線寬度的兩倍或更多，及其短尺寸相當於導線寬度。在相鄰層中的導線具有交替較佳方向的情況下，一雙開口導通孔必然使其長方向垂直於其所連接兩層中之一層的較佳方向。

【發明內容】

發明概要

本發明的實施例提供一種用以使用建構正確的雙重專利為一電子設計安排路由的方法、設備、及程式產品。已被安排路由的佈局將由建構被設計成允許用雙重專利成功製造，因為路由器將不允許佈局中有無法用雙倍圖樣化成功製造的一路由組態。

圖式簡單說明

第1a至1d圖以剖面圖繪示依據相關技藝溝槽光刻-蝕刻-光刻-蝕刻雙倍圖樣化的步驟。

第2a至2c圖以剖面圖繪示依據相關技藝自我對準式雙倍圖樣化的步驟。

第2d-1、2e-1及2f-1圖以剖面圖繪示依據相關技藝自我對準式雙倍圖樣化之溝槽成線變體的步驟。

第2d-2、2e-2、2f-2及2g-2圖以剖面圖繪示依據相關技藝自我對準式雙倍圖樣化之間隔物成線變體的步驟。

第3圖繪示可實施本發明的一系統。

第4a圖說明佈線跡線的顏色分配。

第4b圖繪示依據本發明之一實施例的一寬導線。

第5a至5b圖繪示依據本發明之一些實施例LELE安排路由方法的流程圖。

第6a至6c圖繪示依據本發明之一實施例一錯向導線連接跡線的視圖。

第7a至7b圖繪示依據本發明之一實施例而安排路由之一金屬層的模擬輪廓。

第8a至8d圖繪示依據本發明之一實施例一錯向連接之經允許組態的範例。

第9a至9d圖以平面圖繪示依據本發明之一實施例一錯向連接之不允許組態的範例。

第10a圖繪示依據本發明之一些實施例SADP安排路由方法的一流程圖。

第10b圖以平面圖繪示依據本發明之一實施例一陣列內導線間的交替空間被預先分配以由間隔物成線SADP方法中的核心圖樣形成。

第11a至11c圖以平面圖繪示依據本發明之一實施例使用間隔物成線SADP方法之一錯向導線連接跡線。

第12圖以平面圖繪示依據本發明之一實施例使用溝槽成線SADP方法之一錯向導線連接跡線。

第13圖以平面圖繪示依據本發明之一實施例使用溝槽成線SADP方法之一錯向導線連接跡線。

第14圖是適於實施本發明的一實施例之一計算系統的一方塊圖。

【實施方式】

本發明實施例之詳細說明

本發明之實施例提供一種使用由建構正確的雙重專利為一電子設計安排路由之方法、設備、及程式產品。如上所指出，實施雙重專利的習知方法可失敗，因為已被安排路由的設計佈局可能不應以一成功或成本效應方式用雙倍圖樣化來製造。使用本發明，已被安排路由的佈局將由建構被設計成允許用雙重專利成功製造，因為路由器將不允許佈局中有無法用雙倍圖樣化成功製造的一路由組態。

第3圖說明依據本發明之一些實施例用以使用一系統400以雙倍圖樣化執行路由安排的一個一般架構。系統400包括一佈局/配置及安排路由工具402，其在一些實施例中是一電腦輔助設計(CAD)工具或電子設計自動化(EDA)工具，具有為一電子設計產生佈局及遮罩設計的能力。

EDA工具402包括為一電子設計安排路由以產生一佈局420之一安排路由模組404。安排路由模組404基於一或多個設計規範416及一或多個設計限制414而運作。設計限制414可包括一個或多個限制，其被施加來保證雙倍圖樣化模組406產生能夠製造經安排路由佈局420之遮罩設計的能力。舉例而言，如下面將詳細描述，一或多個設計限制414

可包括有關佈局上路由通道的特定微影分組之規則，以及有關佈局中「錯向」(wrong way)導線的「顏色」之特定規則。一或多個晶胞庫418可貢獻被佈局420中的導線安排路由之晶胞。

系統中的資料，諸如設計規範416、限制414、及晶胞庫418可被儲存於一或多個電腦可讀媒體422中。EDA工具402所產生的佈局及遮罩設計420可被儲存於電腦可讀媒體422中。

一或多個使用者可使用一或多個使用者站來操作EDA工具402。一或多個使用者站可包括一顯示裝置，其用以顯示EDA工具402操作期間的視覺資訊或顯示操作EDA工具的結果，例如顯示佈局420。

在一實施例中，一路由演算法將一較佳方向分配給每一路由層中的導線。較佳方向x或y在晶圓平面中。金屬層具有交替較佳方向。垂直於較佳方向的方向是「錯向」。類似地，本文件有時將較佳方向稱為「正向」。在一實施例中，在一層中的導線僅朝向較佳方向。在一實施例中，錯向連接被允許但有成本函數上的損失。路由演算法使一成本函數最小化。成本函數的值隨著增加錯向連接的數目或長度而增加。

一平行線陣列在文中稱為一線型光柵。考慮一具有朝向較佳方向的線之線型光柵，此線型光柵覆蓋欲安排路由的區域。光柵線可等效地被稱為「跡線」。路由演算法將正向導線置於跡線中心處。概念上，正向導線是藉由移除光

柵線的部分而形成。假定，跡線被標為1、2、3等。因此，指定正向導線的任一段，其中心線為具有一特定整數指數之跡線中的一跡線。彼此沒有電氣連接的許多導線可在同一跡線上列隊。因而，跡線與導線之間沒有一一對應。

使用LELE方法的實施例

在本發明的一實施例中，光刻-蝕刻-光刻-蝕刻與雙重鑲嵌方法被用來完成一積體電路的互連。偶數跡線上的導線由一第一微影步驟(第一種「顏色」)形成，及奇數跡線上的導線由一第二微影步驟(第二種「顏色」)形成。這如在第4a圖中所示說明，其中第一種顏色的導線553由一第一微影步驟製造及第二種顏色的導線552由一第二微影步驟製造。

寬導線如由第4b圖所示形成。一寬導線560被置於一跡線561上及相鄰跡線562a-b接近寬導線處被中斷。導線的寬部分560被分配與跡線561(寬導線560置於其上)相反的顏色。寬部分560與跡線561中的導線可部分地或沿寬導線的整個長度重疊。寬導線560與相鄰跡線562b上一導線之間沿較佳方向間隙563足夠大來用一單一微影步驟解決。寬導線560在不中斷除了562a-b以外的相鄰跡線的情況下可高達5最小寬度。寬導線560可被分成與跡線561中的一導線重疊之多個平行線，以便統一在包含寬導線560之光罩上面的圖樣節距。一統一節距提供一微影優點。

第5a圖繪示基於顏色分配的路由安排之一般製程的一流程圖，其中顏色分配確保正向導線沒有顏色衝突。這是因為跡線以交替顏色被預先著色，及正向導線呈現它們所

處跡線的顏色。流程在502以識別IC平面規劃(floorplan)中的路由跡線開始。可採用任何適當方法來識別路由跡線，例如基於設計之方格或通道的識別與輪廓。跡線間的位置與間隔應被選擇使得用一單一微影步驟可足夠印製沿每隔一跡線的一導線。

接著，在504，在設計中對路由跡線進行顏色分配。這藉由將同一顏色分配給交替跡線來完成，其中所有具有偶數的跡線與一第一種顏色關聯及所有具有奇數的跡線與第二種顏色相關聯。

在506，以避免顏色衝突之一方式來執行路由安排。當導線僅在較佳方向上安排路由時，將不會有顏色衝突，因為跡線間隔與位置已以一將保證用兩微影步驟的印製將可用於製造佈局之方式而被預先選擇。這是因為偶導線之間的距離足以允許用第一微影步驟印製，及奇導線之間的距離同樣足以允許用第二微影步驟印製。同一跡線上導線諸端之間間隙足夠大於用一單一微影步驟解決。在508，經安排路由之設計會被產生並在一顯示裝置上向使用者顯示或作為經儲存檔案例如作為一GDS II檔案而輸出。

佈局可包括不僅僅是在較佳方向上延伸的導線是可能的。舉例而言，佈局可包括中斷所穿過的跡線之錯向導線。在LELE實施例中，錯向導線可延伸任一數目的跡線。

第6a圖與第6b圖繪示連接相鄰跡線610與620並中斷跡線的部分630a與630b之錯向導線615。跡線的未經佔用部分用第6圖的虛線來繪示。

本發明的實施例提供一種安排路由的方法，其可為錯向導線安排路由並仍確保不存在顏色衝突而避免雙倍圖樣化的製造問題。依據一些實施例，錯向導線615可被分配任一顏色(例如，可用第一或第二微影步驟來執行)，無論哪一選擇都避免顏色衝突。

第5b圖繪示根據本發明之一些實施例用以為錯向導線安排路由之一製程的一流程圖。製程在512以識別需要安排路由的一特定錯向導線開始。接著，在514，在錯向導線周圍形成一禁區640。禁區是錯向導線周圍的一區域，具有自錯向導線的邊緣量測的間隔。禁區的間隔係使得它們可用一單一微影步驟來解決。

本發明用來避免錯向導線的顏色被組態使得發生一顏色衝突的情況。依據一些實施例，路由演算法只要遵守下列規則就不需要顏色特徵：在禁區中，除了錯向導線與其所連接的正向導線(610與620)外，可最多有下列三物件中的一物件：(1)偶數跡線上的一組正向導線；(2)奇數跡線上的一組正向導線；(3)另一錯向連接。因此，在516，流程檢查這些物件的存在與否。

在518作出禁區是否對應於這些物件中的零或一物件之判定。如果回答為是，則在522容納上一路由導線。在524，為下一連接安排路由，及如果有欲安排路由的另一錯向導線，則流程返回至512來為錯向導線安排路由。

如果在518判定指示在禁區中有兩或兩個以上經識別物件，則在520為上一導線重新安排路由。由於當前脈絡能

以一遞歸過程來實施，執行為上一導線重新安排路由以用一存在零或一上述物件之選替組態來解決經識別衝突。一旦上一導線已被重新安排路由，流程返回至512。

指出的是，如果上面三物件中的任一物件侵入一錯向導線的安全區，錯向導線被分配與侵入物件相反的顏色。由於禁止侵入一個以上物件，顏色衝突不會出現。藉由遵從此規則，路由器由構建產生沒有顏色衝突的一圖樣。

參考第6a與6b圖，錯向導線615具有禁區640。正向導線610與620因連接至錯向導線615而不被排除。630c或630d必須被排除，因為最多這些物件中的一物件可橫穿禁區。

現在參考第6c圖，導線649及653被允許橫穿錯向導線660的禁區，因為導線649及653為相同顏色(均為偶跡線或均為奇跡線)。因此，它們算作橫穿禁區661的一物件。錯向導線660被分配與侵入安全區之物件相反的顏色(路由器不需要作出顏色分配，但作出與保存顏色分配的計算負擔是可忽略的)。

一錯向導線可以是一被設計成覆蓋一雙開口導通孔的焊墊。此一特徵可被稱為一「錯向焊墊」。錯向焊墊經受與其它錯向導線相同的規則。第7a圖繪示依據本發明之一LELE實施例一經安排路由圖樣的微影模擬。模擬舉例而言是針對20 nm的邏輯節點(導線節距=5 nm, $\lambda=193$ nm, NA=1.3，及使用一溝槽收縮技術諸如SAFIERTM或RELACSTM使溝槽收縮15 nm)。在不同微影步驟所形成的特徵用不同線類型繪示。錯向焊墊710b具有與正向導線710a

相反的颜色，因为导线712横穿错向焊垫710b的禁区。错向焊垫720b与错向焊垫720c的颜色相反，因为一错向焊垫横穿另一错向焊垫的禁区。这使导线720a与其错向焊垫720b具有相同颜色，这就是说它们用相同微影步骤来印制。

因为微影具有有限解析度，当一导线与其错向焊垫于同一微影步骤被印制时，生成的形状具有一平滑且圆的轮廓。这在第7b图中详细说明。导线740a与其错向焊垫740b于不同微影步骤被印制因而它们以锐角接合。然而，导线742a与其错向焊垫742b于同一微影步骤被印制。因此，它们用平滑曲线接合。

在第7a图范例中的导线730是一超宽电源汇流排，在两端有一较大空间。迹线未必为一恒定节距，尽管使用一恒定节距提供微影优点。在LELE实施例中错向导线可以有与正向导线不同的宽度与节距。举例而言，在微影中使用偶极照明提供了一方向上最高可能的解析度。这可被用来以最密节距、以使用错向连接的一较大宽度及间隔为代价来印制正向导线。

第8a至8d图绘示连接至导线814之一错向焊垫810的经允许组态的范例。错向焊垫810具有一禁区812。迹线的未经佔用部分用虚线绘示。除了错向焊垫810自身及链接至它的导线814之外，在下列范例中有横穿禁区的另一物件：在第8a图中，仅有导线820a在禁区中；在第8b图中，有另一错向焊垫820b；在第8c图中，有导线820c但都在偶数迹线上；及在第8d图中，有导线820d但都在奇数迹线上。

第9a至9d圖繪示連接至導線914之錯向焊墊910的未經允許組態的範例。錯向910具有一禁區912。在第9圖的每一範例中，兩物件橫穿禁區912：在第9a圖中是920與921；在第9b圖中是930與931；在第9c圖中是940與941；在第9d圖中是950與951。在禁區中具有下列內容是不被允許的：物件顏色不同；一個以上物件有不確定的顏色；或一物件為一已知顏色及一物件為不確定顏色。正向導線具有已知顏色。在一實施例中，錯向導線在路由安排完成后被分配顏色；因此它們在路由安排期間是不確定的顏色。上面所述禁止規則確保了錯向導線可隨後無顏色衝突的著色。

本發明的一顯著優點在於，上述限制使著色問題局部化並允許路由器由建構產生一沒有顏色衝突的佈局。此方法從藉由僅局部考慮路由安排問題而能夠為設計安排路由的視角來看提供一顯著優點，儘管限制守舊且阻止理論上可用LELE雙倍圖樣化來製造之佈局。舉例而言，第9a圖組態是不被允許的，儘管若導線921被分配與導線920相同的顏色及導線910被分配與導線914相同的顏色，製造導線921與導線910此二者是可能的。然而，此方法會限制使路由安排問題局部化的能力，因為為導線910安排路由將固定921的顏色，這在不檢查921與其鄰居的互動的情況下無法完成，及所有其相關影響在整個設計接連擴散而使問題全局化。本發明中所教示的限制性禁區使著色問題局部化。

一導通孔繼承所被覆蓋錯向焊墊的顏色。這確保導通孔層可無顏色衝突被雙倍圖樣化。

錯向特徵的禁區。在一錯向導線周圍的禁區排除其它相同顏色物件(除了錯向導線所連接的正向導線外)。安全區依據微影製程的解析度來選擇使得錯向導線應沒有與同一光罩上禁區外的一物件合併之風險而印製。禁區是錯向導線的一膨脹型態。所有方向上未必相同的膨脹距離可由微影模擬或實際上印製測試圖樣或此兩者來決定。

實施排除的路由器演算法。此演算法一次為一導線安排路由。在一實施例中，路由器自禁區的一無違反狀態開始並以不引起違反的一方式加入一導線。如果存在一違反情況，上一經安排路由的導線被移除並在沒有違反的情況下重新安排路由。在另一實施例中，路由器最小化一成本函數。成本函數包括有關於錯向連接之禁區的違反數目的一項。

保存顏色分配：在一較佳實施例中，路由器保存顏色分配，因為這能用對路由器而言可忽略的計算負擔完成。顏色分配藉由將專用於一顏色之一層中該相同顏色的多邊形置於一GDS II或OASIS檔案中而保存。藉由在佈局檔案中將不同層指數或不同目的指數分配給兩顏色來指示顏色專用。兩顏色分別被提交至下線(tapeout)RET/OPC(解析度增強技術/光學鄰近效應修正法)操作。這消除了對一單獨著色演算法的需要。在另一實施例中，路由器輸出的多邊形被輸入至一外部且單獨的著色演算法。本發明確保找出外部著色演算法的一有效解決方案。

間隔物成線SADP方法的實施例

在間隔物成線方法中，導線(間隔物)之間的交替空間必須由一核心特徵形成。在此實施例中，跡線之間的交替空間被分配核心。這等效於LELE的兩顏色分配，但在間隔物成線SADP中跡線之間的空間被分配顏色(核心或無核心)外，。

第10a圖繪示依據本發明之一些實施例用以實施間隔物成線方法之一製程的一流程圖。在1010，在佈局中定義路由跡線。路由跡線對應於佈局中導線的經允許位置。在間隔物成線方法中，在1020，核心線被分配至跡線之間的交替空間。如上所指出，這等效於LELE的兩顏色分配，但在間隔物成線方法中跡線之間的空間被分配顏色。舉例而言，參考第10b圖，取代側壁間隔物而形成之導線1080其間具有空間。交替空間1082是核心。側壁間隔物在核心特徵的側壁上形成。因此正向導線沿著跡線形成。跡線之部分受修剪遮罩阻塞。正向導線之間不可能有由建構產生的著色或雙倍圖樣化衝突。

在1030，選擇依據一連線網表而進行的下一連接。使用路由跡線較佳地為連接安排路由。如果一跡線A與一跡線B之間的一錯向連接是必需的，一錯向線被加入於核心中。跡線A在一核心線A'的側壁。類似地，跡線B在一核心線B'的側壁。錯向核心特徵將核心線A'連接至B'。這產生了一對錯向導線，它們中之一可能是不期望的。不期望連接由修剪製程來消除。跡線A與跡線B必須皆為偶跡線，或它們必須皆為奇跡線。在一個兩遮罩製程中，偶跡線與奇跡線

無法在相同金屬階層連接。它們可透過導通孔連接至另一層。間隔物成線SADP無法建立導線接頭，諸如T形三向接頭或交叉(+)形四向接頭。

第11a至11c圖繪示在應有錯向導線可延伸偶數跡線之一限制的SADP方法中可產生錯向導線。錯向導線使用兩微影步驟(一步驟用於核心，另一步驟用於修剪)可連接兩偶數跡線1106及1108(第11a圖)，或兩奇數跡線1107與1109(第11b圖)，但它們無法在不使用一第三微影步驟或到另一層的導通孔的情況下而將一奇數跡線連接至一偶數跡線。錯向跡線由錯向特徵建立。此方案在錯向核心的任一端建立錯向導線。這在第11a至11c圖中說明。如果錯向連接中之一連接不需要，它可由修剪遮罩透過一第二微影步驟(1060)移除。由一錯向核心1112建立的兩錯向導線1114可被用來作出巢狀式連接1110，如第11c圖所示。使用間隔物成線SADP，一錯向連接佔用近似為最小尺寸八倍寬的一寬度。如果錯向核心所建立的錯線連接都被用於安排路由，則兩錯向連接佔用大約八倍最小尺寸的一寬度。

之後，在1050，如果在1050仍要進行更多連接，流程返回至1030。否則，連線網表中的所有連接已被安排路由，及在1060建立修剪遮罩佈局。修剪特徵覆蓋：所建立的所有間隔物(核心特徵的邊緣)除去期望金屬特徵。在1070保存核心與修剪遮罩，例如保存於一GDS II或OASIS檔案中。

使用溝槽成線SADP方法的實施例

在此實施例中，交替導線，比方說偶導線，被分配代

替核心特徵而形成。此製程非常類似於第10a圖所述方法，除了核心特徵是於間隔物在其側壁上被形成之后被蝕刻外。補充間隔物而形成溝槽。溝槽被轉移至下層金屬間介電層中，及經轉移溝槽用金屬填充。間隔物之間溝槽的部分藉由在一第二微影步驟使用一修剪遮罩可用光阻劑來阻塞。經阻塞溝槽不被轉移至金屬間介電層中，因而它們不形成導線。總之，補充間隔物使較少修剪特徵變成金屬特徵。

溝槽成線SADP能夠產生導線的T接頭及(+)-接頭，因為核心可被繪製成具有此類特徵，及核心用金屬代替。非核心溝槽亦可形成一接頭1310，如第13圖所示。

錯向連接由第12圖所示核心的一錯向特徵1210建立。這建立三個一組的錯向連接。無用的錯向連接1220與1222藉由用光阻劑阻塞間隔物間溝槽的部分來消除。第12圖繪示形成一錯向連接來代替一核心特徵，這可連接核心特徵所定義的兩跡線，比如僅偶跡線。

第13圖繪示不與核心特徵重疊之導線(奇跡線)之間的一錯向連接。錯向核心特徵1320形成三溝槽1322a至1322c，它們可能變成金屬特徵。無用金屬連接被阻塞以免由修剪遮罩的一特徵1304轉移至金屬間介電質。第13圖亦繪示不是由核心特徵1302形成之溝槽產生的一T接頭的一範例。使用溝槽成線SADP，一錯向連接佔用一近似為最小尺寸八倍寬的寬度。

一些所揭露圖繪示具有統一寬度及間隔的跡線。指出

的是，本發明實施例的預著色演算法亦可採用非統一寬度及/或間隔。舉例而言，電源路徑(power-route)能以一寬導線或寬間隔來實施，此寬導線或寬間隔接近或鄰近為最小寬度信號路徑的其它跡線。在LELE方法中導線的寬度與導線間空間的寬度不必是恒定的。在間隔物成線SADP方法中導線間空間的寬度不必是恒定的。在溝槽成線SADP方法中導線的寬度不必是恒定的。

一類似方法可被採用，在此類似方法中，一晶片的相鄰區域可具有不與其它相鄰區域對準的跡線。只要一指定相鄰區域足夠遠(例如，相同顏色微影形狀間所需要的最小間隔)，其可被獨立完成。

這涵蓋存在不同電源域(及因而不同電源/跡線分配)的情況。在一電源域內，跡線都被預分配，但一相鄰電源域可具有一不同跡線圖樣及預分配。舉例而言，考慮第4圖中圖樣的兩副本，一副本在另一副本上，但具有與它們中之一者相反的著色。只要它們間的垂直分隔足夠大，此兩者的預分配圖樣可獨立完成，其中兩區域是可著色的。兩相鄰區域間的導線應被仔細處理。如果跡線在區域間對準，不需要改變。然而，如果存在某些不對準，則人們可使用「一顏色間隔」來使錯向導線匹配上面的跡線。這可藉由基於設計知識(例如，區塊邊界、電源域邊界)全局分配「相鄰區域」來實施，但在此之後可局部作出決策來保證設計是可著色的。

一大晶片往往被階層地設計，其中子區塊獨立於一頂

層晶片被安排路由。但微影馬上顯現所有路由形狀。一子區塊可被視為一「相鄰區域」及頂層被視為一不同的相鄰區域。在此脈絡中，「頂層」指在先前經安排路由區塊外的層部分。如果一區塊的跡線與頂層的跡線對準，則先前所述方法可無需改變使用。一先前經安排路由區塊在其周圍有「接腳」。一接腳是欲被連接至區塊外一網的一端。如果一區塊的跡線與頂層的跡線未對準，只要區塊的接腳為兩分開的跡線，它們可無顏色衝突被安排路由。

系統架構概述

第14圖是一適於實施本發明的一實施例之計算系統1400的一方塊圖。電腦系統1400包括一匯流排1406或用以傳送信息的其它通訊機製，其互連子系統及裝置，諸如處理器1407、系統記憶體1408(例如，RAM)、靜態儲存裝置1409(例如，ROM)、磁碟機1410(例如，磁或光磁碟機)、通訊介面1414(例如，數據機或乙太網卡)、顯示器1411(例如，CRT或LCD顯示器)、輸入裝置1412(鍵盤)及滑鼠控制。

依據本發明之一實施例，電腦系統1400透過處理器1407執行被包含於系統記憶體1408中之一或多個指令之一或多個序列來執行特定操作。此類指令可自另一電腦可讀取/可使用媒體諸如靜態儲存裝置1409或磁碟機1410被讀取至系統記憶體1408中。在可選替實施例中，硬佈線電路可替代軟體指令或結合軟體指令使用來實施本發明。因此，本發明的實施例不限於硬體電路及/或軟體的任一特定組合。在一實施例中，「邏輯」一詞將指用來實施全部或部

分本發明之軟體或硬體的任一組合。

文中所使用的詞語「電腦可讀媒體」或「電腦可使用媒體」指參與提供指令給處理器來執行之任一媒體。此一媒體可為許多形式，包括但不限於，非依電性媒體及依電性媒體。非依電性媒體包括，舉例而言，光碟或磁碟，諸如磁碟機1410。依電性媒體包括動態記憶體，諸如系統記憶體1408。

電腦可讀媒體的一般形式包括，舉例而言，軟碟、軟性磁碟、硬碟、磁帶、任一其它磁媒體、CD-ROM、任一其它光媒體、打孔卡、紙帶、具有孔圖樣的任一其它實體媒體、RAM、PROM、EPROM、FLASH-EPROM、任一其它記憶體晶片或匣、或一電腦可讀取的任一其它媒體。

在本發明的一實施例中，執行指令序列以實施本發明由一單一電腦系統1400來執行。依據本發明之其它實施例，通訊鏈接(例如，LAN、PTSN、或無線網路)耦接之兩或兩個以上電腦系統1400可執行需彼此配合實施本發明之指令序列。

電腦系統1400透過通訊鏈接1415與通訊介面1414可傳輸與接收訊息、資料、及指令，包括程式，亦即應用程式代碼。所接收的應用程式代碼在其被接收時可由處理器1407執行，及/或儲存於磁碟機1410中、或其它非依電性儲存器中以供隨後執行。

在前面說明書中，本發明已參考其特定實施例而予以描述。然而，將明顯的是，在不背離本發明的較廣精神及

範圍的情況下，可對本發明作各不同修改及改變。舉例而言，上面所述流程是參考製程動作的一特定次序而予以描述。然而，在不影響不發明的範圍或操作的情況下可改變許多所述製程動作的次序。說明書及圖式因此是在一說明性而非限制性意義上被看待。

【圖式簡單說明】

第1a至1d圖以剖面圖繪示依據相關技藝溝槽光刻-蝕刻-光刻-蝕刻雙倍圖樣化的步驟。

第2a至2c圖以剖面圖繪示依據相關技藝自我對準式雙倍圖樣化的步驟。

第2d-1、2e-1及2f-1圖以剖面圖繪示依據相關技藝自我對準式雙倍圖樣化之溝槽成線變體的步驟。

第2d-2、2e-2、2f-2及2g-2圖以剖面圖繪示依據相關技藝自我對準式雙倍圖樣化之間隔物成線變體的步驟。

第3圖繪示可實施本發明的一系統。

第4a圖說明佈線跡線的顏色分配。

第4b圖繪示依據本發明之一實施例的一寬導線。

第5a至5b圖繪示依據本發明之一些實施例LELE安排路由方法的流程圖。

第6a至6c圖繪示依據本發明之一實施例一錯向導線連接跡線的視圖。

第7a至7b圖繪示依據本發明之一實施例而安排路由之一金屬層的模擬輪廓。

第8a至8d圖繪示依據本發明之一實施例一錯向連接之

經允許組態的範例。

第9a至9d圖以平面圖繪示依據本發明之一實施例一錯向連接之不允許組態的範例。

第10a圖繪示依據本發明之一些實施例SADP安排路由方法的一流程圖。

第10b圖以平面圖繪示依據本發明之一實施例一陣列內導線間的交替空間被預先分配以由間隔物成線SADP方法中的核心圖樣形成。

第11a至11c圖以平面圖繪示依據本發明之一實施例使用間隔物成線SADP方法之一錯向導線連接跡線。

第12圖以平面圖繪示依據本發明之一實施例使用溝槽成線SADP方法之一錯向導線連接跡線。

第13圖以平面圖繪示依據本發明之一實施例使用溝槽成線SADP方法之一錯向導線連接跡線。

第14圖是適於實施本發明之一實施例之一計算系統的一方塊圖。

【主要元件符號說明】

1、7、36...溝槽

2...硬遮罩

4...防反射塗層

5...第二光阻劑

10...核心圖樣

15、37...介電質層

20...晶圓

25...間隔材料

- 35、52...間隔物
- 40...銅
- 50...核心材料
- 51...核心
- 400...系統
- 402...佈局/配置及安排路由工具、電子設計自動化工具
- 404...安排路由模組
- 406...雙倍圖樣化模組、使用者站
- 414...設計限制
- 416...設計規範
- 418...晶胞庫
- 420...佈局、佈局與遮罩設計、顯示佈局
- 422...電腦可讀媒體
- 502~508、512~524、1010~1070...步驟
- 552、553...導線
- 560...寬導線、導線寬部份
- 561、562a、562b...跡線
- 563...間隙
- 610...正向導線
- 615、660...錯向導線
- 620...正向導線、跡線
- 630a、630b、630c...中斷部份
- 640、661、812、912...禁區
- 649、653、712、720a、730、740a、742a、814、820a、820b、
820c、820d、914、920、921、1080...導線
- 710a...正向導線
- 710b、720b、720c、740b、742b、810、910...錯向焊墊
- 930、931、940、941、950、951...物件

- 1082...交替空間
- 1106、1108...偶數跡線
- 1107、1107...奇數跡線
- 1110...巢狀式連接
- 1112...錯向核心
- 1114...錯向導線
- 1210...錯向特徵
- 1220、1222...錯向連接
- 1302...核心特徵
- 1304...修剪遮罩特徵
- 1310...接頭
- 1320...錯向核心特徵
- 1322a、1322b、1322c...溝槽
- 1400...計算系統
- 1406...匯流排
- 1407...處理器
- 1408...系統記憶體
- 1409...靜態儲存裝置
- 1410...磁碟機
- 1411...顯示器
- 1412...輸入裝置
- 1414...通訊介面
- 1415...通訊鏈接

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99120411

667 17/50 {2006.01

※申請日：99.6.23

※IPC 分類：

H01L 21/02 {2006.01

一、發明名稱：(中文/英文)

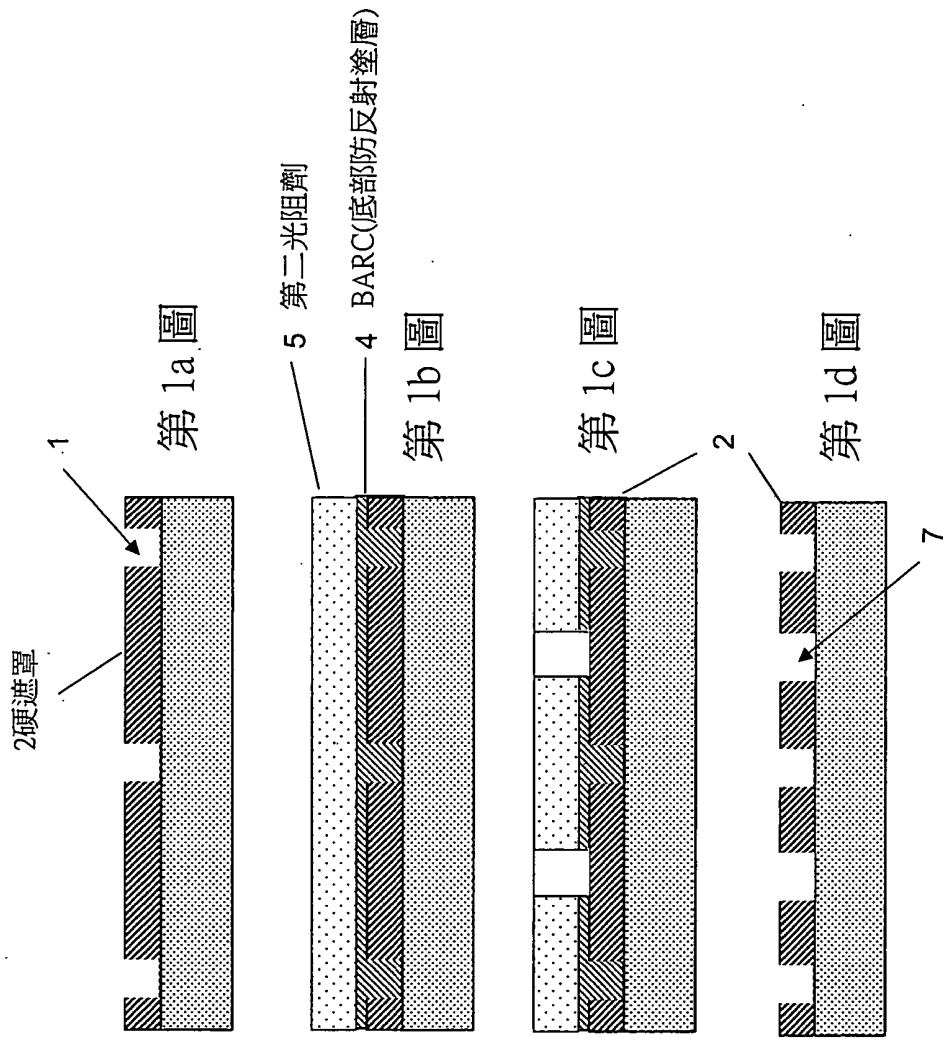
用以為欲以雙倍圖樣化製造之積體電路安排路由的方法、系統、及程式產品 / METHOD, SYSTEM, AND PROGRAM PRODUCT FOR ROUTING AN INTEGRATED CIRCUIT TO BE MANUFACTURED BY DOUBLED PATTERNING

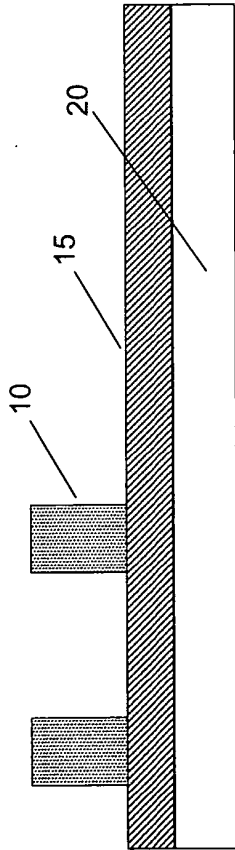
二、中文發明摘要：

本發明揭露一種用以使用建構正確的雙重專利為一電子設計安排路由的方法、設備、及程式產品。已被安排路由的佈局將由建構被設計成允許用雙重專利成功製造，因為路由器將不允許佈局中用雙倍圖樣化無法成功製造的一路由安排組態。

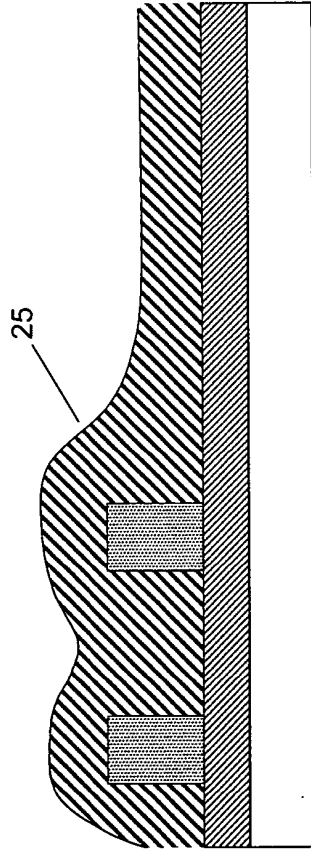
三、英文發明摘要：

Disclosed are a method, apparatus, and program product for routing an electronic design using double patenting that is correct by construction. The layout that has been routed will by construction be designed to allow successful manufacturing with double patenting, since the router will not allow a routing configuration in the layout that cannot be successfully manufactured with double patterning.

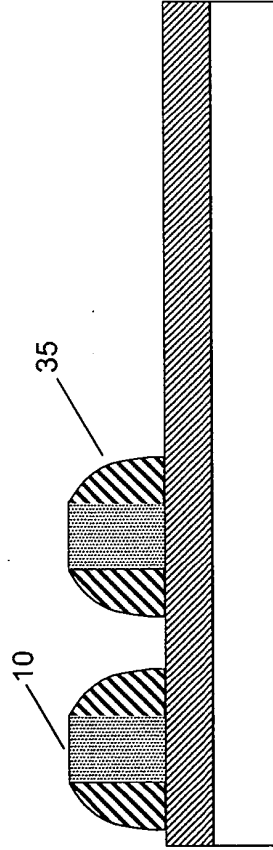




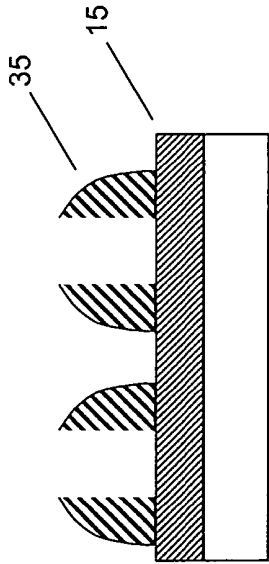
第2a圖



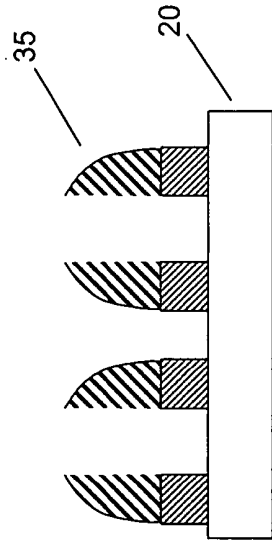
第2b圖



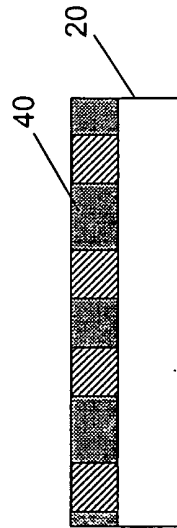
第2c圖



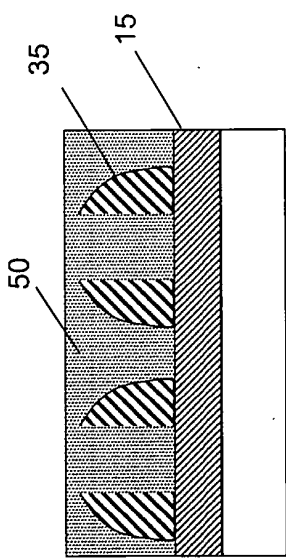
第 2d-1 圖



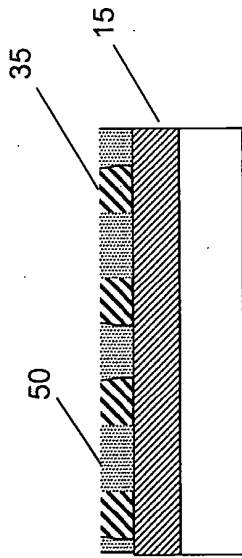
第 2e-1 圖



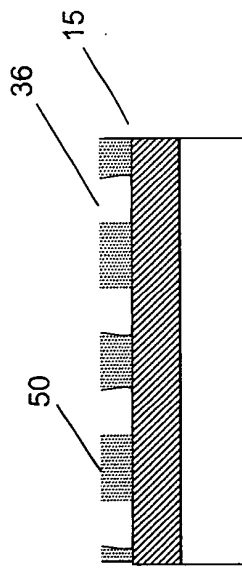
第 2f-1 圖



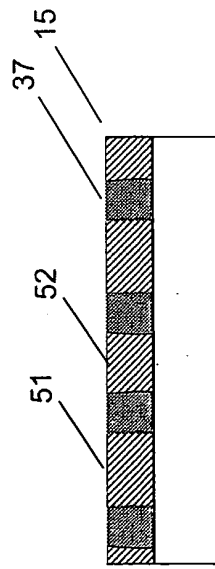
第 2d-2 圖



第 2e-2 圖

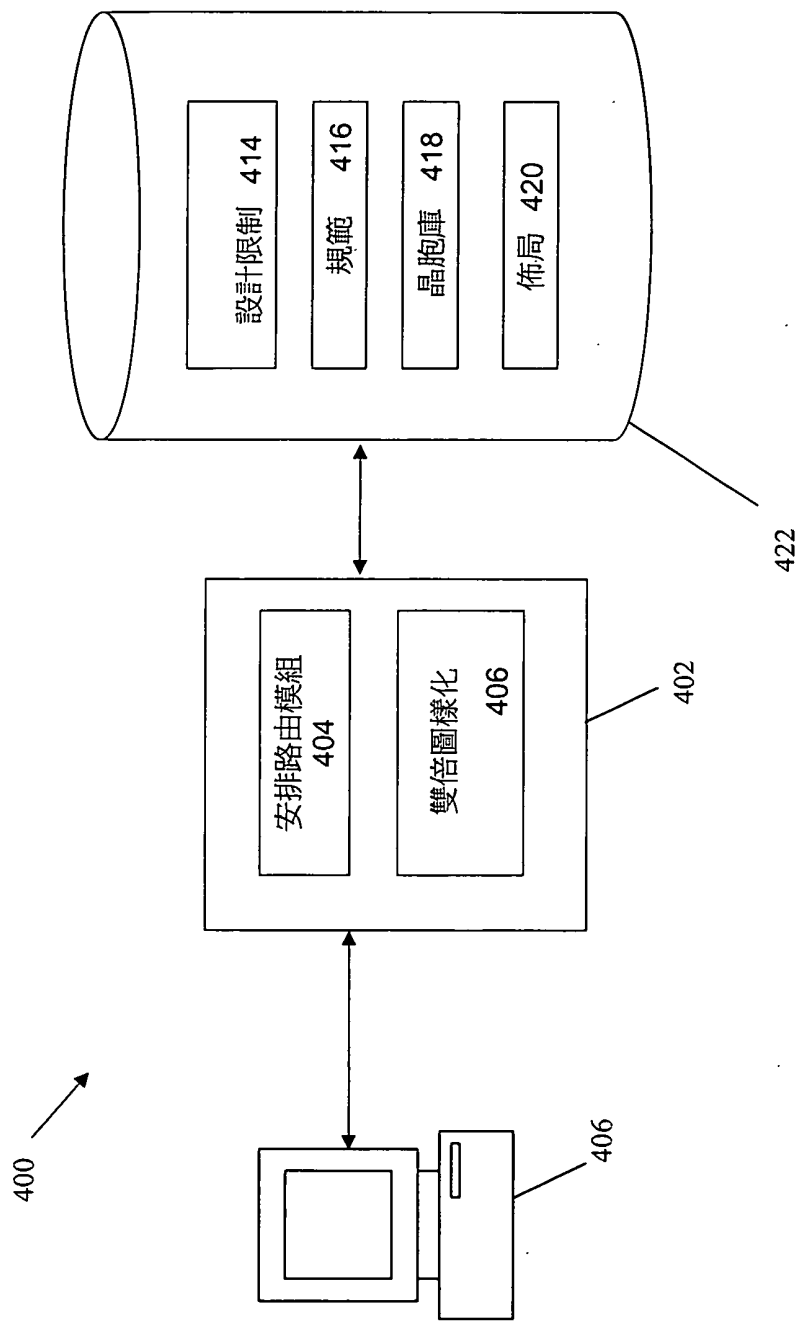


第 2f-2 圖

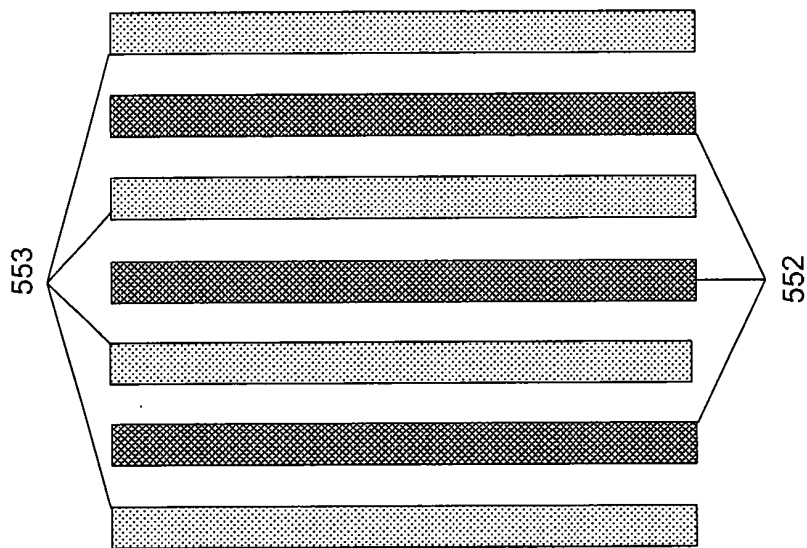


第 2g-2 圖

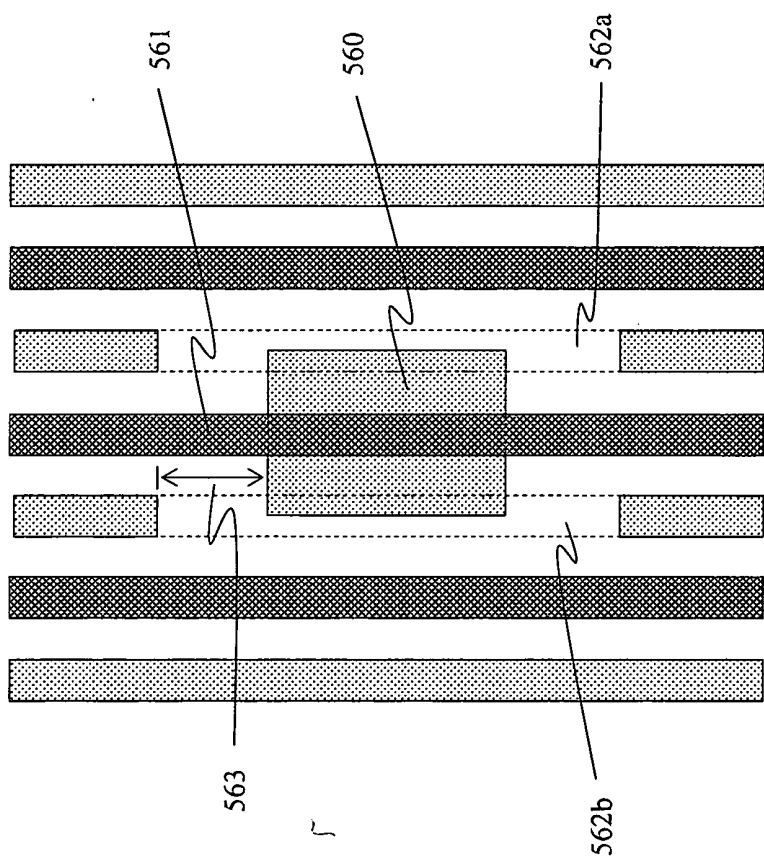
第3圖

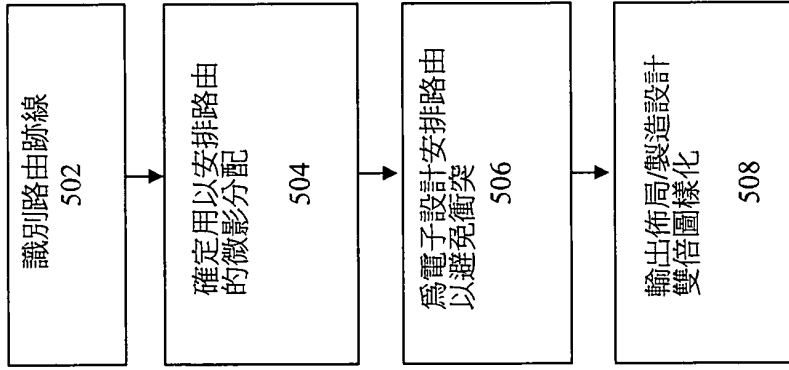


第 4a 圖

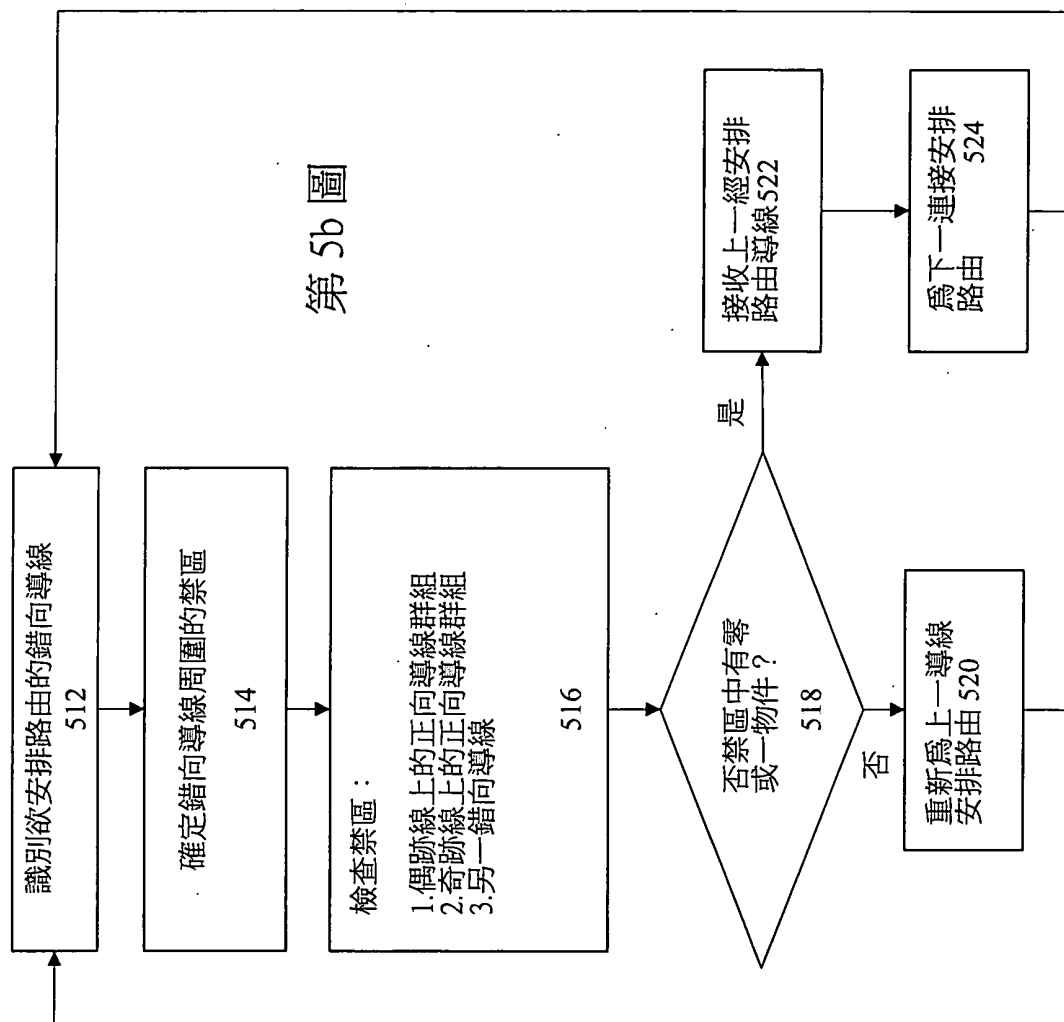


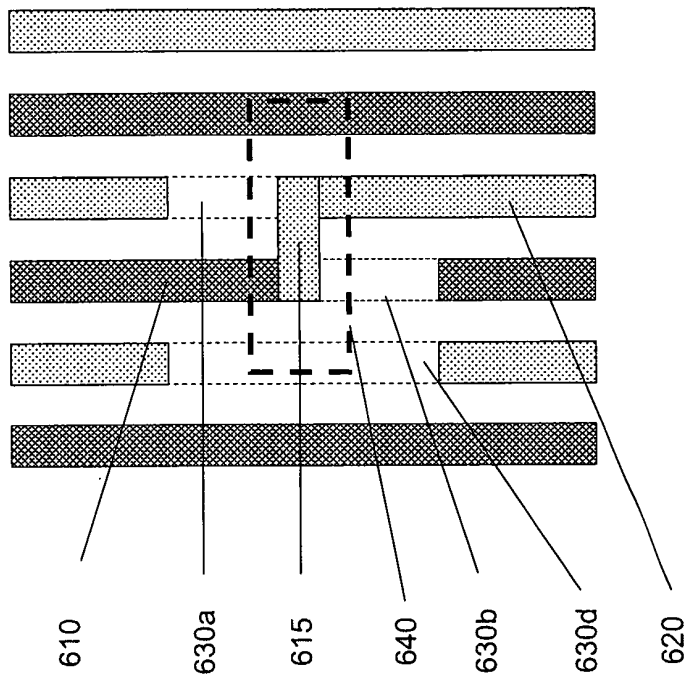
第4b圖



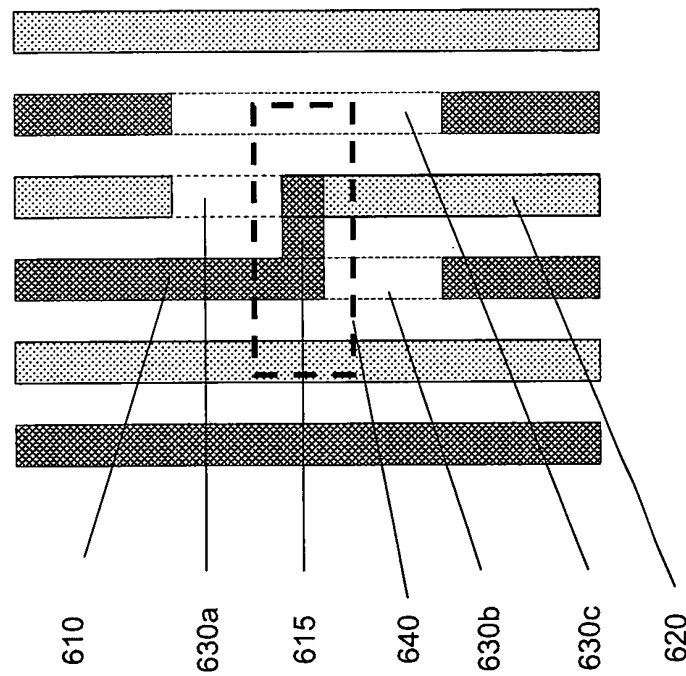


第 5a 圖

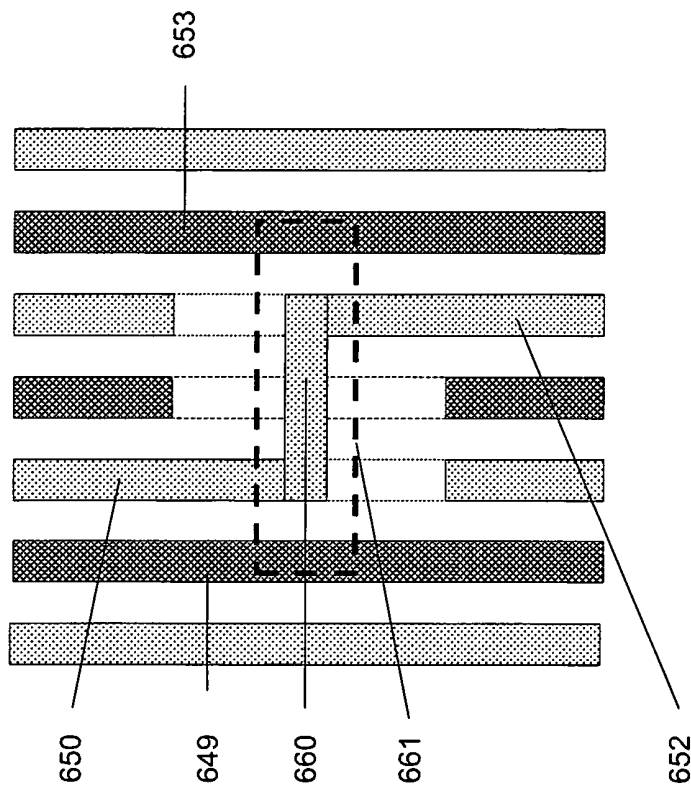




第6b圖

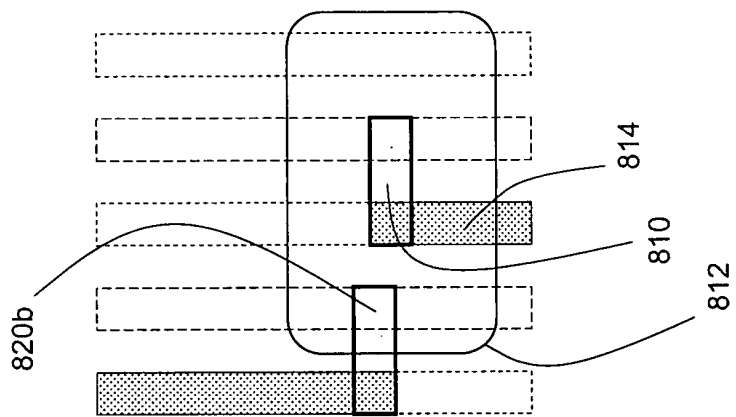


第6a圖

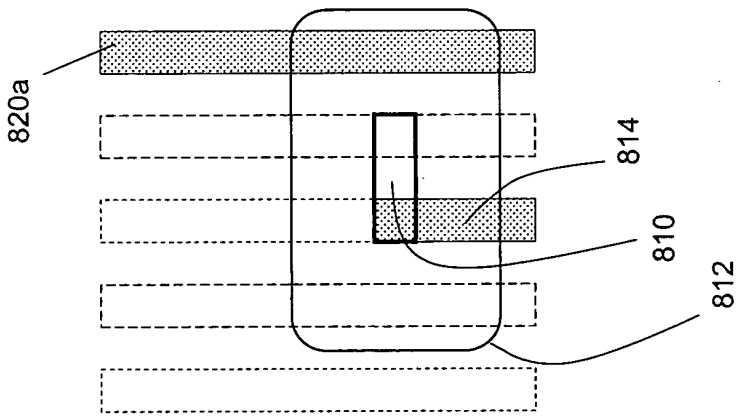


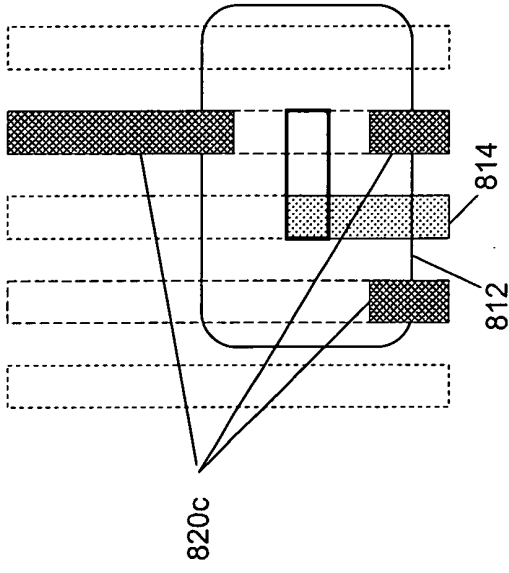
第6c圖

第 8b 圖

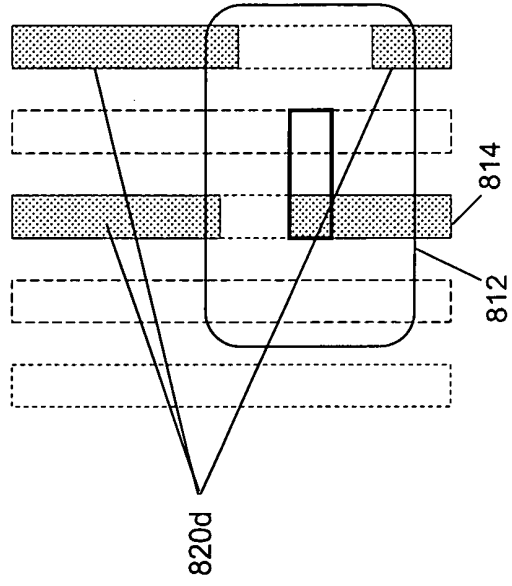


第 8a 圖



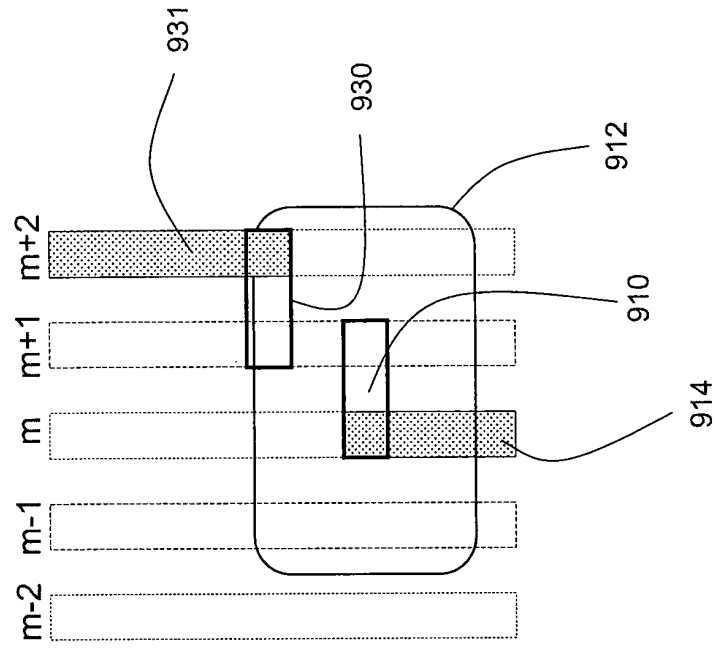


第 8c 圖

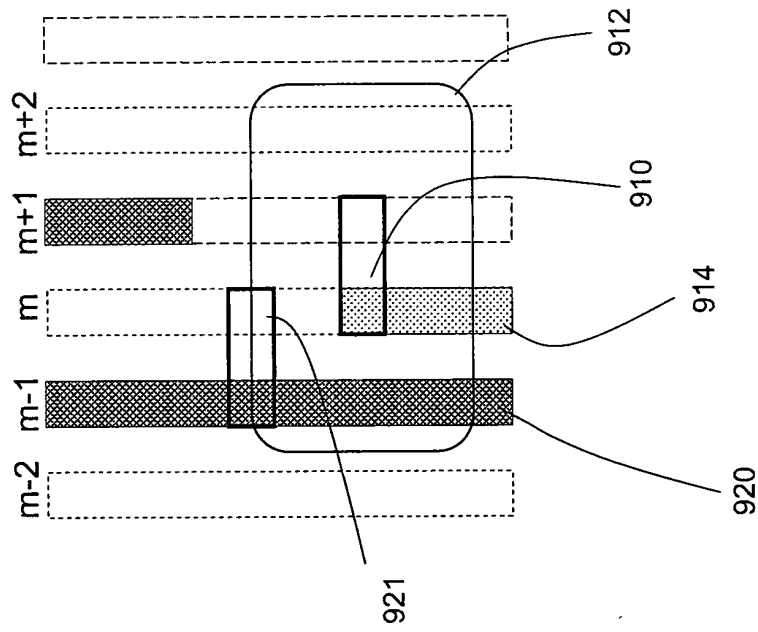


第 8d 圖

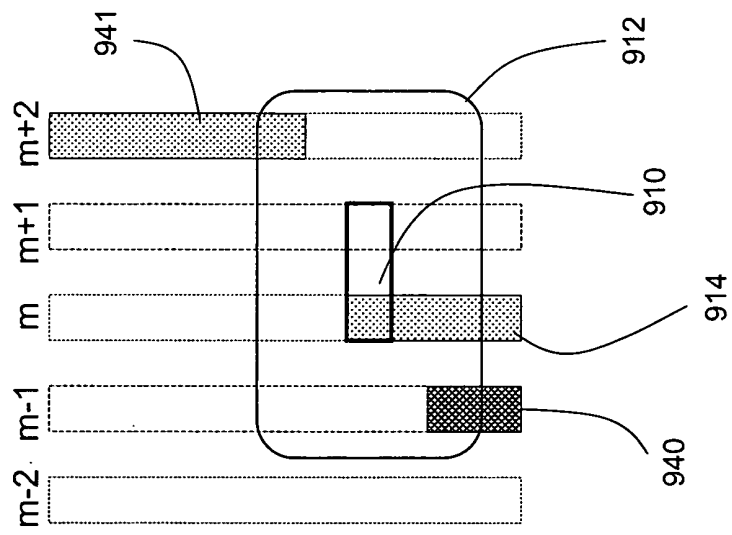
第9b圖



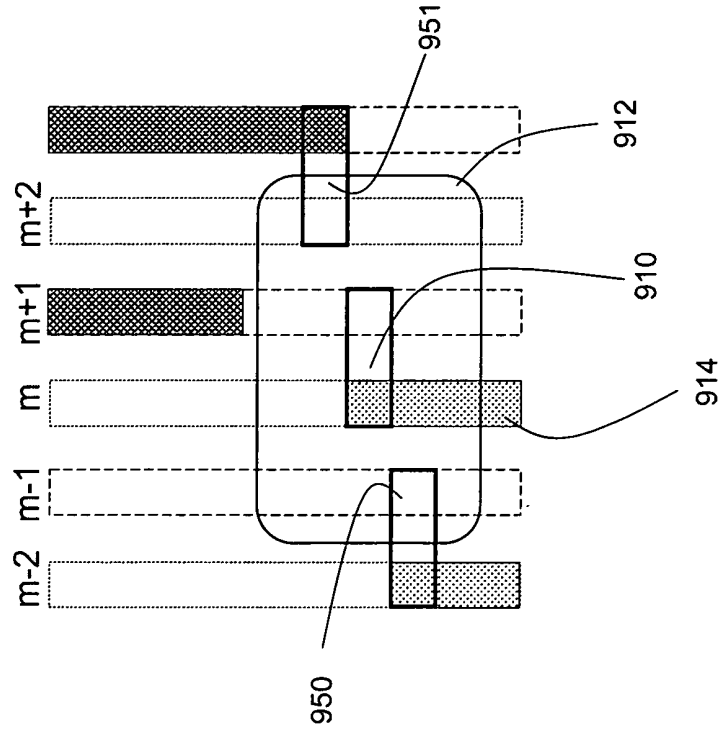
第9a圖

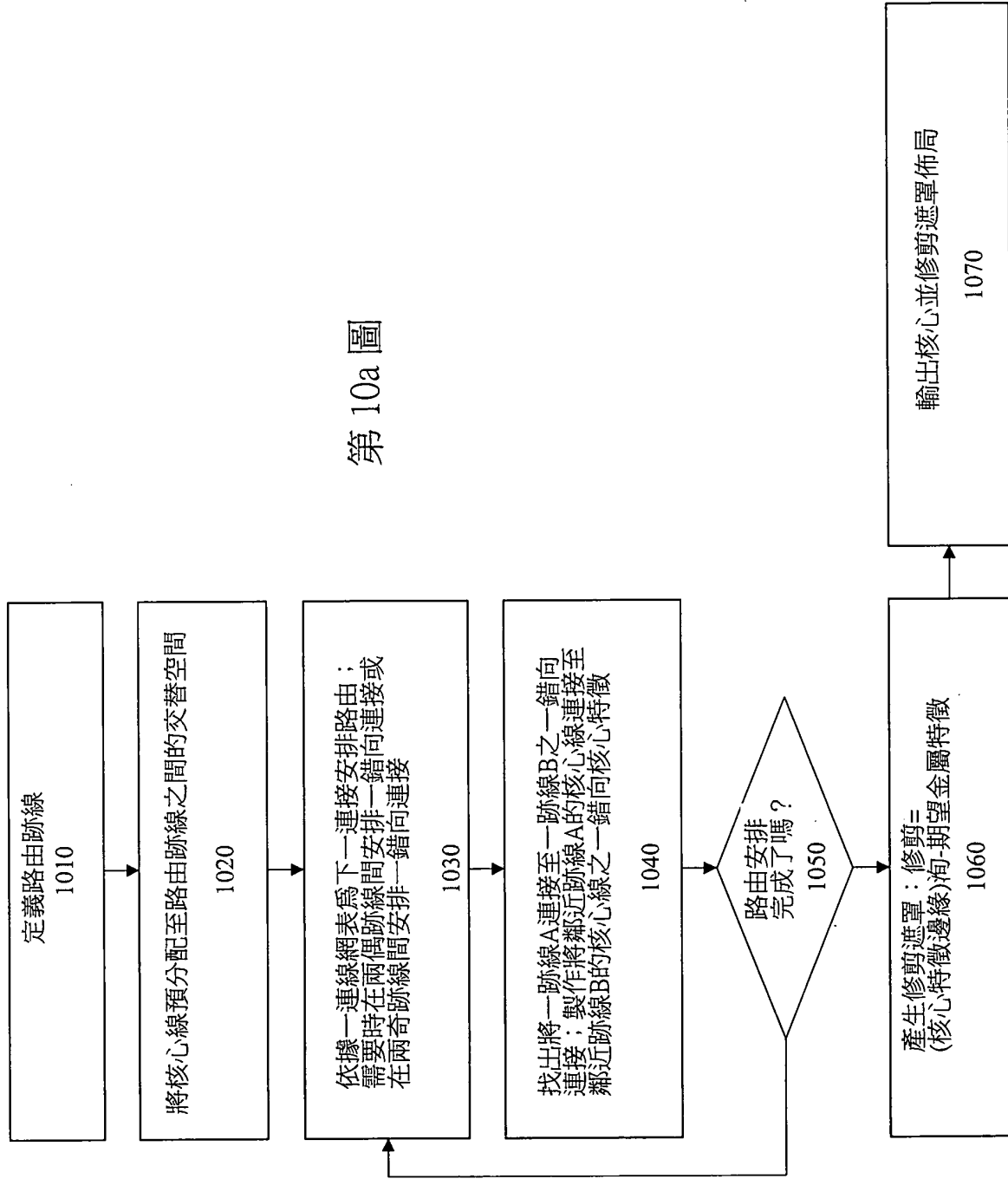


第9c圖

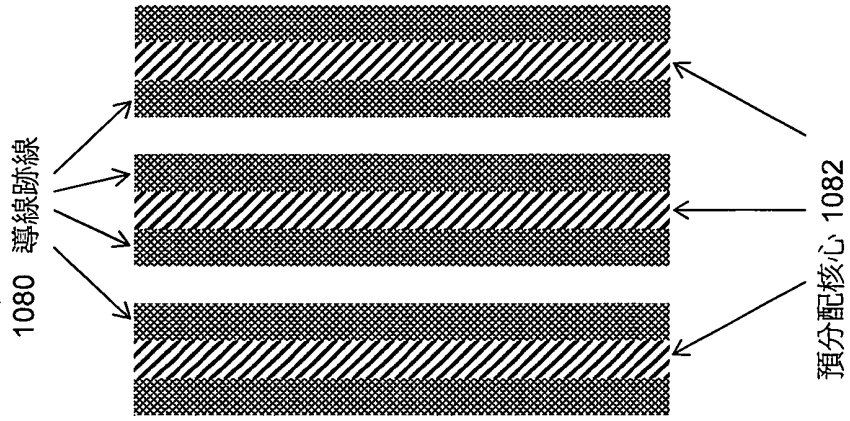


第9d圖

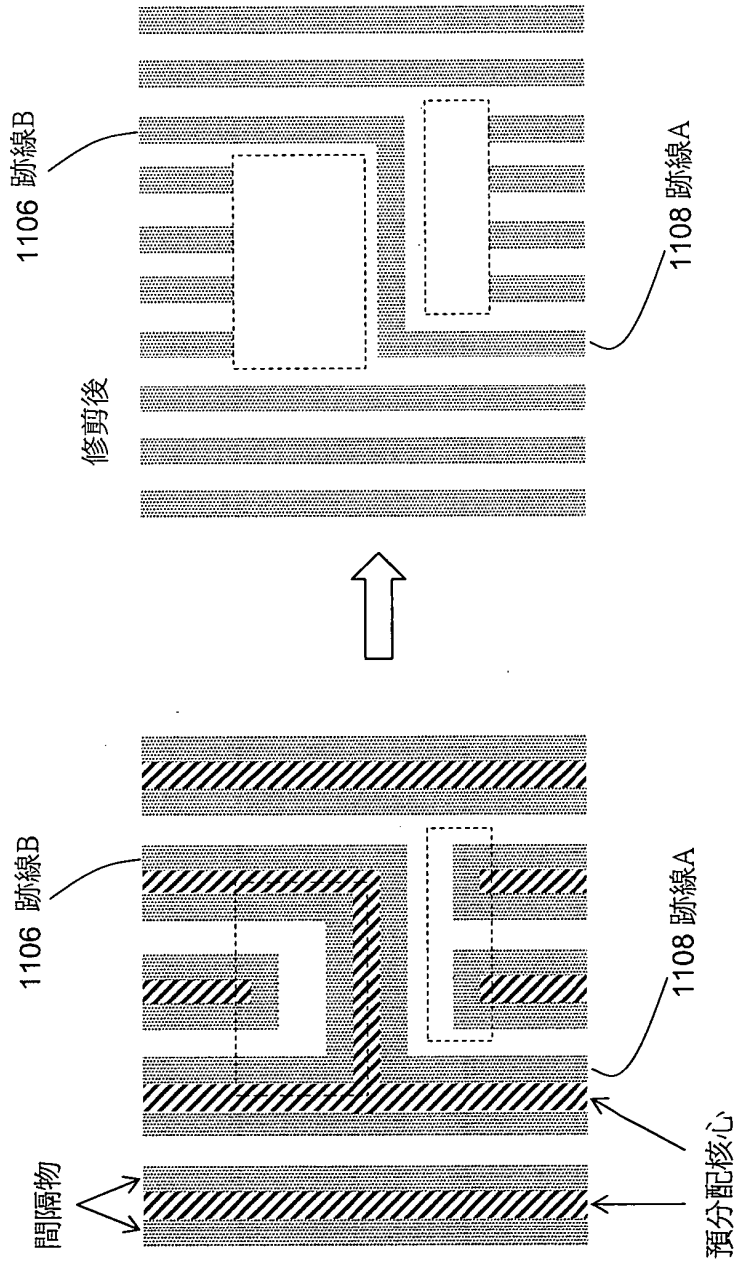




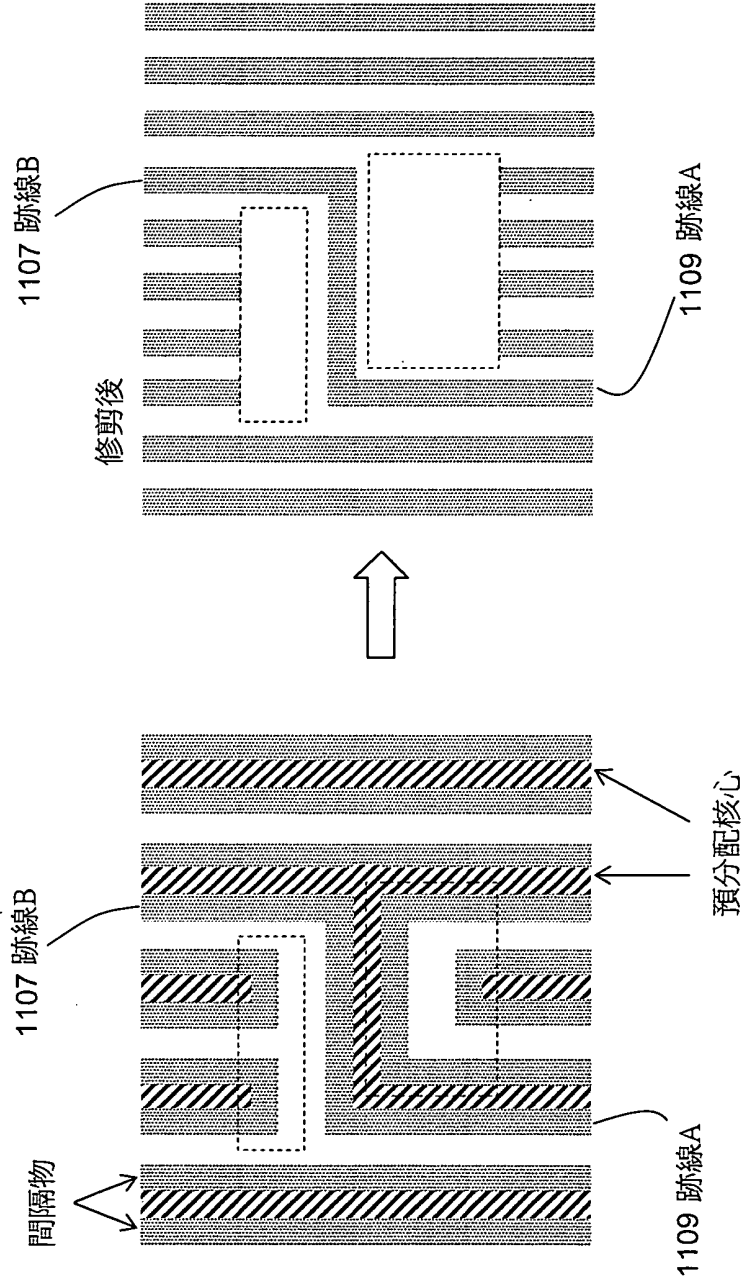
第 10a 圖



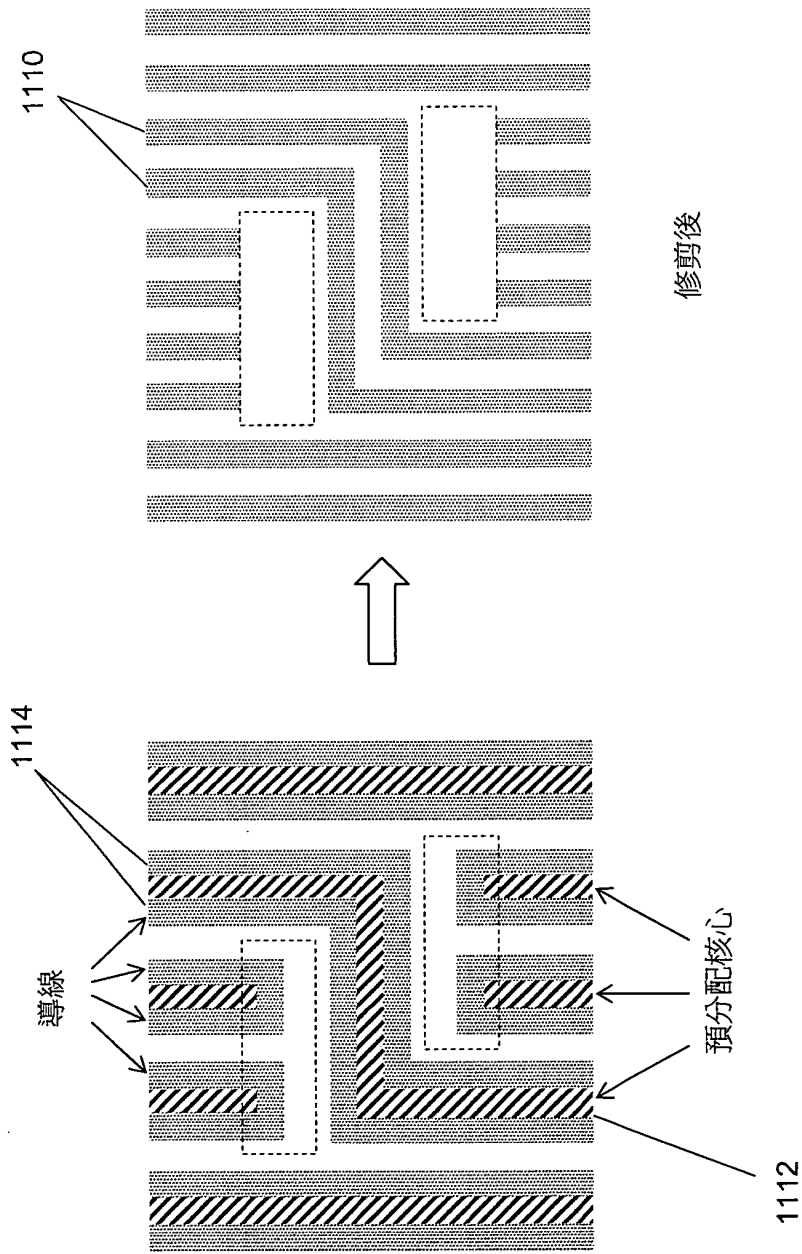
第 10b 圖



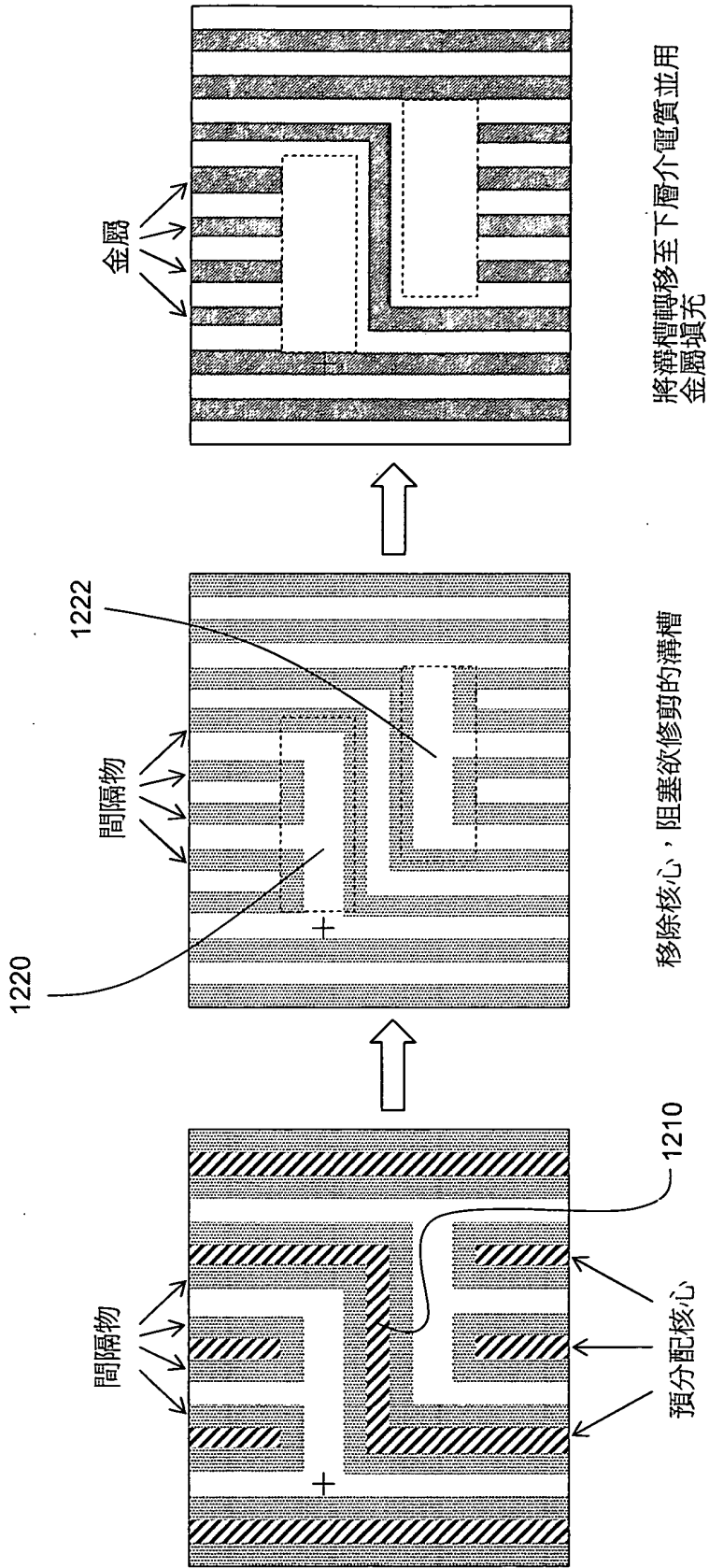
第11a圖



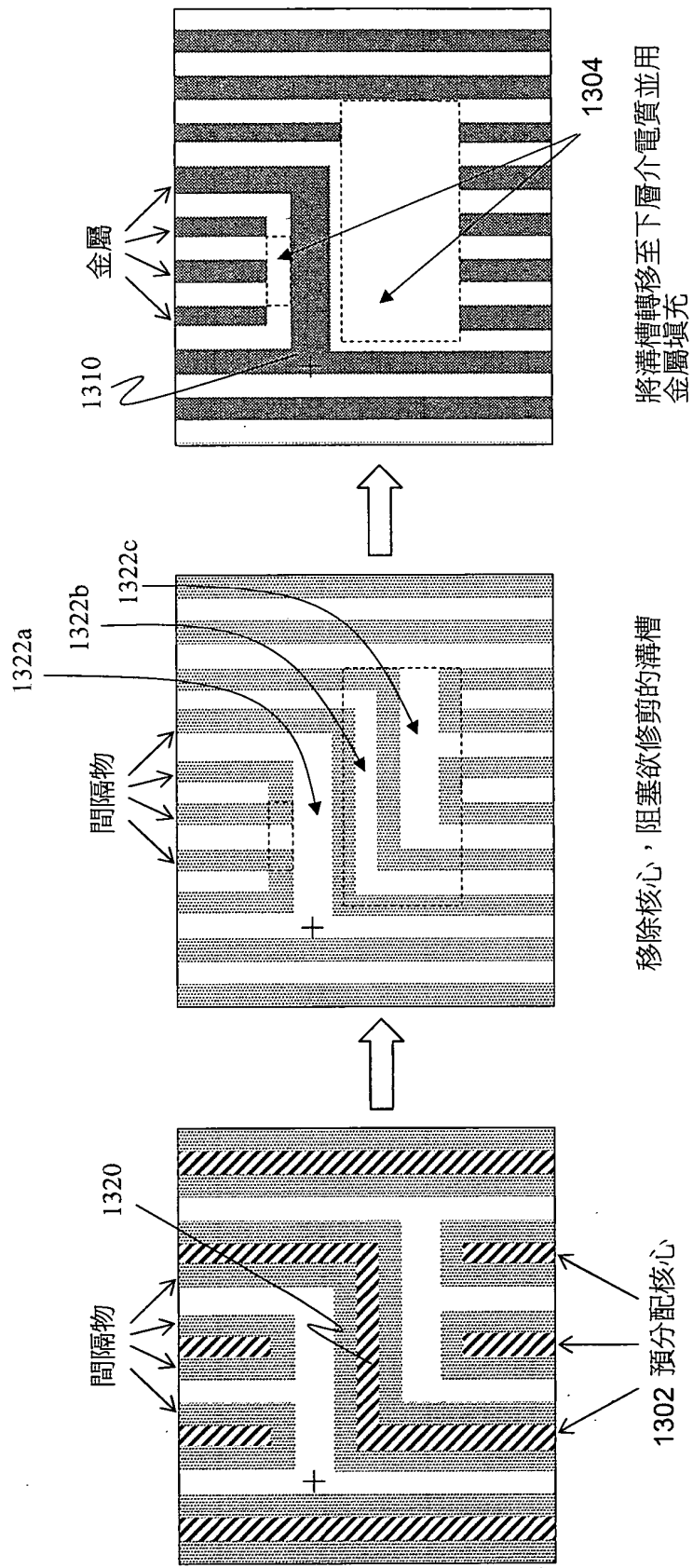
第 11b 圖



第 11c 圖

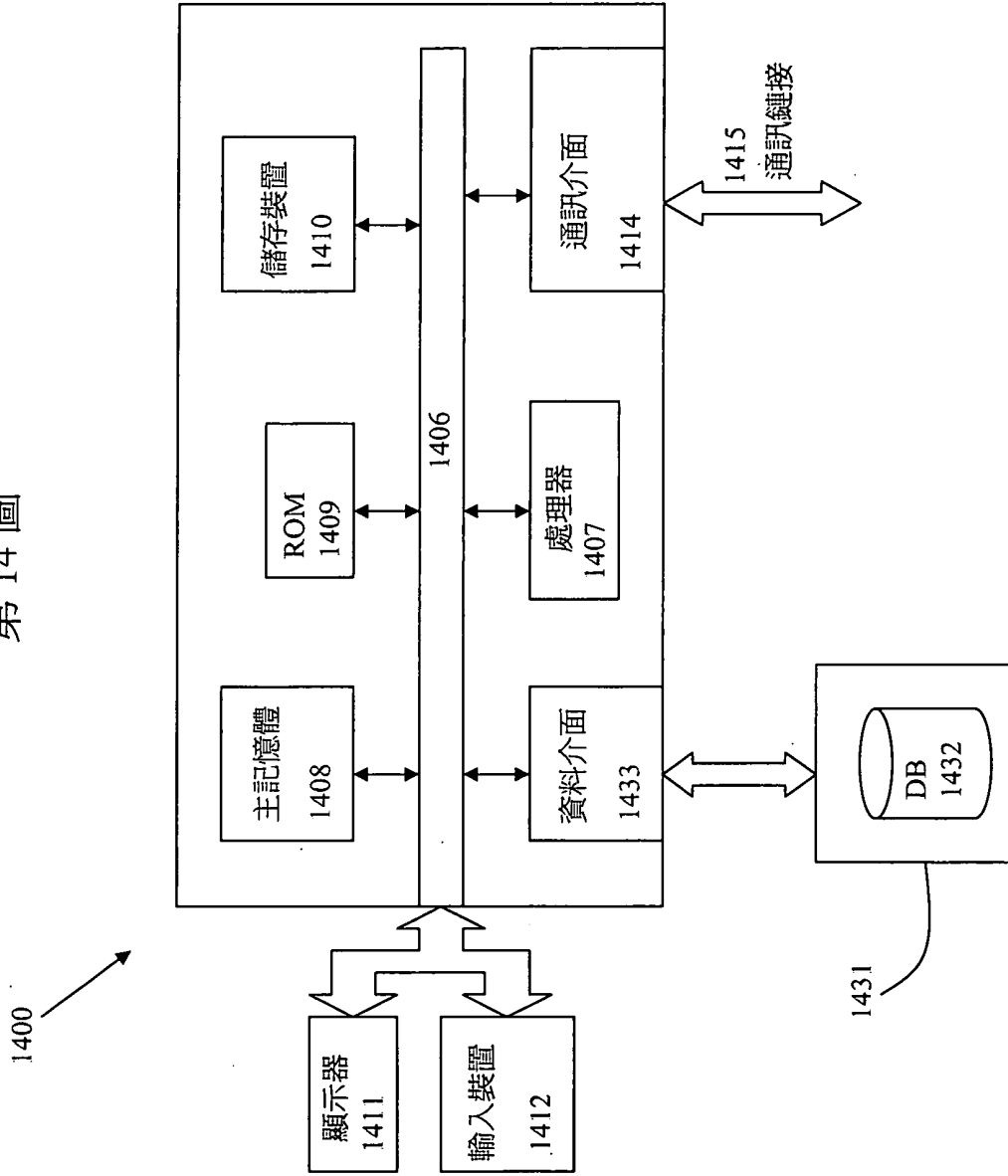


第 12 圖



第 13 圖

第 14 圖



四、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

400...系統

402...佈局/配置及安排路由工具、電子設計自動化工具

404...安排路由模組

406...雙倍圖樣化模組、使用者站

414...設計限制

416...設計規範

418...晶胞庫

420...佈局、佈局與遮罩設計、顯示佈局

422...電腦可讀媒體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

七、申請專利範圍：

1. 一種為積體電路的多個互連安排路由之方法，其中在該積體電路的一層中的該等互連係藉由使用一第一及一第二光罩製造，該安排路由之方法包含使用一處理器以執行一程序，該程序包含：

確定對應於互連且定向為沿一較佳方向的一路由跡線陣列，其中一路由跡線構成一零寬線，且一或多個互連的一或多個中心線位在其上；

自該路由跡線陣列對至少二相鄰的路由跡線預分配各別光罩指示，該等各別光罩指示對應到不同的光罩；及

在包括一計算系統的至少處理器或與其連接在一起的一布局實施機構中，沿該等至少二相鄰的路由跡線為該積體電路的互連安排路由，使得該等互連根據該等至少二相鄰路由跡線的各別光罩指示，而繼承該至少二相鄰路由跡線的該等各別光罩指示且與該等不同的光罩相關聯。

2. 如申請專利範圍第1項所述之方法，其進一步包含：

使一接合焊墊連接到互連上，該接合焊墊具有定向為垂直於該較佳方向的一長方向；

分配該接合焊墊使其在第一光罩抑或第二光罩上，使得該接合焊墊與在同一光罩上的一相鄰特徵相距超過一預定距離，其中，該相鄰特徵不包括該接合焊墊所連接的該互連；及

藉由在一非暫時性電腦可讀媒體的一結構上儲存結果，或在一顯示裝置顯示結果，來對該等互連之安排路由結果進行輸出。

3. 如申請專利範圍第2項所述之方法，其進一步包含：在「分配該接合焊墊經證實為不可能」的情況下，使用一單一開口導通孔。
4. 如申請專利範圍第2項所述之方法，其進一步包含：當「分配該接合焊墊經證實是不可能」時，移動下列當中之至少一者：該接合焊墊及其他處的該相鄰特徵。
5. 如申請專利範圍第1項所述之方法，其進一步包含：

用定向為垂直朝向該較佳方向的一第三互連，連接均定向為沿著該較佳方向的一第一及一第二互連；其中

當該第一及第二互連在一共用光罩上，將該第三互連分配至共同的光罩；及

當該第一及第二互連在不同光罩上，將該第三互連分配至該第一或該第二光罩上，使得該第三互連與在相同光罩上的一相鄰特徵相距超過一預定距離，其中該相鄰特徵不包括該第一及該第二互連；及

當「連接該第一及該第二互連至該第三互連的動作」經證實是不可能時，為該第一、第二、及第三互連其中至少一者重新安排路由。
6. 如申請專利範圍第1項所述之方法，其中，該等互連被安排路由使得該積體電路是以雙倍圖樣化來製造。
7. 如申請專利範圍第1項所述之方法，其中，一錯向互連

被安排路由，該錯向互連具有不在該較佳方向的一定向。

8. 如申請專利範圍第7項所述之方法，其進一步包含：
 - 識別該錯向互連周圍的一禁區；及
 - 檢查該禁區以識別該錯向互連雙倍圖樣化的一製造衝突。
9. 如申請專利範圍第8項所述之方法，其中，當對於該禁區，下列之至少兩物件被識別時，則該製造衝突被識別：
 - (a)奇數路由跡線上的一組正向互連；
 - (b)偶數路由跡線上的一組正向互連；
 - (c)另一錯向互連。
10. 如申請專利範圍第9項所述之方法，其中，該錯向互連被分配到與該等物件(a)、(b)或(c)其中之一的互連相反的一光罩指示。
11. 如申請專利範圍第8項所述之方法，其中該禁區用對應於一單一微影步驟的間隔值來組態。
12. 如申請專利範圍第1項所述之方法，其中，互連之路由安排在不需全局瞭解顏色分配的情況下被局部執行。
13. 如申請專利範圍第1項所述之方法，其中，一次一個互連被安排路由，使得該程序自一沒有安排路由違反情況的狀態開始，及添加每一不引起違反情況的互連，其中如果一違反情況發生，上一經安排路由的互連被移除並被重新安排路由以避免違反情況。
14. 一種為積體電路的多個互連安排路由之方法，其中在該積體電路的一層中的該等互連係透過使用一具有核心

特徵之核心遮罩與一具有修剪特徵之修剪遮罩之一側壁影像轉移方法而製造，該安排路由方法包含使用一處理器以：

識別定向為沿一較佳方向的多個路由跡線，其中該等路由跡線之間具有空間，以及識別具有零寬且一互連之至少一部分位在其上的路由跡線；

預分配欲由核心特徵形成的交替空間，其中剩餘空間非由核心特徵形成；

在有一核心特徵的一邊緣而不需要互連的情況下設計一修剪特徵；及

在包括一計算系統的至少處理器或與其連接在一起的一布局實施機構中，沿該等路由跡線的至少一些跡線為該積體電路的互連安排路由，其中該等互連繼承該至少一些路由跡線的各別光罩指示。

15. 如申請專利範圍第14項所述之方法，其進一步包含：

連接一第一互連與遠離該第一互連之為偶數路由跡線的一第二互連；

設計該核心光罩的一錯向特徵，其中該錯向特徵垂直於該較佳方向延伸，並連接至鄰近於該第一互連之該核心特徵與鄰近於該第二互連之該核心特徵；及

藉由在一非暫時性電腦可讀媒體的一結構上儲存結果，或在一顯示裝置顯示結果，來對該等互連之安排路由結果進行輸出。

16. 如申請專利範圍第14項所述之方法，其中該側壁影像轉

移方法包含：

將核心特徵微影印製於一晶圓上；

在核心特徵的該等側壁形成間隔物；

沉積核心材料並研磨該晶圓；

使用該修剪遮罩微影印製一抗蝕劑圖樣使得抗蝕劑出現在不需要互連之處；

蝕刻間隔物材料，在除了修剪特徵所在處之外的核心材料中留下溝槽；

用一電漿蝕刻製程將該等溝槽轉移至一下層介電質膜中；

將孔微影蝕刻至該介電質層中互連需被連接至一下層金屬層之處；

將一金屬沉積於該等溝槽與孔中；及

透過一化學機械研磨製程移除過量金屬。

17. 一種為積體電路的多個互連安排路由之系統，其中，在該積體電路的一層中的該等互連係藉由使用一第一及一第二光罩製造，包含：

一微處理器，執行一序列之指令；

一非暫時性電腦可讀媒體，其中儲存有當由該微處理器執行時使得微處理器執行以下動作之程式碼：

確定定向為沿一較佳方向的一組路由跡線，其中一路由跡線構成一線或線段，且一或多個互連的一或多個中心線位在其上；

在來自該組路由跡線之至少二緊鄰的相鄰路由跡

線，以對應於不同光罩之各別光罩指示進行預著色；及
沿至少二路由跡線為該積體電路的該等互連安排
路由，使得該等互連根據各別顏色指示，繼承該至少二
緊鄰之路由跡線的該等各別光罩指示且與該等不同的
光罩相關聯。

18. 一種包括非暫時性電腦可讀媒體之電腦程式產品，該電
腦可讀媒體包含複數電腦指令，當被一處理器執行時致
使該處理器執行用以為一積體電路的多個互連安排路
由之一程序，其中在該積體電路的一層中之該等互連係
藉由使用一第一及一第二光罩製造，該程序包含：

確定定向為沿一較佳方向的多數路由跡線，其中一
路由跡線構成一線或線段，且一或多個互連的一或多個
中心線位在其上；

對來自該等多個路由跡線之二或更多緊鄰之相鄰
路由跡線，以對應於不同光罩之各別光罩指示進行預著
色；及

沿該等多個路由跡線中的至少一些路由跡線，為該
積體電路的該等互連安排路由，其中該等被路由安排的
互連根據各別顏色指示，繼承該至少一些路由跡線的該
等各別光罩指示且與該等不同光罩相關連。