

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 27 年 5 月 14 日 (2015.5.14)

【公開番号】特開 2014-142969 (P2014-142969A)

【公開日】平成 26 年 8 月 7 日 (2014.8.7)

【年通号数】公開・登録公報 2014-042

【出願番号】特願 2014-95690 (P2014-95690)

【国際特許分類】

G 0 6 F 9/38 (2006.01)

G 0 6 F 9/32 (2006.01)

【F I】

G 0 6 F 9/38 3 3 0 D

G 0 6 F 9/38 3 7 0 X

G 0 6 F 9/38 3 3 0 B

G 0 6 F 9/32 3 2 0 F

【誤訳訂正書】

【提出日】平成 27 年 3 月 26 日 (2015.3.26)

【誤訳訂正 1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項 1】

複数のプロセッサコアを含むマルチコアプロセッサを備えるコンピューティングシステムであって、

前記複数のプロセッサコアの少なくともいくつかがブレディケート予測器を備え、

少なくとも 1 つのブレディケート予測器が、前記複数のプロセッサコアのうちの対応するプロセッサコアにマッピングされたブレディケート命令の出力を予測するように構成され、

コンパイラが、分岐命令とブレディケート命令が混在した命令ブロックを生成し、

前記命令ブロックは、前記複数のプロセッサコアのうちのどのプロセッサコアが前記分岐命令を実行するのに割り当てられるかを決定するブロックアドレスを含み、

前記予測は、前記分岐命令内に符号化された情報に基づき、

前記分岐命令内に符号化された前記情報は、出口コードを表し、

前記少なくとも 1 つのブレディケート予測器が、予測が正しく連続的に行われた数を示す信頼性予測情報を保持し、前記信頼性予測情報に基づいて、対応するブレディケート命令の出力を予測すべきかを決定するように構成され、

前記少なくとも 1 つのブレディケート予測器が、基本予測器およびグローバル履歴レジスタを備え、前記予測は、前記基本予測器および前記グローバル履歴レジスタにさらに基づき、

前記グローバル履歴レジスタが、コアローカルブレディケート履歴レジスタを備え、前記コアローカルブレディケート履歴レジスタは、前記対応するプロセッサコアの前記ブレディケート予測器に関するデータを記憶するように構成される、

コンピューティングシステム。

【請求項 2】

前記複数のプロセッサコアの少なくとも 1 つのプロセッサコアが、前記分岐命令を備えるアプリケーションプログラムを実行するように構成される、請求項 1 に記載のコンピュ

ーティングシステム。

【請求項 3】

前記コンパイラの実行により、前記分岐命令に前記情報が符号化される、請求項 1 に記載のコンピューティングシステム。

【請求項 4】

前記マルチコアプロセッサが、エクスプリシット・データ・グラフ・エグゼキューション (explicit data graph execution) マイクロアーキテクチャを備える、請求項 1 に記載のコンピューティングシステム。

【請求項 5】

前記グローバル履歴レジスタが、グローバルブロック履歴レジスタを備え、前記グローバルブロック履歴レジスタは、複数の命令ブロックに関する複数のエントリを記憶するように構成され、前記複数のエントリの少なくともいくつかは、関連する分岐命令に対応する予測された出口コードを含む、請求項 1 に記載のコンピューティングシステム。

【請求項 6】

マルチコアプロセッサ内の複数のプロセッサコアの少なくともいくつかに対してブレディケート予測器を使用することと、

前記複数のプロセッサコアのうちの対応するプロセッサコアにマッピングされたブレディケート命令の出力を予測することと、

を含み、

少なくとも 1 つのブレディケート予測器が、基本予測器およびグローバル履歴レジスタを含み、前記グローバル履歴レジスタが、複数の命令ブロックに関する複数のエントリを記憶するように構成されるグローバルブロック履歴レジスタを含み、前記複数のエントリの少なくともいくつかは、関連する分岐命令に対応する予測された出口コードを含み、

コンパイラが、分岐命令とブレディケート命令が混在した命令ブロックを生成し、前記ブレディケート命令の前記出力を予測することは、前記分岐命令内に符号化された情報に基づき、前記ブレディケート命令の前記出力を予測することは、前記基本予測器および前記グローバル履歴レジスタにさらに基づき、前記分岐命令内に符号化された前記情報は、出口コードを表し、

前記少なくとも 1 つのブレディケート予測器が、予測が正しく連続的に行われた数を示す信頼性予測情報を保持し、前記信頼性予測情報に基づいて、対応するブレディケート命令の出力を予測すべきかを決定し、

前記グローバル履歴レジスタが、コアローカルブレディケート履歴レジスタを備え、前記コアローカルブレディケート履歴レジスタは、前記対応するプロセッサコアの前記ブレディケート予測器に関するデータを記憶するように構成される、

マルチコアプロセッサ内でブレディケート予測を提供する方法。

【請求項 7】

前記複数のプロセッサコアの少なくとも 1 つのプロセッサコアによってアプリケーションプログラムを実行することをさらに含み、前記アプリケーションプログラムが、前記分岐命令を含む、請求項 6 に記載の方法。

【請求項 8】

コンパイラを用いて、前記分岐命令に前記情報を符号化することをさらに含む、請求項 6 に記載の方法。

【請求項 9】

前記命令ブロックは、ブロックアドレスを含み、前記ブロックアドレスを用いて、どのプロセッサコアが前記分岐命令を実行するかを決定することをさらに含む、請求項 7 に記載の方法。

【請求項 10】

マルチコアプロセッサコンピューティングシステム内でブレディケート予測を提供するためのコンピュータ実行可能命令が記憶された、コンピュータによってアクセス可能な媒体であって、処理構成が、前記処理構成による前記コンピュータ実行可能命令の実行に応

じて処理手順を実行するように構成され、前記処理手順が、

マルチコアプロセッサの複数のプロセッサコアの少なくともいくつかに対してブレディケート予測器を使用することであって、前記プロセッサコアの少なくともいくつかが少なくとも1つのブレディケート予測器を備える、使用することと、

前記複数のプロセッサコアのうちの対応するプロセッサコアにマッピングされたブレディケート命令の出力を予測することと、

を含み、コンパイラが、分岐命令とブレディケート命令が混在した命令ブロックを生成し、前記ブレディケート命令の前記出力を予測することは、前記分岐命令内に符号化された情報に基づき、前記命令ブロックは、前記複数のプロセッサコアのうちのどのプロセッサコアが前記分岐命令を実行するのに割り当てられるかを決定するブロックアドレスを含み、前記分岐命令内に符号化された前記情報は、出口コードを表し、

前記少なくとも1つのブレディケート予測器が、予測が正しく連続的に行われた数を示す信頼性予測情報を保持し、前記信頼性予測情報に基づいて、対応するブレディケート命令の出力を予測すべきかを決定し、

前記少なくとも1つのブレディケート予測器が、基本予測器およびグローバル履歴レジスタを備え、前記予測は、前記基本予測器および前記グローバル履歴レジスタにさらに基づき、

前記グローバル履歴レジスタが、コアローカルブレディケート履歴レジスタを備え、前記コアローカルブレディケート履歴レジスタは、前記対応するプロセッサコアの前記ブレディケート予測器に関するデータを記憶するように構成される、

コンピュータによってアクセス可能な媒体。

【請求項 11】

複数のプロセッサコアを含むマルチコアプロセッサを備えるコンピューティングシステムであって、

前記複数のプロセッサコアの少なくともいくつかはブレディケート予測器を備え、

少なくとも1つのブレディケート予測器が、前記複数のプロセッサコアのうちの対応するプロセッサコアにマッピングされたブレディケート命令の出力を予測するように構成され、

前記少なくとも1つのブレディケート予測器が、基本予測器およびグローバル履歴レジスタを備え、

前記グローバル履歴レジスタが、前記対応するプロセッサコアの前記ブレディケート予測器に関するデータを記憶するように構成されるコアローカルブレディケート履歴レジスタと、複数の命令ブロックに関する複数のエントリを記憶するように構成されるグローバルブロック履歴レジスタとを備え、

前記複数のエントリの少なくともいくつかは、関連する分岐命令に対応する予測された出口コードを含み、

コンパイラが、分岐命令とブレディケート命令が混在した命令ブロックを生成し、

前記予測は、前記分岐命令内に符号化された情報に基づき、

前記予測は、前記基本予測器および前記グローバル履歴レジスタにさらに基づき、

前記情報は、出口コードを表し、

前記少なくとも1つのブレディケート予測器が、予測が正しく連続的に行われた数を示す信頼性予測情報を保持し、前記信頼性予測情報に基づいて、対応するブレディケート命令の出力を予測すべきかを決定するように構成される、

コンピューティングシステム。

【請求項 12】

マルチコアプロセッサ内の複数のプロセッサコアの少なくともいくつかに対してブレディケート予測器を使用することと、

前記複数のプロセッサコアのうちの対応するプロセッサコアにマッピングされたブレディケート命令の出力を予測することと、

を含み、

コンパイラが、分岐命令とプレディケート命令が混在した命令ブロックを生成し、前記命令ブロックは、前記複数のプロセッサコアのうちのどのプロセッサコアが前記分岐命令を実行するのに割り当てられるかを決定するブロックアドレスを含み、前記プレディケート命令の前記出力を予測することは、前記分岐命令内に符号化された情報に基づき、前記分岐命令内に符号化された前記情報は、出口コードを表し、

前記プレディケート予測器が、前記予測が正しく連続的に行われた数を示す信頼性予測情報を保持し、前記信頼性予測情報に基づいて、対応するプレディケート命令の出力を予測すべきかを決定し、

前記プレディケート予測器が、基本予測器およびグローバル履歴レジスタを備え、前記予測は、前記基本予測器および前記グローバル履歴レジスタにさらに基づき、

前記グローバル履歴レジスタが、コアローカルプレディケート履歴レジスタを備え、前記コアローカルプレディケート履歴レジスタは、前記対応するプロセッサコアの前記プレディケート予測器に関するデータを記憶するように構成される、

マルチコアプロセッサ内でプレディケート予測を提供する方法。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 5

【訂正方法】変更

【訂正の内容】

【0 0 2 5】

一実施例によるアーキテクチャでは、命令の各ブロックは、接続されるまたは加わるコアを調整してそのようなブロックの実行を容易にする、特定のコア（例えば所有者コア（owner core））を有してもよい。例えば、所有者コアは、従来のアーキテクチャのプログラムカウンタと同様にまたは同等に、ブロック開始アドレスにより識別され得る。図 3 を見ると、命令の複数のブロック（例えば、簡単にするためにブロック 3 0 1 ~ 3 0 3 として示されている 3 つのブロック）が提供され、各ブロックは、ブロック開始アドレス 3 0 4 ~ 3 0 6 の 1 つをそれぞれ含む。そのようなアドレス 3 0 4 ~ 3 0 6 は、適切な所有者コア 2 1 1 ~ 2 1 3 を識別するために使用され得る。図 3 に示されるように、ブロック 3 0 1 は自身のアドレス 3 0 4 を通じてコア 2 1 1 と関連して（例えば、コア 2 1 1 に所有されて）もよく、ブロック 3 0 2 は自身のアドレス 3 0 5 を通じてコア 2 1 3 と関連してもよく、ブロック 3 0 3 は自身のアドレス 3 0 6 を通じてコア 2 1 2 と関連してもよい。それぞれの所有者コア 2 1 1 ~ 2 1 3 は、フェッチ命令を送信し、次のブロックアドレスを予測して所有者であることを示すトークンを次のブロックアドレスに渡し、完了情報（例えばレジスタの書き込み、記憶、出口 / 分岐アドレスなどを含む）を集め、コミットを送信または（1 つまたは複数の）コマンドをフラッシュし、最終的にコミットの肯定応答を得るという役割を担い得る。

【誤訳訂正 3】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 6

【訂正方法】変更

【訂正の内容】

【0 0 2 6】

さらに、それぞれの所有者コア 2 1 1 ~ 2 1 3 のうちの 1 つまたは複数は、次のブロックアドレスを予測しやすくすることができる。コア 2 1 1 ~ 2 1 3 のそれぞれは、完全な機能ブロック予測器 2 1 4 ~ 2 1 6 の 1 つをそれぞれ含んでもよく、予測器は複数のコアについて同一であっても、互いに異なってもよい。ブロック予測器 2 1 4 ~ 2 1 6 の次の 1 つは、どの分岐がテイクされてブロックの外に出るかを予測できる出口予測器と、予測される出口目標に基づいてブロック 2 1 4 ~ 2 1 6 の次の 1 つのアドレスを予測できる、予測器 2 1 4 ~ 2 1 6 のうち、関連する目標となる予測器とを含んでもよい。図 4 を参照すると、予測器 2 1 4 ~ 2 1 6 の出口予測器は、2 レベルのローカル予測器、グロー

バル予測器、および／または選択予測器を含んでもよく、これらは、ローカル出口履歴 401 およびグローバル出口履歴 402 を使用できる。出口履歴 401、402 は、それぞれのブロックの各分岐命令に対して静的に割り当てられた、概略プレディケート経路情報 206 を用いて、コア 211～213 から生成され得る。概略プレディケート経路情報 206 は、分岐命令に符号化されることが可能であり、特定のブロックの具体的な分岐を識別することができる。コンパイラ 204 は、最初は、それぞれのブロックの分岐命令の順序に基づいて、概略プレディケーション経路情報 206 を割り当ててもよい。コア 211～213 は、出口を用いて、（従来のアーキテクチャで使用され得るような）テイクされた／テイクされなかったという情報の代わりに、関連する予測器の中でローカル履歴およびグローバル履歴を生成することができる。

【誤訳訂正 4】

【訂正対象書類名】明細書

【訂正対象項目名】0029

【訂正方法】変更

【訂正の内容】

【0029】

図 6b を参照すると、別の実施例では、グローバルブロック履歴レジスタ (GBHR) 605 が提供され得る。分散型の出口予測器がブロックの出口コードを予測すると、そのような出口予測器は、出口予測番号またはコードを連結させることもでき、したがって GBHR 605 を生成する。本実施例では、コンパイラ 204 は、各ブロック内の分岐命令に、プログラム内での分岐命令の順序にしたがって、3 ビットの出口コードを割り当てることができる。したがって、GBHR 605 は、グローバル履歴情報として使用され得る。ブロック内のプレディケートからの情報を何ら使用することなく、出口予測器とプレディケート予測器の両方が同一の履歴情報を共有することができ、これにより、追加の通信機構の必要性を減らす、またはなくすことができる。