

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-520365

(P2009-520365A)

(43) 公表日 平成21年5月21日(2009.5.21)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 J	
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 2 H	
	H O 1 L 29/78 6 5 8 A	

審査請求 未請求 予備審査請求 未請求 (全 16 頁)

(21) 出願番号 特願2008-545895 (P2008-545895)
 (86) (22) 出願日 平成18年11月13日 (2006.11.13)
 (85) 翻訳文提出日 平成20年8月18日 (2008.8.18)
 (86) 国際出願番号 PCT/US2006/060826
 (87) 国際公開番号 W02007/133280
 (87) 国際公開日 平成19年11月22日 (2007.11.22)
 (31) 優先権主張番号 11/304,196
 (32) 優先日 平成17年12月14日 (2005.12.14)
 (33) 優先権主張国 米国 (US)

(71) 出願人 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国 7 8 7 3 5 テキサス州
 オースティン ウィリアム キャノン
 ドライブ ウェスト 6 5 0 1
 (74) 代理人 100140109
 弁理士 小野 新次郎
 (74) 代理人 100089705
 弁理士 社本 一夫
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100080137
 弁理士 千葉 昭男

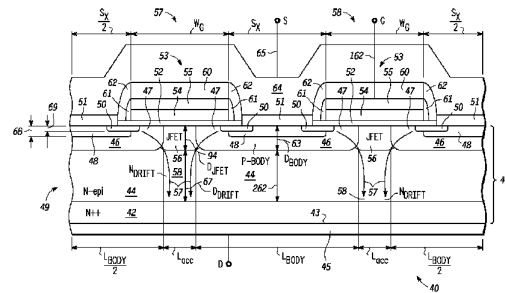
最終頁に続く

(54) 【発明の名称】 超接合パワーMOSFET

(57) 【要約】

T MOS素子(40)のための方法及び装置が提供されており、この素子は、第1表面でN-型JFET領域(56)によって分離された複数のP-ボディ領域(46)の中に電氣的に平行に設置されている複数のN-型ソース領域(50)を備えている。ゲート(53)は、ボディチャネル領域(46)と、ボディ領域の間に位置するJFET領域(56)との上に載っている。JFET領域(56)は、N-エピ領域(44)を介して下にあるドレイン領域(42)と連通している。イオン注入及び熱処理は、長さ L_{acc} のJFET領域(56)内の正味活性ドーピング濃度 N_d と、長さ L_{body} のP-ボディ領域(46)内の正味活性ドーピング濃度 N_a とを調整して、P-ボディ及びJFET領域間の電荷平衡関係($L_{body} * N_a = k_1 * (L_{acc} * N_d)$)が満足され、ここに k_1 は、約 $0.6 \leq k_1 \leq 1.4$ である、とするために使用される。

【選択図】図2



【特許請求の範囲】

【請求項 1】

MOS素子において、

第1主面を有する第1導電率型の半導体基板と、

前記第1導電率型の第1領域であって、前記第1主面から前記基板の中に第1距離だけ伸長しており、前記第1主面と実質的に平行な方向に長さ L_{acc} を有していて、約 N_{first} の正味活性ドーパント濃度を有している、第1領域と、

第2の逆の導電率型の少なくとも一対の間隔を空けて配置されているボディ領域であって、前記第1主面から前記基板の中に第2距離だけ伸張しており、前記第1導電率型の前記第1領域によって分離されていて、それぞれが、前記第1主面と実質的に平行な方向に長さ L_{body} を有していて、約 N_{second} の正味活性ドーパント濃度を有している、ボディ領域と、

前記間隔を空けて配置されているボディ領域の中の実質的に前記第1面に設置されており、前記第1領域まで伸張している、チャンネル領域と、

前記間隔を空けて配置されているボディ領域の中の実質的に前記第1面に設置されており、前記チャンネル領域によって前記第1領域と分離されている、前記第1導電率型のソース領域と、

前記チャンネル領域と前記第1領域の上にある前記第1面の上に設置されている絶縁ゲートと、

前記基板の前記第1領域の下に設置されている前記第1導電率型のドレイン領域と、を備えており、

$(L_{body} * N_{second}) = k_1 * (L_{acc} * N_{first})$ であり、 k_1 は、約 $0.6 \leq k_1 \leq 1.4$ の範囲の値を有している、素子。

【請求項 2】

k_1 は、約 $0.8 \leq k_1 \leq 1.2$ の範囲の値を有している、請求項1に記載の素子。

【請求項 3】

k_1 は、約 $0.9 \leq k_1 \leq 1.1$ の範囲の値を有している、請求項2に記載の素子。

【請求項 4】

前記第1距離は、 D_{body} の値を有しており、前記第2距離は、 D_{JFET} の値を有しており、 $D_{body} = k_2 * D_{JFET}$ であり、 k_2 は、 $0.8 \leq k_2 \leq 1.2$ の範囲にある、請求項1に記載の素子。

【請求項 5】

k_2 は、約 $0.9 \leq k_2 \leq 1.1$ の範囲にある、請求項4に記載の素子。

【請求項 6】

前記ボディ領域の少なくとも幾つかの中の前記正味活性ドーパント濃度 N_{second} は、スロープ $dN_{second}/dy = k_3$ が、前記ボディ領域の幾つかの深さの少なくとも約半分に亘って、約 $3E20 \leq k_3 \leq 5E20$ アトム/cm⁴の範囲にあるようになっている、請求項1に記載の素子。

【請求項 7】

前記第1領域に隣接する領域内の前記正味活性ドーパント濃度 N_{first} は、スロープ $dN_{first}/dy = k_4$ が、前記ボディ領域の幾つかの深さの少なくとも約半分に亘って、約 $2E20 \leq k_4 \leq 4E20$ アトム/cm⁴の範囲にあるようになっている、請求項1に記載の素子。

【請求項 8】

或る工程で作成されているAMOS素子であって、前記工程は、

第1導電率型の基板を提供する段階と、

前記基板の中に第1導電率型のドレイン領域を形成する段階と、

第1表面に前記第1導電率型の複数の第1領域を形成する段階であって、前記複数の第1領域は、前記第1表面と実質的に平行に測定して第1長さ L_{acc} を有していて、前記ドレイン領域とは分離されており、第1距離 D_{JFET} だけ前記基板の中に伸長しており

、前記複数の第 1 領域の少なくとも幾つかにおいて正味活性ドーパント濃度 N_{first} を有している、複数の第 1 領域を形成する段階と、

前記基板内の前記第 1 表面に、第 2 の逆の導電率型の複数のボディ領域を形成する段階であって、前記複数のボディ領域は、前記第 1 表面と実質的に平行に測定して第 2 長さ L_{body} を有していて、前記第 1 表面から第 2 距離 D_{body} だけ前記基板の中に伸長しており、前記複数のボディ領域の少なくとも幾つかにおいて正味活性ドーパント濃度 N_{second} を有しており、間隔を空けて配置されている前記ボディ領域の対は、前記第 1 領域の 1 つによって分離されている、複数のボディ領域を形成する段階と、から成り、

間に第 1 領域が挟まっている少なくとも一對の前記複数のボディ領域では、 $(L_{body} * N_{second}) = k_1 * (L_{acc} * N_{first})$ の関係が満足されており、ここに k_1 は、約 $0.6 \leq k_1 \leq 1.4$ の範囲の値を有している、工程で作成されている MOS 素子。

10

【請求項 9】

前記第 1 領域を形成する方法は、前記第 1 導電率型のドーパントイオンを前記第 1 領域の中に注入する段階を含んでいる、請求項 8 に記載の素子。

【請求項 10】

前記第 1 領域を形成する方法は、2 つ以上の注入エネルギーを使用して前記ドーパントイオンを注入する段階を含んでいる、請求項 9 に記載の素子。

【請求項 11】

前記複数のボディ領域を形成する方法は、2 つ以上の注入エネルギーを使用してドーパントイオンを注入する段階を含んでいる、請求項 8 に記載の素子。

20

【請求項 12】

$D_{body} = k_2 * D_{JFET}$ であり、ここに k_2 は、 $0.8 \leq k_2 \leq 1.2$ の範囲にある、請求項 11 に記載の素子。

【請求項 13】

D_{body} と D_{JFET} との間の領域、及びドレイン領域は、単一の導電率型である、請求項 8 に記載の素子。

【請求項 14】

L_{acc} は、 \leq 約 0.3 マイクロメートルである、請求項 8 に記載の素子。

【請求項 15】

L_{acc} は、 \leq 約 0.2 マイクロメートルである、請求項 8 に記載の素子。

30

【請求項 16】

MOS 素子を形成するための方法において、

上面を有する第 1 導電率型の半導体基板を提供する段階と、

前記上面を通して、第 1 導電率型の第 1 線量を第 1 段階として注入し、第 1 ドープ処理領域を形成する段階と、

前記上面上にゲート誘電体を形成する段階と、

前記ゲート誘電体上にゲート導電体及び上を覆う誘電体層を堆積させる段階と、

前記ゲート導電体及び上を覆う誘電体層をマスクング及びエッチング処理して、前記ゲート誘電体まで伸長し、前記ゲートの横方向の範囲を画定する少なくとも 2 つの第 1 の間隔を空けて配置されている開口部を提供する段階と、

40

前記少なくとも 2 つの第 1 の間隔を空けて配置されている開口部内の前記上面を通して第 2 の逆の導電率型の第 2 線量を第 2 段階として注入し、前記基板に第 2 の逆の導電率型の第 2 領域を形成する段階と、

前記第 2 注入段階の後何時でもよいが、前記素子に熱処理を施す段階であって、前記第 1 及び第 2 線量の組み合わせで、前記第 1 及び第 2 ドープ処理領域が拡大して互いに出会うように、更に、拡大後の横方向長さ L_{first} の前記第 1 ドープ処理領域内の前記正味活性不純物濃度 N_{first} と、拡大後の横方向長さ L_{second} の前記第 2 ドープ処理領域内の前記正味活性不純物濃度 N_{second} は、 $(N_{second} * L_{second}) = k_1 * (N_{first} * L_{first})$ の関係を満足し、ここに k_1 は、約 0.

50

$6 \leq k_1 \leq 1.4$ の範囲の値を有する、となるように、熱処理を施す段階と、から成る方法。

【請求項 17】

前記第 2 注入段階の前に、前記ゲート導電体の側方エッジ上に第 1 誘電体スペーサを形成する段階を更に含んでいる、請求項 16 に記載の方法。

【請求項 18】

前記第 2 注入段階の後に、前記少なくとも 2 つの第 1 の間隔を空けて配置されている開口部の中に第 2 の間隔を空けて配置されている開口部を画定するマスクを提供する段階と、

前記第 2 の間隔を空けて配置されている開口部を通して前記第 2 領域に前記第 1 導電率型のソース領域を第 3 段階として注入する段階と、を更に含んでいる、請求項 16 に記載の方法。

【請求項 19】

前記第 3 注入段階の後に、前記ソース領域の間の前記第 2 領域に前記第 2 導電率型のボディ接点領域を第 4 段階として注入する段階を更に含んでいる、請求項 18 に記載の方法。

【請求項 20】

前記ソース領域及び前記ボディ接点領域の上に導電性障壁層の材料を堆積させる段階を更に含んでいる、請求項 19 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概括的には、電界効果トランジスタ (FETs) に関し、より厳密には、T MOS 型の FETs に関する。

【背景技術】

【0002】

電界効果トランジスタ (FETs) は、今日では広く使用されている。一般的な種類は、しばしば金属酸化物半導体 (MOS) 素子と呼ばれているが、「金属」は、単純な金属以外のもので構成されていてもよいし、「酸化物」も、単純な酸化物以外のもので構成されていてもよい。従って、ここで使用する「金属」及び「酸化物」の用語は、それぞれ、好都合で安定した導電性及び絶縁性を有するあらゆる材料を含んでいるものとする。特定の種類の、電力供給に関する用途に有用な MOS 素子は、電流経路が「T」字型になっているので T MOS 素子と呼ばれている。

【0003】

図 1 は、先行技術による超接合 T MOS 素子 20 を示している。T MOS 素子は、例えば抵抗率が $0.01 \text{ Ohm} \cdot \text{cm}$ 、厚さ D_{drain} が約 350 マイクロメートルで、下側表面がドレイン接点 23 に連結されている、N+ ドレイン領域 22 を有する基板 21 の中及び上に形成されている。N- エピ領域 24 は、ドレイン領域 22 の上方に位置し、通常は約 30 から 50 マイクロメートルの厚さ D_{epi} を有している。P- ボディ領域 26 は、基板 21 の上面 25 から N- エピ領域 24 の中へ約 1 から 3 マイクロメートルの距離 D_{body} だけ伸長している。P+ ボディ接点領域 28 及び N+ ソース領域 30 は、上面 25 から P- ボディ領域 26 の中へ伸長している。N+ ソース領域 30 は、通常は約 0.3 マイクロメートルの厚さ D_s を有している。ゲート 34 で覆われているゲート絶縁体 32 は、P- ボディ領域 26 内のチャネル領域 27 上のソース領域 30 の間を伸長し、中間ボディ領域 36 は、P- ボディ領域 26 の間に位置している。接点 31 は、P+ ボディ接点領域 28 と N+ ソース領域 30 に設けられ、接続 35 は、ゲート 34 に設けられている。P- ボディ領域 26 の下には、横方向幅が L_p の P- パーティション領域 38 が、N- エピ領域 24 を貫通してドレイン 22 まで伸長している。中間ボディ領域 36 の下には、深さ D_{drift} 、横方向幅 L_N の N- ドリフト領域 39 が、N- エピ領域 24 を貫通しドレイン 22 まで伸長している。 L_p と L_N は、通常約 5 から 8 マイクロメートルである。

P パーティション領域 38 と N ドリフト領域 39 は、一組の実質的に同じ幅の縦方向チャンネルを形成しており、それぞれ、P + ボディ領域 26 及び中間ボディ領域 36 から、N - エピ層 24 を貫通して N + ドレイン接点 22 まで、距離 D_{drift} だけ伸長しており、この距離は、およそ $D_{drift} = 32 \sim 48$ マイクロメートルである。従来技術の素子 20 で超接合作用を得るためには、N ドリフト領域 38 内の不純物の量は、P パーティション領域 39 内の不純物の量の 100% から 150% 以内でなければならない。適切なバイアスが印加されると、矢印 37 で示すように、電流がソース 30 からドレイン 22 へと流れる。 W_G はゲート長さであり、 L_{acc} は、P - ボディ領域 26 に面する部分間の距離である。従って、チャンネル長さ L_{CH} は、約 $(1/2) * (W_G - L_{acc})$ となる。従来技術においては、 W_G は、通常、約 4 マイクロメートル又はそれ以上程度であり、 L_{acc} は、約 2 ~ 4 マイクロメートル又はそれ以上程度である。

10

【0004】

従来型の TMO S 素子は、大変有用ではあるが、当技術では周知の多くの制限に悩まされている。例えば、オン抵抗 $R_{DS(on)}$ は、しばしば所望値より高く、ゲートソース及びゲートドレインキャパシタンス C_{GS} 及び C_{DG} は、しばしば所望値より大きく、またゲートチャージ Q_G は、所望値より大きいことがあり、更に他の素子特性も、最適値を下回ることがある。過去において、これら及びその他の問題点を改良するため、超接合構造を採用する等の（例えば、Yasushi Miyasaka 他による米国特許第 6, 291, 856 B 1 号参照）様々な改善が行われてきたが、或る特性を改善するためになされたことが、別の重要な特性を低下させたり、実質的に製造時の困難さを増す結果となることが多かった。例えば、 $R_{DS(on)}$ は、エピ領域 24 でドーピングを増すことによって改善されるが、 C_{GD} 及び I_{on} 又は Q_G を不本意にも増し、及び I_{on} 又は降伏電圧 BV_{DSS} を不本意にも低下させる傾向がある。反対に、 C_{GD} 及び Q_G は、領域 36 上方のゲート酸化物の濃度を上げることによって下げることができるが、 $R_{DS(on)}$ を上げ、及び I_{on} 又は不本意に閾値電圧を不安定化する傾向がある。図 1 に示すような超接合構造を使用すると、電荷平衡ドリフト領域 38、39 を形成することによって、その様な混乱の幾つかを回避することができるが、図 1 に示すように、高さ (D_{drift}) が幅 (L_P 、 L_N) の概ね 4 倍から 5 倍となるような、P と N が密接してパッケージされた平行六面体 38、39 の、要求される並列配置を製造するのは、難しく費用が掛かる。横方向素子寸法（例えば、 W_G 、 L_P 、 L_N 等）を全体的に小さくしなければならない時に、高周波数で作動させるのは、 L_P 及び L_N の値が小さいほど D_{drift} の値のが大きくなってしまふことが多いので、これを達成するのは更に困難である。縦横比（例えば、 L_N / D_{drift} ）が大きい程、素子、特により高電流を扱うために改良されたより大面積の素子の製造は、更に困難で費用が掛かる。これら及びその他の要因が組み合わさって、大量の電力を高速で切り替えるための従来型の素子の能力を制限している。而して、これら及びその他の困難さを回避する構造及び製造様式を備えた MOS 素子が引き続き必要とされている。従って、より高い電流とより高速な切り替え速度の両方を有する MOS 素子を提供することが望まれている。加えて、素子を改良するための素子の構造及び製造方法の変更は、既存の素子製造技法、特にプレーナ技術と互換性のあるのが望ましい。更に、本発明の他の望ましい特徴及び特性は、以下の詳細な説明及び特許請求の範囲を、添付図面及び上に述べた技術分野及び背景と併せて読めば、明白となるであろう。

20

30

40

【特許文献 1】米国特許第 6, 291, 856 B 1 号

【発明を実施するための最良の形態】

【0005】

以下、本発明を、添付図面と関連付けながら説明してゆくが、各図中、類似の番号は類似の要素を表す。

【0006】

以下の詳細な説明は、単に、事実上の具体例に過ぎず、本発明又は本発明の適用及び使用を制限することを意図していない。更に、先に述べた技術分野、背景、概要、又は以下の詳細説明に提示されている、明示又は暗示されている理論によって拘束されることを意

50

図していない。

【0007】

表示を簡潔且つ明瞭にするため、各図は、構造の一般的な様式を示しており、周知の特徴及び技法に関する説明及び詳細は、本発明を不必要に不明瞭にするのを避けるために省略している。更に、各図中の各要素は、必ずしも縮尺を合わせて描いてはいない。例えば、図中の幾つかの要素又は領域の寸法は、本発明の実施形態の理解を深めるために、他の要素又は領域に対して強調されている。

【0008】

説明及び請求項の中における用語「第1」「第2」「第3」「第4」などは、使用する場合は、同様の要素間の識別のために使用しており、必ずしも特定の逐次的又は年代的順序を記述するものではない。この様に使用されている用語は、適切な状況の下では置き換えることができるため、ここで説明している本発明の実施形態は、例えば、図解又は他の方法で説明されている順番とは違う順序で作動させることができるものと理解されたい。更に、用語「備える」「含む」「有する」及びそれらの派生語も、非排他的な含有を包含する様に意図されているため、要素の一覧を備えている過程、方法、部品、又は装置は、それらの要素に限定されるわけではなく、明示的に一覧に載っていない、又はそのような過程、方法、部品、又は装置に本来的な他の要素を含んでいる場合もある。

【0009】

説明及び請求項の中における用語「左」「右」「中」「外」「前」「後」「上」「下」「最上」「底」「真上」「真下」「上方」「下方」及び類似用語は、使用する場合は、説明する目的で使用しており、必ずしも不変的な相対的位置を記述するものではない。その様に使用している用語は、適切な状況の下では置き換えることができるため、ここで説明している本発明の実施形態は、例えば、図解又は他の方法で説明している方向性とは違う方向性で作動させることもできるものと理解されたい。ここで使用している用語「連結されている」は、電氣的な又は非電氣的な様式で、直接的に又は間接的に接続されていることと定義される。

【0010】

MOS素子は、PMOS素子と呼ばれるP-チャネル型素子、又はNMOS素子と呼ばれるN-チャネル型素子である。本発明は、有用なことにNMOS素子に関しており、ここではその様な構造に関して説明している。しかしながら、これは説明上便宜的なものであり、限定することを意図するものではなく、ここで教示する原理は、PMOS素子にも同様に適用される。従って、ここで使用する用語「P-型」及び「N-型」は、等価であることを意図しており、それぞれより一般的な用語「第1導電率型」及び「第2導電率型」を含んでおり、ここに「第1」「第2」は、P又はN導電率型の何れかを指している。更に、 N_a が単位体積当りのアクセプタの数を指し、 N_d が単位体積当りのドナーの数を指す場合、当業者にはここでの説明を基に理解頂けるように、より一般的な記述子 $N_{f i r s t}$ 及び $N_{s e c o n d}$ を使って、単位体積当りのドナー又はアクセプタの数を指すこともでき、その際「第1」及び「第2」は、ドナー又はアクセプタの何れかを指すことになる。更に、上に述べたように、用語「金属」「酸化物」及び金属酸化物半導体、並びに略語「MOS」は、あらゆる合理的に安定した導電性及び絶縁性材料を、ここで説明しているように但しそれに限定されることなく、それぞれ含む様に意図している。

【0011】

図2は、本発明の実施形態によるTMOS素子40の簡略化した概略断面図である。素子40は、シリコン製であれば好都合であるが、他の半導体も使用することができる基板41を備えており、この基板は、下面43と上面45を有している。代表的には抵抗率が0.004オームcmのN++ドレイン領域42は、概ね下面41に又は下面41に隣接して設けられている。ドレイン接点45は、好都合に、N++ドレイン領域42の下面41上に接続部Dを備えて設けられている。しかしながら、ドレイン領域42は、下面43から、又は埋め込み層として形成されていれば上面45から、の何れかから接触することができるので、これに限定されるものではない。N-エピ領域44は、N++ドレイン領

10

20

30

40

50

域 4 2 から上向きに伸長している。P ボディ領域 4 6 は、N エピ領域 4 4 の中に上面 4 5 から下向きに伸長しており、距離 L_{acc} で横方向に間隔を空けて配置されている。P++ ボディ接点領域 4 8 と N++ ソース領域 5 0 は、P ボディ領域 4 6 の中に伸長している。(例えば二酸化シリコン製の)ゲート誘電体 5 2 は、チャンネル領域 4 7 の上方及び所謂 JFET 領域 5 6 の上方に、表面 4 5 の上に重なっており、更に、好都合に、ソース領域 5 0 を若干覆うように伸長している。幅 W_G の導電性ゲート電極 5 3 は、ゲート誘電体 5 2 の上に重なっている。ゲート電極 5 3 は、複合体サンドイッチであることが望ましく、その際、層 5 4 は、ドーパ処理ポリシリコン製であることが望ましく、層 5 5 は、例えば、一般的には $1.5 < x < 2$ であるが他の組成範囲及び他のポリサイドも使用することができるタングステンシリサイド W_{Six} の様なポリサイド製であることが望ましい。

ポリ Si 層 5 4 とポリサイド層 5 5 の組み合わせは、低いゲート抵抗を提供し、良好な切り替え速度を得るのに役立っている。外部ゲート接点 1 6 2 は、ゲート電極 5 3 まで遠隔的に設けられている。(例えば二酸化シリコン製の)誘電体層 6 0 は、電極 5 3 を覆うように設けられているので、例えば Al、Cu、Au、Si 及び / 又はその合金製のソース及びボディ接点金属化部 6 4 は、作動チャンネル領域 4 7 と JFET 領域 5 6 の上方でゲート電極 5 3 を橋渡ししており、ゲート電極 5 3 の両側でソース領域 5 0 とボディ領域接点 4 8 に連結されている。微量の Cu を含む Al は、金属化部 6 4 に好適であるが、これに限定する意図はない。説明の便宜上、金属化部 6 4 を指す際にここで使用する略語「Al : Cu」は、好適な組み合わせを指すだけではなく、使用可能な多くの他の可能性のある金属の組み合わせも指しており、上に記載したものを、これらに限定するわけではないが、含んでいる。外部接点 6 5 は、ソース金属化部 6 4 に対し遠隔的になっている。

【0012】

ソース及びボディ接点領域 5 0、4 8 と、ソース / ボディ金属化部 6 4 との間に、例えば Ti / TiN 又は他の導電性金属間化合物の導電障壁金属 5 1 を設け、ポリサイド 5 5 と金属化部 6 4 の相互拡散を抑制するのは、望ましいことではあるが、不可欠というわけではない。これは、ソース / ボディ接点領域 5 0、4 8 への低抵抗接続を維持するのに役立つ。上記のように、他の導電性材料を、ソース / ボディ金属化部 6 4 用に使用することもできる。或いは、金属化部 6 4 は、ソース / ボディ接続領域 5 0、4 8 に直接的に貼り付けてもよいが、好ましくはない。側壁スペーサ 6 1、6 2 は、ソース / ボディ接点 5 1 とソース / ボディ金属化部 6 4 からゲート電極 5 3 の横方向端部を隔てるために設けられている。チャンネル長さ L_{CH} は、約 $(1/2) * (W_G - L_{acc})$ である。或る好適な実施形態では、 L_{acc} と L_{CH} (チャンネル 4 7) は、それぞれ約 0.2 から 0.3 ミクロン程度なので、 W_G は、約 0.6 から 1.0 ミクロン又はそれ以下程度である。しかしながら、 L_{acc} は、0.2 ミクロン未満でもよい。小さい値の L_{acc} と W_G を使用すると、高速切り替え性能を実質的に強化することができる。適切にバイアスが掛けられると、電流は、矢印 5 7 で示すようにソース 5 0 からドレイン 4 2 へ流れる。 W_G の値を 1 から 2 ミクロン程度に、 L_{acc} を 1 ミクロン未満に下げ、図 3 から図 12 に関連付けて更に詳細に説明するが、JFET 領域 5 6 及び P ボディ領域 4 6 のドーピングを注意深く制御することによって、優れた性能を有する素子が、降伏電圧 BV_{DS} に妥協すること無く、また、図 1 の素子 20 で使用されている様な、深く幅の狭い P パーティション及び N ドリフトピラー 3 8、3 9 を形成する負担も無く、得られることが分かった。例えば、図 2 の構造の分析によると、他のことは同じで、JFET 領域 5 6 の抵抗を約 50 % 又はそれ以上下げることができ、その結果 $R_{DS(on)}$ が少なくとも 25 % 下がると期待される。更に、この改良は、 BV_{DS} 又は Q_g に悪影響を及ぼすことなく実施することができる。その上、 Q_g と $R_{DS(on)}$ の間の望ましい相殺の柔軟性を利用することができる。例えば、最高切り替え速度が最も重要な場合、最小の素子寸法を使用して、同じ $R_{DS(on)}$ で低い Q_g を獲得することができ、又は、代わりに、(例えば極めて高い電流における)低損失が最も重要な場合、より大きな寸法を使用して、同じ Q_g で低い $R_{DS(on)}$ を獲得することができ、これら全てを BV_{DS} に悪影響を及ぼすことなく行うことができる。而して、全体的な性能の改善のみならず、速度と電力取扱性能の

10

20

30

40

50

トレードオフ能力を利用して、特定の用途に最適化された素子を設計できるようになる。
これは先行技術に勝る有意な改良点である。

【0013】

図3から図12は、更なる詳細を示す、本発明の別の実施形態による簡略化した概略断面図であり、図2の素子40を製作する方法の順次工程101-110を説明している。図3は順次工程101を示している、半導体ウェーハ又は望ましくはシリコン製の基板41が提示されており、N-型層44が上に載っているN++ドープ層42を備えている。高度にドープ処理された層42と、上に載っている実質的に均一にドープ処理された層44の組み合わせは、当技術では周知の様々な方法で実現することができる。例えば、層42は開始基板で、その上に層44がエピタキシャル成長で形成され、又は、層44が開始基板で、その中で層42がドーピング又は他の方法で形成される。或いは、層又は領域42は、所定の深さで層44の中に設けられている、表面45又は他の所からの高度にドープ処理されたシンカー領域に接触している埋め込み層である。どちらの配置も実用的である。層44は、エピ層であるのが望ましいが、必須要件ではなく、更に図3から図12での「N-エピ」層としての層44の識別は、単に一例であり、限定を課す意図はない。層42は、約0.004オームcmに砒素でドープ処理されていると好都合であるが、ドーピングレベルはこれ以上でも以下でもよい。層44は、約0.1から1.0オームcmに、望ましくは約0.3オームcmに、燐でドープ処理されていれば好都合であるが、ドーピングレベルはこれ以上でも以下でもよい。層44は、厚さ約3から4マイクロメートルであるのが望ましいが、層の厚さはこれ以上でも以下でもよい。初期酸化物層111は、通常数千オングストローム単位厚さで、上面45上に設けられる。例えばフォトレジストのマスク層115が、初期酸化物層111上に塗布され、半導体表面45まで伸長する開口部113を設けるようにパターン化される。P-型エッジ領域123は、開口部113を通してN-型層44の中に導入され、図3に示すような構造を提供することになる。ボロンを使用するイオン注入117は、好適なドープ処理法であるが、P-型エッジ領域123を設けるための当技術では周知の他のドープ処理も使用可能である。当業者には理解頂けるように、図3から図12は、製作される素子構造の一部分のみを示しており、ドープ領域123に類似したこの他のドープ領域(図示せず)が、基板41の他の場所に設けられている。図4の工程102では、マスク層115は取り除かれ、電界酸化層120が、初期酸化物層111の約2倍の厚さまで成長又は他の方法で形成されているが、この厚さは、これ以上でも以下でもよい。マスク層126が塗布され、電界酸化物層120の部分119が露出するようにパターン化されている。部分119は、マスク層126の開口部125を通るエッチング処理によって好都合に取り除かれる。電界酸化物120の堆積又は成長の間に遭遇する高温は、初期エッジ領域123にN-層44の中へ下方向及び横方向への拡散を引き起こさせ、その結果、図4に示すように拡大したP-型エッジ領域124'が形成される。

【0014】

図5の工程103では、スクリーン酸化物層130が、表面45上に形成され、例えばフォトレジストのマスク層127が、好都合にスクリーン酸化物層130と電界酸化物層120を覆って設けられ、開口部129を有する様にパターン化されており、この開口部にはN-ドープ領域56が設けられるのが望ましい。N-型注入133が施され、マスク層開口部129の下にN-エピ層44の中に初期N-ドープ処理領域56'が形成される。1平方cm当たり約1E13から1E14アトムの線量が好都合であり、1平方cm当たり約3E13アトムが望ましい。約100から350keVの範囲の注入エネルギーが好都合であり、約200keVが望ましい。

【0015】

さて図6から図12を参照してゆくが、工程105では、スクリーン酸化物層130は、簡単なエッチング処理で好適に取り除かれ、ゲート酸化物52が、所定の場所に好都合に形成されているが、これは必須要件ではなく、スクリーン酸化物130は、ゲート酸化物としての役割も果たす。ゲート酸化物52は、熱成長によって素子の所望の電圧容量と

10

20

30

40

50

ゲートキャパシタンスに応じた厚さまで好適に形成される。100から500オングストローム単位の範囲のゲート酸化物の厚さは好都合であり、高電圧電力素子では、350から500オングストローム単位の範囲の厚さが望ましいが、厚さはこれ以上でも以下でもよい。ポリシリコン又は他のブランケット多結晶半導体(SC)層112は、酸化物層120、52を覆って設けられる。次に、例えば、タングステンシリサイド WSi_x ($1.5 \leq x \leq 2$)又は他のポリサイドから成るブランケットポリサイド層114が、ポリSC層112を覆って設けられる。次に、例えば二酸化シリコンから成るブランケット誘電体層116が、ポリサイド層114を覆って設けられる。層112、114、116は、化学蒸着(CVD)又はプラズマ化学蒸着(PECVD)によって形成されるのが好都合であるが、必須要件ではない。しかしながら、他の形成技法も使用することができる。スパッタリング及び真空蒸着は、層112、114、116の何れか又は全ての層に対する代替的な堆積方法の例であるが、これに限定されるものではない。導電層112、114の厚さは、それらの層の材料の選定と併せて、比較的抵抗のゲート電極53を提供できるように選定されるべきである。一般的には、数千オングストローム単位程度が好都合である。誘電体層116の厚さは、素子設計者によって、ソース及びゲート導体49、53(図2参照)の間の静電結合を、過度に密集した素子上部構造を作ること無く許容可能な水準に制限できるように、選定される。当業者には、その様な選定の方法が理解できるであろう。例えばフォトレジストから成るマスク層128は、誘電体層116の上に塗布され、開口部121、122を提供するようにパターン化され、この開口部では、層112、114、116の下層部が、好都合にエッチング処理によって取り除かれ、図6の構造が作り出される。層112、114、116は、図2及び図12の層54、55、60に対応している。図7の工程105では、マスク層128は、取り除かれ、側壁の酸化が施されて、ポリSC層とポリサイド層114の露出した側方エッジ上に第1側壁スペーサ61が形成される。第1側壁スペーサ61を形成するためのこの熱酸化工程の途上で、埋め込まれたドーブ処理領域56'が、幾らか外向きに拡散する。図8の工程106では、例えばボロンのP型注入136が、開口部121、122を通して、約40KeVから100KeVの範囲のエネルギーで、平方cm当り約1E12から1E13アトムの範囲の有効な線量で施されており、約60KeVの範囲のエネルギーで、平方cm当り約6E12アトムの線量で施されるのが望ましい。注入136は、開口部121、122の下方にドーブ処理領域46'を形成して、図8に示す構造を提供する。注入された領域46'から形成されるP-ボディ領域46に最終的に望ましい実質的に均一なドーピングを達成する、或る範囲のエネルギーを使用することが望ましい。図9の工程107では、高温駆動が、例えば約900から1200で施され、約950から1,100で約70分間施されるのが望ましい。駆動工程107は、各種N及びPドーパントを再分配し、その結果、Pドーブ処理領域46'は、拡大してP-ドーブ処理ボディ領域46を形成し、N-ドーブ領域56'は、更に拡大してJFET領域56を形成し、領域124'は、更に拡大して図2及び図13のP-エッジ領域124を形成する。

【0016】

図10の工程108では、開口部121、122のほぼ中央に位置するマスク領域166が設けられて、マスク領域166と第1側壁スペーサ61の間に開口部170が残される。次に、例えば砒素のN+注入163が、約40から120keVの範囲の有効なエネルギーで、平方cm当り約1E15から5E15アトムの範囲の有効な線量で施されるが、約90keVで平方cm当り約4E15アトムの線量で施されるのが望ましい。注入163は、図10に示すように、酸化物層52を通して施され、ソース領域50'を形成するのが好都合である。イオン注入が好ましいが、当技術で周知の他のドーピング手段も使用することができる。図11の工程109では、例えば酸化ケイ素の様な誘電体のブランケット層が、図10の構造を覆って(例えばCVD、PECVD、真空蒸着、又はスパッタリングで)堆積され、その後、当技術で周知の用法を用いて差別的にエッチング処理され、開口部121、122内で、層112、114、116の側方エッジと第1側壁スペーサ61の上に第2側壁スペーサ62が設けられる。同時に、この異方性エッチング処理

10

20

30

40

50

は、側壁スペーサ 62 の間の開口部 121、122 の中の酸化物層 52 も除去する。次いで、P 型注入 186 を、開口部 121、122 を通して表面 45 の中へ施し、P 型領域 48' を形成する。どの様な好都合な P 型ドーパントを使用してもよいが、ボロンが望ましい。注入 186 は、約 20 から 60 keV の範囲のエネルギーで、平方 cm 当たり約 5×10^{14} から 5×10^{15} アトム/平方 cm の線量で有用に実施される。約 40 keV のエネルギーで平方 cm 当たり約 1×10^{15} アトム/平方 cm の線量が望ましい。この結果、図 11 に示す構造が提供される。

【0017】

図 12 の工程 110 では、開口部 193 が、誘電体層 116 を通してエッチング処理され、ポリサイド層 114 と接触できるようになる。次に、金属間導電障壁層が、開口部 121、122 及び 193 を通して堆積され、マスクされ、エッチング処理されて、開口部 121 と 122 の下にソース領域 50 及びボディ接点領域 48 と接触する金属間障壁領域 51 が、そして開口部 194 の下にポリサイド層 114 と接触する金属間障壁領域 192 が残される。その後、Al:Cu 又は他の高導電性材料の層 64 が、本構造の上に堆積され、マスクされ、エッチング処理されて、図 12 に示すように、導電障壁層領域 51 と接触するソース/ボディ金属化部 64 と、導電障壁層領域 192 と接触するゲートリード 196 が提供される。これで、図 2 に示す構造が実質的に完成する。更に、図 12 は、ゲート金属化部 53 との実用的な接続方法を示している。当業者には理解頂ける様に、ゲート接点 196 の下の導電領域 112、114 は、図 2 及び 13 の面の外側で領域 54、55 に電氣的に連結されている。

【0018】

次に図 2 と図 12 を参照してゆくが、本発明の恩恵は、P - ボディ領域 46 の長さ L_{body} にその様な領域内の単位体積当りの正味活性アクセプタ濃度 N_a を掛けた積が、JFET 領域 56 の長さ L_{acc} に領域 56 内の単位体積当りの正味活性ドナー濃度 N_d を掛けた積と実質的に等しい時、即ち、 $(L_{body} * N_a) = k_1 * (L_{acc} * N_d)$ 、(但し、 L_{body} と L_{acc} は同じユニットで測定され、 k_1 は無次元のパラメータである) の時に最も良好に達成される。 k_1 は、約 $0.6 \leq k_1 \leq 1.4$ の範囲にあれば実用的であり、 $0.8 \leq k_1 \leq 1.2$ の範囲にあれば好都合であり、約 $0.9 \leq k_1 \leq 1.1$ の範囲にあれば望ましく、約 $k_1 \sim 1.0$ であれば好適である。更に、JFET 領域 56 の深さ 94 (以後 D_{JFET}) 及び P - ボディ領域 46 の深さ 63 (以後 D_{body}) はほぼ等しく、即ち、 $D_{body} = k_2 * D_{JFET}$ 、(但し、 k_2 は、望ましくは $0.8 \leq k_2 \leq 1.2$ の範囲、望ましくは $0.9 \leq k_2 \leq 1.1$ の範囲にある無次元の定数) であるのが望ましい。更に、領域 56 と 46 のドーピング処理は、深さ 94、63 の大部分に対して領域 24 内への深さの関数として実質的に一定であること、即ち、スロープ $dN_a / dy = k_3$ は、少なくとも P - ボディ 46 の約半分の深さに亘って、約 $3 \times 10^{20} \leq k_3 \leq 5 \times 10^{20}$ アトム/cm⁴ の範囲にあり、スロープ $dN_d / dy = k_4$ は、少なくとも N - 型 JFET 領域 56 の約半分の深さに亘って、約 $2 \times 10^{20} \leq k_4 \leq 4 \times 10^{20}$ アトム/cm⁴ の範囲にあるのが望ましい(但し、 y は、表面 45 から測った距離である)。上記条件は、図 5 の工程 103 における注入 133 のエネルギーと線量、工程 108 における注入 136 のエネルギーと線量、及び少なくとも工程 104 から 107 に関係する熱処理、及び素子 40 の製作の間に実施される他の処理、を適切に調節することにより実現される。 k_1 の範囲を上記の通りとし、条件 $(L_{body} * N_a) = k_1 * (L_{acc} * N_d)$ を最も良好に実現する注入及び熱処理は、素子設計者によって選定される具体的な不純物ドーパントによって決まる。その様な調節は、必要以上の実験を行うことなく、ここでの教示に基づいて行う当業者の力量の範囲内にある。電荷品質条件 $(L_{body} * N_a) = k_1 * (L_{acc} * N_d)$ は、素子 40 の表面領域近くのみ、つまり P - ボディ 46 及び JFET 領域 56 に、実質的に適用され、P - ボディ領域 26 及び JFET 領域 56 の下の、ドレイン領域 42 の上にある N - エピ領域 24 の(深さ 262、67 の)部分 49 には要求されないことに留意されたい。従って、先行技術の素子 20 で使用される P - パーティション領域 38 及び N - ドリフト領域 39 の平行六面体の複雑な配置は、必要ではない。更に、素子 40 は、専ら利用できる平坦面製作技術を使用することで、実質

10

20

30

40

50

的に製作することができることにも留意されたい。図1の素子20の様な先行技術の素子にしばしば付帯するより複雑なトレンチ・アンド・リフィル技法は、必要ではない。これは、本発明の更なる実質的な利点である。

【0019】

第1の実施形態によれば、MOS素子が提供されており、この素子は、第1主面を有する第1導電率型の半導体基板と、第1導電率型の第1領域であって、第1主面から基板の中に第1距離だけ伸長しており、第1主面と実質的に平行な方向に長さ L_{acc} を有して、約 N_{first} の正味活性ドーパント濃度を有している、第1領域と、第2の逆の導電率型の少なくとも一対の間隔を空けて配置されているボディ領域であって、第1主面から基板の中に第2距離だけ伸張しており、第1導電率型の第1領域によって分離されていて、それぞれが、第1主面と実質的に平行な方向に長さ L_{body} を有して、約 N_{second} の正味活性ドーパント濃度を有している、ボディ領域と、間隔を空けて配置されているボディ領域の中の実質的に第1面に設置されており、第1領域まで伸張している、チャンネル領域と、間隔を空けて配置されているボディ領域の中の実質的に第1面に設置されており、チャンネル領域によって第1領域と分離されている、第1導電率型のソース領域と、チャンネル領域と第1領域の上にある第1面の上に設置されている絶縁ゲートと、基板の第1領域の下に設置されている第1導電率型のドレイン領域と、を備えており、 $(L_{body} * N_{second}) = k_1 * (L_{acc} * N_{first})$ であり、 k_1 は、約 $0.6 \leq k_1 \leq 1.4$ の範囲の値を有している。別の実施形態によれば、 k_1 は、約 $0.8 \leq k_1 \leq 1.2$ の範囲の値を有している。更に別の実施形態によれば、 k_1 は、約 $0.9 \leq k_1 \leq 1.1$ の範囲の値を有している。更に別の実施形態によれば、第1距離は、 D_{body} の値を有しており、第2距離は、 D_{JFET} の値を有しており、 $D_{body} = k_2 * D_{JFET}$ であり、ここに k_2 は、 $0.8 \leq k_2 \leq 1.2$ の範囲にあることが望ましい。更に別の実施形態によれば、 k_2 は、 $0.9 \leq k_2 \leq 1.1$ の範囲にあることが望ましい。別の実施形態によれば、ボディ領域の少なくとも一部における正味活性ドーパント濃度 N_{second} は、スロープ $dN_{second}/dy = k_3$ が、ボディ領域の少なくとも約半分の深さに亘って、約 $3E20 \leq k_3 \leq 5E20$ アトム/cm⁴の範囲にあるようになっている。更に別の実施形態によれば、第1領域に隣接する領域の正味活性ドーパント濃度 N_{first} は、スロープ $dN_{first}/dy = k_4$ が、ボディ領域の少なくとも約半分の深さに亘って、約 $2E20 \leq k_4 \leq 4E20$ アトム/cm⁴の範囲にあるようになっている。

【0020】

第2実施形態によれば、或る工程で作られるMOS素子が提供されており、この工程は、第1導電率型の基板を提供する段階と、基板内に第1導電率型のドレイン領域を形成する段階と、第1表面に、第1導電率型の複数の第1領域を形成する段階であって、この複数の第1領域は、第1表面と実質的に平行に測定して第1長さ L_{acc} を有して、ドレイン領域とは分離されており、第1距離 D_{JFET} だけ基板の中に伸長しており、前記複数の領域の少なくとも幾つかにおいて正味活性ドーパント濃度 N_{first} を有している、複数の第1領域を形成する段階と、基板内の第1表面に、第2の逆の導電率型の複数のボディ領域を形成する段階であって、この複数のボディ領域は、第1表面に実質的に平行に測定して第2長さ L_{body} を有して、第1表面から第2距離 D_{body} だけ基板の中に伸長しており、前記複数のボディ領域の少なくとも幾つかにおいて正味活性ドーパント濃度 N_{second} を有しており、間隔を空けて配置されている前記ボディ領域の対は、第1領域によって分離されている、複数のボディ領域を形成する段階と、から成り、前記複数のボディ領域の少なくとも一対と、間に挟まっている第1領域では、 $(L_{body} * N_{second}) = k_1 * (L_{acc} * N_{first})$ の関係が満足されており、ここに k_1 は、約 $0.6 \leq k_1 \leq 1.4$ の範囲の値を有している。別の実施形態によれば、第1領域を形成する方法は、第1領域の中に第1導電率型のドーパントを注入する段階を更に含んでいる。更に別の実施形態によれば、第1領域を形成する方法は、2つ以上の注入エネルギーを使用して前記ドーパントイオンを注入する段階を更に含んでいる。更に

別の実施形態によれば、複数のボディ領域を形成する方法は、2つ以上の注入エネルギーを使用してドーパントイオンを注入する段階を更に含んでいる。更に別の実施形態によれば、 $D_{body} = k_2 * D_{JFE}$ であり、ここに k_2 は、 $0.8 < k_2 < 1.2$ の範囲にあることが望ましい。更に別の実施形態によれば、 D_{body} 及び D_{JFE} とドレイン領域の間の領域は、単一の導電率型である。別の実施形態によれば、 L_{acc} は、 $< \text{約} 0.3$ マイクロメートルである。更に別の実施形態によると、 L_{acc} は、 $< \text{約} 0.2$ マイクロメートルである。

【0021】

第3の実施形態によれば、MOS素子を形成するための方法が提供されており、その方法は、上面を有する第1導電率型の半導体基板を提供する段階と、上面を通して第1導電率型の第1線量を第1段階として注入し、第1ドーパ処理領域を形成する段階と、上面上にゲート誘電体を形成する段階と、ゲート誘電体上にゲート導電体及び上を覆う誘電体層を堆積させる段階と、ゲート導電体及び上を覆う誘電体層をマスキング及びエッチング処理して、ゲート誘電体まで伸長し、ゲートの横方向の範囲を画定する少なくとも2つの第1の間隔を空けて配置されている開口部を提供する段階と、少なくとも2つの第1の間隔を空けて配置されている開口部内の上面を通して、第2の逆の導電率型の第2線量を第2段階として注入し、基板に第2の逆の導電率型の第2領域を形成する段階と、素子に熱処理を施す段階であって、第1及び第2線量の組み合わせで、第1及び第2ドーパ処理領域が拡大して互いに出会うように、更に、拡大後の横方向長さ L_{first} の第1ドーパ処理領域内の正味活性不純物濃度 N_{first} と、拡大後の横方向長さ L_{second} の第2ドーパ処理領域内の正味活性不純物濃度 N_{second} は、 $(N_{second} * L_{second}) = k_1 * (N_{first} * L_{first})$ の関係を満足し、ここに k_1 は、 $0.6 < k_1 < 1.4$ の範囲の値を有する、となるように、素子に熱処理を施す段階を含んでいる。別の実施形態も提供されており、この実施形態は、第2注入段階の前に、ゲート導電体の側方エッジ上に第1誘電体スペーサを形成する段階を含んでいる。更に別の実施形態が提供されており、第2注入段階の後に、少なくとも2つの第1の間隔を空けて配置されている開口部の中に第2の間隔を空けて配置されている開口部を画定するマスクを提供する段階と、第2の間隔を空けて配置されている開口部を通して第2領域に第1導電率型のソース領域を、第3段階として注入する段階と、を含んでいる。更に別の実施形態が提供されており、第3注入段階の後に、ソース領域の間の第2領域に第2導電率型のボディ接点領域を第4段階として注入する段階を含んでいる。更に別の実施形態が提供されており、ソース領域及びボディ接点領域の上に導電性障壁層の材料を堆積させる段階を備えている。

【0022】

以上の詳細な説明では、少なくとも1つの代表的な実施形態を提示してきたが、多数のバリエーションが存在するものと理解されたい。例えば、本発明はNMOS型素子に例を採って説明してきたが、これは、単に説明の便宜上のためで、制限を課す意図はない。当業者には理解頂けるように、PMOS素子は、導電率型を適切に置き換えながら、ここに説明した教示を利用して構築することができる。従って、導電率型に関するより一般的な用語「第1」及び「第2」は、N又はP型何れかのドーパントを指すことを意図しており、同様に、 N_{first} 及び N_{second} は、それぞれ、第1及び第2型ドーパントのドーピング濃度を指しており、ここに「第1」及び「第2」も、N又はP型何れかのドーパントアトムを示している。代表的な実施形態又は代表的な複数の実施形態は、単なる実施例に過ぎず、本発明の範囲、適用性、又は構成に何らかの制限を課すことを意図するものではない。そうではなく、以上の詳細な説明は、当業者に、代表的な実施形態又は代表的な複数の実施形態を実施するのに都合の良い道筋を提供することになるであろう。請求の範囲及びその法的等価物に述べる本発明の範囲を逸脱すること無く、各要素の機能及び配置に様々な変更を加えることができるものと理解されたい。

【図面の簡単な説明】

【0023】

10

20

30

40

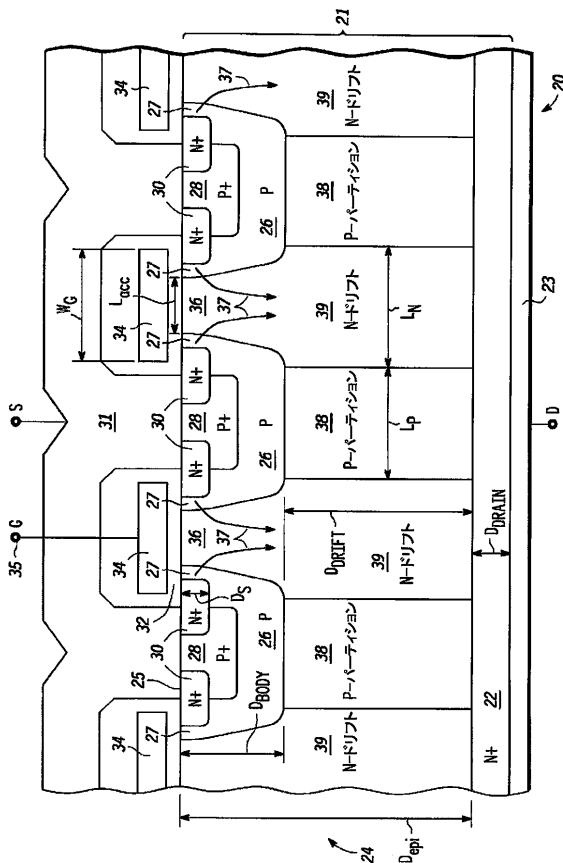
50

- 【図 1】 先行技術による超接合 T M O S 素子の簡略化した概略断面図である。
- 【図 2】 本発明の実施形態による超接合 T M O S 素子の簡略化した概略断面図である。
- 【図 3】 本発明の別の実施形態による、更に詳細を示している簡略化した概略断面図であり、図 2 に示す型式の素子を製造する方法における順次工程を図解している。
- 【図 4】 本発明の別の実施形態による、更に詳細を示している簡略化した概略断面図であり、図 2 に示す型式の素子を製造する方法における順次工程を図解している。
- 【図 5】 本発明の別の実施形態による、更に詳細を示している簡略化した概略断面図であり、図 2 に示す型式の素子を製造する方法における順次工程を図解している。
- 【図 6】 本発明の別の実施形態による、更に詳細を示している簡略化した概略断面図であり、図 2 に示す型式の素子を製造する方法における順次工程を図解している。
- 【図 7】 本発明の別の実施形態による、更に詳細を示している簡略化した概略断面図であり、図 2 に示す型式の素子を製造する方法における順次工程を図解している。
- 【図 8】 本発明の別の実施形態による、更に詳細を示している簡略化した概略断面図であり、図 2 に示す型式の素子を製造する方法における順次工程を図解している。
- 【図 9】 本発明の別の実施形態による、更に詳細を示している簡略化した概略断面図であり、図 2 に示す型式の素子を製造する方法における順次工程を図解している。
- 【図 10】 本発明の別の実施形態による、更に詳細を示している簡略化した概略断面図であり、図 2 に示す型式の素子を製造する方法における順次工程を図解している。
- 【図 11】 本発明の別の実施形態による、更に詳細を示している簡略化した概略断面図であり、図 2 に示す型式の素子を製造する方法における順次工程を図解している。
- 【図 12】 本発明の別の実施形態による、更に詳細を示している簡略化した概略断面図であり、図 2 に示す型式の素子を製造する方法における順次工程を図解している。

10

20

【図 1】



【図 2】

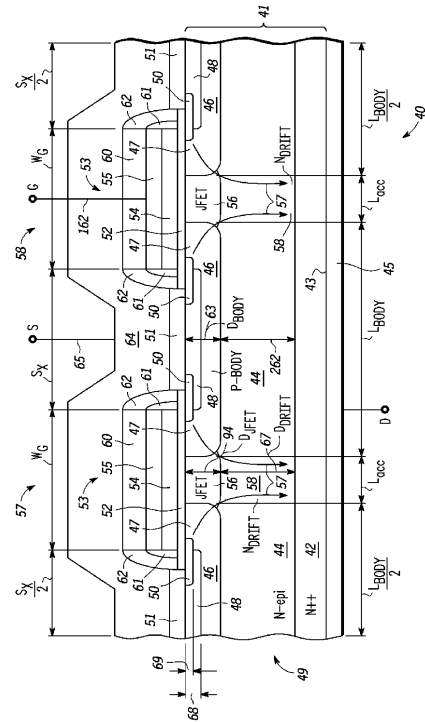


FIG. 2

- 先行技術 -

【図 3】

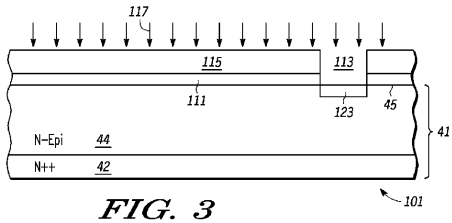


FIG. 3

【図 4】

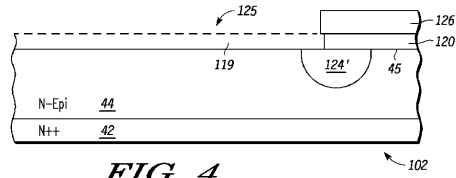


FIG. 4

【図 5】

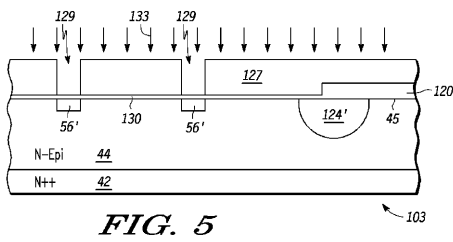


FIG. 5

【図 9】

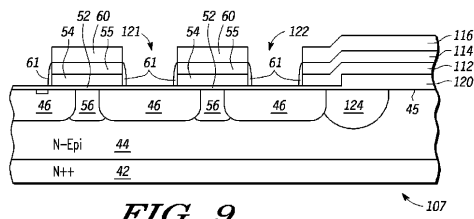


FIG. 9

【図 10】

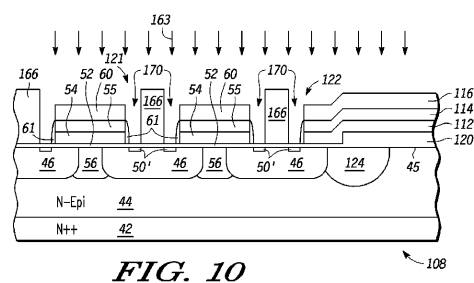


FIG. 10

【図 6】

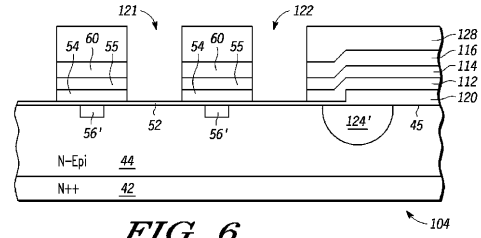


FIG. 6

【図 7】

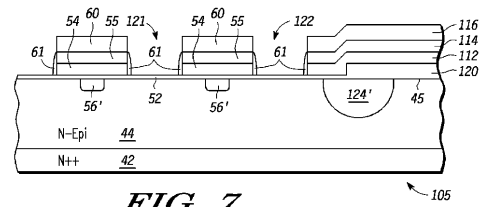


FIG. 7

【図 8】

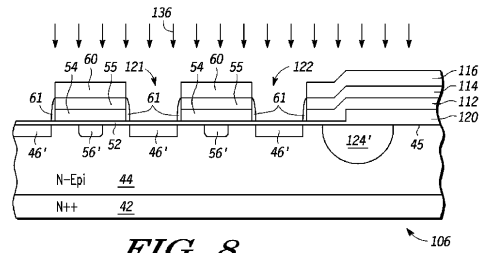


FIG. 8

【図 11】

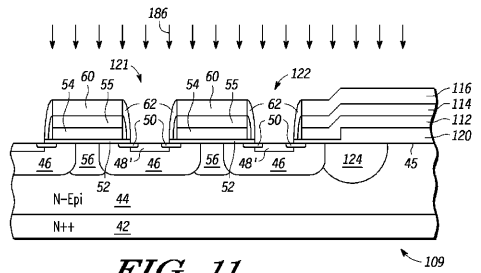


FIG. 11

【図 12】

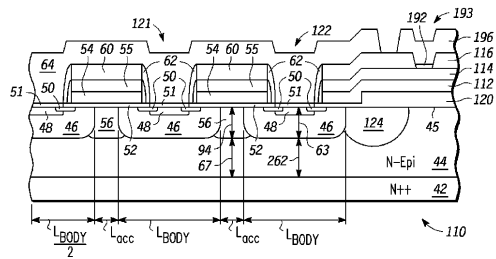


FIG. 12

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 06/60626												
A. CLASSIFICATION OF SUBJECT MATTER IPC(8) - H01L 29/80 (2007.01) USPC - 257/272 According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC(8) - H01L 29/80 (2007.01) USPC - 257/272 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched USPC - 257/272, 339; 436/186, 188; Backward/forward citation searches, Text Search Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WEST(PGPB, USPT, USOCR EPAB, JPAB); Google Search Terms: super-junction or superjunction, MOSFET; superjunction power MOSFET														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>US 6,911,692 B2 (Kobayashi et al.) 28 Jun 2005 (28.06.2005) figs. 17-22</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>US 5,338,961 A (Lidow et al.) 16 Aug 1994 (16.08.1994) figs. 1-8a</td> <td>16-20</td> </tr> <tr> <td>Y</td> <td>US 2004/0147137 A1 (Hiraiwa et al.) 29 Jul 2004 (29.07.2004) figs. 38-39</td> <td>17</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y	US 6,911,692 B2 (Kobayashi et al.) 28 Jun 2005 (28.06.2005) figs. 17-22	1-20	Y	US 5,338,961 A (Lidow et al.) 16 Aug 1994 (16.08.1994) figs. 1-8a	16-20	Y	US 2004/0147137 A1 (Hiraiwa et al.) 29 Jul 2004 (29.07.2004) figs. 38-39	17
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
Y	US 6,911,692 B2 (Kobayashi et al.) 28 Jun 2005 (28.06.2005) figs. 17-22	1-20												
Y	US 5,338,961 A (Lidow et al.) 16 Aug 1994 (16.08.1994) figs. 1-8a	16-20												
Y	US 2004/0147137 A1 (Hiraiwa et al.) 29 Jul 2004 (29.07.2004) figs. 38-39	17												
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/>														
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family														
Date of the actual completion of the international search 24 October 2007 (24.10.2007)		Date of mailing of the international search report 15 FEB 2008												
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201		Authorized officer: Lee W. Young PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774												

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM), EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF, BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO, CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,L A,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD ,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100147681

弁理士 夫馬 直樹

(72)発明者 デ・フレサート, エドワード・ディー

アメリカ合衆国アリゾナ州 8 5 2 8 4 , テンペ , イースト・ヴェラ・レーン 2 2 0

(72)発明者 バイアード, ロバート・ダブリュー

アメリカ合衆国アリゾナ州 8 5 2 3 4 , ギルバート , ノース・セイラーズ・ウェイ 1 2 1 8

(72)発明者 クイン, ガンミンゲ

アメリカ合衆国アリゾナ州 8 5 2 2 4 , チャンドラー , ノース・ブラックストーン 1 2 9 4