

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 10 月 30 日(30.10.2014)



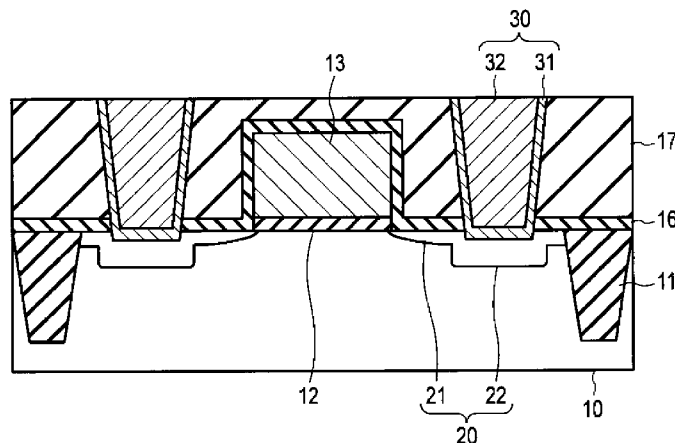
(10) 国際公開番号
WO 2014/174716 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
H01L 21/28 (2006.01)
- (21) 国際出願番号: PCT/JP2013/081938
- (22) 国際出願日: 2013 年 11 月 27 日(27.11.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-093579 2013 年 4 月 26 日(26.04.2013) JP
- (71) 出願人: 独立行政法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者: 入沢 寿史(IRISAWA, Toshifumi); 〒3058569 茨城県つくば市小野川 1 6 - 1 独立行政法人産業技術総合研究所内 Ibaraki (JP). 手塚勉(TEZUKA, Tsutomu); 〒3058569 茨城県つくば市小野川 1 6 - 1 独立行政法人産業技術総合研究所内 Ibaraki (JP).
- (74) 代理人: 蔵田 昌俊, 外(KURATA, Masatoshi et al.); 〒1050001 東京都港区虎ノ門一丁目三番二号 勸銀不二屋ビル六階 鈴榮特許総合事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: FIELD EFFECT SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 電界効果型半導体装置及びその製造方法



(57) Abstract: A field effect semiconductor device according to one embodiment of the present invention is a field effect semiconductor device having a metal S/D structure, and comprises: a semiconductor substrate; a gate electrode that is formed on the substrate with a gate insulating film interposed therebetween; a source/drain electrode that is formed in a surface portion of the semiconductor substrate so as to sandwich a channel region below the gate electrode and is formed of an alloy of a metal and a semiconductor that constitutes the semiconductor substrate; and a contact plug that is in contact with the source/drain electrode. With respect to the source/drain electrode, the interface between the semiconductor substrate and the source/drain electrode in the region right below the contact plug is at a position closer to the substrate than the interfaces between the semiconductor substrate and the source/drain electrode in the other regions.

(57) 要約:

[続葉有]



WO 2014/174716 A1



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

本実施形態の電界効果型半導体装置は、メタル S/D 構造を有する電界効果型半導体装置であって、半導体基板と、基板上にゲート絶縁膜を介して形成されたゲート電極と、ゲート電極下のチャネル領域を挟んで半導体基板の表面部に形成され、金属と半導体基板を構成する半導体との合金からなるソース／ドレイン電極と、ソース／ドレイン電極にコンタクトするコンタクトプラグと、を含んでいる。ソース／ドレイン電極は、コンタクトプラグ直下の領域のソース／ドレイン電極と半導体基板との界面が、その他の領域のソース／ドレイン電極と半導体基板との界面よりも基板側の深い位置に存在している。

明 細 書

発明の名称：電界効果型半導体装置及びその製造方法

技術分野

[0001] 本発明の実施形態は、メタルS/D構造を有する電界効果型半導体装置及びその製造方法に関する。

背景技術

[0002] Si-MOSFETの微細化限界に直面しつつある現在、微細化によらないLSIの低消費電力化が大きな課題となっている。例えば、MOSFETのチャネル領域に従来のSiよりも移動度の高いIII-V族半導体やGeを用いる研究が精力的に行われている。

[0003] 一方、ソース/ドレイン(S/D)金属電極が、チャネル領域に隣接された、いわゆるメタルS/D構造が、寄生抵抗の低減及び素子の作製プロセスの簡便化といった利点を期待できる構造として提案されている。例えば、NiとInGaAsとの合金であるNi-InGaAsがソース/ドレイン(S/D)電極に自己整合的に形成されるプロセスが開発され、それを利用したメタルS/DのInGaAs-nMOSFETの試作が報告されている(非特許文献1)。

[0004] また、メタルS/DのMOSFETの微細化には、短チャネル効果を抑制する観点から、S/D電極層の厚みをゲート長の1/3程度に薄膜化することが好ましい。これに関して、Ni蒸着量と熱処理温度とが制御されることによって、膜厚10nm以下の極薄膜のNi-InGaAs合金層の形成が可能であることが報告されている(特許文献1, 非特許文献2)。

[0005] 従って、これらの技術が組み合わされることで、極薄Ni-InGaAsのS/D電極を有するメタルS/DのInGaAs-nMOSFETが作製可能である。

先行技術文献

特許文献

[0006] 特許文献1：特開2013-008832号公報

非特許文献

[0007] 非特許文献1：S. H. Kim et al., IEDM Tech. Dig., pp.596 (2010).

非特許文献2：T. Irisawa et al., Ext. Abst. SSDM, pp.947 (2011).

発明の概要

発明が解決しようとする課題

[0008] 通常のSi-CMOS-LSIのコンタクト形成工程において、反応性イオンエッチング(RIE)を用いて層間絶縁膜内にコンタクトホールが形成され、コンタクト金属プラグがコンタクトホール内に埋め込まれるプロセスが行われる。しかし、極薄S/D電極を有するメタルS/DのInGaAs-nMOSFETに同等のプロセスが実施された場合、InGaAs合金層がオーバーエッチングされ、プラグ下のInGaAs合金層が消失するという問題が生じる可能性がある。

[0009] 原理的には、コンタクトホールがInGaAs合金層に到達すると同時に、コンタクトホールを形成するためのRIEが終了されればInGaAs合金層のオーバーエッチングは生じないが、ウェハ全面でプロセスマージンを確保するためには、このオーバーエッチングは避けられない。プラグ下におけるInGaAs合金層の消失は、接合リークの増大や、コンタクト面積の縮小による抵抗の増大といった問題を招くものと考えられるため、プラグ下の合金層は、プロセスマージンを十分確保した上でも残存させることが望まれる。

[0010] 本発明が解決しようとする課題は、コンタクトホール形成のためのRIEのプロセスマージンを確保しつつ、コンタクトプラグと金属ソース/ドレイン電極との確実な接続を実現することができ、接合リークや抵抗の増大を抑制できる電界効果型半導体装置及びその製造方法を提供することである。

課題を解決するための手段

[0011] 本発明の電界効果型半導体装置は、半導体基板と、前記半導体基板上にゲ

ート絶縁膜を介して設けられたゲート電極と、前記ゲート電極下のチャネル領域を挟んで前記半導体基板の表面部に形成され、金属と前記半導体基板を構成する半導体との合金からなるソース／ドレイン電極と、前記ソース／ドレイン電極にコンタクトするコンタクトプラグと、を具備し、前記コンタクトプラグ直下の領域の前記ソース／ドレイン電極と前記半導体基板との界面が、その他の領域の前記ソース／ドレイン電極と前記半導体基板との界面よりも前記半導体基板側の深い位置に存在する。

- [0012] また、本発明の電界効果型半導体装置の製造方法は、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極下のチャネル領域を挟んで前記半導体基板の表面部内に、金属と前記半導体基板の半導体との合金からなる第1のソース／ドレイン電極を形成する工程と、前記ゲート電極及び前記第1のソース／ドレイン電極を覆うように層間絶縁膜を形成する工程と、前記層間絶縁膜内に、前記第1のソース／ドレイン電極に接続されるコンタクトホールを形成する工程と、前記コンタクトホールの底部における前記半導体基板の表面部内に、金属と前記半導体基板を構成する半導体との合金からなり、前記第1のソース／ドレイン電極よりも前記半導体基板内の深い位置まで形成される第2のソース／ドレイン電極を、形成する工程と、前記コンタクトホール内に、前記第2のソース／ドレイン電極にコンタクトするコンタクトプラグを形成する工程と、を含む。

発明の効果

- [0013] 本発明によれば、コンタクトプラグ直下のメタルS／D電極と半導体基板との界面が、その他の領域のS／D電極と半導体基板との界面よりも半導体基板側の深い位置に存在するように、S／D電極が形成されている。そのため、コンタクトホールの形成のためのオーバーエッチングが生じて、コンタクトプラグとメタルS／D電極とが確実に接続される。これにより、接合リークや、抵抗の増大といった問題生じさせずに、コンタクトホール形成のためのR I Eにおいて十分なプロセスマージンを確保することができる。

図面の簡単な説明

[0014] [図1]図1は、第1の実施形態に係わるInGaAs-MOSFETの概略構造を示す断面図である。

[図2]図2は、第1の実施形態のInGaAs-MOSFETの製造工程を示す断面図である。

[図3]図3は、第1の実施形態のInGaAs-MOSFETの製造工程を示す断面図である。

[図4]図4は、第1の実施形態のInGaAs-MOSFETの製造工程を示す断面図である。

[図5]図5は、第2の実施形態に係わるInGaAs-MOSFETの概略構造を示す断面図である。

[図6]図6は、第2の実施形態のInGaAs-MOSFETの製造工程を示す断面図である。

[図7]図7は、第2の実施形態のInGaAs-MOSFETの製造工程を示す断面図である。

[図8]図8は、第3の実施形態に係わるInGaAs-MOSFETの概略構造を示す断面図である。

[図9]図9は、第3の実施形態のInGaAs-MOSFETの製造工程を示す断面図である。

[図10]図10は、第3の実施形態のInGaAs-MOSFETの製造工程を示す断面図である。

発明を実施するための形態

[0015] 以下、実施形態の電界効果型半導体装置を、図面を参照して説明する。

[0016] (第1の実施形態)

図1は、第1の実施形態に係わるInGaAs-MOSFETの概略構造を示す断面図である。

[0017] 図1に示されるように、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 基板(半導体基板)10上に、ゲート絶縁膜12を介してゲート電極13が形成され、ゲート電極13を挟んで基板10の表面部に、金属電極からなるソース電極及びドレイン電極(以

下では、ソース／ドレイン電極、又は、S／D電極と表記する) 20が形成されている。即ち、本実施形態のMOSFETは、S／D電極20としてNi-InGaAs等の金属電極がチャネルに隣接する、いわゆるメタルS／D構造となっている。

[0018] ゲート絶縁膜12としては、 Al_2O_3 、 HfO_2 、 La_2O_3 等やそれらの混合物を用いることができる。ゲート電極13の材料としては、Ta、Ta_N、Ti、Ti_N、Ni、Au、Pt等の各種金属やNiSi_xやNiGe_x等の合金、また高濃度ドーピングを施したポリSi_{1-x}Ge_x等を用いることができる。さらに、ゲートスタック構造及び材料に制限はない。また、S／D電極20の材料としては、Niの他、Co、Pt等を含む合金を用いることも可能である。

[0019] ゲート絶縁膜12及びゲート電極13が形成された基板10上に、層間絶縁膜17が設けられている。層間絶縁膜17内にコンタクトホールが形成され、このコンタクトホール内にコンタクトプラグ30が埋め込まれることにより、S／D電極20にコンタクトプラグ30が接続されている。S／D電極20のプラグ直下の部分(第2のS／D電極)22は、S／D電極20のプラグ直下の周辺部分(第1のS／D電極)21と比べて基板10の深い位置まで形成されている。即ち、プラグ直下の第2のS／D電極22と半導体基板10との界面は、その周辺部分の第1のS／D電極21と半導体基板10との界面より、半導体基板側の深い位置に存在している。プラグ30は、Ti、Ti_N等のバリア金属31と、W、Pd、Al、Cu、Au又はそれらの合金からなる導電膜32とを含む。プラグの構造及び材料に制限はなく、またバリア金属31を用いることも必須ではない。

[0020] 次に、本実施形態の製造方法を、図2乃至図4を参照して説明する。

[0021] まず、図2の(a)に示されるように、 $In_xGa_{1-x}As$ 基板10内に素子形成領域を囲むように素子分離埋め込み絶縁膜11が形成された後、ゲート絶縁膜12を介してゲート電極13が形成される。 $In_xGa_{1-x}As$ 基板10の形成法に制限は無く、 InP やGaAs等の化合物半導体基板上に若しく

はSiやGeの基板に、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層をエピタキシャル成長で形成することや、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層を各種母体基板に貼り合わせて形成することができる。

[0022] 次いで、図2の(b)に示されるように、S/D電極の形成のために、Niを含む金属膜14が、堆積される。金属の堆積前に、 SiO_2 やSiN等でゲート側壁絶縁膜がゲート電極13の側面上に形成されても良い。ただし、例えばTa₂N₅がゲート電極13に用いられる場合、Ta₂N₅酸化物がゲート電極13の側面上に自然に形成されるため、ゲート側壁絶縁膜の形成は必須ではない。堆積する金属膜14の膜厚は、30nm以下が望ましいが、10nm以下とすることが更に望ましい。これは、その後の熱処理でInGaAsとの合金化が実行されるが、合金の膜厚は短チャネル効果に対する耐性の観点から、10nm程度以下とすることが望ましく、そのためには金属の堆積量を10nm以下に制限することが好ましいためである。

[0023] 次いで、図2の(c)に示されるように、熱処理を施して合金化処理を行うことにより、上記の金属とInGaAsとの合金からなる10nm以下の厚さを有する第1のS/D電極21が、形成される。合金化のための熱処理の温度は、200～350℃が望ましい。これは、この温度範囲より低温では合金化反応が生じにくく、また高温では合金層が厚くなるためである。

[0024] 合金化のための熱処理後、ゲート電極13とS/D電極21とを繋ぐ金属膜14のエッチングが、実行される。Niが堆積された場合には、HClでゲート電極13の材料とNi-InGaAsのS/D電極21との選択比を持たせつつエッチングすることが可能である。これにより、ゲート電極13とS/D電極21との電气的分離が行われる。

[0025] 続いて、Si-LSIプロセスに準じた後工程を行う。まず、図2の(d)に示されるように、SiN等のコンタクトホールエッチングの際のエッチングストッパとなる絶縁膜16が堆積される。

[0026] 次いで、図3の(e)に示されるように、 SiO_2 等の層間絶縁膜17が堆積される。これらの膜17の膜厚は、任意で、用途に応じて設定すれば良い

。層間絶縁膜 17 の堆積後、化学機械研磨（CMP）を行って、層間絶縁膜 17 の表面平坦化が実行される。

[0027] 次いで、図 3 の（f）に示されるように、層間絶縁膜 17 及びストッパ絶縁膜 16 に対して、RIE を用いて、コンタクトホール 18 の形成が、実行される。それぞれの膜の RIE ではプロセスマージンを確保するために、エッチングレートから逆算されたエッチング時間より長い時間のエッチングを行う必要がある。

[0028] この際、下地の S/D 電極 21 がオーバーエッチングされ、場合によっては図 3 の（g）に示されるように、合金層 21 が極めて薄くなったり、合金層 21 の全てがエッチングされたりすることが、想定される。合金層 21 が消失した状況でコンタクトプラグが形成されると、リーク電流の増大やコンタクト面積の縮小による抵抗の増大といった問題を招く可能性がある。そこで本実施形態では、コンタクトホールの形成後に合金層の再形成が実行される。

[0029] 合金層の再形成において、図 4 の（h）に示されるように、Ni 等の金属膜 19 が堆積される。先に S/D 電極の形成のために使用された金属と同一の金属が堆積されることが望ましいが、堆積される金属の金属種を変更してもよい。堆積される金属膜 19 の膜厚は、30 nm 以下とすることが望ましい。

[0030] 次いで、図 4 の（i）に示されるように、S/D 電極 21 の形成時と同様に、200～350℃で熱処理が行われることによって合金層 22、即ち、第 2 の S/D 電極 22 が形成される。このとき、コンタクトホール部には、その周囲の領域 21 より深い位置まで S/D 電極 22 が形成されることになる。即ち、金属 S/D 電極 20 として、コンタクトプラグ（コンタクトホール）直下の領域 22 とそれ以外の領域 21 において、それぞれ膜厚の異なる S/D 電極 21、22 が形成されることになる。

[0031] 次いで、図 4 の（j）に示されるように、未反応の金属膜 19 は HCl 等で選択的にエッチングされる。その後、バリアメタル 31 及びプラグ金属 3

2の堆積を行って、コンタクトプラグ30が形成されることにより、上述の図1に示す構造が、得られる。これ以降は、Si-LSiプロセスに準じた配線工程を行うことが可能である。

[0032] このように本実施形態によれば、極薄Ni-InGaAs層21を有するメタルS/D-InGaAs-MOSFETに対して、層間絶縁膜17内にコンタクトホール18が形成された後、再度Niの堆積と熱処理とが行われることで、コンタクトホール18直下に新たにNi-InGaAs合金層22が形成される。これにより、コンタクトプラグ30とNi-InGaAs層（S/D電極）20とが確実に接続され、接合リークや抵抗の増大といった問題生じさせずに、コンタクトホール形成のためのRIEにおいて十分なプロセスマージンを確保することができる。

[0033] 即ち、本実施形態は、コンタクトホール形成のためのRIEのプロセスマージンを確保しつつ、コンタクトプラグと金属ソース/ドレイン電極との確実な接続を取ることができる。従って、本実施形態のMOSFETは、接合リークや抵抗の増大を抑制することが可能となる。これは、高性能・低消費電力のCMOS-LSiの実現に有効である。

[0034] （第2の実施形態）

図5は、第2の実施形態に係わるInGaAs-MOSFETの概略構造を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

[0035] 本実施形態が先に説明した第1の実施形態と異なる点は、コンタクトホール形成後に金属S/D電極が形成されるのではなく、ゲート近傍を除く領域で予め金属S/D電極が厚く形成されることにある。

[0036] 本実施形態では、上述の図1と同様の構成に加え、ゲート電極13の両側部にゲート側壁絶縁膜41が形成されている。そして、S/D電極50の厚みは、ゲート側壁絶縁膜41下の部分（第1のS/D電極）51では薄く、それより外側の部分（第2のS/D電極）52では厚くなっている。即ち、S/D電極50とコンタクトプラグ31とのコンタクト部分ではS/D電極

50の厚さは厚く、ゲート近傍ではS/D電極50の厚さは薄くなっている。コンタクト部分におけるS/D電極50の領域52がゲート近傍部のS/D電極50の領域51より厚いために、コンタクトホール形成によりコンタクトホール（コンタクトプラグ）がS/D電極20を突き抜けることはない。さらに、ゲート近傍ではS/D電極50を十分薄くできる。

[0037] 次に、本実施形態の製造方法を、図6及び図7を参照して説明する。

[0038] まず、図6の（a）に示されるように、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 基板10内に素子形成領域を囲むように素子分離埋め込み絶縁膜11が形成された後、ゲート絶縁膜12及びゲート電極13が、基板10上に形成される。続いて、基板10のゲート部（チャネル領域）を除く領域内に薄い厚さの第1のS/D電極51が形成される。このS/D電極51の形成には、先の第1の実施形態と同様に、Ni膜の堆積、熱処理、未反応のNi膜の除去プロセスを行えばよい。

[0039] 次に、図6の（b）に示されるように、ゲート側壁絶縁膜41が、形成される。このゲート側壁絶縁膜41の形成は、例えば全面にシリコン酸化膜を堆積した後、シリコン酸化膜に対してエッチバックを施すことにより、ゲート電極13の側壁上に酸化膜41が残存するように、実行されればよい。

[0040] 次に、図6の（c）に示されるように、S/D電極の形成のために、Niを含む金属膜42が堆積される。堆積される金属膜42の膜厚は、30nm以下が望ましく、例えば20nmとする。第1の実施形態よりも金属膜の膜厚が厚いのは、合金化される領域がゲート近傍を除く領域であるため、合金層の膜厚を10nm程度以下に制限する必要はないからである。

[0041] 次に、図6の（d）に示されるように、熱処理を施して合金化処理を行うことにより、上記の金属と InGaAs との合金からなる第2のS/D電極52が形成される。これにより、金属S/D電極50として、ゲート側壁絶縁膜41の直下の領域とそれ以外の領域とで膜厚の異なるS/D電極51, 52が形成されることになる。なお、合金化のための熱処理の温度は、200～350℃が望ましい。この温度範囲により熱処理が実行されるのは、

低温では合金化反応が生じにくく、また高温では合金層が厚くなるためである。

[0042] 合金化のための熱処理の後、ゲート電極 13 と S/D 電極 50 とを繋ぐ金属膜 42 のエッチングが、実行される。Ni が金属膜 42 として堆積された場合には、HCl で金属膜 42 と Ni-InGaAs の S/D 電極 50 との選択比が確保されつつ、金属膜 42 をエッチングすることが可能である。これにより、ゲート電極 13 と S/D 電極 50 との電气的分離が行われる。

[0043] 続いて、Si-LSi プロセスに準じた後工程が、実行される。まず、図 7 の (e) に示されるように、SiN 等のコンタクトホールのエッチングの際のエッチングストッパとなる絶縁膜 16 が、堆積される。

[0044] 次いで、図 7 の (f) に示されるように、SiO₂ 等からなる層間絶縁膜 17 が、基板 10 上に堆積される。これらの膜の膜厚は任意で、用途に応じて設定すれば良い。層間絶縁膜 17 の堆積後、化学機械研磨 (CMP) を行って、層間絶縁膜 17 の表面平坦化が行われる。

[0045] 次いで、図 7 の (g) に示されるように、層間絶縁膜 17 及びストッパ絶縁膜 16 に対して、RIE を用いて、コンタクトホール 18 の形成が行われる。それぞれの膜 16, 17 に対する RIE ではプロセスマージンを確保するために、エッチングレートから逆算したエッチング時間より長い時間のエッチングを行う必要がある。この際、オーバーエッチングが生じて、コンタクトホール形成領域における S/D 電極 50 の膜厚が厚いため、コンタクトホール 18 が S/D 電極 50 を突き抜けることはない。

[0046] これ以降の工程において、バリアメタル 31 及びプラグ金属 32 の堆積を行って、コンタクトプラグ 30 を形成することにより、上述の図 5 に示す構造が得られる。

[0047] このように本実施形態によれば、ゲート近傍のゲート側壁絶縁膜 41 の下方の領域 51 では、S/D 電極 50 が薄く形成され、コンタクトプラグ直下の領域 52 では、S/D 電極 50 が厚く形成されている。このため、本実施形態において、コンタクトホール形成のために多少のオーバーエッチングが

S/D電極50に生じて、S/D電極50が消失してしまうことはない。
従って、第2の実施形態は、先の第1の実施形態と同様の効果が得られる。

[0048] (第3の実施形態)

図8は、第3の実施形態に係わるInGaAs-MOSFETの概略構造を示す断面図である。なお、図1及び図5と同一部分には同一符号を付して、その詳しい説明は省略する。

[0049] 本実施形態が先に説明した第2の実施形態と異なる点は、ゲート側壁絶縁膜41を利用してS/D電極20の厚みを変えると共に、最終的に側壁絶縁膜41を除去することにある。

[0050] 本実施形態では、上述の図5と同様に、ゲート部（チャネル領域）の近傍部分（第2のS/D電極）62で、S/D電極60の厚みは薄くなっており、その部分62より外側の部分（第1のS/D電極）61におけるS/D電極60の厚さはゲート部の近傍部分62より厚くなっている。本実施形態と図5との違いはゲート側壁絶縁膜41が無いことである。

[0051] 次に、本実施形態の製造方法を、図9及び図10を参照して説明する。

[0052] まず、図9の（a）に示されるように、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 基板10内に素子形成領域を囲むように素子分離埋め込み絶縁膜11が形成された後、ゲート絶縁膜12及びゲート電極13が、基板10上に形成される。続いて、ゲート部13の両側面上にシリコン酸化膜等のゲート側壁絶縁膜41が形成される。

[0053] 次いで、図9の（b）に示されるように、S/D電極の形成のために、Niを含む金属膜42が堆積された後、熱処理が実行されることにより、上記の金属とInGaAsとの合金からなる第1のS/D電極61が形成される。このとき、堆積される金属膜42の膜厚は、30nm以下が望ましく、例えば20nmとする。

[0054] 次いで、図9の（c）に示されるように、合金化のための熱処理の後、合金化しなかった金属膜42がエッチングされ、更に、側壁絶縁膜41がエッチングされる。

- [0055] 次いで、図9の(d)に示されるように、S/D電極の形成のために、Niを含む金属膜43が堆積された後、熱処理が実行されることにより、上記の金属(Ni)とInGaAsとの合金からなる第2のS/D電極62が形成される。このとき、堆積される金属膜43の膜厚は、10nm以下とする。これは、ゲート近傍のS/D電極内に含まれる合金層の膜厚を10nm以下にするためである。
- [0056] 次いで、図10の(e)に示されるように、未反応の金属膜43がエッチングされる。
- [0057] 続いて、Si-LSiプロセスに準じた後工程を行う。まず、図10の(f)に示されるように、SiN等の絶縁膜16が堆積される。絶縁膜16は、コンタクトホールを形成するためのエッチング時におけるエッチングストップとなる。続いて、SiO₂等の層間絶縁膜17が、堆積される。これらの膜16、17の膜厚は任意の値でよく、用途に応じて設定すれば良い。層間絶縁膜17の堆積後、化学機械研磨(CMP)によって、層間絶縁膜17の表面平坦化が行われる。
- [0058] 次いで、図10の(g)に示されるように、層間絶縁膜17及びストップ絶縁膜16内に、RIEを用いて、コンタクトホール18が形成される。それぞれの膜16、17に対するRIEは、プロセスマージンを確保するために、エッチングレートから逆算したエッチング時間より長い時間のエッチングを行う必要がある。この際、オーバーエッチングが生じて、コンタクトホール18が形成される領域の下地のS/D電極60の膜厚が厚いため、コンタクトホール18の突き抜けが生じることはない。
- [0059] 次いで、バリア金属31及びプラグ金属32の堆積を行ってコンタクトプラグを形成することにより、上述の図8に示される構造が得られる。
- [0060] このように本実施形態によれば、ゲート近傍では薄いS/D電極60(62)が形成され、コンタクトプラグ直下で厚いS/D電極60(61)が形成される。このため、コンタクトホール形成のために、多少のオーバーエッチングが生じて、S/D電極60が消失してしまうことはない。従って、

第3の実施形態は、第2の実施形態と同様の効果が得られる。

[0061] (変形例)

なお、本発明は上述した各実施形態に限定されるものではない。

[0062] 半導体基板は必ずしもバルク基板である必要はなく、基板上に半導体層を形成した半導体基板であっても良い。

[0063] 実施形態では、チャネル領域の材料を $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$) とすることを前提としていたが、チャネル領域の材料は $\text{In}_x\text{Ga}_{1-x}\text{As}$ に限るものではない。例えば、チャネル領域の材料は、 InP 、 $\text{In}_x\text{Ga}_{1-x}\text{Sb}$ 、 $\text{Si}_{1-x}\text{Ge}_x$ 、 $\text{Ge}_{1-x}\text{Sn}_x$ を適用することも可能である。また、無論、チャネル領域の材料に、それらの積層構造を適用することが可能である。さらに、チャネル領域の材料は、必ずしも化合物半導体に限らず、 Ge や Si の単層であっても良く、実施形態は、メタルS/D構造が有効な半導体に適用することができる。

[0064] また、半導体基板と合金化させるための金属は、 Ni に限るものではなく Co や Pt 等の金属を用いることも可能である。

[0065] 本発明の幾つかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

符号の説明

[0066] 10… $\text{In}_x\text{Ga}_{1-x}\text{As}$ 基板 (半導体基板)

11…素子分離埋め込み絶縁膜

12…ゲート絶縁膜

13…ゲート電極

14, 19, 42, 43…金属膜

16…ストッパ絶縁膜

1 7 …層間絶縁膜

2 0, 5 0, 6 0 …金属S/D電極

2 1, 5 1, 6 1 …第1のS/D電極

2 2, 5 2, 6 2 …第2のS/D電極

3 1 …バリアメタル

3 2 …プラグ電極

4 1 …ゲート側壁絶縁膜

請求の範囲

- [請求項1] 半導体基板と、
前記半導体基板上にゲート絶縁膜を介して設けられたゲート電極と、
、
前記ゲート電極下のチャネル領域を挟んで前記半導体基板の表面部に形成され、金属と前記半導体基板を構成する半導体との合金からなるソース／ドレイン電極と、
前記ソース／ドレイン電極にコンタクトするコンタクトプラグと、
を具備し、
前記コンタクトプラグ直下の領域の前記ソース／ドレイン電極と前記半導体基板との界面が、その他の領域の前記ソース／ドレイン電極と前記半導体基板との界面よりも前記半導体基板側の深い位置に存在することを特徴とする電界効果型半導体装置。
- [請求項2] 前記チャネル領域は、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$)、 InP 、 $\text{In}_x\text{Ga}_{1-x}\text{Sb}$ ($0 < x < 1$)、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) のグループの中から選択される1つから形成されている、ことを特徴とする請求項1に記載の電界効果型半導体装置。
- [請求項3] 前記ソース／ドレイン電極は、 Ni 、 Co 、 Pt のグループから選択される少なくとも1つと前記半導体基板を構成する半導体との合金であることを特徴とする請求項2に記載の電界効果型半導体装置。
- [請求項4] 半導体基板と、
前記半導体基板上にゲート絶縁膜を介して設けられたゲート電極と、
、
前記ゲート電極を挟んで前記半導体基板上に設けられたゲート側壁絶縁膜と、
前記ゲート電極下のチャネル領域を挟んで前記半導体基板の表面部内に形成され、金属と前記半導体基板を構成する半導体との合金からなるソース／ドレイン電極と、

前記ソース／ドレイン電極にコンタクトするコンタクトプラグと、
を具備し、

前記ゲート側壁絶縁膜の下方の第1領域に隣り合う前記チャネル領域側と反対側の第2領域における前記ソース／ドレイン電極の膜厚は、前記ゲート側壁絶縁膜の下方の前記第1領域における前記ソース／ドレイン電極の膜厚よりも厚い、ことを特徴とする電界効果型半導体装置。

[請求項5] 前記チャネル領域は、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$)、 InP 、 $\text{In}_x\text{Ga}_{1-x}\text{Sb}$ ($0 < x < 1$)、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) のグループの中から選択される1つから形成されている、ことを特徴とする請求項4に記載の電界効果型半導体装置。

[請求項6] 前記ソース／ドレイン電極は、 Ni 、 Co 、 Pt のグループから選択される少なくとも1つと前記半導体基板を構成する半導体との合金であることを特徴とする請求項5に記載の電界効果型半導体装置。

[請求項7] 半導体基板と、
前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、
、

前記ゲート電極下のチャネル領域を挟んで前記半導体基板の表面部内に形成され、金属と前記半導体基板を構成する半導体との合金からなるソース／ドレイン電極と、

前記ソース／ドレイン電極にコンタクトするコンタクトプラグと、
を具備し、

前記ゲート電極の近傍領域よりも外側の領域における前記ソース／ドレイン領域の膜厚は、前記ゲート電極の前記近傍領域における前記ソース／ドレイン電極の膜厚よりも厚いことを特徴とする電界効果型半導体装置。

[請求項8] 前記チャネル領域は、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$)、 InP 、 $\text{In}_x\text{Ga}_{1-x}\text{Sb}$ ($0 < x < 1$)、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) のグル

ープの中から選択される1つから形成されている、ことを特徴とする請求項7に記載の電界効果型半導体装置。

[請求項9] 前記ソース／ドレイン電極は、Ni, Co, Ptのグループから選択される少なくとも1つと前記半導体基板を構成する半導体との合金であることを特徴とする請求項8に記載の電界効果型半導体装置。

[請求項10] 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極下のチャネル領域を挟んで前記半導体基板の表面部に、金属と前記半導体基板の半導体との合金からなる第1のソース／ドレイン電極を形成する工程と、

前記ゲート電極及び前記第1のソース／ドレイン電極を覆うように層間絶縁膜を形成する工程と、

前記層間絶縁膜内に、前記第1のソース／ドレイン電極に接続されるコンタクトホールを形成する工程と、

前記コンタクトホールの底部における前記半導体基板の表面部内に、金属と前記半導体基板を構成する半導体との合金からなり、前記第1のソース／ドレイン電極よりも前記半導体基板内の深い位置まで形成される第2のソース／ドレイン電極を、形成する工程と、

前記コンタクトホール内に、前記第2のソース／ドレイン電極にコンタクトするコンタクトプラグを形成する工程と、

を含むことを特徴とする電界効果型半導体装置の製造方法。

[請求項11] 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極下のチャネル領域を挟んで前記半導体基板の表面部に、金属と前記半導体基板の半導体との合金からなる第1のソース／ドレイン電極を形成する工程と、

前記ゲート電極の側部上に、前記第1のソース／ドレイン電極を部分的に覆うゲート側壁絶縁膜を形成する工程と、

前記チャネル領域側に対して反対側におけるゲート側壁絶縁膜に覆われない前記半導体基板の領域内に、金属と前記半導体基板の半導体との合金からなり、前記第1のソース／ドレイン電極よりも前記半導体基板内の深い位置まで形成される第2のソース／ドレイン電極を、形成する工程と、

前記ゲート電極及び前記第1及び第2のソース／ドレイン電極を覆うように層間絶縁膜を形成する工程と、

前記層間絶縁膜内に、前記第2のソース／ドレイン電極に接続されるコンタクトホールを形成する工程と、

前記コンタクトホール内に前記第2のソース／ドレイン電極にコンタクトするコンタクトプラグを形成する工程と、

を含むことを特徴とする電界効果型半導体装置の製造方法。

[請求項12] 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極の側部上にゲート側壁絶縁膜を形成する工程と、

前記ゲート電極及び前記ゲート側壁絶縁膜を挟んで前記半導体基板の表面部上に、金属と前記半導体基板の半導体との合金からなる第1のソース／ドレイン電極を形成する工程と、

前記第1のソース／ドレイン電極の形成の後に、前記ゲート側壁絶縁膜を除去する工程と、

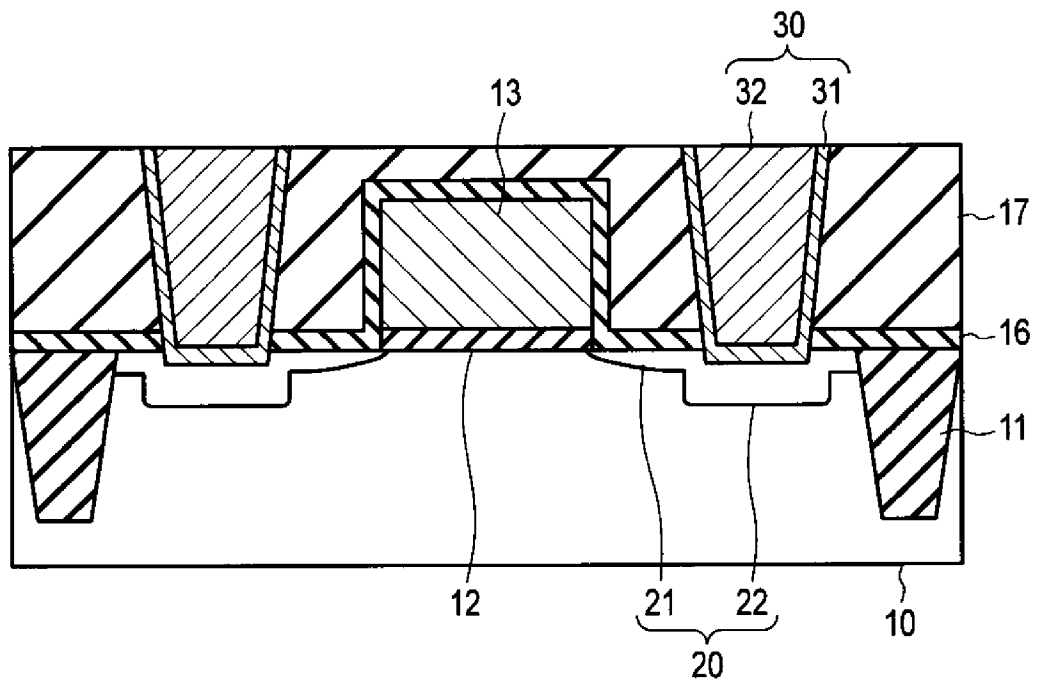
前記ゲート側壁絶縁膜の除去により露出した前記半導体基板の表面部内に、金属と前記半導体基板の半導体との合金からなり、前記第1のソース／ドレイン電極よりも前記半導体基板内の浅い位置に形成される第2のソース／ドレイン電極を、形成する工程と、

前記ゲート電極、前記第1及び第2のソース／ドレイン電極を覆うように層間絶縁膜を形成する工程と、

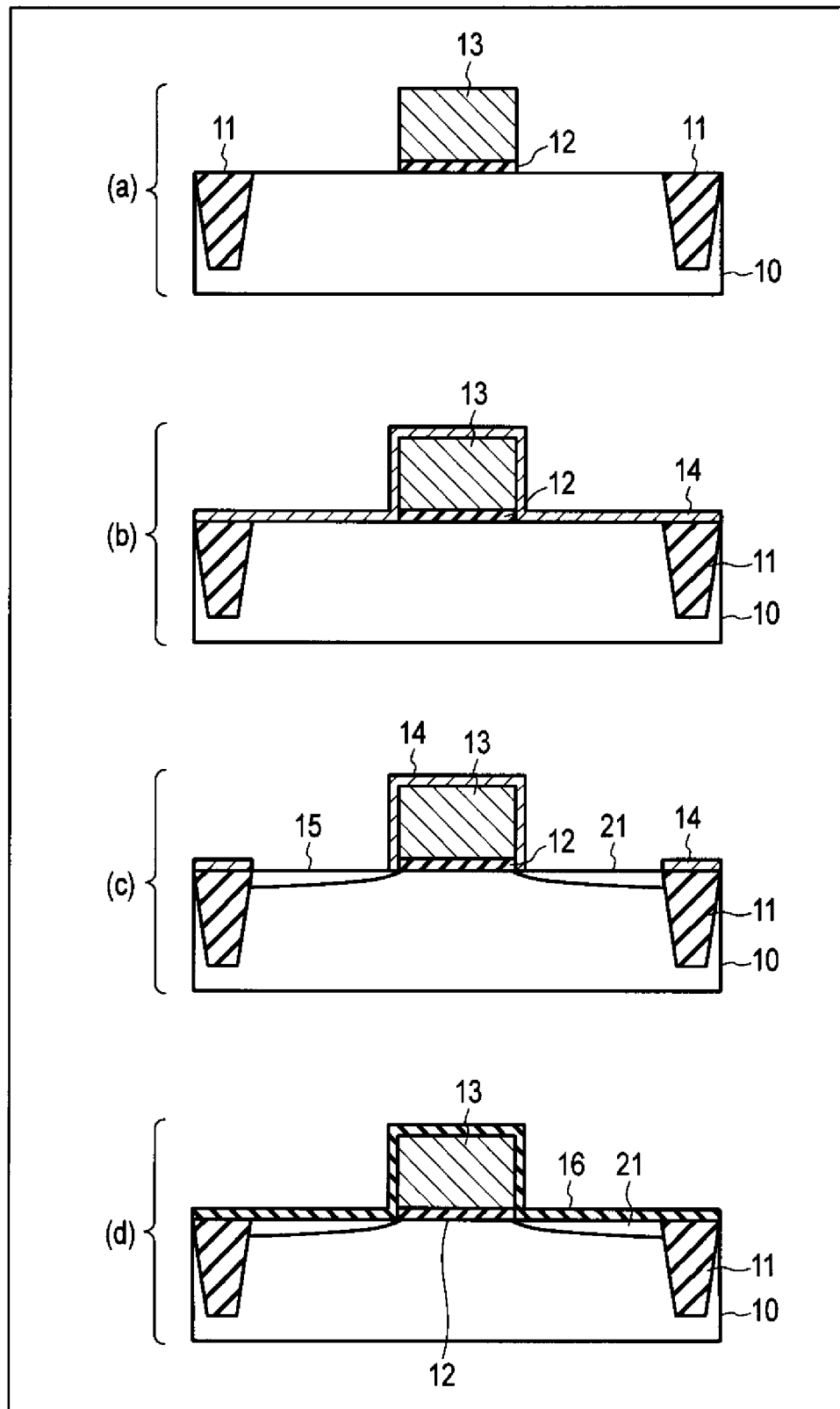
前記層間絶縁膜に、前記第1のソース／ドレイン電極に接続されるコンタクトホールを形成する工程と、

前記コンタクトホール内に前記第 1 のソース／ドレイン電極にコンタクトするコンタクトプラグを形成する工程と、
を含むことを特徴とする電界効果型半導体装置の製造方法。

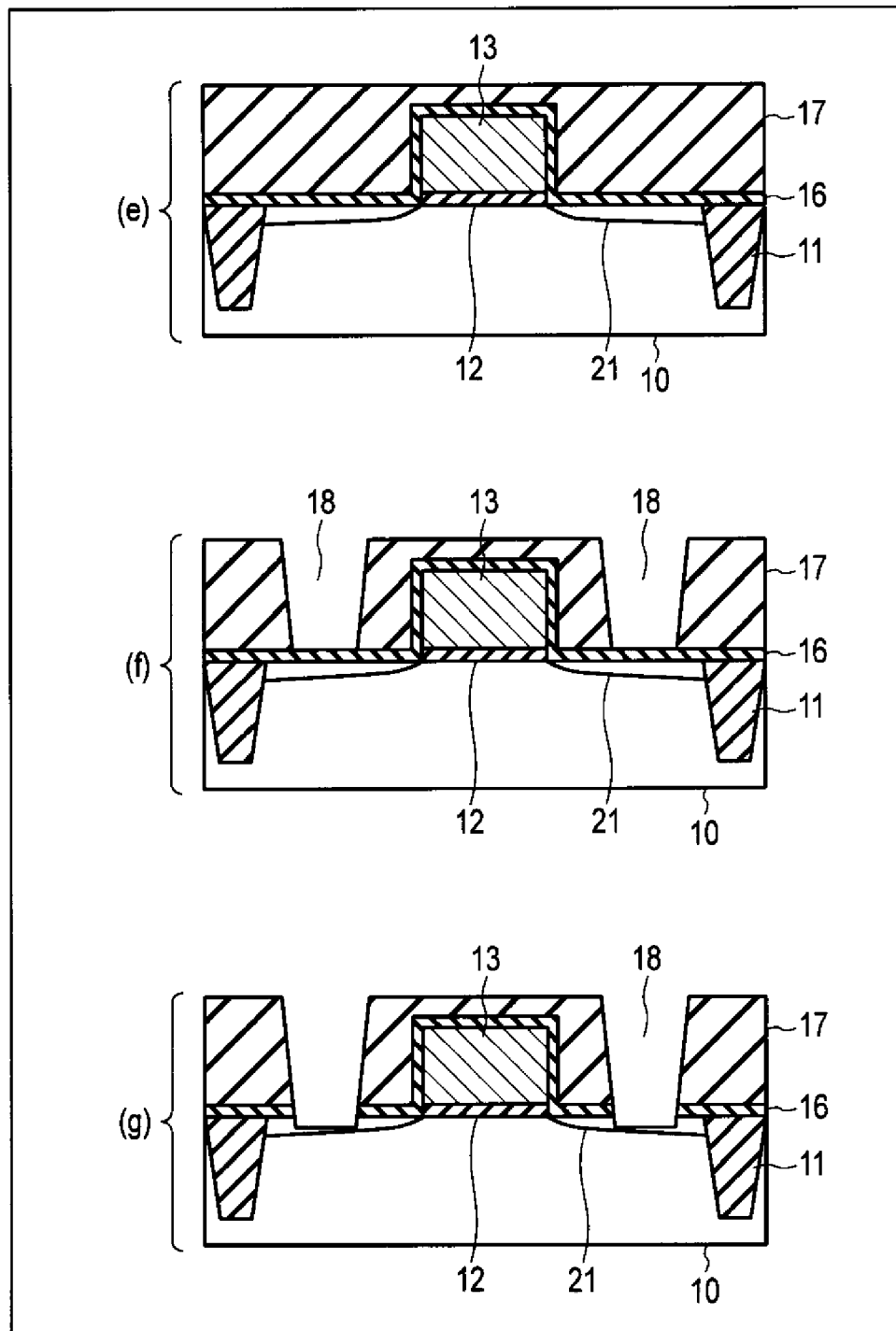
[図1]



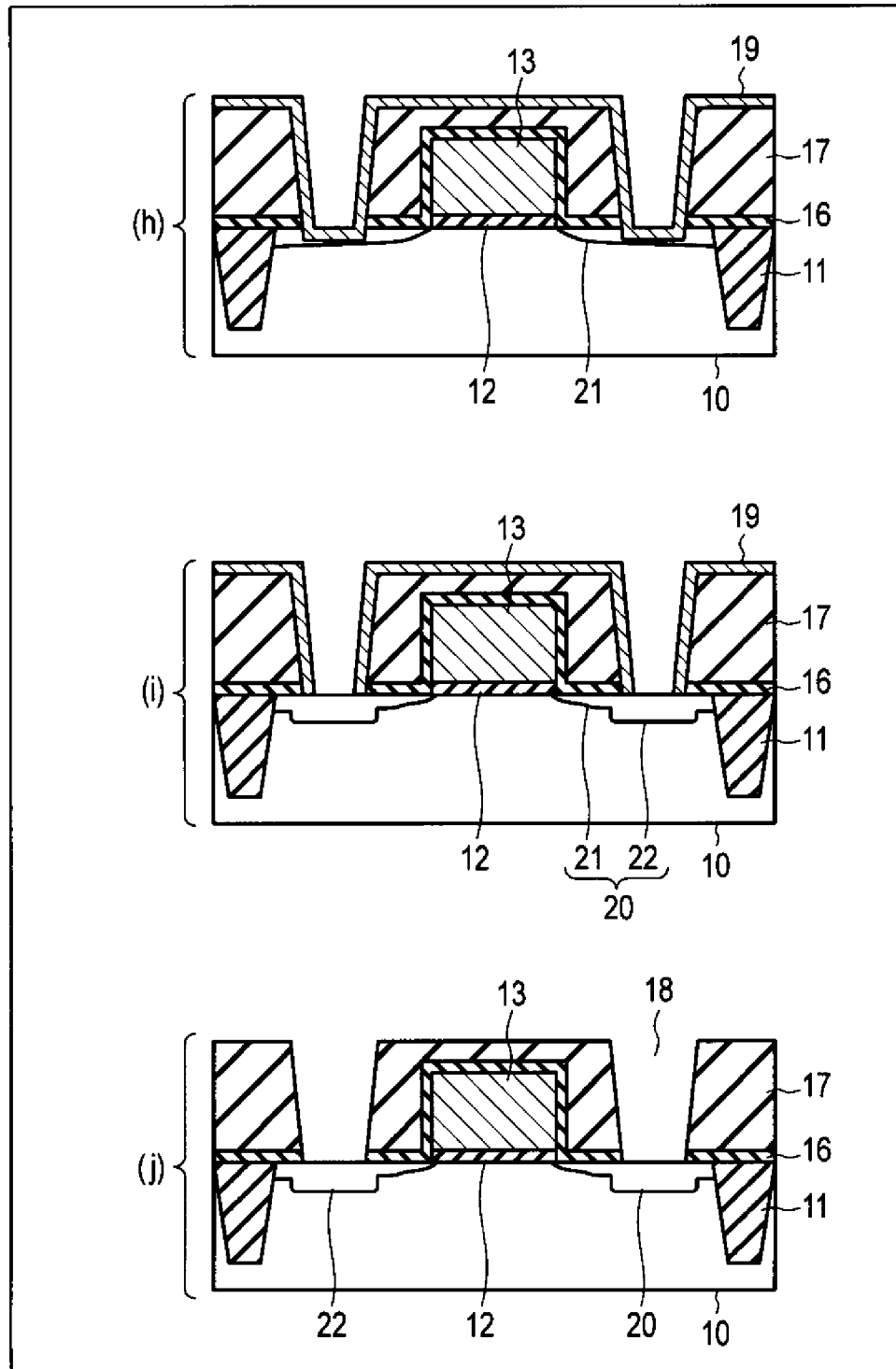
[図2]



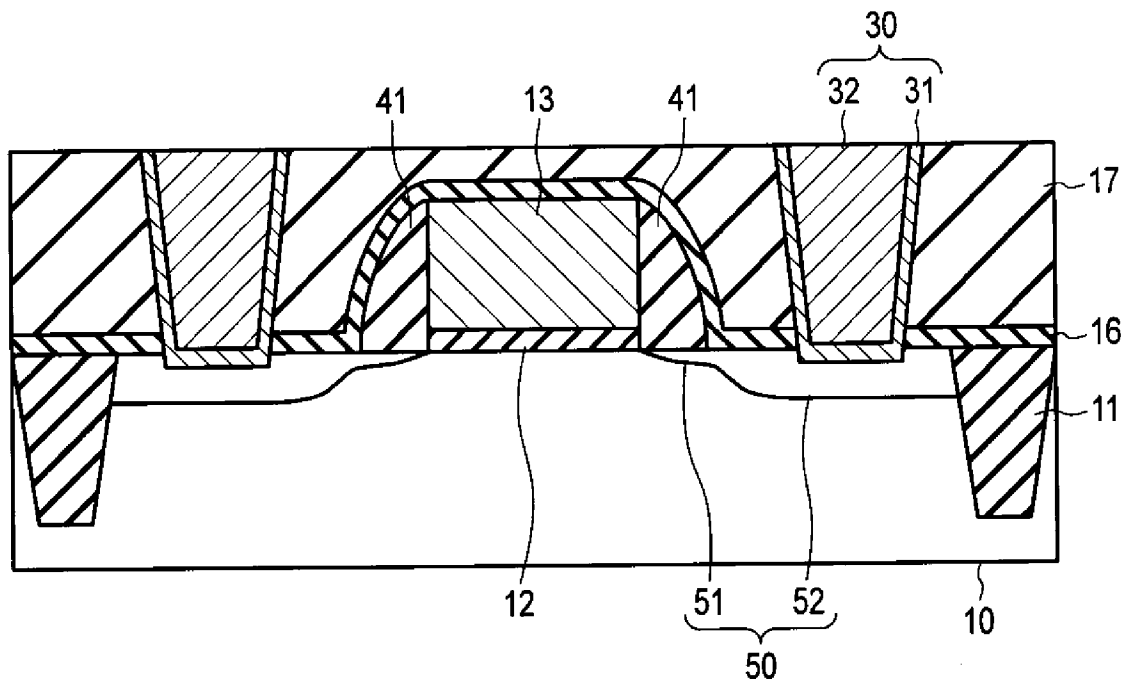
[図3]



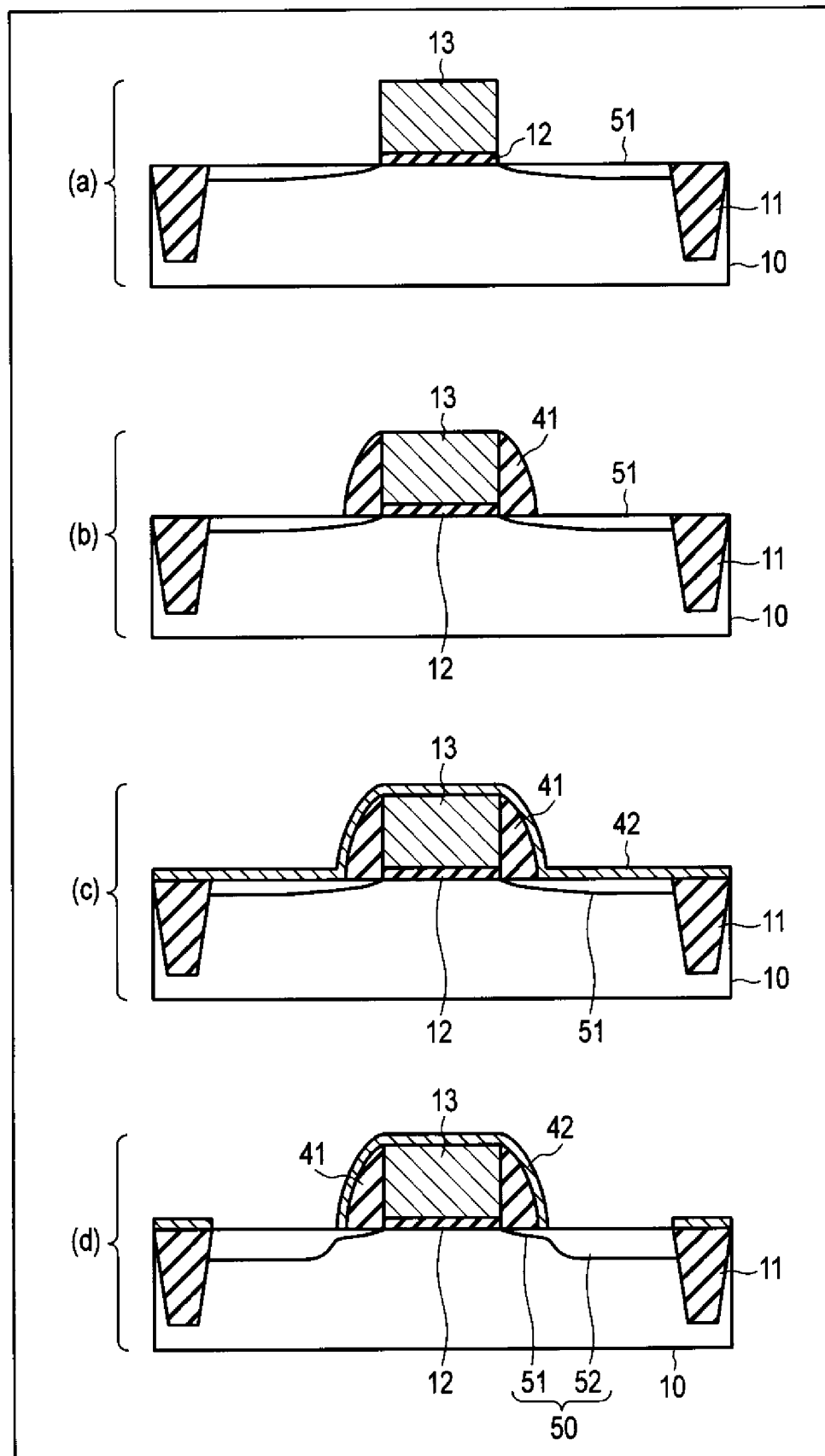
[図4]



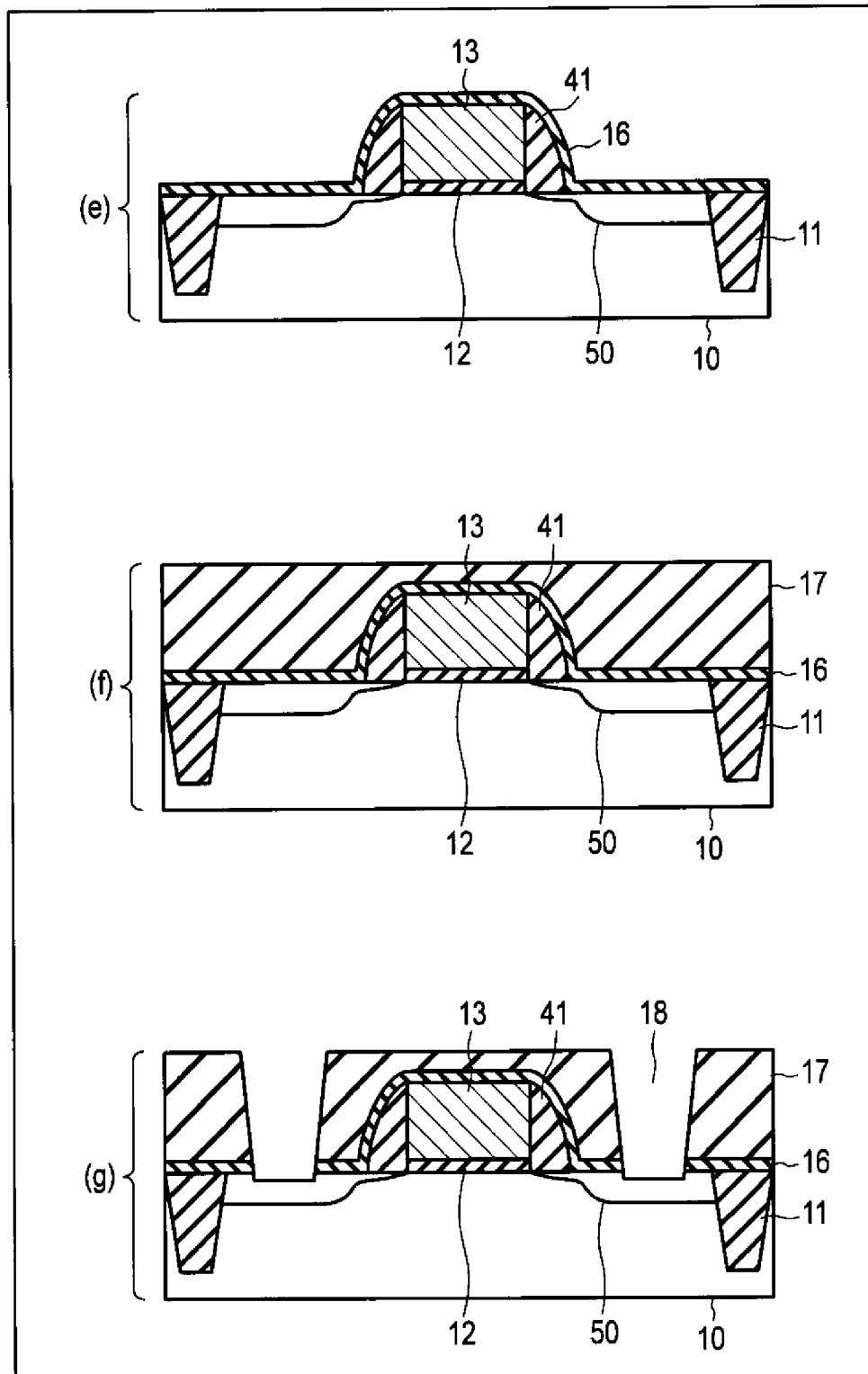
[図5]



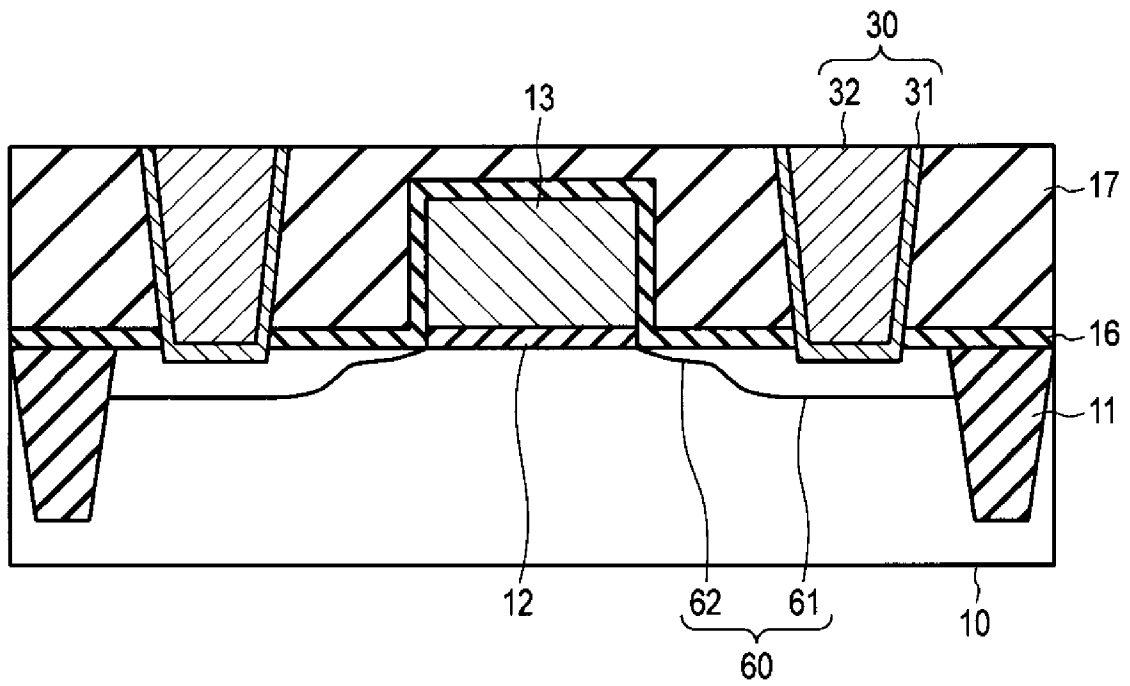
[図6]



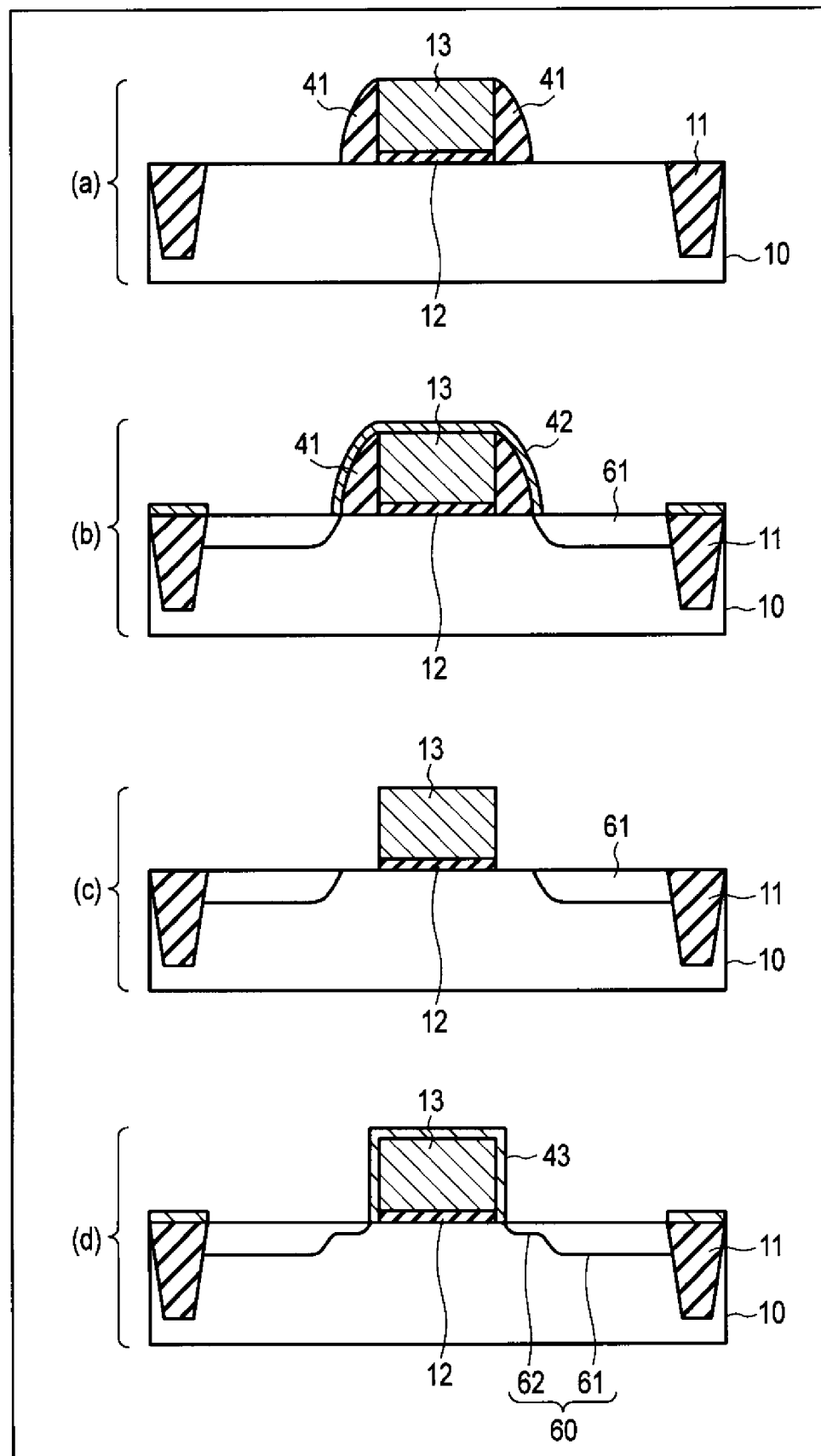
[図7]



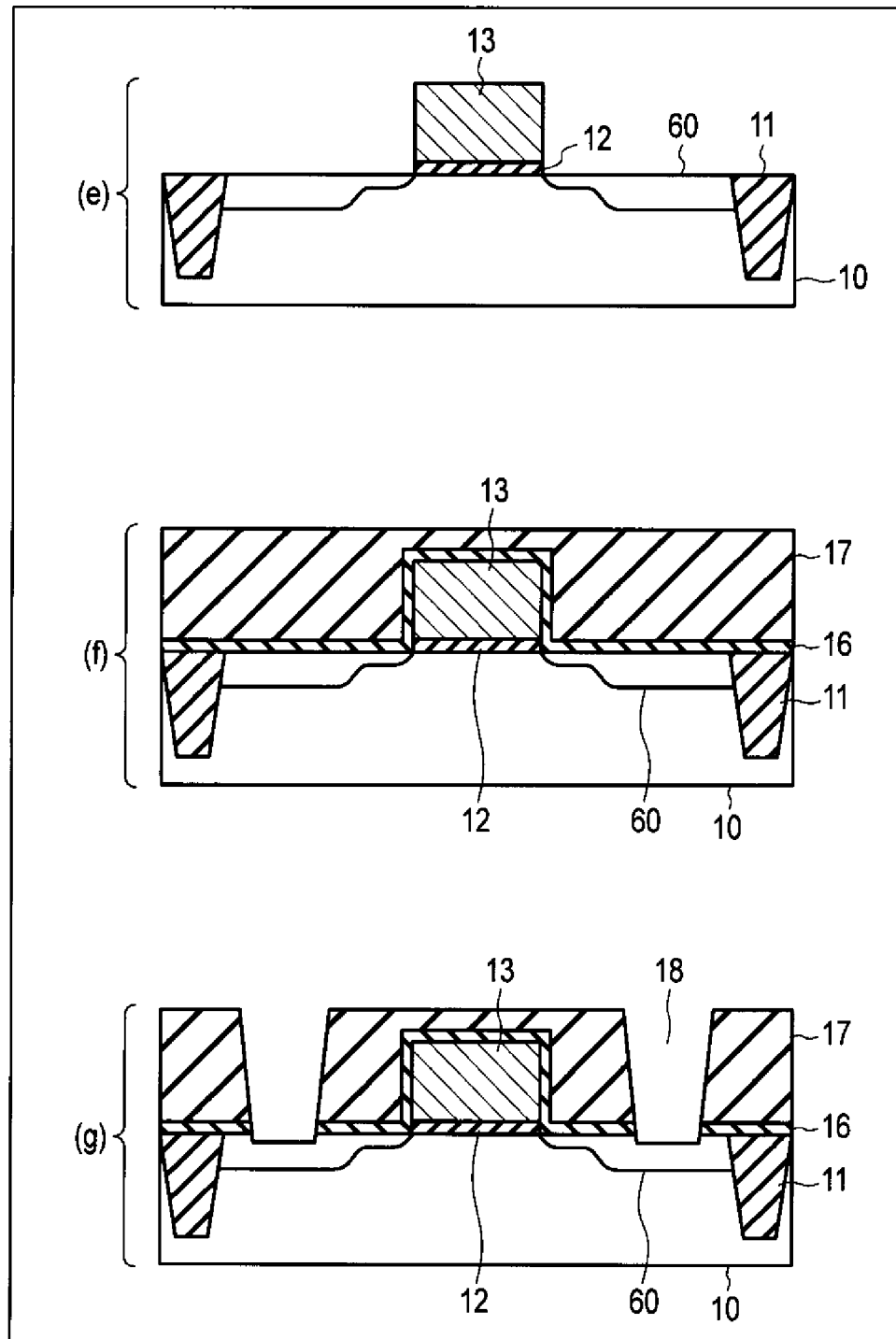
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/081938

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/28, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2005-109347 A (Seiko Epson Corp.), 21 April 2005 (21.04.2005), paragraphs [0019] to [0030]; fig. 1, 2 (Family: none)	1, 2, 3, 10 5, 6, 8, 9
X Y	JP 2003-100659 A (Mitsubishi Electric Corp.), 04 April 2003 (04.04.2003), paragraphs [0035] to [0044]; fig. 1, 2 & US 2003/0057562 A1 & DE 10238774 A & KR 10-2003-0027661 A & CN 1411060 A	1, 10 2, 3
X Y	JP 2006-140290 A (Toshiba Corp.), 01 June 2006 (01.06.2006), paragraphs [0013] to [0059]; fig. 1 to 8, 18 to 22 (Family: none)	4, 7, 11, 12 5, 6, 8, 9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
13 February, 2014 (13.02.14)

Date of mailing of the international search report
25 February, 2014 (25.02.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/081938

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-043328 A (Samsung Electronics Co., Ltd.), 08 February 2002 (08.02.2002), paragraphs [0011] to [0029]; fig. 2, 4 to 8 & US 2002/0008295 A1 & KR 10-0327347 B1 & CN 1335648 A	7, 12 8, 9
Y	JP 2013-008832 A (National Institute of Advanced Industrial Science and Technology), 10 January 2013 (10.01.2013), paragraphs [0011] to [0028]; fig. 1 (Family: none)	2, 3, 5, 6, 8, 9
X Y	JP 2009-188267 A (Fujitsu Microelectronics Ltd.), 20 August 2009 (20.08.2009), paragraphs [0010] to [0067]; fig. 1, 2 (Family: none)	4, 7 5, 6, 8, 9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L21/28, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2005-109347 A（セイコーエプソン株式会社）2005.04.21, 段落[0019]-段落[0030], 図1, 図2（ファミリーなし）	1, 2, 3, 10 5, 6, 8, 9
X Y	JP 2003-100659 A（三菱電機株式会社）2003.04.04, 段落[0035]-段落[0044], 図1, 図2 & US 2003/0057562 A1 & DE 10238774 A & KR 10-2003-0027661 A & CN 1411060 A	1, 10 2, 3
X Y	JP 2006-140290 A（株式会社東芝）2006.06.01, 段落[0013]-段落[0059], 図1-図8, 図18-図22（ファミリーなし）	4, 7, 11, 12 5, 6, 8, 9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 0 2 . 2 0 1 4

国際調査報告の発送日

2 5 . 0 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5 F

5 2 9 3

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2002-043328 A (三星電子株式会社) 2002. 02. 08, 段落[0011]-段落[0029], 図 2, 図 4-図 8 & US 2002/0008295 A1 & KR 10-0327347 B1 & CN 1335648 A	7, 12 8, 9
Y	JP 2013-008832 A (独立行政法人産業技術総合研究所) 2013. 01. 10, 段落[0011]-段落[0028], 図 1 (ファミリーなし)	2, 3, 5, 6, 8, 9
X Y	JP 2009-188267 A (富士通マイクロエレクトロニクス株式会社) 2009. 08. 20, 段落[0010]-段落[0067], 図 1, 図 2 (ファミリーなし)	4, 7 5, 6, 8, 9