

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2022年9月22日(22.09.2022)



(10) 国際公開番号  
**WO 2022/196158 A1**

- (51) 国際特許分類:  
*H01L 23/29* (2006.01)    *H01L 29/872* (2006.01)  
*H01L 23/31* (2006.01)    *H01L 29/78* (2006.01)  
*H01L 29/06* (2006.01)    *H01L 29/12* (2006.01)  
*H01L 29/47* (2006.01)    *H01L 21/336* (2006.01)

(21) 国際出願番号: PCT/JP2022/004301

(22) 国際出願日: 2022年2月3日(03.02.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2021-045115 2021年3月18日(18.03.2021) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 中野 佑紀 (NAKANO, Yuki); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 久津間 保徳 (KUTSUMA, Yasunori); 〒6158585 京都府

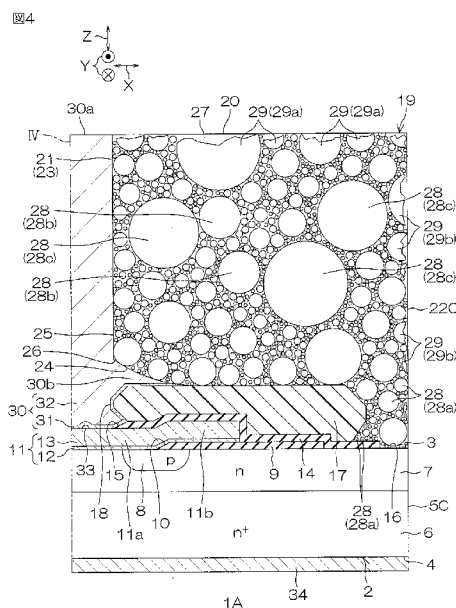
京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人 あい 特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410054 大阪府大阪市中央区南本町二丁目6番12号 サンマリオンNBFタワー2-1階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: WIDE BAND GAP SEMICONDUCTOR DEVICE

(54) 発明の名称: ワイドバンドギャップ半導体装置



(57) Abstract: This wide band gap semiconductor device comprises a chip that includes a wide band gap semiconductor and that has a main surface, a main surface electrode that is disposed above the main surface, and a thermosetting resin that includes a matrix resin and a plurality of fillers, and that covers the main surface such that a part of the main surface electrode is exposed.

(57) 要約: ワイドバンドギャップ半導体装置は、ワイドバンドギャップ半導体を含み、主面を有するチップと、前記主面の上に配置された主面電極と、マトリクス樹脂および複数のフィラーを含み、前記主面電極の一部を露出させるように前記主面を被覆する熱硬化性樹脂と、を含む。



WO 2022/196158 A1

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

## 明 細 書

**発明の名称**：ワイドバンドギャップ半導体装置

### 技術分野

[0001] この出願は、2021年3月18日に日本国特許庁に提出された特願2021-045115号に対応しており、この出願の全開示はここに引用により組み込まれる。本発明は、ワイドバンドギャップ半導体装置に関する。

### 背景技術

[0002] 特許文献1は、半導体基板、電極および有機保護層を含む半導体装置を開示している。半導体基板は、SiCによって形成されている。電極は、半導体基板の上に形成されている。有機保護膜は、電極を部分的に被覆している。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：米国特許出願公開第2019/0080976号明細書

### 発明の概要

#### 発明が解決しようとする課題

[0004] 一実施形態は、信頼性を向上できるワイドバンドギャップ半導体装置を提供する。

#### 課題を解決するための手段

[0005] 一実施形態は、ワイドバンドギャップ半導体を含み、主面を有するチップと、前記主面の上に配置された主面電極と、マトリクス樹脂および複数のフィラーを含み、前記主面電極の一部を露出させるように前記主面を被覆する熱硬化性樹脂と、を含む、ワイドバンドギャップ半導体装置を提供する。

[0006] 本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面の参照によって説明される実施形態により明らかにされる。

### 図面の簡単な説明

[0007] [図1]図1は、第1実施形態に係るワイドバンドギャップ半導体装置を示す斜視図である。

[図2]図2は、図1に示すワイドバンドギャップ半導体装置の平面図である。

[図3]図3は、図2に示すIII-III線に沿う断面図である。

[図4]図4は、図3に示す領域IVの拡大図である。

[図5]図5は、図3に対応し、第2実施形態に係るワイドバンドギャップ半導体装置を示す断面図である。

[図6]図6は、図3に対応し、第3実施形態に係るワイドバンドギャップ半導体装置を示す断面図である。

[図7]図7は、図3に対応し、第4実施形態に係るワイドバンドギャップ半導体装置を示す断面図である。

[図8]図8は、図3に対応し、第5実施形態に係るワイドバンドギャップ半導体装置を示す断面図である。

[図9]図9は、図3に対応し、第6実施形態に係るワイドバンドギャップ半導体装置を示す断面図である。

[図10]図10は、第7実施形態に係るワイドバンドギャップ半導体装置を示す斜視図である。

[図11]図11は、図10に示すワイドバンドギャップ半導体装置の平面図である。

[図12]図12は、図11に示すXII-XII線に沿う断面図である。

[図13]図13は、図11に示す領域XIIIを内部構造と共に示す平面図である。

[図14]図14は、図13に示すXIV-XIV線に沿う断面図である。

[図15]図15は、図12に示す領域XVの拡大図である。

[図16]図16は、図12に対応し、第8実施形態に係るワイドバンドギャップ半導体装置を示す断面図である。

[図17]図17は、図12に対応し、第9実施形態に係るワイドバンドギャップ半導体装置を示す断面図である。

[図18]図18は、図12に対応し、第10実施形態に係るワイドバンドギャップ半導体装置を示す断面図である。

[図19]図19は、図12に対応し、第11実施形態に係るワイドバンドギャップ半導体装置を示す断面図である。

[図20]図20は、図12に対応し、第12実施形態に係るワイドバンドギャップ半導体装置を示す断面図である。

[図21]図21は、図3に対応し、パッド電極の変形例を示す断面図である。

[図22]図22は、第1～第6実施形態に係るワイドバンドギャップ半導体装置が搭載される半導体パッケージを示す平面図である。

[図23]図23は、第7～第12実施形態に係るワイドバンドギャップ半導体装置が搭載される半導体パッケージを示す平面図である。

[図24]図24は、第1～第6実施形態に係るワイドバンドギャップ半導体装置および第7～第12実施形態に係るワイドバンドギャップ半導体装置が搭載される半導体パッケージを示す斜視図である。

[図25]図25は、図24に示す半導体パッケージの分解斜視図である。

[図26]図26は、図24に示すXXVI-XXVI線に沿う断面図である。

### 発明を実施するための形態

[0008] 添付図面は、模式図であり、必ずしも厳密に図示されたものではなく、縮尺等は必ずしも一致しない。また、添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。また、以下の実施形態において、説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。

[0009] 図1は、第1実施形態に係るワイドバンドギャップ半導体装置1Aを示す斜視図である。図2は、図1に示すワイドバンドギャップ半導体装置1Aの平面図である。図3は、図2に示すIII-III線に沿う断面図である。図4は、図3に示す領域IVの拡大図である。

[0010] 図1～図4を参照して、ワイドバンドギャップ半導体装置1Aは、機能デバイスの一例としてのSBD (Schottky Barrier Diode) を含む半導体装置

である。ワイドバンドギャップ半導体装置 1 A は、ワイドバンドギャップ半導体からなり、六面体形状（具体的には直方体形状）に形成されたチップ 2 を含む。チップ 2 は、「半導体チップ」または「ワイドバンドギャップ半導体チップ」と称されてもよい。ワイドバンドギャップ半導体は、Si（シリコン）のバンドギャップを超えるバンドギャップを有する半導体である。

[0011] チップ 2 は、この形態（this embodiment）では、ワイドバンドギャップ半導体の一例として六方晶の SiC（炭化シリコン）単結晶からなる SiC チップである。つまり、ワイドバンドギャップ半導体装置 1 A は、SiC 半導体装置である。六方晶の SiC 単結晶は、2H（Hexagonal）-SiC 単結晶、4H-SiC 単結晶、6H-SiC 単結晶等を含む複数種のポリタイプを有している。この形態では、チップ 2 が 4H-SiC 単結晶からなる例を示すが、他のポリタイプを除外するものではない。

[0012] チップ 2 は、一方側の第 1 主面 3、他方側の第 2 主面 4、ならびに、第 1 主面 3 および第 2 主面 4 を接続する側面 5 を有している。第 1 主面 3 および第 2 主面 4 は、それらの法線方向 Z から見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。第 2 主面 4 は研削痕を有する研削面からなることが好ましい。

[0013] 側面 5 は、第 1～第 4 側面 5 A～5 D を含む。第 1 側面 5 A および第 2 側面 5 B は、第 1 主面 3 に沿う第 1 方向 X に延び、第 1 方向 X に交差（具体的には直交）する第 2 方向 Y に対向している。第 3 側面 5 C および第 4 側面 5 D は、第 2 方向 Y に延び、第 1 方向 X に対向している。側面 5（第 1～第 4 側面 5 A～5 D）は、研削痕を有する研削面からなることが好ましい。チップ 2 は、法線方向 Z に関して、 $10\mu\text{m}$  以上  $250\mu\text{m}$  以下の厚さを有してもよい。チップ 2 の厚さは、 $80\mu\text{m}$  以下であることが好ましい。チップ 2 の厚さは、 $40\mu\text{m}$  以下であることが特に好ましい。

[0014] ワイドバンドギャップ半導体装置 1 A は、チップ 2 内において第 2 主面 4 側の領域に形成された n 型（第 1 導電型）の第 1 半導体領域 6 を含む。第 1 半導体領域 6 は、第 2 主面 4 に沿って延びる層状に形成され、第 2 主面 4 お

よび第1～第4側面5A～5Dから露出している。第1半導体領域6は、法線方向Zに関して、 $5\mu\text{m}$ 以上 $200\mu\text{m}$ 以下の厚さを有していてもよい。第1半導体領域6の厚さは、 $50\mu\text{m}$ 以下であることが好ましい。第1半導体領域6の厚さは、 $20\mu\text{m}$ 以下であることが特に好ましい。

[0015] ワイドバンドギャップ半導体装置1Aは、チップ2内において第1主面3側の領域に形成されたn型の第2半導体領域7を含む。第2半導体領域7は、第1半導体領域6よりも低いn型不純物濃度を有し、第1半導体領域6に電氣的に接続されている。第2半導体領域7は、第1主面3に沿って延びる層状に形成され、第1主面3および第1～第4側面5A～5Dから露出している。

[0016] 第2半導体領域7は、法線方向Zに関して、 $5\mu\text{m}$ 以上 $50\mu\text{m}$ 以下の厚さを有していてもよい。第2半導体領域7の厚さは、 $30\mu\text{m}$ 以下であることが好ましい。第2半導体領域7の厚さは、 $20\mu\text{m}$ 以下であることが特に好ましい。第2半導体領域7の厚さは、第1半導体領域6の厚さを超えていることが好ましい。

[0017] 第1半導体領域6は、この形態では、ワイドバンドギャップ半導体基板（具体的にはSiC半導体基板）からなる。第2半導体領域7は、この形態では、ワイドバンドギャップ半導体エピタキシャル層（具体的にはSiCエピタキシャル層）からなる。つまり、チップ2は、ワイドバンドギャップ半導体基板およびワイドバンドギャップ半導体エピタキシャル層を含む積層構造を有している。ワイドバンドギャップ半導体基板は、第2主面4および第1～第4側面5A～5Dの一部を形成している。ワイドバンドギャップ半導体エピタキシャル層は、第1主面3および第1～第4側面5A～5Dの一部を形成している。

[0018] ワイドバンドギャップ半導体装置1Aは、第1主面3の表層部に形成されたp型（第2導電型）のガード領域8を含む。ガード領域8のp型不純物は、活性化されていてもよいし、活性化されていなくてもよい。ガード領域8は、第1主面3の周縁（第1～第4側面5A～5D）から内方に間隔を空け

て第2半導体領域7の表層部に形成されている。ガード領域8は、この形態では、平面視において第1主面3の内方部を取り囲む環状（この形態では四角環状）に形成されている。これにより、ガード領域8は、ガードリング領域として形成されている。ガード領域8は、第1主面3の内方部側の内縁部、および、第1主面3の周縁側の外縁部を有している。

[0019] ワイドバンドギャップ半導体装置1Aは、第1主面3を被覆する第1無機絶縁膜9を含む。第1無機絶縁膜9は、第1主面3の周縁およびガード領域8の間の領域を被覆している。第1無機絶縁膜9は、具体的には、第1主面3およびガード領域8の外縁部を被覆し、第1主面3の内方部およびガード領域8の内縁部を露出させている。第1無機絶縁膜9は、この形態では、平面視において第1主面3の内方部を取り囲む環状（この形態では四角環状）に形成されている。

[0020] 第1無機絶縁膜9は、第1主面3の内方部側の内壁、および、第1主面3の周縁側の外壁を有している。第1無機絶縁膜9の内壁は、第1主面3の内方部において第2半導体領域7およびガード領域8の内縁部を露出させるコンタクト開口10を区画している。コンタクト開口10は、平面視においてガード領域8に沿う四角形状に形成されている。第1無機絶縁膜9の外壁は、第1主面3の周縁から内方に間隔を空けて形成され、第1主面3の周縁部において第2半導体領域7を露出させている。

[0021] むろん、第1無機絶縁膜9は、第1主面3の周縁およびガード領域8の間の領域の全域を被覆していてもよい。この場合、第1無機絶縁膜9は、チップ2の側面5（第1～第4側面5A～5D）に連なる外壁を有する。第1無機絶縁膜9の外壁は、研削痕を有する研削面からなることが好ましい。第1無機絶縁膜9の外壁は、チップ2の側面5（第1～第4側面5A～5D）と1つの研削面を形成していることが好ましい。

[0022] 第1無機絶縁膜9は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含む。第1無機絶縁膜9は、酸化シリコン膜からなる単層構造を有していることが好ましい。第1無機絶縁膜9は、チ

チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。第1無機絶縁膜9は、10nm以上500nm以下の厚さを有していてもよい。

[0023] ワイドバンドギャップ半導体装置1Aは、第1主面3を被覆する第1主面電極11を含む。第1主面電極11は、第1主面3の周縁から内方に間隔を空けて第1主面3の上に形成されている。第1主面電極11は、この形態では、平面視において第1主面3の周縁に平行な4辺を有する四角形状に形成されている。第1主面電極11は、第1主面3の内方部において第2半導体領域7およびガード領域8の内縁部に電氣的に接続されている。

[0024] 第1主面電極11は、具体的には、コンタクト開口10内に位置する本体部11a、および、本体部11aから第1無機絶縁膜9の上に引き出された引き出し部11bを有している。本体部11aは、第2半導体領域7（第1主面3）とショットキ接合を形成している。引き出し部11bは、第1無機絶縁膜9の外壁から内方に間隔を空けて形成され、第1無機絶縁膜9を挟んでガード領域8の外縁部および第2半導体領域7に対向している。第1主面電極11は、0.5 $\mu$ m以上11 $\mu$ m以下の厚さを有していてもよい。

[0025] 図4を参照して、第1主面電極11は、チップ2側からこの順に積層された第1主面電極膜12および第2主面電極膜13を含む積層構造を有している。第1主面電極膜12は、この形態では、Ti系金属膜を含む。第1主面電極膜12は、Ti膜またはTiN膜からなる単層構造を有していてもよい。第1主面電極膜12は、Ti膜およびTiN膜を任意の順序で含む積層構造を有していてもよい。第1主面電極膜12は、10nm以上1 $\mu$ m以下の厚さを有していてもよい。

[0026] 第2主面電極膜13は、Cu系金属膜またはAl系金属膜からなる。第2主面電極膜13は、純Cu膜（純度が99%以上のCu膜）、純Al膜（純度が99%以上のAl膜）、AlCu合金膜、AlSi合金膜、および、AlSiCu合金膜のうちの少なくとも1つを含んでいてもよい。第2主面電極膜13は、この形態では、Al系金属膜からなる。第2主面電極膜13は、第1主面電極膜12の厚さを超える厚さを有している。第2主面電極膜1

3の厚さは、0.5  $\mu\text{m}$ 以上10  $\mu\text{m}$ 以下であってもよい。

[0027] ワイドバンドギャップ半導体装置1Aは、第1主面電極11を被覆する第2無機絶縁膜14を含む。第2無機絶縁膜14は、具体的には、第1無機絶縁膜9および第1主面電極11の周縁部を被覆し、第1主面電極11の内方を露出させている。第2無機絶縁膜14は、より具体的には、第1主面電極11の引き出し部11bを被覆し、本体部11aを露出させている。第2無機絶縁膜14は、本体部11aの一部を被覆していてもよい。第2無機絶縁膜14は、第1無機絶縁膜9の上から第1主面3の周縁部の上に引き出され、第2半導体領域7を直接被覆している。

[0028] 第2無機絶縁膜14は、この形態では、平面視において第1主面3の内方部を取り囲む環状（この形態では四角環状）に形成されている。第2無機絶縁膜14は、第1主面電極11の内方部側の内壁、および、第1主面3の周縁側の外壁を有している。第2無機絶縁膜14の内壁は、第1主面電極11の内方部（本体部11a）を露出させる第1開口15を区画している。第1開口15は、平面視において第1主面電極11の周縁に沿う四角形状に形成されている。

[0029] 第2無機絶縁膜14の外壁は、第1主面3の周縁から内方に間隔を空けて形成され、第1主面3の周縁部を露出させるダイシングストリート16を区画している。むろん、第2無機絶縁膜14の外壁は、チップ2の側面5（第1～第4側面5A～5D）に連なってもよい。この場合、第2無機絶縁膜14の外壁は、研削痕を有する研削面からなることが好ましい。第2無機絶縁膜14の外壁は、チップ2の側面5（第1～第4側面5A～5D）と1つの研削面を形成していることが好ましい。

[0030] 第2無機絶縁膜14は、比較的高い緻密度を有する無機絶縁体からなり、水分（湿気）に対するバリア性（遮蔽性）を有している。第2無機絶縁膜14は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうち少なくとも1つを含む。第2無機絶縁膜14は、第1無機絶縁膜9とは異なる絶縁材料を含むことが好ましい。第2無機絶縁膜14は、窒化シリコン膜を

含むことが好ましい。第2無機絶縁膜14は、第1主面電極11の厚さ未満の厚さを有していることが好ましい。第2無機絶縁膜14の厚さは、0.1  $\mu\text{m}$ 以上5  $\mu\text{m}$ 以下であってもよい。

[0031] ワイドバンドギャップ半導体装置1Aは、第1主面電極11の周縁部を被覆する感光性樹脂17を含む。感光性樹脂17は、「第1有機膜」または「第1有機絶縁膜」と称されてもよい。感光性樹脂17は、この形態では、第2無機絶縁膜14の上に形成され、第2無機絶縁膜14を挟んで第1主面電極11を被覆している。感光性樹脂17は、第2無機絶縁膜14の硬度よりも低い硬度を有している。換言すると、感光性樹脂17は、第2無機絶縁膜14の弾性率よりも小さい弾性率を有し、外力に対する緩衝材（保護膜）として機能する。感光性樹脂17は、チップ2、第1主面電極11、第2無機絶縁膜14等を保護する。

[0032] 感光性樹脂17は、平面視において第1主面電極11の周縁部に沿って帯状に延びている。感光性樹脂17は、この形態では、平面視において第1主面電極11の内方部を取り囲む環状（具体的には四角環状）に形成され、全周に亘って第1主面電極11の周縁部を被覆している。感光性樹脂17は、具体的には、第1主面電極11の引き出し部11bを被覆し、本体部11aを露出させている。感光性樹脂17は、本体部11aの一部を被覆していてもよい。

[0033] 感光性樹脂17は、第1主面電極11の内方部側の内壁、および、第1主面3の周縁側の外壁を有している。感光性樹脂17の内壁は、第1主面電極11の内方部において第1主面電極11の内方部を露出させる第2開口18を区画している。第2開口18は、平面視において第1主面電極11の周縁に沿う四角形状に形成されている。感光性樹脂17の外壁は、第1主面3の周縁から内方に間隔を空けて形成され、第1主面3の周縁部を露出させるダイシングストリート16を区画している。

[0034] 感光性樹脂17は、この形態では、第2無機絶縁膜14の内周縁部（内壁）および外周縁部（外壁）の双方を露出させるように第2無機絶縁膜14の

上に形成されている。したがって、感光性樹脂 17 の内壁は、第 2 無機絶縁膜 14 の第 1 開口 15 に連通する第 2 開口 18 を区画している。また、感光性樹脂 17 の外壁は、第 2 無機絶縁膜 14 と共にダイニングストリート 16 を区画している。第 2 無機絶縁膜 14 の外壁がチップ 2 の側面 5（第 1～第 4 側面 5A～5D）に連なっている場合、感光性樹脂 17 の外壁は第 2 無機絶縁膜 14 を露出させるダイニングストリート 16 を区画する。

[0035] 感光性樹脂 17 の内壁は、第 1 主面電極 11 の内方部側に向けて膨出した湾曲形状に形成されていてもよい。感光性樹脂 17 の外壁は、チップ 2 の周縁側に向けて膨出した湾曲形状に形成されていてもよい。感光性樹脂 17 は、第 2 無機絶縁膜 14 の内壁および外壁のいずれか一方または双方を被覆していてもよい。つまり、感光性樹脂 17 は、第 1 主面電極 11 の一部を直接被覆する部分、および、チップ 2 の周縁部（第 2 半導体領域 7）を直接被覆する部分のいずれか一方または双方を有していてもよい。

[0036] 感光性樹脂 17 は、第 1 無機絶縁膜 9 の厚さを超える厚さを有していることが好ましい。感光性樹脂 17 の厚さは、第 2 無機絶縁膜 14 の厚さを超えていることが好ましい。感光性樹脂 17 の厚さは、第 1 主面電極 11 の厚さを超えていることが好ましい。感光性樹脂 17 の厚さは、 $3\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下であってもよい。感光性樹脂 17 の厚さは、 $20\ \mu\text{m}$ 以下であることが好ましい。

[0037] 感光性樹脂 17 は、ネガティブタイプであってもよいし、ポジティブタイプであってもよい。感光性樹脂 17 は、ポリイミド膜、ポリアミド膜およびポリベンゾオキサゾール膜のうちの少なくとも 1 つを含んでいてもよい。感光性樹脂 17 は、この形態では、ポリベンゾオキサゾール膜を含む。

[0038] ワイドバンドギャップ半導体装置 1A は、第 1 主面 3 を被覆する熱硬化性樹脂 19 を含む。熱硬化性樹脂 19 は、「封止樹脂」、「第 2 有機膜」または「第 2 有機絶縁膜」と称されてもよい。熱硬化性樹脂 19 は、この形態では、第 1 主面電極 11 の少なくとも一部を露出させるように感光性樹脂 17 を被覆し、感光性樹脂 17 を挟んで第 1 主面電極 11 および第 2 無機絶縁膜

14を被覆している。

[0039] 熱硬化性樹脂19は、平面視において第1主面3の周縁に沿って帯状に延びている。熱硬化性樹脂19は、この形態では、平面視において第1主面電極11の内方部を取り囲む環状（具体的には四角環状）に形成され、全周に亘って感光性樹脂17を挟んで第1主面電極11の周縁部を被覆している。熱硬化性樹脂19は、この形態では、感光性樹脂17を挟んで第1主面電極11の引き出し部11bを被覆し、本体部11aを露出させている。感光性樹脂17が本体部11aを被覆している場合、熱硬化性樹脂19は感光性樹脂17を挟んで本体部11aの一部を被覆していてもよい。

[0040] 熱硬化性樹脂19は、この形態では、感光性樹脂17の内壁（第2開口18）を露出させ、感光性樹脂17の外壁を被覆している。熱硬化性樹脂19は、チップ2の周縁部において感光性樹脂17（第2無機絶縁膜14）によって区画されたダイシングストリート16を被覆している。熱硬化性樹脂19は、ダイシングストリート16において第1主面3から露出した第2半導体領域7を直接被覆している。

[0041] 熱硬化性樹脂19は、樹脂主面20、第1主面電極11の内方部側の樹脂内壁21、および、第1主面3の周縁側の樹脂側面22を有している。樹脂主面20、樹脂内壁21および樹脂側面22は、それぞれ「有機主面」、「有機内壁」および「有機側面」と称されてもよい。樹脂主面20は、第1主面3に沿って延びている。樹脂主面20は、具体的には、第1主面3に対してほぼ平行に延びている。樹脂主面20は、研削痕を有する研削面からなることが好ましい。

[0042] 樹脂内壁21は、樹脂主面20の内方部において第1主面電極11の内方部を露出させるパッド開口23を区画している。パッド開口23は、この形態では、第2無機絶縁膜14の第1開口15および感光性樹脂17の第2開口18に連通している。パッド開口23は、平面視においてチップ2（第1主面電極11）の周縁に沿う四角形状に形成されている。樹脂内壁21は、研削痕を有さない平滑面からなることが好ましい。

- [0043] 樹脂内壁 21 は、樹脂主面 20 側の上端部（開口端）およびチップ 2（感光性樹脂 17）側の下端部を有している。樹脂内壁 21 の下端部は、感光性樹脂 17 の外面に沿って窪み、感光性樹脂 17 と間隙 24 を形成している。樹脂内壁 21 は、具体的には、開口端側の第 1 壁部 25、および、下端部側の第 2 壁部 26 を有している。第 1 壁部 25 は、開口端および下端部の間を厚さ方向に延びている。第 1 壁部 25 は、断面視において樹脂内壁 21 の 80% 以上の範囲を占めていることが好ましい。
- [0044] 第 2 壁部 26 は、感光性樹脂 17 の外面および第 1 壁部 25 の間において感光性樹脂 17 の外壁に向けて第 1 壁部 25 に交差する方向に延び、感光性樹脂 17 の外面と間隙 24 を区画している。第 2 壁部 26 は、具体的には、第 1 壁部 25 から感光性樹脂 17 の外面に向けて斜めに傾斜し、第 1 壁部 25（第 1 主面電極 11）から離れるに従って法線方向 Z に沿う幅が漸減する先細り形状の間隙 24 を区画している。第 2 壁部 26（間隙 24）は、断面視において樹脂内壁 21 の 20% 未満の範囲を占めていることが好ましい。
- [0045] 樹脂側面 22 は、第 1～第 4 樹脂側面 22A～22D を含む。第 1 樹脂側面 22A は第 1 側面 5A 側に位置し、第 2 樹脂側面 22B は第 2 側面 5B 側に位置し、第 3 樹脂側面 22C は第 3 側面 5C 側に位置し、第 4 樹脂側面 22D は第 4 側面 5D 側に位置している。第 1 樹脂側面 22A および第 2 樹脂側面 22B は、第 1 主面 3 に沿う第 1 方向 X に延び、第 2 方向 Y に対向している。第 3 樹脂側面 22C および第 4 樹脂側面 22D は、第 2 方向 Y に延び、第 1 方向 X に対向している。
- [0046] 樹脂側面 22（第 1～第 4 樹脂側面 22A～22D）は、チップ 2 に向かって延び、樹脂外壁を形成している。樹脂側面 22 は、樹脂主面 20 に対してほぼ直角に形成されている。樹脂側面 22 が樹脂主面 20 との間で成す角度は、 $88^{\circ}$  以上  $92^{\circ}$  以下であってもよい。樹脂側面 22 は、チップ 2 の側面 5（第 1～第 4 側面 5A～5D）に連なっている。樹脂側面 22 は、研削痕を有する研削面からなることが好ましい。樹脂側面 22 は、チップ 2 の側面 5 と 1 つの研削面を形成していることが好ましい。

- [0047] 熱硬化性樹脂 19 は、第 1 無機絶縁膜 9 の厚さを超える厚さを有していることが好ましい。熱硬化性樹脂 19 の厚さは、第 2 無機絶縁膜 14 の厚さを超えていることが好ましい。熱硬化性樹脂 19 の厚さは、第 1 主面電極 11 の厚さを超えていることが好ましい。熱硬化性樹脂 19 の厚さは、感光性樹脂 17 の厚さを超えていることが特に好ましい。熱硬化性樹脂 19 の厚さは、この形態では、チップ 2 の厚さを超えている。熱硬化性樹脂 19 の厚さは、10  $\mu\text{m}$  以上 300  $\mu\text{m}$  以下であってもよい。熱硬化性樹脂 19 の厚さは、30  $\mu\text{m}$  以上であることが好ましい。熱硬化性樹脂 19 の厚さは、200  $\mu\text{m}$  以下であってもよい。
- [0048] 熱硬化性樹脂 19 は、感光性樹脂 17 の硬度よりも高い硬度を有している。換言すると、熱硬化性樹脂 19 は、感光性樹脂 17 の弾性率よりも大きい弾性率を有している。熱硬化性樹脂 19 は、第 1 主面 3 の上からチップ 2 を補強する。図 4 を参照して、熱硬化性樹脂 19 は、マトリクス樹脂 27 および複数のフィラー 28 によって構成されている。マトリクス樹脂 27 は、エポキシ樹脂、フェノール樹脂および熱硬化性ポリイミド樹脂のうちの少なくとも 1 つを含んでいてもよい。マトリクス樹脂 27 は、この形態では、エポキシ樹脂を含む。マトリクス樹脂 27 は、カーボンブラック等の色材によって着色されていてもよい。
- [0049] 複数のフィラー 28 は、セラミック、酸化物、絶縁体等によって構成された球状物からそれぞれなる。つまり、複数のフィラー 28 は、繊維状には形成されていない。複数のフィラー 28 は、この形態では、酸化シリコン粒子（シリカ粒子）からそれぞれなる。熱硬化性樹脂 19 は、粒径 (particle sizes) の異なる複数のフィラー 28 を含む。
- [0050] 複数のフィラー 28 は、具体的には、複数の小径フィラー 28 a (第 1 フィラー)、複数の中径フィラー 28 b (第 2 フィラー)、および、複数の大径フィラー 28 c (第 3 フィラー) を含む。小径フィラー 28 a は、第 1 主面電極 11 の厚さ未満の厚さを有している。中径フィラー 28 b は、第 1 主面電極 11 の厚さを超えて感光性樹脂 17 の厚さ以下の厚さを有している。

大径フィラー 28c は、感光性樹脂 17 の厚さを超える厚さを有している。

[0051] 複数の小径フィラー 28a、複数の中径フィラー 28b および複数の大径フィラー 28c は、マトリクス樹脂 27 と共に感光性樹脂 17 よりも樹脂主面 20 側の領域に充填されている。中径フィラー 28b および大径フィラー 28c に起因するチップ 2 側の構造物へのフィラーアタックは、感光性樹脂 17 によって緩和される。

[0052] 複数の小径フィラー 28a および複数の中径フィラー 28b は、マトリクス樹脂 27 と共に感光性樹脂 17 よりも下側の領域に充填されている。特に、小径フィラー 28a は、マトリクス樹脂 27 と共に感光性樹脂 17 に起因した隙間（この形態では、第 2 無機絶縁膜 14 および感光性樹脂 17 の間の隙間）に充填されている。チップ 2 側の構造物に対するマトリクス樹脂 27 の密着力は、粒径の異なる複数のフィラー 28 によっても高められる。

[0053] 複数のフィラー 28 は、熱硬化性樹脂 19 の表層部において破断された粒形 (particle shapes) を有する複数のフィラー欠片 29 (a plurality of filler fragments) を含む。複数のフィラー欠片 29 は、樹脂主面 20 の表層部に形成された複数の第 1 フィラー欠片 29a (主面側フィラー欠片)、および、樹脂側面 22 の表層部に形成された複数の第 2 フィラー欠片 29b (側面側フィラー欠片) を含む。

[0054] 第 1 フィラー欠片 29a および第 2 フィラー欠片 29b は、小径フィラー 28a の一部、中径フィラー 28b の一部および大径フィラー 28c の一部のうちのいずれかによってそれぞれ形成されている。複数のフィラー欠片 29 は、熱硬化性樹脂 19 の外面において研削痕の一部をそれぞれ形成している。

[0055] 熱硬化性樹脂 19 は、樹脂内壁 21 (第 1 壁部 25 および第 2 壁部 26) の表層部においてフィラー欠片 29 を殆ど有さない。つまり、樹脂内壁 21 (パッド開口 23) は、マトリクス樹脂 27 および正常な複数のフィラー 28 によって形成されている。この場合、樹脂内壁 21 を形成する複数のフィラー 28 のうちのフィラー欠片 29 の割合は、樹脂内壁 21 を形成する正常

なフィラー28の割合未満である。

- [0056] ワイドバンドギャップ半導体装置1Aは、第1主面電極11の露出部の上に配置されたパッド電極30を含む。パッド電極30は、導電接続部材（たとえば導線や導体板等）に電氣的に接続される外部端子である。パッド電極30は、第1主面電極11の周縁から内方に間隔を空けて第1主面電極11の上に配置されている。パッド電極30は、この形態では、パッド開口23内に配置され、第1主面電極11の内方部を被覆している。つまり、パッド電極30は、パッド開口23内においてマトリクス樹脂27および複数のフィラー28に接している。
- [0057] パッド電極30は、パッド開口23外に配置されていない。パッド電極30は、平面視においてパッド開口23に整合した平面形状（この形態では四角形状）を有している。パッド電極30は、第1主面電極11の平面積未満の平面積を有している。パッド電極30は、この形態では、パッド開口23から第2開口18および第1開口15に入り込み、第1主面電極11、第2無機絶縁膜14、感光性樹脂17および熱硬化性樹脂19に接している。
- [0058] パッド電極30は、第1無機絶縁膜9の厚さを超える厚さを有していることが好ましい。パッド電極30の厚さは、第2無機絶縁膜14の厚さを超えていることが好ましい。パッド電極30の厚さは、第1主面電極11の厚さを超えていることが好ましい。パッド電極30の厚さは、感光性樹脂17の厚さを超えていることが特に好ましい。パッド電極30の厚さは、この形態では、チップ2の厚さを超えている。
- [0059] パッド電極30の厚さは、10 $\mu$ m以上300 $\mu$ m以下であってもよい。パッド電極30の厚さは、30 $\mu$ m以上であることが好ましい。パッド電極30の厚さは、200 $\mu$ m以下であってもよい。比較的厚い（たとえば第1主面電極11よりも厚い）パッド電極30は、チップ2側で生じた熱を外部に放散させるヒートシンク電極を兼ねる。
- [0060] パッド電極30は、熱硬化性樹脂19（パッド開口23）から露出した電極面30aを有している。電極面30aは、第1主面3に沿って延びている

。電極面30aは、具体的には、第1主面3に対してほぼ平行に延びている。電極面30aは、熱硬化性樹脂19の樹脂主面20に連なっている。電極面30aは、研削痕を有する研削面からなる。電極面30aは、樹脂主面20と1つの研削面を形成している。

[0061] パッド電極30は、熱硬化性樹脂19の間隙24内において感光性樹脂17の外面上に乗り上げた張り出し部30bを有している。張り出し部30bは、間隙24内において感光性樹脂17および熱硬化性樹脂19に接し、間隙24に整合した断面形状を有している。つまり、張り出し部30bは、第1壁部25側から感光性樹脂17の外面向けて斜めに下り傾斜し、第1壁部25から離れるに従って厚さが漸減する先細り形状に形成されている。

[0062] 張り出し部30bの第1主面3に沿う長さは、感光性樹脂17の厚さを超えていてもよい。むしろ、張り出し部30bの長さは、感光性樹脂17の厚さ以下であってもよい。張り出し部30bは、熱硬化性樹脂19からのパッド電極30の抜け落ちを抑制する。張り出し部30bは、「抜け止め部」と称されてもよい。

[0063] 図4を参照して、パッド電極30は、第1主面電極11側からこの順に積層された第1パッド電極膜31および第2パッド電極膜32を含む。第1パッド電極膜31は、第1主面電極11を被覆している。第1パッド電極膜31は、この形態では、第1主面電極11の上から第2無機絶縁膜14の上および感光性樹脂17の上に膜状に引き出されている。

[0064] 第1パッド電極膜31は、第1主面電極11の厚さ未満の厚さを有し、第1開口15内および第2開口18内に位置する部分を有している。第1パッド電極膜31は、厚さ方向（法線方向Z）に関して、間隙24の幅未満の厚さを有し、間隙24内において感光性樹脂17を被覆する部分を有している。第1パッド電極膜31は、この形態では、間隙24内においてパッド開口23の第2壁部26を部分的に被覆し、パッド開口23の第1壁部25を露出させている。

[0065] 第2パッド電極膜32は、第1パッド電極膜31を被覆し、パッド電極3

0の本体を形成している。第2パッド電極膜32は、感光性樹脂17の厚さ（この形態ではチップ2の厚さ）を超える厚さを有し、第1開口15、第2開口18およびパッド開口23内に位置する部分を有している。

[0066] 第2パッド電極膜32は、厚さ方向（法線方向Z）に関して、間隙24の幅を超える厚さを有し、間隙24内において第1パッド電極膜31および熱硬化性樹脂19に接する部分を有している。つまり、パッド電極30膜の張り出し部30bは、第1パッド電極膜31および第2パッド電極膜32を含む。パッド電極30の電極面30aは、第2パッド電極膜32によって形成されている。

[0067] 第1パッド電極膜31は、この形態では、スパッタ法によって形成されたシード膜からなる。第1パッド電極膜31は、Ti系金属膜を含んでいてもよい。第1パッド電極膜31は、Ti膜またはTiN膜からなる単層構造を有していてもよい。第1パッド電極膜31は、任意の順序で積層されたTi膜およびTiN膜を含む積層構造を有していてもよい。第2パッド電極膜32は、この形態では、電解めっき法または無電解めっき法によって形成されためっき膜からなる。第2パッド電極膜32は、Cu系金属めっき膜を含んでいてもよい。第2パッド電極膜32は、この形態では、純Cuめっき膜（純度が99%以上のCu膜）からなる単層構造を有している。

[0068] パッド電極30は、第1主面電極11との接続部において少なくとも1つの微小な空隙33を有していてもよい。図4では、空隙33が、第1パッド電極膜31および第1主面電極11の間に形成された例が示されている。むしろ、空隙33は、第1パッド電極膜31および第2パッド電極膜32の間に形成されていてもよい。空隙33は、第1主面電極11の厚さよりも小さいサイズを有している。パッド電極30の厚さ方向に関して、空隙33のサイズは1μm以下であってもよい。空隙33のサイズは、0.5μm以下であることが好ましい。

[0069] ワイドバンドギャップ半導体装置1Aは、第2主面4を被覆する第2主面電極34を含む。第2主面電極34は、第2主面4に電氣的に接続されてい

る。第2主面電極34は、具体的には、第2主面4から露出した第1半導体領域6とオーミック接触を形成している。第2主面電極34は、チップ2の周縁（第1～第4側面5A～5D）に連なるように第2主面4の全域を被覆している。第2主面電極34の外壁は、研削痕を有する研削面からなることが好ましい。第2主面電極34の外壁は、チップ2の側面5と1つの研削面を形成していることが好ましい。

[0070] 以上、ワイドバンドギャップ半導体装置1Aは、チップ2、第1主面電極11、および、熱硬化性樹脂19を含む。チップ2は、ワイドバンドギャップ半導体を含み、第1主面3を有している。第1主面電極11は、第1主面3を被覆している。熱硬化性樹脂19は、マトリクス樹脂27および複数のフィラー28によって構成され、第1主面電極11の少なくとも一部を露出させるように第1主面3を被覆している。

[0071] この構造によれば、第1主面電極11とのコンタクト部を確保しながら、熱硬化性樹脂19によってチップ2を補強し、保護できる。よって、信頼性を向上できるワイドバンドギャップ半導体装置1Aを提供できる。

[0072] 熱硬化性樹脂19は、第1主面電極11の周縁部を被覆していることが好ましい。ワイドバンドギャップ半導体装置1Aは、ワイドバンドギャップ半導体の特性上、ハイブリッド車、電気自動車、燃料電池自動車等のモータを駆動源とする車両等に搭載される。そのため、ワイドバンドギャップ半導体装置1Aでは、過酷な使用環境条件に適合する耐久性が求められる。ワイドバンドギャップ半導体装置1Aの耐久性は、たとえば、高温高湿バイアス試験によって評価される。高温高湿バイアス試験では、高温高湿環境下に曝された状態で、ワイドバンドギャップ半導体装置1Aの電氣的動作が評価される。

[0073] 高温環境下では、第1主面電極11の熱膨張に起因する応力によって第1主面電極11が剥離する可能性がある。高湿環境下では、第1主面電極11の剥離部に侵入した水分（湿気）に起因して第1主面電極11等の電氣的特性が変動する可能性がある。したがって、第1主面電極11の周縁部を被覆

する熱硬化性樹脂 19 によれば、第 1 主面電極 11 の剥離起点を削減できると同時に、外部からの水分の侵入を抑制できる。よって、信頼性を向上できるワイドバンドギャップ半導体装置 1A を提供できる。

[0074] ワイドバンドギャップ半導体装置 1A は、第 1 主面電極 11 の周縁部を被覆する感光性樹脂 17 をさらに含むことが好ましい。この場合、熱硬化性樹脂 19 は、感光性樹脂 17 を被覆していることが好ましい。この構造によれば、感光性樹脂 17 および熱硬化性樹脂 19 の双方によって第 1 主面電極 11 の剥離起点を削減できる。

[0075] この構造において、複数のフィラー 28 は、感光性樹脂 17 よりも厚い複数の大径フィラー 28c を含んでいてもよい。この構造によれば、複数の大径フィラー 28c を利用してマトリクス樹脂 27 の流動性を向上できると同時に、大径フィラー 28c に起因する衝撃を感光性樹脂 17 によって緩和できる。よって、感光性樹脂 17 等を適切に保護する熱硬化性樹脂 19 を形成できる。

[0076] ワイドバンドギャップ半導体装置 1A は、熱硬化性樹脂 19 のパッド開口 23 内において第 1 主面電極 11 に電氣的に接続されたパッド電極 30 を含むことが好ましい。この構造によれば、第 1 主面電極 11 および熱硬化性樹脂 19 の間に段差が形成された構造において、第 1 主面電極 11 および導電接続部材（たとえば導線や導体板等）の間の電気信号をパッド電極 30 によって適切に伝達できる。

[0077] 図 5 は、図 3 に対応し、第 2 実施形態に係るワイドバンドギャップ半導体装置 1B を示す断面図である。第 1 実施形態では、感光性樹脂 17 が第 2 無機絶縁膜 14 の内周縁部（内壁）を露出させている例が説明された。これに対して、ワイドバンドギャップ半導体装置 1B は、第 2 無機絶縁膜 14 の内周縁部（内壁）を被覆する感光性樹脂 17 を含む。

[0078] つまり、感光性樹脂 17 は、第 1 主面電極 11 を直接被覆する部分を含む。熱硬化性樹脂 19 の樹脂内壁 21（パッド開口 23）は、感光性樹脂 17 および第 1 主面電極 11 の内方部を露出させ、第 2 無機絶縁膜 14 を露出さ

せていない。パッド電極30は、パッド開口23内において第1主面電極11、感光性樹脂17および熱硬化性樹脂19に接し、第2無機絶縁膜14には接していない。

[0079] 以上、ワイドバンドギャップ半導体装置1Bによっても、ワイドバンドギャップ半導体装置1Aに対して述べられた効果と同様の効果が奏される。

[0080] 図6は、図3に対応し、第3実施形態に係るワイドバンドギャップ半導体装置1Cを示す断面図である。第1実施形態では、熱硬化性樹脂19が第2無機絶縁膜14の内周縁部（内壁）および感光性樹脂17の内周縁部（内壁）を露出させている例が説明された。これに対して、ワイドバンドギャップ半導体装置1Cは、第2無機絶縁膜14の内周縁部（内壁）および感光性樹脂17の内周縁部（内壁）を被覆する熱硬化性樹脂19を含む。

[0081] つまり、熱硬化性樹脂19は、第1主面電極11を直接被覆する部分を含む。熱硬化性樹脂19の樹脂内壁21（パッド開口23）は、第1主面電極11のみを露出させ、第2無機絶縁膜14および感光性樹脂17を露出させていない。樹脂内壁21の下端部は、この形態では、第1主面電極11と間隙24を形成している。パッド電極30は、パッド開口23内において第1主面電極11および熱硬化性樹脂19に接し、第2無機絶縁膜14および感光性樹脂17には接していない。

[0082] 以上、ワイドバンドギャップ半導体装置1Cによっても、ワイドバンドギャップ半導体装置1Aに対して述べられた効果と同様の効果が奏される。むしろ、第3実施形態に係る熱硬化性樹脂19の形態は、第2実施形態に適用されてもよい。

[0083] 図7は、図3に対応し、第4実施形態に係るワイドバンドギャップ半導体装置1Dを示す断面図である。第1実施形態では、チップ2が第2主面4側からこの順に形成された第1半導体領域6（ワイドバンドギャップ半導体基板）および第2半導体領域7（ワイドバンドギャップ半導体エピタキシャル層）を含む積層構造を有している例が説明された。

[0084] これに対して、ワイドバンドギャップ半導体装置1Dは、第1半導体領域

6（ワイドバンドギャップ半導体基板）を有さず、第2半導体領域7（ワイドバンドギャップ半導体エピタキシャル層）からなる単層構造を有するチップ2を含む。

[0085] 以上、ワイドバンドギャップ半導体装置1Dによっても、ワイドバンドギャップ半導体装置1Aに対して述べられた効果と同様の効果が奏される。また、ワイドバンドギャップ半導体装置1Dによれば、第1半導体領域6の抵抗値を削減できるので、チップ2全体の抵抗値を削減できる。また、熱硬化性樹脂19によってチップ2が支持されているので、薄化したチップ2の強度を熱硬化性樹脂19によって補完できる。よって、信頼性を高めながら、電気的特性を向上できるワイドバンドギャップ半導体装置1Dを提供できる。むろん、第4実施形態に係るチップ2の形態は、第2～第3実施形態に適用されてもよい。

[0086] 図8は、図3に対応し、第5実施形態に係るワイドバンドギャップ半導体装置1Eを示す断面図である。第1実施形態では、第2無機絶縁膜14が第1主面電極11の周縁部を被覆している例が説明された。これに対して、ワイドバンドギャップ半導体装置1Eは、第1主面電極11の電極側壁を露出させる除去部14aを有し、第1主面電極11を部分的に被覆する第2無機絶縁膜14を含む。以下、ワイドバンドギャップ半導体装置1Eの構造が具体的に説明される。

[0087] 第1無機絶縁膜9は、この形態では、第1主面3の周縁およびガード領域8の間の領域の全域を被覆している。第1無機絶縁膜9は、チップ2の側面5（第1～第4側面5A～5D）に連なる外壁を有している。第1無機絶縁膜9の外壁は、研削痕を有する研削面からなる。第1無機絶縁膜9の外壁は、チップ2の側面5（第1～第4側面5A～5D）と1つの研削面を形成している。むろん、第1無機絶縁膜9は、第1実施形態の場合と同様の態様で形成されていてもよい。

[0088] 第2無機絶縁膜14は、第1実施形態の場合と同様、第1主面電極11および第1無機絶縁膜9を被覆し、第1主面電極11の内方部側の内壁、およ

び、第1主面3の周縁側の外壁を有している。第2無機絶縁膜14の内壁は、第1主面電極11の内方部(本体部11a)を露出させる第1開口15を区画している。第2無機絶縁膜14の外壁は、この形態では、第1主面3の周縁から内方に間隔を空けて形成され、第1無機絶縁膜9を露出させるダイシングストリート16を区画している。

[0089] 第2無機絶縁膜14は、この形態では、第1主面電極11および第1無機絶縁膜9の間で第1主面電極11の電極側壁を露出させる少なくとも1つの除去部14aを有している。除去部14aは、具体的には、内壁および外壁から間隔を空けて形成され、第1主面電極11の周縁部および第1無機絶縁膜9の一部を露出させている。

[0090] 第2無機絶縁膜14は、本体部11aの一部および引き出し部11bの一部を被覆していてもよいし、引き出し部11bから間隔を空けて本体部11aの一部を被覆していてもよい。つまり、除去部14aは、引き出し部11bの一部または全部を露出させていてもよいし、引き出し部11bの全部および本体部11aの一部を露出させていてもよい。

[0091] 第2無機絶縁膜14が1つの除去部14aを有している場合、1つの除去部14aは、平面視において第1主面電極11の周縁部に沿って延びる帯状に形成され、第1主面電極11の周縁部を部分的に露出させていてもよい。また、1つの除去部14aは、第1主面電極11の周縁部に沿って延びる環状に形成され、第1主面電極11の周縁部を全周に亘って露出させていてもよい。

[0092] 第2無機絶縁膜14が複数の除去部14aを有している場合、複数の除去部14aは第1主面電極11の周縁部に沿って間隔を空けて配列されていてもよい。この場合、複数の除去部14aは、平面視においてドット状に配列されていてもよいし、第1主面電極11の周縁部に沿って延びる帯状にそれぞれ形成されていてもよい。

[0093] また、複数の除去部14aは、第1主面電極11の周縁部から内方部に間隔を空けて配列されていてもよい。この場合、複数の除去部14aは、平面

視においてドット状に配列されていてもよいし、第1主面電極11の周縁部に沿って延びる帯状または環状にそれぞれ形成されていてもよい。この場合、少なくとも1つの除去部14aが、第1主面電極11の電極側壁（周縁部）を露出させていけばよい。

[0094] 感光性樹脂17は、この形態では、第2無機絶縁膜14の上から除去部14aに入り込んでいる。感光性樹脂17は、除去部14a内において第1主面電極11の電極側壁を被覆している。感光性樹脂17は、具体的は、除去部14a内において第1主面電極11の周縁部および第1無機絶縁膜9の一部を直接被覆している。つまり、感光性樹脂17は、除去部14a内に位置する樹脂アンカー部を有している。

[0095] 熱硬化性樹脂19は、この形態では、感光性樹脂17を挟んで第2無機絶縁膜14の除去部14aを被覆する部分を含む。つまり、熱硬化性樹脂19は、第2無機絶縁膜14を介さずに感光性樹脂17のみを挟んで第1無機絶縁膜9および第1主面電極11の周縁部を被覆する部分を含む。熱硬化性樹脂19は、平面視および断面視において除去部14aの全域を被覆していることが好ましい。熱硬化性樹脂19は、この形態では、ダイシングストリート16において第1主面3から露出した第1無機絶縁膜9を直接被覆する部分を含む。

[0096] 以上、ワイドバンドギャップ半導体装置1Eによっても、ワイドバンドギャップ半導体装置1Aに対して述べられた効果と同様の効果が奏される。また、ワイドバンドギャップ半導体装置1Eは、第1主面電極11の電極側壁を露出させる除去部14aを有する第2無機絶縁膜14を含む。この構造によれば、第1主面電極11の熱膨張に起因する第2無機絶縁膜14の剥離起点を削減できる。よって、信頼性を向上できるワイドバンドギャップ半導体装置1Eを提供できる。

[0097] ワイドバンドギャップ半導体装置1Eは、このような構造において、除去部14a内において第1主面電極11の電極側壁を被覆する感光性樹脂17を含む。この構造によれば、第2無機絶縁膜14が除去部14aを有する構

造において第1主面電極11の剥離起点を削減できる。よって、信頼性を向上できるワイドバンドギャップ半導体装置1Eを提供できる。

[0098] ワイドバンドギャップ半導体装置1Eは、さらにこのような構造において、感光性樹脂17を挟んで第2無機絶縁膜14の除去部14aを被覆する部分を含む熱硬化性樹脂19を有している。この構造によれば、第2無機絶縁膜14が除去部14aを有する構造において第1主面電極11の剥離起点を感光性樹脂17および熱硬化性樹脂19によって削減できる。むしろ、第5実施形態に係る第1無機絶縁膜9、第1主面電極11、第2無機絶縁膜14、感光性樹脂17および熱硬化性樹脂19の形態は、第2～第4実施形態に適用されてもよい。

[0099] 図9は、図3に対応し、第6実施形態に係るワイドバンドギャップ半導体装置1Fを示す断面図である。第1実施形態では、感光性樹脂17が第1主面電極11の内方部側に向けて膨出した湾曲形状の内壁およびチップ2の周縁側に向けて膨出した湾曲形状の外壁を有している例が説明された。これに対して、ワイドバンドギャップ半導体装置1Fは、第1主面電極11の内方部側に向けて斜め下り傾斜した内壁、および、チップ2の周縁側に向けて斜め下り傾斜した外壁を有する感光性樹脂17を含む。つまり、感光性樹脂17は、断面視において台形状（テーパ形状）に形成されている。

[0100] 以上、ワイドバンドギャップ半導体装置1Fによっても、ワイドバンドギャップ半導体装置1Aに対して述べられた効果と同様の効果が奏される。また、ワイドバンドギャップ半導体装置1Fによれば、感光性樹脂17に対する熱硬化性樹脂19（マトリクス樹脂27および複数のフィラー28）の流動性を向上させることができる。これにより、熱硬化性樹脂19および感光性樹脂17の間の間隙の形成を抑制できる。むしろ、第6実施形態に係る感光性樹脂17の形態は、第2～第5実施形態に適用されてもよい。

[0101] 図10は、第7実施形態に係るワイドバンドギャップ半導体装置1Gを示す斜視図である。図11は、図10に示すワイドバンドギャップ半導体装置1Gの平面図である。図12は、図11に示すXII-XII線に沿う断面図である

。図13は、図11に示す領域XIIIを内部構造と共に示す平面図である。図14は、図13に示すXIV-XIV線に沿う断面図である。図15は、図12に示す領域XVの拡大図である。

[0102] 図10～図15を参照して、ワイドバンドギャップ半導体装置1Gは、機能デバイスの一例としてのMISFET (Metal Insulator Semiconductor Field Effect Transistor) を含む半導体装置である。ワイドバンドギャップ半導体装置1Gは、前述のチップ2、前述の第1半導体領域6および前述の第2半導体領域7を含む。ワイドバンドギャップ半導体装置1Gは、この形態では、チップ2の第1主面3に形成された活性面41 (active surface)、外側面42 (outer surface) および第1～第4接続面43A～43D (connecting surface) を含む。

[0103] 活性面41、外側面42および第1～第4接続面43A～43Dは、第1主面3において活性台地44 (active mesa) を区画している。活性面41が「第1面」と称され、外側面42が「第2面」と称され、活性台地44が「台地」と称されてもよい。活性面41、外側面42および第1～第4接続面43A～43D (つまり活性台地44) は、第1主面3の構成要素と見なされてもよい。

[0104] 活性面41は、第1主面3の周縁 (第1～第4側面5A～5D) から内方に間隔を空けて形成されている。活性面41は、第1方向Xおよび第2方向Yに延びる平坦面を有している。活性面41は、この形態では、平面視において第1～第4側面5A～5Dに平行な4辺を有する四角形状に形成されている。

[0105] 外側面42は、活性面41外に位置し、活性面41からチップ2の厚さ方向 (第2主面4側) に窪んでいる。外側面42は、具体的には、第2半導体領域7を露出させるように第2半導体領域7の厚さ未満の深さで窪んでいる。外側面42は、平面視において活性面41に沿って延びる帯状に形成されている。外側面42は、この形態では、平面視において活性面41を取り囲む環状 (具体的には四角環状) に形成されている。外側面42は、第1方向

Xおよび第2方向Yに延びる平坦面を有し、活性面41に対してほぼ平行に形成されている。外側面42は、第1～第4側面5A～5Dに連なっている。

[0106] 第1～第4接続面43A～43Dは、法線方向Zに延び、活性面41および外側面42を接続している。第1接続面43Aは第1側面5A側に位置し、第2接続面43Bは第2側面5B側に位置し、第3接続面43Cは第3側面5C側に位置し、第4接続面43Dは第4側面5D側に位置している。第1接続面43Aおよび第2接続面43Bは、第1方向Xに延び、第2方向Yに対向している。第3接続面43Cおよび第4接続面43Dは、第2方向Yに延び、第1方向Xに対向している。

[0107] 第1～第4接続面43A～43Dは、四角柱状の活性台地44が区画されるように活性面41および外側面42の間をほぼ垂直に延びていてもよい。第1～第4接続面43A～43Dは、四角錐台状の活性台地44が区画されるように活性面41から外側面42に向かって斜め下り傾斜していてもよい。このように、ワイドバンドギャップ半導体装置1Gは、第1主面3において第2半導体領域7に形成された活性台地44を含む。活性台地44は、第2半導体領域7のみに形成され、第1半導体領域6には形成されていない。

[0108] 図13および図14を参照して、ワイドバンドギャップ半導体装置1Gは、活性面41に形成されたMISFETを含む。MISFETは、この形態では、トレンチゲート型である。以下、MISFETの構造が具体的に説明される。ワイドバンドギャップ半導体装置1Gは、活性面41の表層部に形成されたp型のボディ領域48を含む。ボディ領域48は、活性面41の表層部の全域に形成されていてもよい。

[0109] ワイドバンドギャップ半導体装置1Gは、ボディ領域48の表層部に形成されたn型のソース領域49を含む。ソース領域49は、ボディ領域48の表層部の全域に形成されていてもよい。ソース領域49は、第2半導体領域7のn型不純物濃度を超えるn型不純物濃度を有している。ソース領域49は、ボディ領域48内において第2半導体領域7とMISFETのチャンネル

CHを形成する。

- [0110] ワイドバンドギャップ半導体装置1Gは、活性面41に形成された複数のトレンチゲート構造50を含む。複数のトレンチゲート構造50は、チャンネルCHの反転および非反転を制御する。複数のトレンチゲート構造50は、ボディ領域48およびソース領域49を貫通して第2半導体領域7に至っている。複数のトレンチゲート構造50は、第2半導体領域7の底部から活性面41側に間隔を空けて形成されている。複数のトレンチゲート構造50は、平面視において第1方向Xに間隔を空けて形成され、第2方向Yに延びる帯状にそれぞれ形成されている。
- [0111] 各トレンチゲート構造50は、ゲートトレンチ51、ゲート絶縁膜52およびゲート電極53を含む。ゲートトレンチ51は、活性面41に形成されている。ゲート絶縁膜52は、ゲートトレンチ51の内壁を被覆している。ゲート電極53は、ゲート絶縁膜52を挟んでゲートトレンチ51に埋設されている。ゲート電極53は、ゲート絶縁膜52を挟んで第2半導体領域7、ボディ領域48およびソース領域49に対向している。ゲート電極53には、ゲート電位が印加される。
- [0112] ワイドバンドギャップ半導体装置1Gは、活性面41に形成された複数のトレンチソース構造54を含む。複数のトレンチソース構造54は、活性面41において近接する2つのトレンチゲート構造50の間の領域にそれぞれ形成されている。複数のトレンチソース構造54は、平面視において第2方向Yに延びる帯状にそれぞれ形成されている。複数のトレンチソース構造54は、ボディ領域48およびソース領域49を貫通して第2半導体領域7に至っている。
- [0113] 複数のトレンチソース構造54は、第2半導体領域7の底部から活性面41側に間隔を空けて形成されている。複数のトレンチソース構造54は、トレンチゲート構造50の深さを超える深さを有している。複数のトレンチソース構造54の底壁は、この形態では、外側面42とほぼ同一平面上に位置している。むろん、各トレンチソース構造54は、トレンチゲート構造50

の深さとほぼ等しい深さを有していてもよい。

- [0114] 各トレンチソース構造54は、ソーストレンチ55、ソース絶縁膜56およびソース電極57を含む。ソーストレンチ55は、活性面41に形成されている。ソース絶縁膜56は、ソーストレンチ55の内壁を被覆している。ソース電極57は、ソース絶縁膜56を挟んでソーストレンチ55に埋設されている。ソース電極57には、ソース電位が印加される。
- [0115] ワイドバンドギャップ半導体装置1Gは、第2半導体領域7において複数のトレンチソース構造54に沿う領域にそれぞれ形成された複数のp型のコンタクト領域58を含む。複数のコンタクト領域58のp型不純物濃度は、ボディ領域48のp型不純物濃度を超えている。複数のコンタクト領域58は、第2方向Yに間隔を空けて一対多の対応関係で対応するトレンチソース構造54をそれぞれ被覆している。各コンタクト領域58は、各トレンチソース構造54の側壁および底壁を被覆し、ボディ領域48に電氣的に接続されている。
- [0116] ワイドバンドギャップ半導体装置1Gは、活性面41の表層部において複数のトレンチソース構造54に沿う領域にそれぞれ形成された複数のp型のウェル領域59を含む。複数のウェル領域59のp型不純物濃度は、ボディ領域48のp型不純物濃度を超え、コンタクト領域58のp型不純物濃度未満であることが好ましい。
- [0117] 複数のウェル領域59は、複数のコンタクト領域58を挟んで対応するトレンチソース構造54をそれぞれ被覆している。各ウェル領域59は、対応するトレンチソース構造54に沿って延びる帯状に形成されていてもよい。各ウェル領域59は、各トレンチソース構造54の側壁および底壁を被覆し、ボディ領域48に電氣的に接続されている。
- [0118] 図15を参照して、ワイドバンドギャップ半導体装置1Gは、外側面42において第2半導体領域7の表層部に形成されたp型のアウターコンタクト領域60を含む。アウターコンタクト領域60は、ボディ領域48のp型不純物濃度を超えるp型不純物濃度を有していることが好ましい。アウターコ

ンタクト領域60は、平面視において活性面41の周縁および外側面42の周縁から間隔を空けて形成されている。

[0119] アウターコンタクト領域60は、平面視において活性面41に沿って延びる帯状に形成されている。アウターコンタクト領域60は、この形態では、平面視において活性面41を取り囲む環状（具体的には四角環状）に形成されている。アウターコンタクト領域60は、第2半導体領域7の底部から外側面42に間隔を空けて形成されている。アウターコンタクト領域60は、複数のトレンチゲート構造50の底壁に対して第2半導体領域7の底部側に位置している。

[0120] ワイドバンドギャップ半導体装置1Gは、外側面42の表層部に形成されたp型のアウターウェル領域61を含む。アウターウェル領域61は、アウターコンタクト領域60のp型不純物濃度未満のp型不純物濃度を有している。アウターウェル領域61のp型不純物濃度は、ウェル領域59のp型不純物濃度とほぼ等しいことが好ましい。アウターウェル領域61は、平面視において活性面41の周縁およびアウターコンタクト領域60の間の領域に形成されている。

[0121] アウターウェル領域61は、平面視において活性面41に沿って延びる帯状に形成されている。アウターウェル領域61は、この形態では、平面視において活性面41を取り囲む環状（具体的には四角環状）に形成されている。アウターウェル領域61は、アウターコンタクト領域60に電氣的に接続されている。アウターウェル領域61は、この形態では、外側面42から第1～第4接続面43A～43Dに向けて延び、チップ2内において第1～第4接続面43A～43Dを被覆している。

[0122] アウターウェル領域61は、アウターコンタクト領域60よりも深く形成されている。アウターウェル領域61は、第2半導体領域7の底部から外側面42に間隔を空けて形成されている。アウターウェル領域61は、複数のトレンチゲート構造50の底壁に対して第2半導体領域7の底部側に位置している。アウターウェル領域61は、活性面41の表層部においてボディ領

域 4 8 に電氣的に接続されている。

- [0123] ワイドバンドギャップ半導体装置 1 G は、外側面 4 2 の表層部においてアウターコンタクト領域 6 0 および外側面 4 2 の周縁の間の領域に形成された少なくとも 1 つ（好ましくは 2 個以上 2 0 個以下）の p 型のフィールド領域 6 2 を含む。ワイドバンドギャップ半導体装置 1 G は、この形態では、5 個のフィールド領域 6 2 を含む。複数のフィールド領域 6 2 は、外側面 4 2 においてチップ 2 内の電界を緩和する。フィールド領域 6 2 の個数、幅、深さ、p 型不純物濃度等は任意であり、緩和すべき電界に応じて種々の値を取り得る。
- [0124] 複数のフィールド領域 6 2 は、アウターコンタクト領域 6 0 側から外側面 4 2 の周縁側に向けて間隔を空けて形成されている。複数のフィールド領域 6 2 は、平面視において活性面 4 1 に沿って延びる帯状に形成されている。複数のフィールド領域 6 2 は、この形態では、平面視において活性面 4 1 を取り囲む環状（具体的には四角環状）に形成されている。これにより、複数のフィールド領域 6 2 は、FLR (Field Limiting Ring) 領域としてそれぞれ形成されている。
- [0125] 複数のフィールド領域 6 2 は、第 2 半導体領域 7 の底部から外側面 4 2 に間隔を空けて形成されている。複数のフィールド領域 6 2 は、複数のトレンチゲート構造 5 0 の底壁に対して第 2 半導体領域 7 の底部側に位置している。複数のフィールド領域 6 2 は、アウターコンタクト領域 6 0 よりも深く形成されている。最内のフィールド領域 6 2 は、アウターコンタクト領域 6 0 に接続されていてもよい。最内のフィールド領域 6 2 以外のフィールド領域 6 2 は、電氣的に浮遊状態に形成されていてもよい。
- [0126] ワイドバンドギャップ半導体装置 1 G は、第 1 主面 3 を被覆する前述の第 1 無機絶縁膜 9 を含む。第 1 無機絶縁膜 9 は、この形態では、活性面 4 1、外側面 4 2 および第 1 ～ 第 4 接続面 4 3 A ～ 4 3 D を被覆している。第 1 無機絶縁膜 9 は、ゲート絶縁膜 5 2 およびソース絶縁膜 5 6 に連なり、ゲート電極 5 3 およびソース電極 5 7 を露出させている。第 1 無機絶縁膜 9 の外壁

は、外側面42の周縁から内方に間隔を空けて形成され、外側面42の周縁部から第2半導体領域7を露出させている。

[0127] むろん、第1無機絶縁膜9は、チップ2の側面5（第1～第4側面5A～5D）に連なるように外側面42を被覆していてもよい。この場合、第1無機絶縁膜9は、チップ2の側面5に連なる外壁を有する。第1無機絶縁膜9の外壁は、研削痕を有する研削面からなることが好ましい。第1無機絶縁膜9の外壁は、チップ2の側面5（第1～第4側面5A～5D）と1つの研削面を形成していることが好ましい。

[0128] ワイドバンドギャップ半導体装置1Gは、第1～第4接続面43A～43Dのうちの少なくとも1つを被覆するように外側面42側において第1無機絶縁膜9の上に形成されたサイドウォール構造63を含む。サイドウォール構造63は、この形態では、平面視において活性面41を取り囲む環状（四角環状）に形成されている。サイドウォール構造63は、無機絶縁体またはポリシリコンを含んでいてもよい。

[0129] ワイドバンドギャップ半導体装置1Gは、第1無機絶縁膜9の上に形成された層間絶縁膜64を含む。層間絶縁膜64は、第1無機絶縁膜9を挟んで活性面41、外側面42および第1～第4接続面43A～43Dを被覆している。層間絶縁膜64は、サイドウォール構造63を挟んで第1無機絶縁膜9を被覆している。層間絶縁膜64は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。層間絶縁膜64の外壁は、第1無機絶縁膜9の外壁と同様に外側面42の周縁から内方に間隔を空けて形成され、外側面42の周縁部から第2半導体領域7を露出させている。

[0130] むろん、層間絶縁膜64の外壁は、チップ2の側面5（第1～第4側面5A～5D）に連なってもよい。この場合、層間絶縁膜64の外壁は、研削痕を有する研削面からなることが好ましい。層間絶縁膜64の外壁は、チップ2の側面5（第1～第4側面5A～5D）と1つの研削面を形成していることが好ましい。

- [0131] ワイドバンドギャップ半導体装置 1 G は、第 1 主面 3 の上（層間絶縁膜 6 4 の上）に形成された複数の第 1 主面電極 1 1 を含む。複数の第 1 主面電極 1 1 は、第 1 実施形態の場合と同様に、チップ 2 側からこの順に積層された第 1 主面電極膜 1 2 および第 2 主面電極膜 1 3 を含む積層構造をそれぞれ有している。複数の第 1 主面電極 1 1 は、ゲート主面電極 6 5 およびソース主面電極 6 7 を含む。
- [0132] ゲート主面電極 6 5 には、外部からゲート電位が入力される。ゲート主面電極 6 5 は、活性面 4 1 の上に配置され、外側面 4 2 の上には配置されていない。ゲート主面電極 6 5 は、この形態では、活性面 4 1 の周縁部において第 1 接続面 4 3 A の中央部に近接する領域に配置されている。ゲート主面電極 6 5 は、この形態では、平面視において四角形状に形成されている。
- [0133] ソース主面電極 6 7 は、ゲート主面電極 6 5 から間隔を空けて活性面 4 1 の上に配置されている。ソース主面電極 6 7 には、外部からソース電位が入力される。ソース主面電極 6 7 は、この形態では、平面視においてゲート主面電極 6 5 に整合する凹部を有する多角形状に形成されている。むしろ、ソース主面電極 6 7 は、平面視において四角形状に形成されていてもよい。ソース主面電極 6 7 は、層間絶縁膜 6 4 および第 1 無機絶縁膜 9 を貫通し、複数のトレンチソース構造 5 4、ソース領域 4 9 および複数のウェル領域 5 9 に電氣的に接続されている。
- [0134] ワイドバンドギャップ半導体装置 1 G は、第 1 主面 3 の上（層間絶縁膜 6 4 の上）に形成されたゲート配線電極 6 6 およびソース配線電極 6 8 を含む。ゲート配線電極 6 6 およびソース配線電極 6 8 は、複数の第 1 主面電極 1 1 と同様に、チップ 2 側からこの順に積層された第 1 主面電極膜 1 2 および第 2 主面電極膜 1 3 を含む積層構造をそれぞれ有している。
- [0135] ゲート配線電極 6 6 は、ゲート主面電極 6 5 から層間絶縁膜 6 4 の上に引き出されている。ゲート配線電極 6 6 は、平面視において複数のトレンチゲート構造 5 0 の端部に交差（具体的には直交）するように活性面 4 1 の周縁に沿って延びる帯状に形成されている。ゲート配線電極 6 6 は、層間絶縁膜

64を貫通し、複数のトレンチゲート構造50（ゲート電極53）に電氣的に接続されている。ゲート配線電極66は、ゲート主面電極65に印加されたゲート電位を複数のトレンチゲート構造50に伝達する。

[0136] ソース配線電極68は、ソース主面電極67から層間絶縁膜64の上に引き出されている。ソース配線電極68は、ゲート配線電極66よりも外側面42側の領域において活性面41の周縁（第1～第4接続面43A～43D）に沿って延びる帯状に形成されている。ソース配線電極68は、この形態では、平面視においてゲート主面電極65、ソース主面電極67およびゲート配線電極66を取り囲む環状（具体的には四角環状）に形成されている。

[0137] ソース配線電極68は、層間絶縁膜64を挟んでサイドウォール構造63を被覆し、活性面41側から外側面42側に引き出されている。ソース配線電極68は、外側面42側において層間絶縁膜64および第1無機絶縁膜9を貫通して、アウターコンタクト領域60に電氣的に接続されている。ソース配線電極68は、全周に亘ってサイドウォール構造63の全域およびアウターコンタクト領域60の全域を被覆していることが好ましい。ソース配線電極68は、ソース主面電極67に印加されたソース電位を複数のアウターコンタクト領域60に伝達する。

[0138] ワイドバンドギャップ半導体装置1Gは、層間絶縁膜64および複数の第1主面電極11を被覆する前述の第2無機絶縁膜14を含む。第2無機絶縁膜14は、この形態では、層間絶縁膜64等を挟んで活性面41、外側面42および第1～第4接続面43A～43Dを被覆している。第2無機絶縁膜14の厚さは、層間絶縁膜64の厚さ未満であることが好ましい。第2無機絶縁膜14は、層間絶縁膜64および複数の第1主面電極11の周縁部を被覆し、複数の第1主面電極11の内方部を露出させている。

[0139] 第2無機絶縁膜14は、具体的には、平面視においてゲート主面電極65の内方部を露出させ、全周に亘ってゲート主面電極65の周縁部を被覆している。また、第2無機絶縁膜14は、平面視においてソース主面電極67の内方部を露出させ、全周に亘ってソース主面電極67の周縁部を被覆してい

る。第2無機絶縁膜14は、ゲート配線電極66の全域およびソース配線電極68の全域を被覆している。

[0140] 第2無機絶縁膜14は、ゲート主面電極65側の第1ゲート内壁、ソース主面電極67側の第1ソース内壁、および、外側面42側の外壁を有している。第2無機絶縁膜14の第1ゲート内壁は、ゲート主面電極65の内方部を露出させる第1ゲート開口69を区画している。第1ゲート開口69は、平面視においてゲート主面電極65の周縁に沿う四角形状に形成されている。

[0141] 第2無機絶縁膜14の第1ソース内壁は、ソース主面電極67の内方部を露出させる第1ソース開口70を区画している。第1ソース開口70は、平面視においてソース主面電極67の凹部に沿う凹部を有する多角形状に形成されている。むろん、第1ソース開口70は、平面視において四角形状に形成されていてもよい。第2無機絶縁膜14の外壁は、外側面42の周縁から内方に間隔を空けて形成され、外側面42の周縁部から第2半導体領域7を露出させるダイシングストリート16を区画している。

[0142] むろん、第2無機絶縁膜14の外壁は、チップ2の側面5（第1～第4側面5A～5D）に連なってもよい。この場合、第2無機絶縁膜14の外壁は、研削痕を有する研削面からなることが好ましい。第2無機絶縁膜14の外壁は、チップ2の側面5（第1～第4側面5A～5D）と1つの研削面を形成していることが好ましい。

[0143] ワイドバンドギャップ半導体装置1Gは、複数の第1主面電極11を被覆する前述の感光性樹脂17を含む。感光性樹脂17の厚さは、層間絶縁膜64の厚さを超えていることが好ましい。感光性樹脂17は、この形態では、第2無機絶縁膜14の上に形成され、第2無機絶縁膜14等を挟んで活性面41、外側面42および第1～第4接続面43A～43Dを被覆している。

[0144] 感光性樹脂17は、第2無機絶縁膜14を挟んでゲート主面電極65の周縁部およびソース主面電極67の周縁部を被覆し、ゲート主面電極65の内方部およびソース主面電極67の内方部を露出させている。感光性樹脂17

は、具体的には、平面視において、全周に亘ってゲート主面電極 65 の周縁部を被覆し、全周に亘ってソース主面電極 67 の周縁部を被覆している。感光性樹脂 17 は、第 2 無機絶縁膜 14 を挟んでゲート配線電極 66 の全域およびソース配線電極 68 の全域を被覆している。

[0145] 感光性樹脂 17 は、ゲート主面電極 65 側の第 2 ゲート内壁、ソース主面電極 67 側の第 2 ソース内壁、および、第 1 主面 3 の周縁側の外壁を有している。感光性樹脂 17 の第 2 ゲート内壁は、ゲート主面電極 65 の内方部を露出させる第 2 ゲート開口 71 を区画している。第 2 ゲート開口 71 は、平面視においてゲート主面電極 65 の周縁に沿う四角形状に形成されている。感光性樹脂 17 の第 2 ソース内壁は、ソース主面電極 67 の内方部を露出させる第 2 ソース開口 72 を区画している。第 2 ソース開口 72 は、平面視においてソース主面電極 67 の周縁に沿う多角形状に形成されている。

[0146] 感光性樹脂 17 は、この形態では、第 2 無機絶縁膜 14 の第 1 ゲート内壁、第 1 ソース内壁および外壁の全てを露出させるように第 2 無機絶縁膜 14 の上に形成されている。したがって、第 2 ゲート開口 71 は、第 2 無機絶縁膜 14 の第 1 ゲート開口 69 に連通している。また、第 2 ソース開口 72 は、第 2 無機絶縁膜 14 の第 1 ソース開口 70 に連通している。また、感光性樹脂 17 の外壁は、第 2 無機絶縁膜 14 と共にダイニングストリート 16 を区画している。

[0147] 第 2 無機絶縁膜 14 の外壁がチップ 2 の側面 5（第 1～第 4 側面 5A～5D）に連なっている場合、感光性樹脂 17 の外壁は第 2 無機絶縁膜 14 を露出させるダイニングストリート 16 を区画する。感光性樹脂 17 の第 2 ゲート内壁は、ゲート主面電極 65 の内方部側に向けて膨出した湾曲形状に形成されていてもよい。感光性樹脂 17 の第 2 ソース内壁は、ソース主面電極 67 の内方部側に向けて膨出した湾曲形状に形成されていてもよい。感光性樹脂 17 の外壁は、外側面 42 の周縁側に向けて膨出した湾曲形状に形成されていてもよい。

[0148] 感光性樹脂 17 は、第 2 無機絶縁膜 14 の第 1 ゲート内壁、第 1 ソース内

壁および外壁のうちの少なくとも1つを被覆していてもよい。つまり、感光性樹脂17は、ゲート主面電極65の一部を直接被覆する部分、ソース主面電極67の一部を直接被覆する部分、および、外側面42の周縁部（第2半導体領域7）を直接被覆する部分のうちの少なくとも1つを有していてもよい。

[0149] ワイドバンドギャップ半導体装置1Gは、第1主面3を被覆する前述の熱硬化性樹脂19を含む。熱硬化性樹脂19は、感光性樹脂17の上に形成され、感光性樹脂17等を挟んで活性面41、外側面42および第1～第4接続面43A～43Dを被覆している。熱硬化性樹脂19は、この形態では、複数の第1主面電極11の少なくとも一部をそれぞれ露出させるように感光性樹脂17を被覆し、感光性樹脂17を挟んで複数の第1主面電極11の周縁部および第2無機絶縁膜14を被覆している。

[0150] 熱硬化性樹脂19は、具体的には、平面視において全周に亘って感光性樹脂17を挟んでゲート主面電極65の周縁部を被覆している。また、熱硬化性樹脂19は、平面視において全周に亘って感光性樹脂17を挟んでソース主面電極67の周縁部を被覆している。熱硬化性樹脂19は、感光性樹脂17を挟んでゲート配線電極66の全域およびソース配線電極68の全域を被覆している。

[0151] 熱硬化性樹脂19は、この形態では、感光性樹脂17の第2ゲート内壁および第2ソース内壁を露出させ、感光性樹脂17の外壁を被覆している。熱硬化性樹脂19は、外側面42の周縁部において感光性樹脂17（第2無機絶縁膜14）によって区画されたダイニングストリート16を被覆している。熱硬化性樹脂19は、ダイニングストリート16において外側面42から露出した第2半導体領域7を直接被覆している。

[0152] 熱硬化性樹脂19は、樹脂主面20、複数の樹脂内壁21および樹脂側面22を有している。樹脂主面20および樹脂側面22は、第1実施形態と同様の態様で形成されている。複数の樹脂内壁21は、この形態では、複数の第1主面電極11をそれぞれ露出させる複数のパッド開口23を区画してい

る。複数の樹脂内壁 21 は、具体的には、ゲート樹脂内壁 73 およびソース樹脂内壁 74 を含む。

[0153] ゲート樹脂内壁 73 は、樹脂主面 20 の内方部においてゲート主面電極 65 の内方部を露出させるゲートパッド開口 75 (パッド開口 23) を区画している。ゲートパッド開口 75 は、感光性樹脂 17 の上に区画され、第 2 無機絶縁膜 14 の第 1 ゲート開口 69 および感光性樹脂 17 の第 2 ゲート開口 71 に連通している。ゲートパッド開口 75 は、平面視においてゲート主面電極 65 の周縁に沿う四角形状に形成されている。ゲート樹脂内壁 73 は、研削痕を有さない平滑面からなることが好ましい。

[0154] ソース樹脂内壁 74 は、樹脂主面 20 の内方部においてソース主面電極 67 の内方部を露出させるソースパッド開口 76 (パッド開口 23) を区画している。ソースパッド開口 76 は、感光性樹脂 17 の上に区画され、第 2 無機絶縁膜 14 の第 1 ソース開口 70 および感光性樹脂 17 の第 2 ソース開口 72 に連通している。ソースパッド開口 76 は、平面視においてソース主面電極 67 の周縁に沿う四角形状に形成されている。ソース樹脂内壁 74 は、研削痕を有さない平滑面からなることが好ましい。

[0155] 複数の樹脂内壁 21 (ゲート樹脂内壁 73 およびソース樹脂内壁 74) は、第 1 実施形態の場合と同様に、樹脂主面 20 側の上端部 (開口端) およびチップ 2 (感光性樹脂 17) 側の下端部をそれぞれ有している。複数の樹脂内壁 21 の下端部は、感光性樹脂 17 の外面に沿って窪み、感光性樹脂 17 と間隙 24 をそれぞれ形成している。複数の樹脂内壁 21 は、具体的には、開口端側の第 1 壁部 25、および、下端部側の第 2 壁部 26 をそれぞれ有している。第 1 壁部 25 は、開口端および下端部の間を厚さ方向に延びている。第 1 壁部 25 は、断面視において樹脂内壁 21 の 80% 以上の範囲を占めていることが好ましい。

[0156] 第 2 壁部 26 は、感光性樹脂 17 の外面および第 1 壁部 25 の間において感光性樹脂 17 の外壁に向けて第 1 壁部 25 に交差する方向に延び、感光性樹脂 17 の外面と間隙 24 を区画している。第 2 壁部 26 は、具体的には、

第1壁部25から感光性樹脂17の外面向けて斜めに傾斜し、第1壁部25（第1主面電極11）から離れるに従って法線方向Zに沿う幅が狭まる先細り形状の間隙24を区画している。第2壁部26は、断面視において樹脂内壁21の20%未満の範囲を占めていることが好ましい。

[0157] 熱硬化性樹脂19は、第1実施形態の場合と同様に、マトリクス樹脂27および複数のフィラー28によって構成されている。複数のフィラー28は、第1実施形態の場合と同様に、複数の小径フィラー28a（第1フィラー）、複数の中径フィラー28b（第2フィラー）、および、複数の大径フィラー28c（第3フィラー）を含む。小径フィラー28aは、第1主面電極11の厚さ未満の厚さを有している。中径フィラー28bは、第1主面電極11の厚さを超えて感光性樹脂17の厚さ以下の厚さを有している。大径フィラー28cは、感光性樹脂17の厚さを超える厚さを有している。

[0158] 複数のフィラー28は、第1実施形態の場合と同様に、熱硬化性樹脂19の表層部において破断された粒形を有する複数のフィラー欠片29を含む。複数のフィラー欠片29は、樹脂主面20の表層部に形成された複数の第1フィラー欠片29a、および、樹脂側面22の表層部に形成された複数の第2フィラー欠片29bを含む。複数のフィラー欠片29は、熱硬化性樹脂19の外面向いて研削痕の一部をそれぞれ形成している。

[0159] 熱硬化性樹脂19は、複数の樹脂内壁21（第1壁部25および第2壁部26）の表層部においてフィラー欠片29を殆ど有さない。つまり、複数の樹脂内壁21（パッド開口23）は、マトリクス樹脂27および正常な複数のフィラー28によって形成されている。この場合、樹脂内壁21を形成する複数のフィラー28のうちのフィラー欠片29の割合は、樹脂内壁21を形成する正常なフィラー28の割合未満である。

[0160] ワイドバンドギャップ半導体装置1Gは、複数のパッド開口23内に配置された複数のパッド電極30を含む。複数のパッド電極30は、ゲートパッド開口75内に配置されたゲートパッド電極80、および、ソースパッド開口76内に配置されたソースパッド電極81を含む。ゲートパッド電極80

は、ゲートパッド開口75から第2ゲート開口71および第1ゲート開口69に入り込み、ゲート主面電極65、第2無機絶縁膜14、感光性樹脂17および熱硬化性樹脂19に接している。

[0161] つまり、ゲートパッド電極80は、ゲートパッド開口75内においてマトリクス樹脂27および複数のフィラー28に接している。ゲートパッド電極80は、ゲートパッド開口75外に配置されていない。ゲートパッド電極80は、平面視においてゲートパッド開口75に整合した平面形状（この形態では四角形状）を有している。ゲートパッド電極80は、ゲート主面電極65の平面積未満の平面積を有している。

[0162] ゲートパッド電極80は、ゲートパッド開口75から露出したゲート電極面80aを有している。ゲート電極面80aは、熱硬化性樹脂19の樹脂主面20に連なっている。ゲート電極面80aは、研削痕を有する研削面からなる。ゲート電極面80aは、樹脂主面20と1つの研削面を形成している。

[0163] ソースパッド電極81は、ソースパッド開口76から第2ソース開口72および第1ソース開口70に入り込み、ソース主面電極67、第2無機絶縁膜14、感光性樹脂17および熱硬化性樹脂19に接している。つまり、ソースパッド電極81は、ソースパッド開口76内においてマトリクス樹脂27および複数のフィラー28に接している。ソースパッド電極81は、ソースパッド開口76外に配置されていない。ソースパッド電極81は、平面視においてソースパッド開口76に整合した平面形状（この形態では多角形状）を有している。ソースパッド電極81は、ソース主面電極67の平面積未満の平面積を有している。

[0164] ソースパッド電極81は、ソースパッド開口76から露出したソース電極面81aを有している。ソース電極面81aは、熱硬化性樹脂19の樹脂主面20に連なっている。ソース電極面81aは、研削痕を有する研削面からなる。ソース電極面81aは、樹脂主面20と1つの研削面を形成している。

- [0165] 複数のパッド電極30（ゲートパッド電極80およびソースパッド電極81）は、第1実施形態の場合と同様に、間隙24内において感光性樹脂17の外面に乗り上げた張り出し部30bをそれぞれ有している。張り出し部30bは、間隙24内において感光性樹脂17および熱硬化性樹脂19に接し、間隙24に整合した断面形状を有している。
- [0166] つまり、張り出し部30bは、第1壁部25側から感光性樹脂17の外面に向けて斜めに下り傾斜し、第1壁部25から離れるに従って厚さが漸減する先細り形状に形成されている。張り出し部30bの第1主面3に沿う長さは、感光性樹脂17の厚さを超えていてもよい。むしろ、張り出し部30bの長さは、感光性樹脂17の厚さ以下であってもよい。
- [0167] 複数のパッド電極30は、第1実施形態の場合と同様に、第1主面電極11側からこの順に積層された第1パッド電極膜31および第2パッド電極膜32を含む積層構造をそれぞれ有している。複数のパッド電極30は、第1実施形態の場合と同様に、第1主面電極11との接続部において少なくとも1つの微小な空隙33を形成していてもよい。
- [0168] ワイドバンドギャップ半導体装置1Gは、第1実施形態の場合と同様に、第2主面4を被覆する第2主面電極34を含む。第2主面電極34は、第2主面4に電氣的に接続されている。第2主面電極34は、具体的には、第2主面4から露出した第1半導体領域6とオーミック接触を形成している。第2主面電極34は、チップ2の周縁（第1～第4側面5A～5D）に連なるように第2主面4の全域を被覆している。
- [0169] 以上、ワイドバンドギャップ半導体装置1Gによってもワイドバンドギャップ半導体装置1Aに対して述べられた効果と同様の効果が奏される。
- [0170] 図16は、図12に対応し、第8実施形態に係るワイドバンドギャップ半導体装置1Hを示す断面図である。第7実施形態では、ワイドバンドギャップ半導体装置1Gが、第2無機絶縁膜14の内周縁部（内壁）を露出させる感光性樹脂17を含む例が説明された。これに対して、ワイドバンドギャップ半導体装置1Hは、第2無機絶縁膜14の第1ゲート内壁および第1ソー

ス内壁を被覆する感光性樹脂 17 を含む。つまり、感光性樹脂 17 は、複数の第 1 主面電極 11 を直接被覆する部分を含む。

[0171] 熱硬化性樹脂 19 の複数の樹脂内壁 21 (ゲート樹脂内壁 73 およびソース樹脂内壁 74) は、感光性樹脂 17 および複数の第 1 主面電極 11 (ゲート主面電極 65 およびソース主面電極 67) の内方部を露出させ、第 2 無機絶縁膜 14 を露出させていない。複数のパッド電極 30 (ゲートパッド電極 80 およびソースパッド電極 81) は、対応するパッド開口 23 (ゲートパッド開口 75 およびソースパッド開口 76) 内において対応する第 1 主面電極 11、感光性樹脂 17 および熱硬化性樹脂 19 に接し、第 2 無機絶縁膜 14 には接していない。

[0172] 以上、ワイドバンドギャップ半導体装置 1H によっても、ワイドバンドギャップ半導体装置 1A に対して述べられた効果と同様の効果が奏される。

[0173] 図 17 は、図 12 に対応し、第 9 実施形態に係るワイドバンドギャップ半導体装置 1I を示す断面図である。第 7 実施形態では、熱硬化性樹脂 19 が、第 2 無機絶縁膜 14 の第 1 ゲート内壁および第 1 ソース内壁、ならびに、感光性樹脂 17 の第 2 ゲート内壁および第 2 ソース内壁を露出させている例が説明された。

[0174] これに対して、ワイドバンドギャップ半導体装置 1I は、第 2 無機絶縁膜 14 の第 1 ゲート内壁および第 1 ソース内壁、ならびに、感光性樹脂 17 の第 2 ゲート内壁および第 2 ソース内壁を被覆する熱硬化性樹脂 19 を含む。つまり、熱硬化性樹脂 19 は、複数の第 1 主面電極 11 を直接被覆する部分を含む。

[0175] 複数の樹脂内壁 21 (パッド開口 23) は、対応する第 1 主面電極 11 のみをそれぞれ露出させ、第 2 無機絶縁膜 14 および感光性樹脂 17 を露出させていない。複数の樹脂内壁 21 の下端部は、この形態では、対応する第 1 主面電極 11 と間隙 24 をそれぞれ形成している。複数のパッド電極 30 は、対応するパッド開口 23 内において対応する第 1 主面電極 11 および熱硬化性樹脂 19 に接し、第 2 無機絶縁膜 14 および感光性樹脂 17 には接して

いない。

[0176] 以上、ワイドバンドギャップ半導体装置 1 I によっても、ワイドバンドギャップ半導体装置 1 A に対して述べられた効果と同様の効果が奏される。むしろ、第 9 実施形態に係る熱硬化性樹脂 1 9 の形態は、第 8 実施形態に適用されてもよい。

[0177] 図 1 8 は、図 1 2 に対応し、第 1 0 実施形態に係るワイドバンドギャップ半導体装置 1 J を示す断面図である。第 7 実施形態では、チップ 2 が第 2 主面 4 側からこの順に形成された第 1 半導体領域 6 (ワイドバンドギャップ半導体基板) および第 2 半導体領域 7 (ワイドバンドギャップ半導体エピタキシャル層) を含む積層構造を有している例が説明された。これに対して、ワイドバンドギャップ半導体装置 1 J は、第 1 半導体領域 6 (ワイドバンドギャップ半導体基板) を有さず、第 2 半導体領域 7 (ワイドバンドギャップ半導体エピタキシャル層) からなる単層構造を有するチップ 2 を含む。

[0178] 以上、ワイドバンドギャップ半導体装置 1 J によっても、ワイドバンドギャップ半導体装置 1 A に対して述べられた効果と同様の効果が奏される。また、ワイドバンドギャップ半導体装置 1 J によれば、第 1 半導体領域 6 の抵抗値を削減できるので、チップ 2 の全体の抵抗値を削減できる。また、熱硬化性樹脂 1 9 によってチップ 2 が支持されているので、薄化したチップ 2 の強度を熱硬化性樹脂 1 9 によって補完できる。よって、信頼性を高めながら、電気的特性を向上できるワイドバンドギャップ半導体装置 1 J を提供できる。むしろ、第 1 0 実施形態に係るチップ 2 の形態は、第 8 ~ 第 9 実施形態に適用されてもよい。

[0179] 図 1 9 は、図 1 2 に対応し、第 1 1 実施形態に係るワイドバンドギャップ半導体装置 1 K を示す断面図である。第 7 実施形態では、第 2 無機絶縁膜 1 4 が、ゲート主面電極 6 5 の電極側壁およびソース主面電極 6 7 の電極側壁を被覆している例が説明された。これに対して、ワイドバンドギャップ半導体装置 1 K は、ゲート主面電極 6 5 の電極側壁を露出させるゲート除去部 1 4 G およびソース主面電極 6 7 の電極側壁を露出させるソース除去部 1 4 S

を有し、ゲート主面電極 65 およびソース主面電極 67 を部分的に被覆する第 2 無機絶縁膜 14 を含む。以下、ワイドバンドギャップ半導体装置 1K の構造が具体的に説明される。

[0180] 第 2 無機絶縁膜 14 は、第 7 実施形態の場合と同様、ゲート主面電極 65、ソース主面電極 67 および層間絶縁膜 64 を被覆し、ゲート主面電極 65 側の第 1 ゲート内壁、ソース主面電極 67 側の第 1 ソース内壁、および、外側面 42 側の外壁を有している。第 1 ゲート内壁は、ゲート主面電極 65 の内方部を露出させる第 1 ゲート開口 69 を区画している。第 1 ソース内壁は、ソース主面電極 67 の内方部を露出させる第 1 ソース開口 70 を区画している。外壁は、外側面 42 の周縁から内方に間隔を空けて形成され、第 2 半導体領域 7 を露出させるダイシングストリート 16 を区画している。

[0181] 第 2 無機絶縁膜 14 は、この形態では、ゲート主面電極 65 および層間絶縁膜 64 の間でゲート主面電極 65 の電極側壁を露出させる少なくとも 1 つのゲート除去部 14G を含む。ゲート除去部 14G は、具体的には、第 1 ゲート内壁および外壁から間隔を空けて形成され、ゲート主面電極 65 の周縁部および層間絶縁膜 64 の一部を露出させている。

[0182] 第 2 無機絶縁膜 14 が 1 つのゲート除去部 14G を有している場合、1 つのゲート除去部 14G は、平面視においてゲート主面電極 65 の周縁部に沿って延びる帯状に形成され、ゲート主面電極 65 の周縁部を部分的に露出させていてもよい。また、1 つのゲート除去部 14G は、ゲート主面電極 65 の周縁部に沿って延びる環状に形成され、ゲート主面電極 65 の周縁部を全周に亘って露出させていてもよい。

[0183] 第 2 無機絶縁膜 14 が複数のゲート除去部 14G を有している場合、複数のゲート除去部 14G はゲート主面電極 65 の周縁部に沿って間隔を空けて配列されていてもよい。この場合、複数のゲート除去部 14G は、平面視においてドット状に配列されていてもよいし、ゲート主面電極 65 の周縁部に沿って延びる帯状にそれぞれ形成されていてもよい。

[0184] また、複数のゲート除去部 14G は、ゲート主面電極 65 の周縁部から内

方部に間隔を空けて配列されていてもよい。この場合、複数のゲート除去部 14 G は、平面視においてドット状に配列されていてもよいし、ゲート主面電極 6 5 の周縁部に沿って延びる帯状または環状にそれぞれ形成されていてもよい。この場合、少なくとも 1 つのゲート除去部 14 G が、ゲート主面電極 6 5 の電極側壁（周縁部）を露出させていればよい。

[0185] ゲート除去部 14 G は、この形態では、ゲート配線電極 6 6 の電極側壁も露出させている。ゲート除去部 14 G は、ゲート配線電極 6 6 の全域を露出させていることが好ましい。つまり、第 2 無機絶縁膜 14 は、ゲート配線電極 6 6 を被覆していないことが好ましい。

[0186] 第 2 無機絶縁膜 14 は、この形態では、ソース主面電極 6 7 および層間絶縁膜 6 4 の間でソース主面電極 6 7 の電極側壁を露出させる少なくとも 1 つのソース除去部 14 S を含む。ソース除去部 14 S は、具体的には、第 1 ソース内壁および外壁から間隔を空けて形成され、ソース主面電極 6 7 の周縁部および層間絶縁膜 6 4 の一部を露出させている。

[0187] 第 2 無機絶縁膜 14 が 1 つのソース除去部 14 S を有している場合、1 つのソース除去部 14 S は、平面視においてソース主面電極 6 7 の周縁部に沿って延びる帯状に形成され、ソース主面電極 6 7 の周縁部を部分的に露出させていてもよい。また、1 つのソース除去部 14 S は、ソース主面電極 6 7 の周縁部に沿って延びる環状に形成され、ソース主面電極 6 7 の周縁部を全周に亘って露出させていてもよい。

[0188] 第 2 無機絶縁膜 14 が複数のソース除去部 14 S を有している場合、複数のソース除去部 14 S はソース主面電極 6 7 の周縁部に沿って間隔を空けて配列されていてもよい。この場合、複数のソース除去部 14 S は、平面視においてドット状に配列されていてもよいし、ソース主面電極 6 7 の周縁部に沿って延びる帯状にそれぞれ形成されていてもよい。

[0189] また、複数のソース除去部 14 S は、ソース主面電極 6 7 の周縁部から内方部に間隔を空けて配列されていてもよい。この場合、複数のソース除去部 14 S は、平面視においてドット状に配列されていてもよいし、ソース主面

電極 6 7 の周縁部に沿って延びる帯状または環状にそれぞれ形成されていてもよい。この場合、少なくとも 1 つのソース除去部 1 4 S が、ソース主面電極 6 7 の電極側壁（周縁部）を露出させていればよい。

[0190] ソース除去部 1 4 S は、この形態では、ソース配線電極 6 8 の電極側壁も露出させている。ソース除去部 1 4 S は、ソース配線電極 6 8 の全域を露出させていることが好ましい。つまり、第 2 無機絶縁膜 1 4 は、ソース配線電極 6 8 を被覆していないことが好ましい。また、ソース除去部 1 4 S は、活性面 4 1 および外側面 4 2 の間に形成された段差部（第 1 ～第 4 接続面 4 3 A ～ 4 3 D）を露出させていることが好ましい。

[0191] 感光性樹脂 1 7 は、この形態では、第 2 無機絶縁膜 1 4 の上からゲート除去部 1 4 G に入り込んでいる。感光性樹脂 1 7 は、ゲート除去部 1 4 G 内においてゲート主面電極 6 5 の電極側壁およびゲート配線電極 6 6 の電極側壁を被覆している。感光性樹脂 1 7 は、この形態では、ゲート除去部 1 4 G 内においてゲート主面電極 6 5 の周縁部、ゲート配線電極 6 6 の全域、および、層間絶縁膜 6 4 の一部を直接被覆している。つまり、感光性樹脂 1 7 は、ゲート除去部 1 4 G 内に位置する樹脂ゲートアンカー部を有している。

[0192] 感光性樹脂 1 7 は、この形態では、第 2 無機絶縁膜 1 4 の上からソース除去部 1 4 S に入り込んでいる。感光性樹脂 1 7 は、ソース除去部 1 4 S 内においてソース主面電極 6 7 の電極側壁およびソース配線電極 6 8 の電極側壁を被覆している。感光性樹脂 1 7 は、この形態では、ソース除去部 1 4 S 内においてソース主面電極 6 7 の周縁部、ソース配線電極 6 8 の全域、および、層間絶縁膜 6 4 の一部を直接被覆している。つまり、感光性樹脂 1 7 は、ソース除去部 1 4 S 内に位置する樹脂ソースアンカー部を有している。

[0193] 熱硬化性樹脂 1 9 は、この形態では、感光性樹脂 1 7 を挟んで第 2 無機絶縁膜 1 4 のゲート除去部 1 4 G およびソース除去部 1 4 S を被覆する部分を含む。つまり、熱硬化性樹脂 1 9 は、第 2 無機絶縁膜 1 4 を介さずに感光性樹脂 1 7 のみを挟んでゲート主面電極 6 5 の周縁部およびゲート配線電極 6 6 を被覆する部分を含む。また、熱硬化性樹脂 1 9 は、第 2 無機絶縁膜 1 4

を介さずに感光性樹脂 17 のみを挟んでソース主面電極 67 の周縁部およびソース配線電極 68 を被覆する部分を含む。熱硬化性樹脂 19 は、平面視および断面視においてゲート除去部 14G の全域およびソース除去部 14S の全域を被覆していることが好ましい。

[0194] 以上、ワイドバンドギャップ半導体装置 1K によっても、ワイドバンドギャップ半導体装置 1A に対して述べられた効果と同様の効果が奏される。また、ワイドバンドギャップ半導体装置 1K は、ゲート主面電極 65 の電極側壁を露出させるゲート除去部 14G を有する第 2 無機絶縁膜 14 を含む。この構造によれば、ゲート主面電極 65 の熱膨張に起因する第 2 無機絶縁膜 14 の剥離起点を削減できる。よって、信頼性を向上できるワイドバンドギャップ半導体装置 1K を提供できる。

[0195] ワイドバンドギャップ半導体装置 1K は、ゲート除去部 14G 内においてゲート主面電極 65 の電極側壁を被覆する感光性樹脂 17 を含むことが好ましい。この構造によれば、第 2 無機絶縁膜 14 がゲート除去部 14G を有する構造においてゲート主面電極 65 の剥離起点を削減できる。よって、信頼性を向上できるワイドバンドギャップ半導体装置 1K を提供できる。

[0196] ワイドバンドギャップ半導体装置 1K は、感光性樹脂 17 を挟んでゲート除去部 14G を被覆する部分を含む熱硬化性樹脂 19 を有していることが好ましい。この構造によれば、第 2 無機絶縁膜 14 がゲート除去部 14G を有する構造においてゲート主面電極 65 の剥離起点を感光性樹脂 17 および熱硬化性樹脂 19 によって削減できる。

[0197] また、ワイドバンドギャップ半導体装置 1K は、ソース主面電極 67 の電極側壁を露出させるソース除去部 14S を有する第 2 無機絶縁膜 14 を含む。この構造によれば、ソース主面電極 67 の熱膨張に起因する第 2 無機絶縁膜 14 の剥離起点を削減できる。よって、信頼性を向上できるワイドバンドギャップ半導体装置 1K を提供できる。

[0198] ワイドバンドギャップ半導体装置 1K は、ソース除去部 14S 内においてソース主面電極 67 の電極側壁を被覆する感光性樹脂 17 を含むことが好ま

しい。この構造によれば、第2無機絶縁膜14がソース除去部14Sを有する構造においてソース主面電極67の剥離起点を感光性樹脂17および熱硬化性樹脂19によって削減できる。

[0199] ワイドバンドギャップ半導体装置1Kは、感光性樹脂17を挟んでソース除去部14Sを被覆する部分を含む熱硬化性樹脂19を有していることが好ましい。この構造によれば、第2無機絶縁膜14がソース除去部14Sを有する構造においてソース主面電極67の剥離起点を感光性樹脂17および熱硬化性樹脂19によって削減できる。

[0200] 第2無機絶縁膜14は、ゲート配線電極66の電極側壁を露出させるゲート除去部14Gを有していることが好ましい。この構造によれば、ゲート配線電極66の熱膨張に起因する第2無機絶縁膜14の剥離起点を削減できる。第2無機絶縁膜14は、ソース配線電極68の電極側壁を露出させるソース除去部14Sを有していることが好ましい。この構造によれば、ソース配線電極68の熱膨張に起因する第2無機絶縁膜14の剥離起点を削減できる。

[0201] むろん、第11実施形態に係るゲート主面電極65、ゲート配線電極66、ソース主面電極67、ソース配線電極68、第2無機絶縁膜14、感光性樹脂17および熱硬化性樹脂19の形態は、第8～第10実施形態に適用されてもよい。

[0202] 図20は、図12に対応し、第12実施形態に係るワイドバンドギャップ半導体装置1Lを示す断面図である。第7実施形態では、感光性樹脂17が、ゲート主面電極65の内方部側に向けて膨出した湾曲形状の第2ゲート内壁、ソース主面電極67の内方部側に向けて膨出した湾曲形状の第2ソース内壁、および、外側面42の周縁側に向けて膨出した湾曲形状の外壁を有している例が説明された。

[0203] これに対して、ワイドバンドギャップ半導体装置1Lは、ゲート主面電極65の内方部側に向けて斜め下り傾斜した第2ゲート内壁、ソース主面電極67の内方部側に向けて斜め下り傾斜した第2ソース内壁、および、チップ

2（外側面42）の周縁側に向けて斜め下り傾斜した外壁を有する感光性樹脂17を含む。つまり、感光性樹脂17は、断面視において台形状（テーパ形状）に形成されている。

[0204] 以上、ワイドバンドギャップ半導体装置1Lによっても、ワイドバンドギャップ半導体装置1Aに対して述べられた効果と同様の効果が奏される。また、ワイドバンドギャップ半導体装置1Lによれば、感光性樹脂17に対する熱硬化性樹脂19（マトリクス樹脂27および複数のフィラー28）の流動性を向上させることができる。これにより、熱硬化性樹脂19および感光性樹脂17の間隙の形成を抑制できる。むろん、第12実施形態に係る感光性樹脂17の形態は、第8～第11実施形態に適用されてもよい。

[0205] 以下、パッド電極30の変形例が示される。図21は、図3に対応し、パッド電極30の変形例を示す断面図である。前述の第1実施形態では、ワイドバンドギャップ半導体装置1Aが、第1主面電極11側からこの順に積層された第1パッド電極膜31および第2パッド電極膜32を含む積層構造を有するパッド電極30を含む例が説明された。

[0206] しかし、図21に示されるように、パッド電極30は、第1主面電極11側からこの順に積層されたニッケル膜90、パラジウム膜91および金膜92を含む積層構造を有していてもよい。ニッケル膜90、パラジウム膜91および金膜92は、電解めっき法および／または無電解めっき法によって形成されていてもよい。

[0207] ニッケル膜90は、第1開口15および第2開口18を埋めて樹脂内壁21に接する厚さで形成されていてもよい。ニッケル膜90は、熱硬化性樹脂19（パッド開口23）から露出した電極面90aを有していてもよい。電極面90aは、第1主面3に沿って延びていてもよい。電極面90aは、第1主面3に対してほぼ平行に延びていてもよい。電極面90aは、樹脂主面20に連なってもよい。電極面90aは、研削痕を有する研削面からなってもよい。電極面90aは、樹脂主面20と1つの研削面を形成していてもよい。ニッケル膜90は、間隙24内において感光性樹脂17の外面

に乗り上げた張り出し部30bを有していてもよい。

[0208] パラジウム膜91は、樹脂主面20から突出するようにニッケル膜90を被覆していてもよい。パラジウム膜91は、樹脂側面22から間隔を空けて熱硬化性樹脂19（樹脂主面20）の一部を被覆する被覆部を有していてもよい。パラジウム膜91の被覆部は、少なくとも1つのフィラー欠片29（第1フィラー欠片29a）を被覆していてもよい。

[0209] 金膜92は、樹脂主面20から突出するようにパラジウム膜91を被覆していてもよい。金膜92は、樹脂側面22から間隔を空けて熱硬化性樹脂19（樹脂主面20）の一部を被覆する被覆部を有していてもよい。金膜92の被覆部は、少なくとも1つのフィラー欠片29（第1フィラー欠片29a）を被覆していてもよい。金膜92は、熱硬化性樹脂19（樹脂主面20）から露出する電極面92aを有していてもよい。この場合、電極面92aは、研削痕を有さない平滑面であってもよい。

[0210] 以上、変形例に係るパッド電極30を有する場合においても、ワイドバンドギャップ半導体装置1Aに対して述べられた効果と同様の効果が奏される。この形態では、パラジウム膜91および金膜92がパッド開口23外に位置する例が示された。しかし、ニッケル膜90、パラジウム膜91および金膜92の全てがパッド開口23内に配置されていてもよい。この場合、金膜92の電極面92aは、研削痕を有さない平滑面であってもよい。

[0211] また、パッド電極30は、必ずしもパラジウム膜91を含む必要はなく、第1主面電極11側からこの順に積層されたニッケル膜90および金膜92を含んでいてもよい。むしろ、変形例に係るパッド電極30は、第2～第12実施形態に係るパッド電極30（ゲートパッド電極80およびソースパッド電極81を含む）に適用されてもよい。

[0212] 以下、第1～第12実施形態に係るワイドバンドギャップ半導体装置1A～1Lが搭載されるパッケージの形態例が示される。図22は、第1～第6実施形態に係るワイドバンドギャップ半導体装置1A～1Fが搭載される半導体パッケージ101Aを示す平面図である。

- [0213] 半導体パッケージ101Aは、直方体形状のパッケージ本体102を含む。パッケージ本体102は、マトリクス樹脂（たとえばエポキシ樹脂）および複数のフィラーを含むモールド樹脂からなる。パッケージ本体102は、一方側の第1面103、他方側の第2面104、ならびに、第1面103および第2面104を接続する第1～第4側壁105A～105Dを有している。
- [0214] 第1面103および第2面104は、それらの法線方向Zから見た平面視において四角形状に形成されている。第1側壁105Aおよび第2側壁105Bは、第1方向Xに延び、第1方向Xに直交する第2方向Yに対向している。第3側壁105Cおよび第4側壁105Dは、第2方向Yに延び、第1方向Xに対向している。
- [0215] 半導体パッケージ101Aは、パッケージ本体102内に配置された金属板106（導体板）を含む。金属板106は、平面視において四角形状（具体的には長方形形状）に形成されている。金属板106は、第4側壁105Dからパッケージ本体102の外部に引き出された引き出し板部107を含む。引き出し板部107は、「ヒートスプレッド部」と称されてもよい。引き出し板部107は、円形の貫通孔108を有している。金属板106は、第2面104から露出している。
- [0216] 半導体パッケージ101Aは、パッケージ本体102の内部から外部に引き出された複数（この形態では2個）の端子電極109を含む。複数の端子電極109は、第3側壁105C側に配置されている。複数の端子電極109は、第3側壁105Cの直交方向（つまり第2方向Y）に延びる帯状にそれぞれ形成されている。一方の端子電極109は金属板106から間隔を空けて配置され、他方の端子電極109は金属板106と一体的に形成されている。
- [0217] 半導体パッケージ101Aは、パッケージ本体102内において金属板106の上に配置されたSBDチップ110を含む。SBDチップ110は、第1～第6実施形態に係るワイドバンドギャップ半導体装置1A～1Fのい

ずれか一つからなる。SBDチップ110の第2主面電極34は、金属板106に電氣的に接続されている。半導体パッケージ101Aは、導電接合材111を含む。導電接合材111は、半田または金属ペースト（好ましくは半田）を含んでいてもよい。導電接合材111は、第2主面電極34および金属板106の間に介在され、SBDチップ110を金属板106に接続している。

[0218] 半導体パッケージ101Aは、パッケージ本体102内において端子電極109およびSBDチップ110のパッド電極30を接続する少なくとも1つの導線112（導電接続部材）を含む。導線112は、「ボンディングワイヤ」と称されてもよい。導線112は、金ワイヤ、銅ワイヤおよびアルミニウムワイヤのうちの少なくとも1つを含んでいてもよい。

[0219] 図23は、第7～第12実施形態に係るワイドバンドギャップ半導体装置1G～1Lが搭載される半導体パッケージ101Bを示す平面図である。図23を参照して、半導体パッケージ101Bは、パッケージ本体102、金属板106、複数（この形態では3個）の端子電極109、MISFETチップ113、導電接合材111および複数の導線112を含む。以下、半導体パッケージ101Aと異なる点が説明される。

[0220] 複数の端子電極109のうちの両サイドの端子電極109は、金属板106から間隔を空けて配置され、中央の端子電極109は金属板106と一体的に形成されている。金属板106に接続される端子電極109の配置は任意である。MISFETチップ113は、第7～第12実施形態に係るワイドバンドギャップ半導体装置1G～1Lのいずれか一つからなる。

[0221] MISFETチップ113の第2主面電極34は、金属板106に電氣的に接続されている。導電接合材111は、第2主面電極34および金属板106の間に介在され、MISFETチップ113を金属板106に接続している。複数の導線112は、複数の端子電極109、ゲートパッド電極80およびソースパッド電極81にそれぞれ接続されている。

[0222] 図24は、第1～第6実施形態に係るワイドバンドギャップ半導体装置1

A～1Fおよび第7～第12実施形態に係るワイドバンドギャップ半導体装置1G～1Lが搭載される半導体パッケージ101Cを示す斜視図である。図25は、図24に示す半導体パッケージ101Cの分解斜視図である。図26は、図24に示すXXVI-XXVI線に沿う断面図である。

[0223] 図24～図26を参照して、半導体パッケージ101Cは、直方体形状のパッケージ本体122を含む。パッケージ本体122は、マトリクス樹脂（たとえばエポキシ樹脂）および複数のフィラーを含むモールド樹脂からなる。パッケージ本体122は、一方側の第1面123、他方側の第2面124、ならびに、第1面123および第2面124を接続する第1～第4側壁125A～125Dを有している。

[0224] 第1面123および第2面124は、それらの法線方向Zから見た平面視において四角形状（この形態では長方形）に形成されている。第1側壁125Aおよび第2側壁125Bは、第1面123に沿う第1方向Xに延び、第2方向Yに対向している。第1側壁125Aおよび第2側壁125Bは、パッケージ本体122の短辺を形成している。第3側壁125Cおよび第4側壁125Dは、第2方向Yに延び、第1方向Xに対向している。第3側壁125Cおよび第4側壁125Dは、パッケージ本体122の長辺を形成している。

[0225] 半導体パッケージ101Cは、パッケージ本体122の内外に配置された第1金属板126（第1導体板、端子電極）を含む。第1金属板126は、パッケージ本体122の第1面123側に配置され、第1パッド部127および第1端子部128を含む。第1パッド部127は、パッケージ本体122内において第2方向Yに延びる長方形に形成され、第1面123から露出している。

[0226] 第1端子部128は、第3側壁125Cを貫通するように第1パッド部127から第1方向Xに延びる帯状に引き出されている。第1端子部128は、平面視において第2側壁125B側に配置されている。第1端子部128は、パッケージ本体122内において第1面123側から第2面124側に

屈曲した第1屈曲部129を介して第1パッド部127に接続されている。第1端子部128は、第1面123から第2面124側に間隔を空けて第3側壁125Cから露出している。

[0227] 半導体パッケージ101Cは、パッケージ本体122の内外に配置された第2金属板130（導体板、端子電極）を含む。第2金属板130は、第1金属板126から法線方向Zに間隔を空けてパッケージ本体122の第2面124側に配置され、第2パッド部131および第2端子部132を含む。第2パッド部131は、パッケージ本体122内において第2方向Yに延びる長方形に形成され、第2面124から露出している。

[0228] 第2端子部132は、第3側壁125Cを貫通するように第2パッド部131から第1方向Xに延びる帯状に引き出されている。第2端子部132は、平面視において第1側壁125A側に配置されている。第2端子部132は、パッケージ本体122内において第2面124側から第1面123側に屈曲した第2屈曲部133を介して第2パッド部131に接続されている。第2端子部132は、第2面124から第1面123側に間隔を空けて第3側壁125Cから露出している。

[0229] 第2端子部132は、法線方向Zに関して第1端子部128とは異なる厚さ位置から引き出されている。第2端子部132は、この形態では、第1端子部128から第2面124側に間隔を空けて形成され、第2方向Yに第1端子部128と対向していない。第2端子部132は、第1方向Xに関して第1端子部128とは異なる長さを有している。第1端子部128および第2端子部132は、それらの形状（長さ）から識別される。

[0230] 半導体パッケージ101Cは、パッケージ本体122の内部から外部に引き出された複数（この形態では5つ）の端子電極134を含む。複数の端子電極134は、この形態では、第1パッド部127および第2パッド部131の間の厚さ位置に配置されている。複数の端子電極134は、第1端子部128および第2端子部132が露出した第3側壁125Cとは反対側の第4側壁125Dから露出している。

- [0231] 複数の端子電極 134 の配置は任意である。複数の端子電極 134 は、この形態では、平面視において第 2 端子部 132 と同一直線上に位置するように第 4 側壁 125 D 側に配置されている。複数の端子電極 134 は、第 1 方向 X に延びる帯状にそれぞれ形成されている。複数の端子電極 134 は、パッケージ本体 122 外に位置する部分において第 1 面 123 および／または第 2 面 124 に向けて窪んだ湾曲部を有していてもよい。
- [0232] 半導体パッケージ 101C は、パッケージ本体 122 内に配置された SBD チップ 135 を含む。SBD チップ 135 は、第 1～第 6 実施形態に係るワイドバンドギャップ半導体装置 1A～1F のいずれか一つからなる。SBD チップ 135 は、第 1 パッド部 127 および第 2 パッド部 131 の間に配置されている。SBD チップ 135 は、平面視において第 2 側壁 125 B 側に配置されている。SBD チップ 135 の第 2 主面電極 34 は、第 2 パッド部 131 に電氣的に接続されている。
- [0233] 半導体パッケージ 101C は、SBD チップ 135 から間隔を空けてパッケージ本体 122 内に配置された MISFET チップ 136 を含む。MISFET チップ 136 は、第 7～第 12 実施形態に係るワイドバンドギャップ半導体装置 1G～1L のいずれか一つからなる。MISFET チップ 136 は、第 1 パッド部 127 および第 2 パッド部 131 の間に配置されている。MISFET チップ 136 は、平面視において第 1 側壁 125 A 側に配置されている。MISFET チップ 136 の第 2 主面電極 34 は、第 2 パッド部 131 に電氣的に接続されている。
- [0234] 半導体パッケージ 101C は、パッケージ本体 122 内にそれぞれ配置された第 1 導体スペーサ 137（第 1 導電接続部材）および第 2 導体スペーサ 138（第 2 導電接続部材）を含む。第 1 導体スペーサ 137 は、SBD チップ 135 および第 1 パッド部 127 の間に介在され、SBD チップ 135 および第 1 パッド部 127 に電氣的に接続されている。
- [0235] 第 2 導体スペーサ 138 は、MISFET チップ 136 および第 1 パッド部 127 の間に介在され、MISFET チップ 136 および第 1 パッド部 1

27に電氣的に接続されている。第1導体スペーサ137および第2導体スペーサ138は、金属板（たとえばCu系金属板）をそれぞれ含んでもよい。第2導体スペーサ138は、この形態では、第1導体スペーサ137とは別体からなるが、第1導体スペーサ137と一体的に形成されていてもよい。

[0236] 半導体パッケージ101Cは、第1～第6導電接合材139A～139Fを含む。第1～第6導電接合材139A～139Fは、半田または金属ペースト（好ましくは半田）をそれぞれ含んでもよい。第1導電接合材139Aは、SBDチップ135の第2主面電極34および第2パッド部131の間に介在され、SBDチップ135を第2パッド部131に接続している。

[0237] 第2導電接合材139Bは、MISFETチップ136の第2主面電極34および第2パッド部131の間に介在され、MISFETチップ136を第2パッド部131に接続している。第3導電接合材139Cは、SBDチップ135のパッド電極30および第1導体スペーサ137の間に介在され、第1導体スペーサ137をSBDチップ135に接続している。

[0238] 第4導電接合材139Dは、MISFETチップ136のソースパッド電極81および第2導体スペーサ138の間に介在され、第2導体スペーサ138をMISFETチップ136に接続している。第5導電接合材139Eは、第1パッド部127および第1導体スペーサ137の間に介在され、第1パッド部127を第1導体スペーサ137に接続している。第6導電接合材139Fは、第1パッド部127および第2導体スペーサ138の間に介在され、第1パッド部127を第2導体スペーサ138に接続している。

[0239] 半導体パッケージ101Cは、複数の導線140（第3導電接続部材）を含む。複数の導線140は、複数の端子電極134の内端部およびMISFETチップ136のゲートパッド電極80にそれぞれ接続されている。複数の導線140は、任意の端子電極134の内端部および第2パッド部131に接続された導線140を含んでもよい。複数の導線140は、「ボン

ディングワイヤ」と称されてもよい。複数の導線140は、金ワイヤ、銅ワイヤおよびアルミニウムワイヤのうちの少なくとも1つを含んでいてもよい。

[0240] 前述の各実施形態はさらに他の形態で実施できる。たとえば、前述の各実施形態において、第1主面3および第2主面4は、SiC単結晶のc面（ $(0001)$ 面）によってそれぞれ形成されていてもよい。この場合、第1主面3はSiC単結晶のシリコン面によって形成され、第2主面4はSiC単結晶のカーボン面によって形成されていることが好ましい。

[0241] 第1主面3および第2主面4は、c面に対して所定のオフ方向に所定の角度で傾斜したオフ角を有していてもよい。オフ方向は、SiC単結晶のa軸方向（ $[11\bar{2}0]$ 方向）であることが好ましい。オフ角は、 $0^\circ$ を超えて $10^\circ$ 以下であってもよい。オフ角は、 $5^\circ$ 以下であることが好ましい。オフ角は、 $2^\circ$ 以上 $4.5^\circ$ 以下であることが特に好ましい。

[0242] 前述の各実施形態において、第1方向XはSiC単結晶のm軸方向（ $[1\bar{1}00]$ 方向）であり、第2方向YはSiC単結晶のa軸方向（ $[11\bar{2}0]$ 方向）であることが好ましい。むろん、前述の各実施形態において、第1方向XがSiC単結晶のa軸方向（ $[11\bar{2}0]$ 方向）であり、第2方向YがSiC単結晶のm軸方向（ $[1\bar{1}00]$ 方向）であってもよい。

[0243] 前述の各実施形態では、SiC単結晶からなるチップ2が採用された例が説明された。しかし、SiC以外のワイドバンドギャップ半導体からなるワイドバンドギャップ半導体チップが採用されてもよい。SiC以外のワイドバンドギャップ半導体として、ダイヤモンドやGaN（窒化ガリウム）が採用されてもよい。

[0244] むろん、前述の各実施形態に係るチップ2は、Si（シリコン）単結晶からなってもよい。ただし、この場合、Siの電気的特性（特にブレークダウン電圧）を鑑みて、第2半導体領域7（Siエピタキシャル層）を厚く形成する必要があるため、熱硬化性樹脂19を設けた場合、ワイドバンドギャップ半導体装置の場合よりも大型化する点に留意する。

- [0245] 前述の各実施形態では、第2無機絶縁膜14が形成された例が説明された。しかし、第2無機絶縁膜14は必ずしも必要ではなく、必要に応じて取り除かれてもよい。前述の各実施形態では、熱硬化性樹脂19が感光性樹脂17と間隙24を区画し、パッド電極30が間隙24内に位置する張り出し部30bを有している例が説明された。しかし、感光性樹脂17と間隙24を区画しない熱硬化性樹脂19が形成され、張り出し部30bを有さないパッド電極30が形成されてもよい。
- [0246] 前述の各実施形態では、機能デバイスの一例としてのSBDおよびMISFETが異なるチップ2にそれぞれ形成された例について説明された。しかし、SBDおよびMISFETは、同一のチップ2において第1主面3の異なる領域に形成されていてもよい。
- [0247] 前述の各実施形態では、第1導電型がn型であり、第2導電型がp型である形態が説明された。しかし、前述の各実施形態において、第1導電型がp型であり、第2導電型がn型である形態が採用されてもよい。この場合の具体的な構成は、前述の説明および添付図面において、n型領域をp型領域に置き換え、p型領域をn型領域に置き換えることによって得られる。
- [0248] 以下、この明細書および添付図面から抽出される特徴の例を示す。以下の[A1]～[A20]および[B1]～[B21]は、信頼性を向上できる半導体装置を提供する。以下、括弧内の英数字は前述の実施形態における対応構成要素等を表すが、各項目の範囲を実施形態に限定する趣旨ではない。以下の項目において、「ワイドバンドギャップ半導体」は「半導体」に置き換えられてもよい。
- [0249] [A1] ワイドバンドギャップ半導体を含み、主面(3)を有するチップ(2)と、前記主面(3)の上に配置された第1主面電極(11、65、67)と、マトリクス樹脂(27)および複数のフィラー(28)を含み、前記第1主面電極(11、65、67)の一部を露出させるように前記主面(3)を被覆する熱硬化性樹脂(19)と、を含む、ワイドバンドギャップ半導体装置(1A～1L)。

- [0250] [A 2] 前記熱硬化性樹脂 (19) は、前記第1主面電極 (11、65、67) よりも厚い、A1またはA2に記載のワイドバンドギャップ半導体装置 (1A~1L)。
- [0251] [A 3] 複数の前記フィラー (28) は、前記第1主面電極 (11、65、67) よりも薄い複数の第1フィラー (28a)、および、前記第1主面電極 (11、65、67) よりも厚い複数の第2フィラー (28b、28c) を含む、A2に記載のワイドバンドギャップ半導体装置 (1A~1L)。
- [0252] [A 4] 前記第1主面電極 (11、65、67) の周縁部を被覆する感光性樹脂 (17) をさらに含み、前記熱硬化性樹脂 (19) は、前記感光性樹脂 (17) を被覆している、A1~A3のいずれか一つに記載のワイドバンドギャップ半導体装置 (1A~1L)。
- [0253] [A 5] 前記感光性樹脂 (17) は、前記第1主面電極 (11、65、67) よりも厚く、前記熱硬化性樹脂 (19) は、前記感光性樹脂 (17) よりも厚い、A4に記載のワイドバンドギャップ半導体装置 (1A~1L)。
- [0254] [A 6] 複数の前記フィラー (28) は、前記感光性樹脂 (17) よりも厚い複数の大径フィラー (28c) を含む、A5に記載のワイドバンドギャップ半導体装置 (1A~1L)。
- [0255] [A 7] 前記熱硬化性樹脂 (19) は、前記チップ (2) よりも厚い、A1~A6のいずれか一つに記載のワイドバンドギャップ半導体装置 (1A~1L)。
- [0256] [A 8] 前記第1主面電極 (11、65、67) における前記熱硬化性樹脂 (19) から露出した部分の上に形成され、前記熱硬化性樹脂 (19) から露出した電極面 (30a、80a、81a、90a、92a) を有するパッド電極 (30、80、81) をさらに含む、A1~A7のいずれか一つに記載のワイドバンドギャップ半導体装置 (1A~1L)。
- [0257] [A 9] 前記電極面 (30a、80a、81a、90a) は、前記熱硬化性樹脂 (19) の外面と1つの平坦面を形成している、A8に記載のワイドバンドギャップ半導体装置 (1A~1L)。

- [0258] [A 1 0] 前記パッド電極（30、80、81）は、前記第1主面電極（11、65、67）を被覆する第1電極膜（31）、および、前記第1電極膜（31）を被覆する第2電極膜（32）を含む積層構造を有している、A8またはA9に記載のワイドバンドギャップ半導体装置（1A～1L）。
- [0259] [A 1 1] 複数の前記フィラー（28）は、前記熱硬化性樹脂（19）の表層部において破断された粒形を有する複数のフィラー欠片（29、29a、29b）を含む、A1～A10のいずれか一つに記載のワイドバンドギャップ半導体装置（1A～1L）。
- [0260] [A 1 2] 前記チップ（2）は、側面（5、5A～5D）を有し、前記熱硬化性樹脂（19）は、前記側面（5、5A～5D）に連なる樹脂側面（22、22A～22D）を有している、A1～A11のいずれか一つに記載のワイドバンドギャップ半導体装置（1A～1L）。
- [0261] [A 1 3] 前記樹脂側面（22、22A～22D）は、前記チップ（2）の前記側面（5、5A～5D）と1つの研削面を形成している、A12に記載のワイドバンドギャップ半導体装置（1A～1L）。
- [0262] [A 1 4] 前記熱硬化性樹脂（19）は、前記チップ（2）の周縁部において前記主面（3）を直接被覆する部分を含む、A1～A13のいずれか一つに記載のワイドバンドギャップ半導体装置（1A～1L）。
- [0263] [A 1 5] 複数の前記第1主面電極（11、65、67）が前記主面の上に配置され、前記熱硬化性樹脂（19）は、複数の前記第1主面電極（11、65、67）の一部をそれぞれ露出させるように前記主面（3）を被覆している、A1～A14のいずれか一つに記載のワイドバンドギャップ半導体装置（1A～1L）。
- [0264] [A 1 6] 前記チップ（2）は、ワイドバンドギャップ半導体によってそれぞれ構成された半導体基板（6）およびエピタキシャル層（7）を含む積層構造を有し、前記エピタキシャル層（7）によって形成された前記主面（3）を含む、A1～A15のいずれか一つに記載のワイドバンドギャップ半導体装置（1A～1L）。

- [0265] [A 1 7] 前記チップ（２）は、ワイドバンドギャップ半導体によって構成されたエピタキシャル層（７）からなる単層構造を有している、A 1～A 1 5のいずれか一つに記載のワイドバンドギャップ半導体装置（1 A～1 L）。
- [0266] [A 1 8] 前記チップ（２）に形成された機能デバイスをさらに含み、前記第１主面電極（１１、６５、６７）は、前記機能デバイスに電氣的に接続されている、A 1～A 1 7のいずれか一つに記載のワイドバンドギャップ半導体装置（1 A～1 L）。
- [0267] [A 1 9] 前記機能デバイスは、ダイオード（S B D）およびトランジスタ（M I S F E T）のうちの少なくとも一つを含む、A 1 8に記載のワイドバンドギャップ半導体装置（1 A～1 L）。
- [0268] [A 2 0] モールド樹脂からなるパッケージ本体（１０２、１２２）と、前記パッケージ本体（１０２、１２２）内に配置された導体板（１０６、１２６）と、前記パッケージ本体（１０２、１２２）から部分的に露出するように前記導体板（１０６、１２６）から間隔を空けて前記パッケージ本体（１０２、１２２）内に配置された端子電極（１０９、１３０、１３４）と、前記パッケージ本体（１０２、１２２）内において前記導体板（１０６、１２６）の上に配置されたA 1～A 1 9のいずれか一つに記載のワイドバンドギャップ半導体装置（1 A～1 L）と、前記パッケージ本体（１０２、１２２）内において前記端子電極（１０９、１３０、１３４）および前記ワイドバンドギャップ半導体装置（1 A～1 L）に電氣的に接続された導電接続部材（１１２、１３７、１３８、１４０）と、を含む、半導体パッケージ（1 0 1 A～1 0 1 C）。
- [0269] [B 1] 主面（３）を有するチップ（２）と、前記主面（３）の上に配置された第１主面電極（１１、６５、６７）と、前記第１主面電極（１１、６５、６７）の周縁部を被覆する第１有機膜（１７）と、マトリクス樹脂（２７）および複数のフィラー（２８）を含み、前記第１主面電極（１１、６５、６７）の一部を露出させるように前記主面（３）および前記第１有機膜（

- 17) を被覆する第2有機膜(19)と、を含む、半導体装置(1A~1L)。
- [0270] [B2] 前記第2有機膜(19)は、粒径の異なる複数の前記フィラー(28)を含む、B1に記載の半導体装置(1A~1L)。
- [0271] [B3] 複数の前記フィラー(28)は、前記第2有機膜(19)の表層部において破断された粒形を有する複数のフィラー欠片(29、29a、29b)を含む、B1またはB2に記載の半導体装置(1A~1L)。
- [0272] [B4] 前記第2有機膜(19)は、前記第1有機膜(17)よりも厚い、B1~B3のいずれか一つに記載の半導体装置(1A~1L)。
- [0273] [B5] 複数の前記フィラー(28)は、前記第1主面電極(11、65、67)よりも薄い複数の小径フィラー(28a)、および、前記第2有機膜(19)よりも厚い複数の大径フィラー(28c)を含む、B4に記載の半導体装置(1A~1L)。
- [0274] [B6] 前記第1有機膜(17)は、前記第1主面電極(11、65、67)よりも厚い、B1~B5のいずれか一つに記載の半導体装置(1A~1L)。
- [0275] [B7] 前記第1主面電極(11、65、67)における前記第2有機膜(19)から露出した部分の上に配置されたパッド電極(30、80、81)をさらに含む、B1~B6のいずれか一つに記載の半導体装置(1A~1L)。
- [0276] [B8] 前記第2有機膜(19)は、前記第1有機膜(17)上に位置する壁面によって区画された開口(23、75、76)を有し、前記パッド電極(30、80、81)は、前記開口(23、75、76)内において前記第1有機膜(17)および前記第2有機膜(19)に接している、B7に記載の半導体装置(1A~1L)。
- [0277] [B9] 前記開口(23、75、76)の前記壁面は、前記第1有機膜(17)の外面と間隙(24)を形成する下端部を有し、前記パッド電極(30、80、81)は、前記間隙(24)内に位置し、前記第1有機膜(17

)の外面の上に乗上げた張り出し部(30b)を有している、B8に記載の半導体装置(1A~1L)。

[0278] [B10] 前記開口(23、75、76)の前記壁面は、開口端から前記下端部まで厚さ方向に延びる第1壁部(25)、および、前記下端部において前記第1有機膜(17)の外面と前記間隙(24)を形成するように前記第1壁部(25)に交差する方向に延びる第2壁部(26)を有している、B9に記載の半導体装置(1A~1L)。

[0279] [B11] 前記張り出し部(30b)の長さは、前記第1有機膜(17)の厚さを超えている、B9またはB10に記載の半導体装置(1A~1L)。

[0280] [B12] 前記パッド電極(30、80、81)は、前記第1主面電極(11、65、67)を被覆する第1電極膜(31)、および、前記第1電極膜(31)を被覆する第2電極膜(32)を含む積層構造を有し、前記張り出し部(30b)は、前記第1電極膜(31)および前記第2電極膜(32)を含む、B9~B11のいずれか一つに記載の半導体装置(1A~1L)。

[0281] [B13] 前記パッド電極(30、80、81)は、前記第1主面電極(11、65、67)との接続部において前記第1主面電極(11、65、67)の厚さよりも小さい空隙(33)を形成している、B7~B12のいずれか一つに記載の半導体装置(1A~1L)。

[0282] [B14] 前記空隙(33)は、1 $\mu$ m以下である、B13に記載の半導体装置(1A~1L)。

[0283] [B15] 前記パッド電極(30、80、81)は、前記第2有機膜(19)の外面と1つの平坦面を形成する電極面(30a、80a、81a)を有している、B7~B14のいずれか一つに記載の半導体装置(1A~1L)。

[0284] [B16] 前記チップ(2)は、側面(5、5A~5D)を有し、前記第2有機膜(19)は、前記チップ(2)の前記側面(5、5A~5D)と1

つの平坦面を形成する有機側面（23、23A～23D）を有している、B1～B15のいずれか一つに記載の半導体装置（1A～1L）。

[0285] [B17] 前記チップ（2）は、前記主面（3）に背向し、研削面からなる第2主面（4）を有している、B1～B16のいずれか一つに記載の半導体装置（1A～1L）。

[0286] [B18] 単一の前記第1主面電極（11）を含む、B1～B17のいずれか一つに記載の半導体装置（1A～1F）。

[0287] [B19] 前記第1主面電極（11）は、前記主面（3）とショットキ接合を形成している、B18に記載の半導体装置（1A～1F）。

[0288] [B20] 複数の前記第1主面電極（11、65、66）を含み、前記第1有機膜（17）は、複数の前記第1主面電極（11、65、66）の周縁部をそれぞれ被覆し、前記第2有機膜（19）は、複数の前記第1主面電極（11、65、66）の一部をそれぞれ露出させるように前記主面（3）を被覆している、B1～B17のいずれか一つに記載の半導体装置（1G～1L）。

[0289] [B21] 前記主面（3）の表層部に形成されるチャンネル（CH）と、前記チャンネル（CH）を制御するように前記主面（3）に形成されたゲート構造（50）と、をさらに含み、複数の前記第1主面電極（11、65、66）は、前記ゲート構造（50）に電氣的に接続されたゲート主面電極（11、65）、および、前記チャンネル（CH）に電氣的に接続されたチャンネル主面電極（11、66）を含む、B20に記載の半導体装置（1G～1L）。

[0290] 実施形態について詳細に説明してきたが、これらは技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によって限定される。

## 符号の説明

[0291] 1A      ワイドバンドギャップ半導体装置  
1B      ワイドバンドギャップ半導体装置

1 C	ワイドバンドギャップ半導体装置
1 D	ワイドバンドギャップ半導体装置
1 E	ワイドバンドギャップ半導体装置
1 F	ワイドバンドギャップ半導体装置
1 G	ワイドバンドギャップ半導体装置
1 H	ワイドバンドギャップ半導体装置
1 I	ワイドバンドギャップ半導体装置
1 J	ワイドバンドギャップ半導体装置
1 K	ワイドバンドギャップ半導体装置
1 L	ワイドバンドギャップ半導体装置
2	チップ
3	第1主面
4	第2主面
5	側面
6	第1半導体領域（半導体基板）
7	第2半導体領域（エピタキシャル層）
1 1	第1主面電極
1 7	感光性樹脂
1 9	熱硬化性樹脂
2 0	パッド開口
2 1	樹脂主面
2 3	樹脂側面
2 7	マトリクス樹脂
2 8	フィラー
2 8 a	小径フィラー
2 8 b	中径フィラー
2 8 c	大径フィラー
2 9	フィラー欠片

- 29 a 第1フィラー欠片
- 29 b 第2フィラー欠片
- 30 パッド電極
- 30 a 電極面
- 31 第1パッド電極膜
- 32 第2パッド電極膜
- 65 ゲート主面電極（第1主面電極）
- 67 ソース主面電極（第1主面電極）
- 73 ゲートパッド開口（パッド開口）
- 74 ソースパッド開口（パッド開口）
- 80 ゲートパッド電極（パッド電極）
- 80 a 電極面
- 81 ソースパッド電極（パッド電極）
- 81 a 電極面
- 101 A 半導体パッケージ
- 101 B 半導体パッケージ
- 101 C 半導体パッケージ
- 102 パッケージ本体
- 106 金属板（導体板）
- 109 端子電極
- 112 導線（導電接続部材）
- 122 パッケージ本体
- 126 第1金属板（導体板、端子電極）
- 130 第2金属板（導体板、端子電極）
- 134 端子電極
- 137 第1導体スペーサ（導電接続部材）
- 138 第2導体スペーサ（導電接続部材）
- 139 導線（導電接続部材）

## 請求の範囲

- [請求項1]           ワイドバンドギャップ半導体を含み、主面を有するチップと、  
前記主面の上に配置された主面電極と、  
マトリクス樹脂および複数のフィラーを含み、前記主面電極の一部を露出させるように前記主面を被覆する熱硬化性樹脂と、を含む、ワイドバンドギャップ半導体装置。
- [請求項2]           前記熱硬化性樹脂は、前記主面電極よりも厚い、請求項1に記載のワイドバンドギャップ半導体装置。
- [請求項3]           複数の前記フィラーは、前記主面電極よりも薄い複数の第1フィラー、および、前記主面電極よりも厚い複数の第2フィラーを含む、請求項1または2に記載のワイドバンドギャップ半導体装置。
- [請求項4]           前記主面電極の周縁部を被覆する感光性樹脂をさらに含み、  
前記熱硬化性樹脂は、前記感光性樹脂を被覆している、請求項1～3のいずれか一項に記載のワイドバンドギャップ半導体装置。
- [請求項5]           前記感光性樹脂は、前記主面電極よりも厚く、  
前記熱硬化性樹脂は、前記感光性樹脂よりも厚い、請求項4に記載のワイドバンドギャップ半導体装置。
- [請求項6]           複数の前記フィラーは、前記感光性樹脂よりも厚い複数の大径フィラーを含む、請求項5に記載のワイドバンドギャップ半導体装置。
- [請求項7]           前記熱硬化性樹脂は、前記チップよりも厚い、請求項1～6のいずれか一項に記載のワイドバンドギャップ半導体装置。
- [請求項8]           前記主面電極における前記熱硬化性樹脂から露出した部分の上に形成され、前記熱硬化性樹脂から露出した電極面を有するパッド電極をさらに含む、請求項1～7のいずれか一項に記載のワイドバンドギャップ半導体装置。
- [請求項9]           前記電極面は、前記熱硬化性樹脂の外表面と1つの平坦面を形成している、請求項8に記載のワイドバンドギャップ半導体装置。
- [請求項10]           前記パッド電極は、前記主面電極を被覆する第1電極膜、および、

前記第1電極膜を被覆する第2電極膜を含む積層構造を有している、請求項8または9に記載のワイドバンドギャップ半導体装置。

[請求項11] 複数の前記フィラーは、前記熱硬化性樹脂の表層部において破断された粒形を有する複数のフィラー欠片を含む、請求項1～10のいずれか一項に記載のワイドバンドギャップ半導体装置。

[請求項12] 前記チップは、側面を有し、  
前記熱硬化性樹脂は、前記側面に連なる樹脂側面を有している、請求項1～11のいずれか一項に記載のワイドバンドギャップ半導体装置。

[請求項13] 前記樹脂側面は、前記チップの前記側面と1つの研削面を形成している、請求項12に記載のワイドバンドギャップ半導体装置。

[請求項14] 前記熱硬化性樹脂は、前記チップの周縁部において前記主面を直接被覆する部分を含む、請求項1～13のいずれか一項に記載のワイドバンドギャップ半導体装置。

[請求項15] 複数の前記主面電極が前記主面の上に配置され、  
前記熱硬化性樹脂は、複数の前記主面電極の一部をそれぞれに露出させるように前記主面を被覆している、請求項1～14のいずれか一項に記載のワイドバンドギャップ半導体装置。

[請求項16] 前記チップは、ワイドバンドギャップ半導体によってそれぞれ構成された半導体基板およびエピタキシャル層を含む積層構造を有し、前記エピタキシャル層によって形成された前記主面を含む、請求項1～15のいずれか一項に記載のワイドバンドギャップ半導体装置。

[請求項17] 前記チップは、エピタキシャル層からなる単層構造を有している、請求項1～15のいずれか一項に記載のワイドバンドギャップ半導体装置。

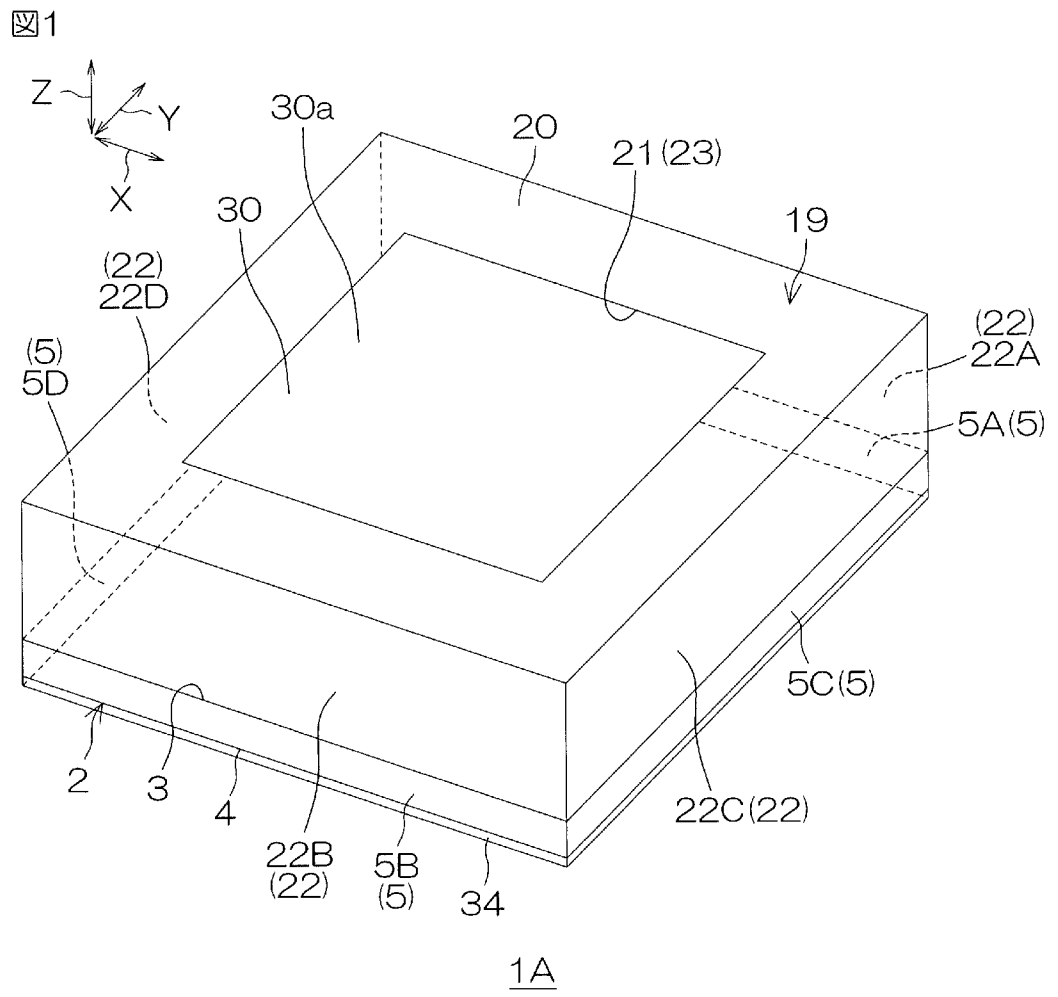
[請求項18] 前記チップに形成された機能デバイスをさらに含み、  
前記主面電極は、前記機能デバイスに電氣的に接続されている、請求項1～17のいずれか一項に記載のワイドバンドギャップ半導体装

置。

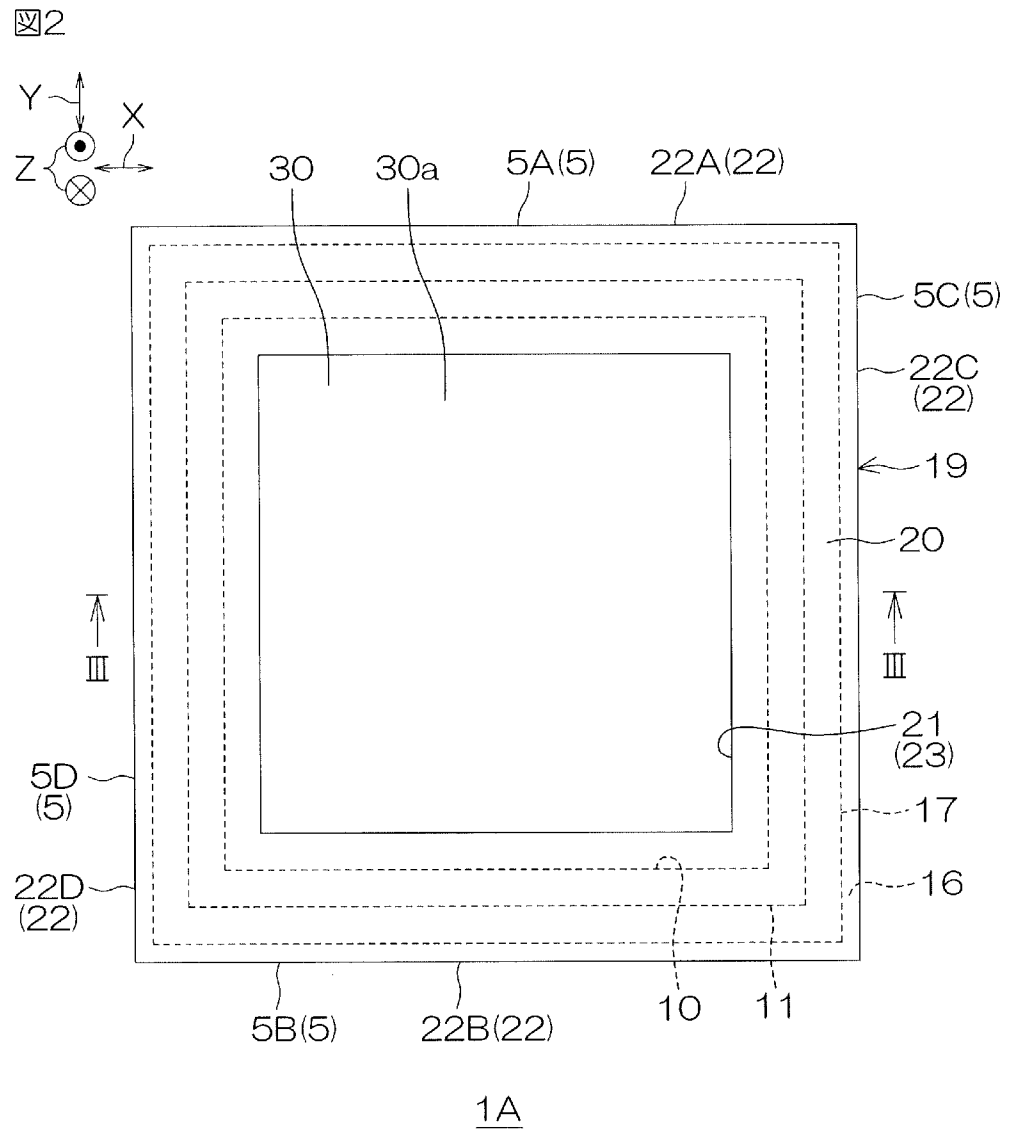
[請求項19] 前記機能デバイスは、ダイオードおよびトランジスタのうちの少なくとも1つを含む、請求項18に記載のワイドバンドギャップ半導体装置。

[請求項20] モールド樹脂からなるパッケージ本体と、  
前記パッケージ本体内に配置された導体板と、  
前記パッケージ本体から部分的に露出するように前記導体板から間隔を空けて前記パッケージ本体内に配置された端子電極と、  
前記パッケージ本体内において前記導体板の上に配置された請求項1～19のいずれか一項に記載のワイドバンドギャップ半導体装置と、  
前記パッケージ本体内において前記端子電極および前記ワイドバンドギャップ半導体装置に電氣的に接続された接続部材と、を含む、半導体パッケージ。

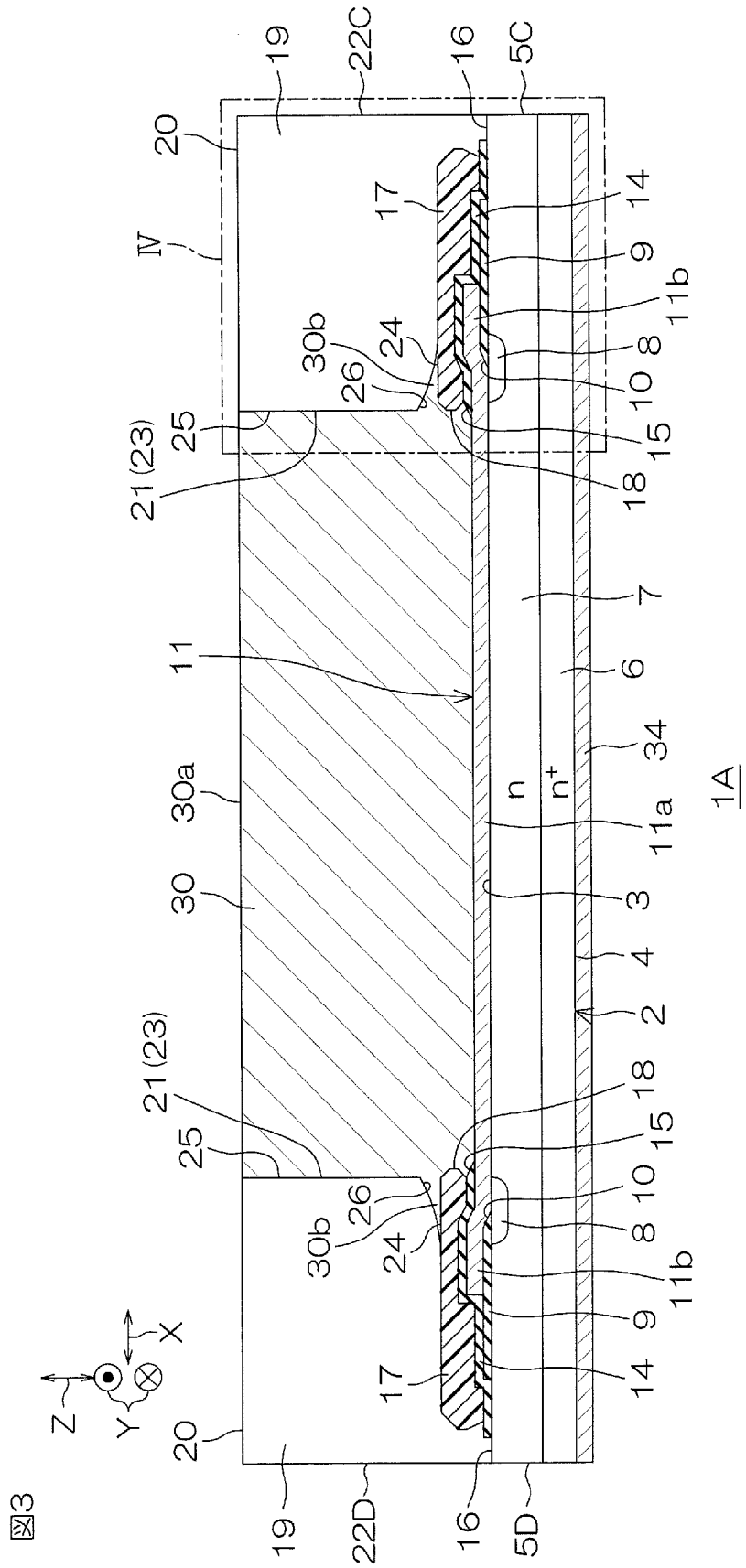
[図1]



[図2]

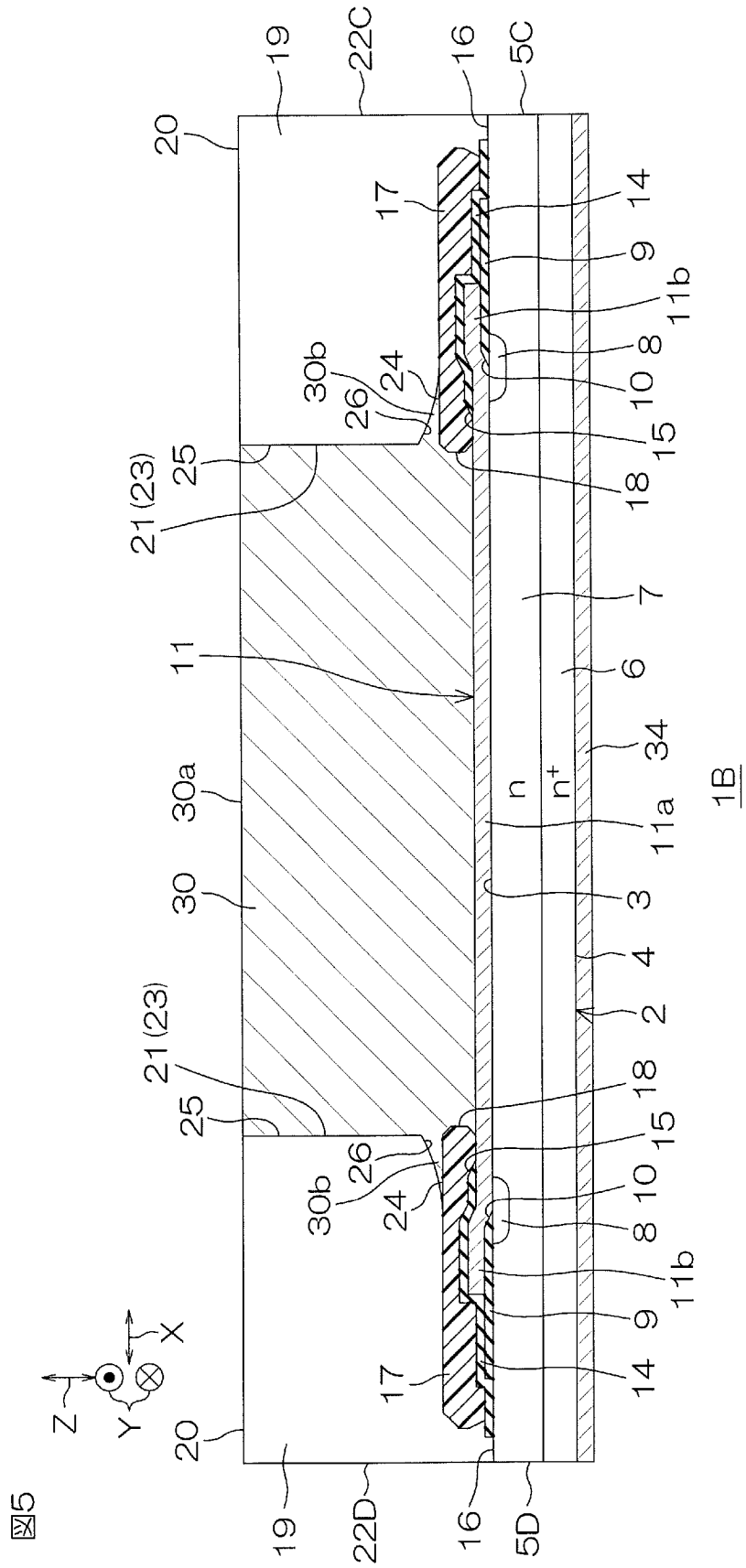


[図3]

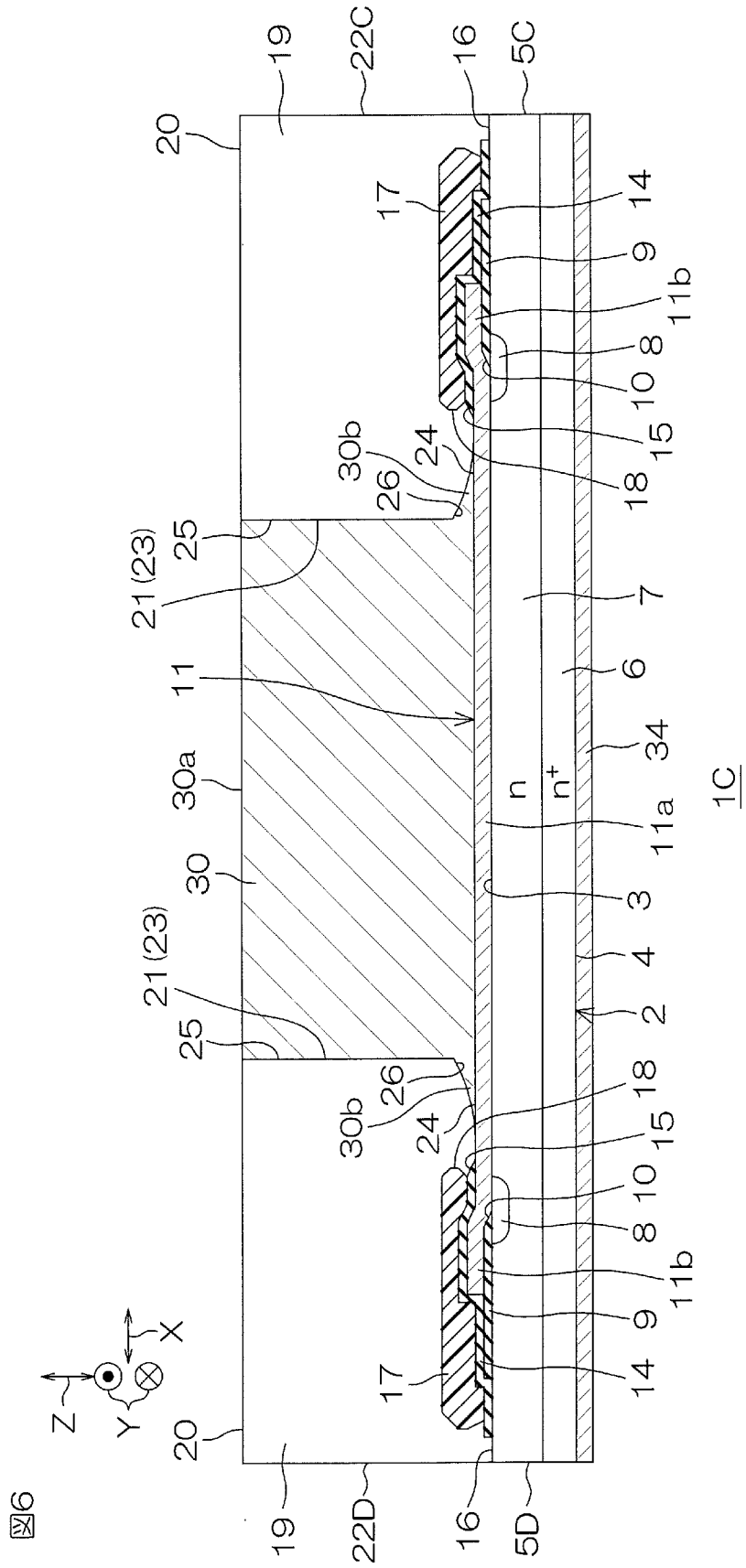




[図5]



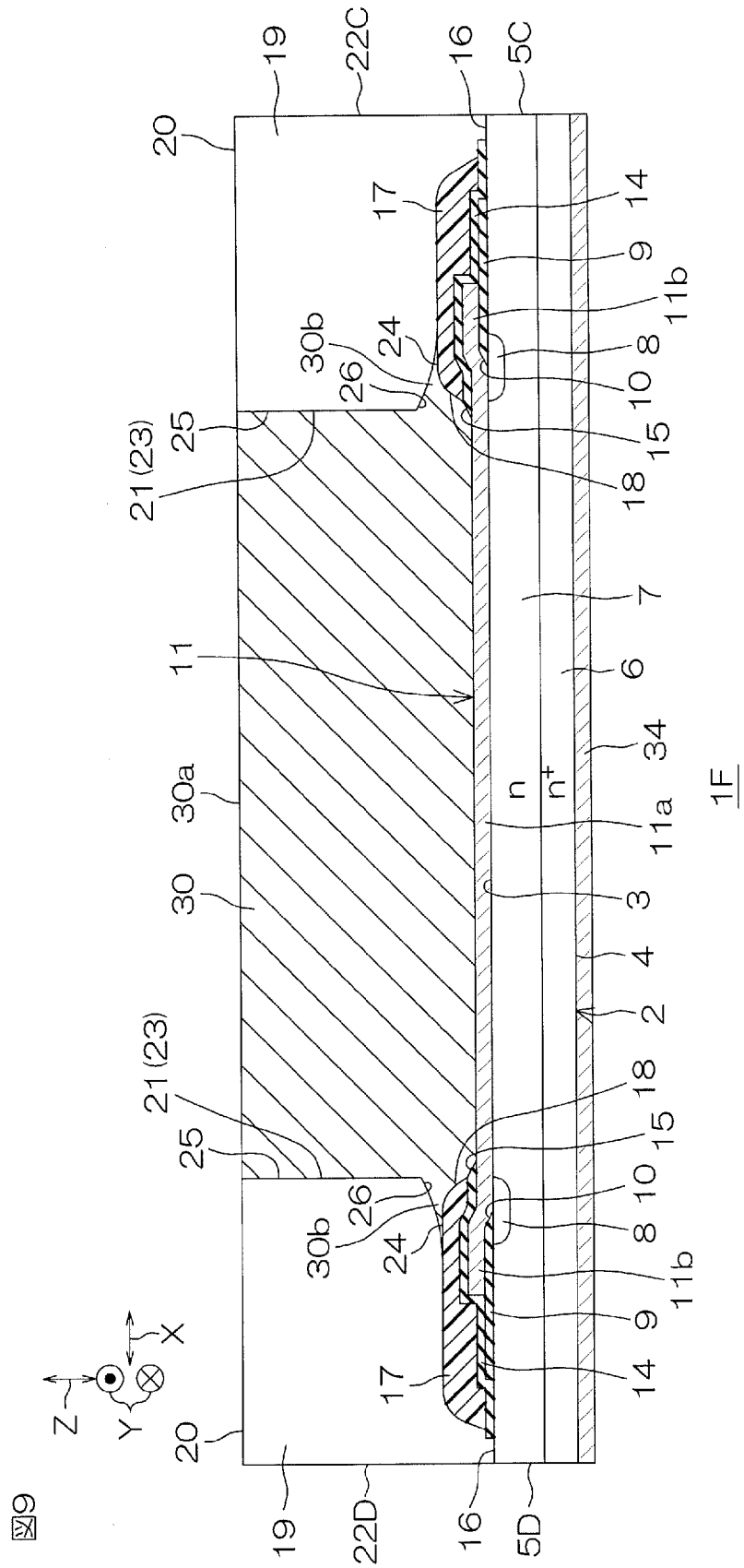
[図6]



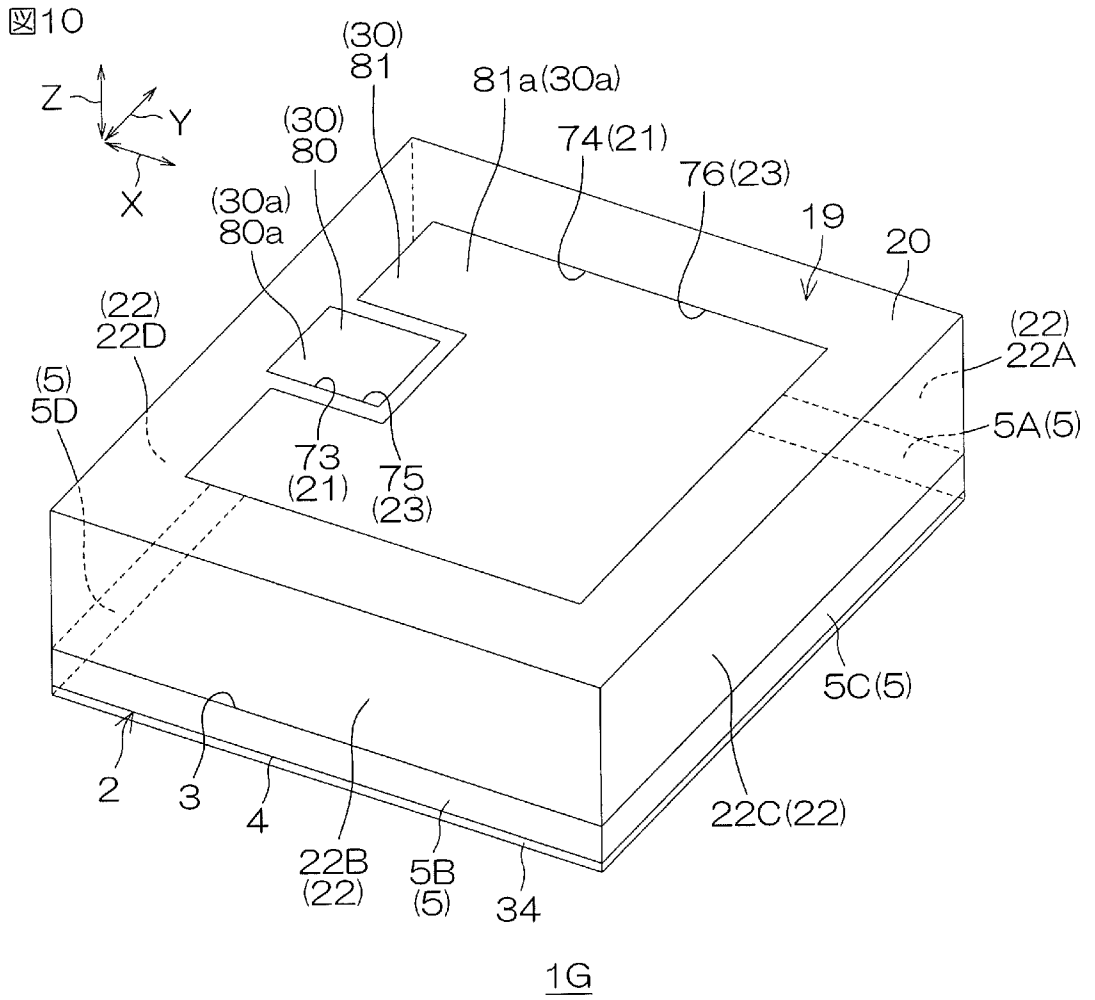




[図9]

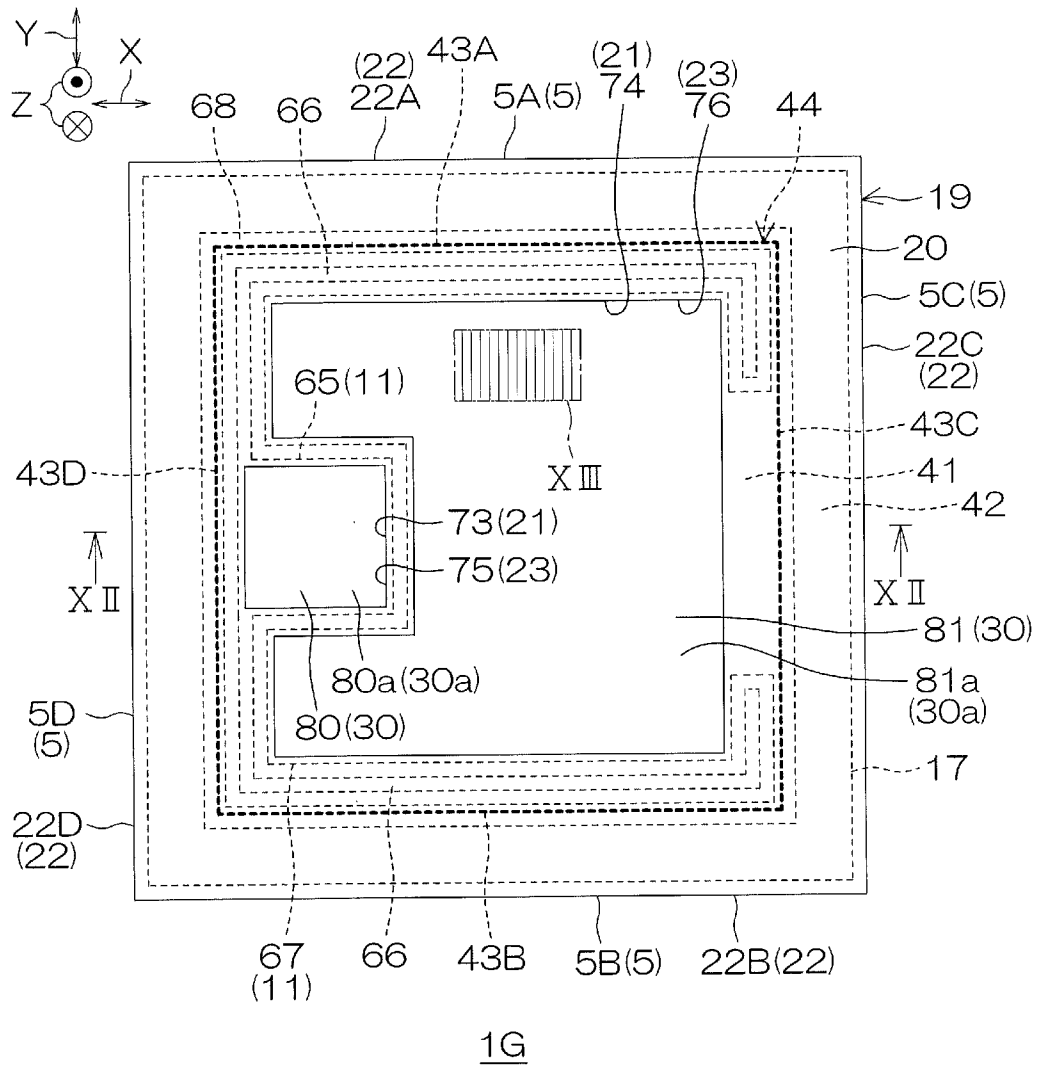


[図10]



[図11]

図11

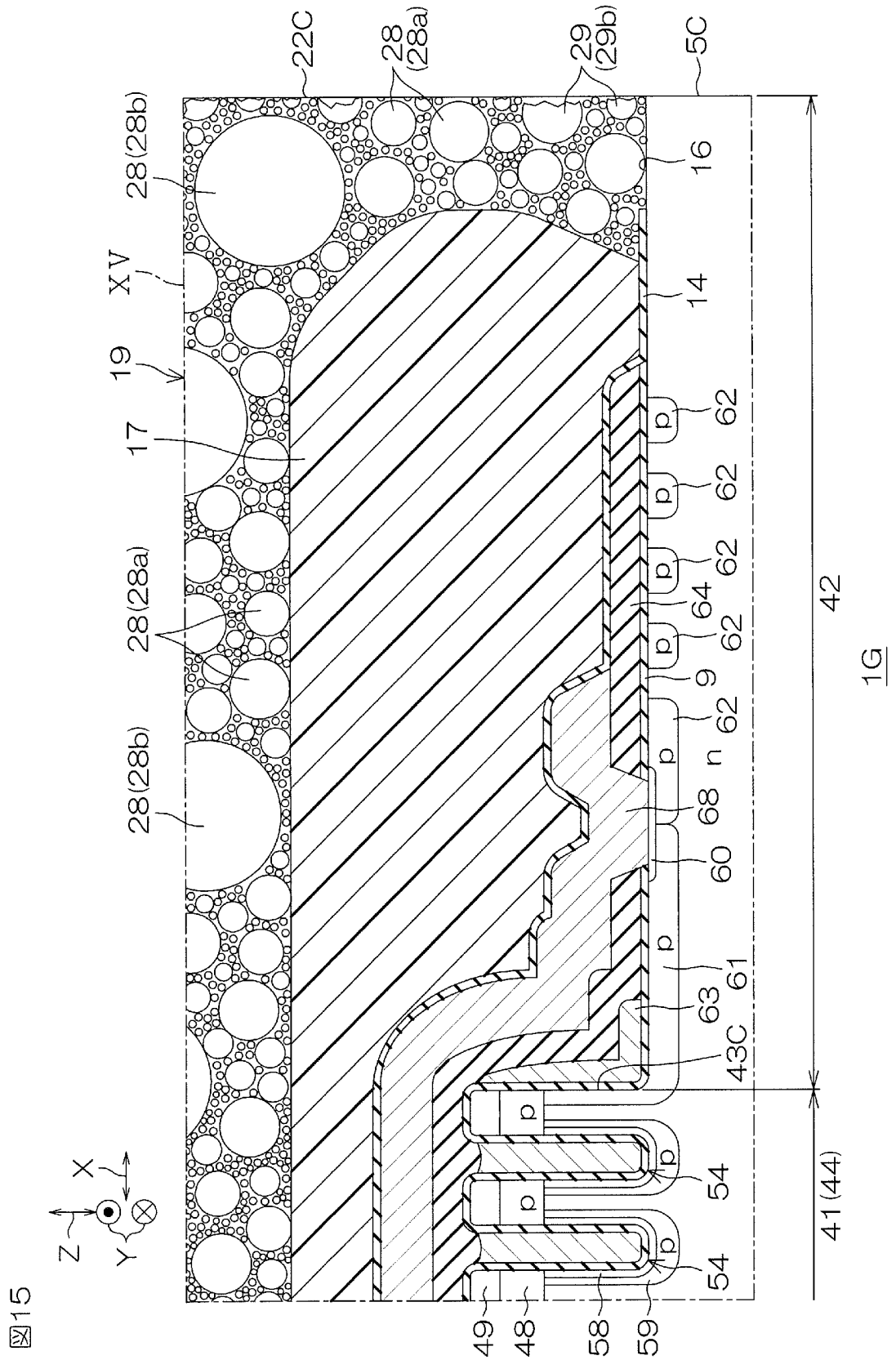








[圖15]







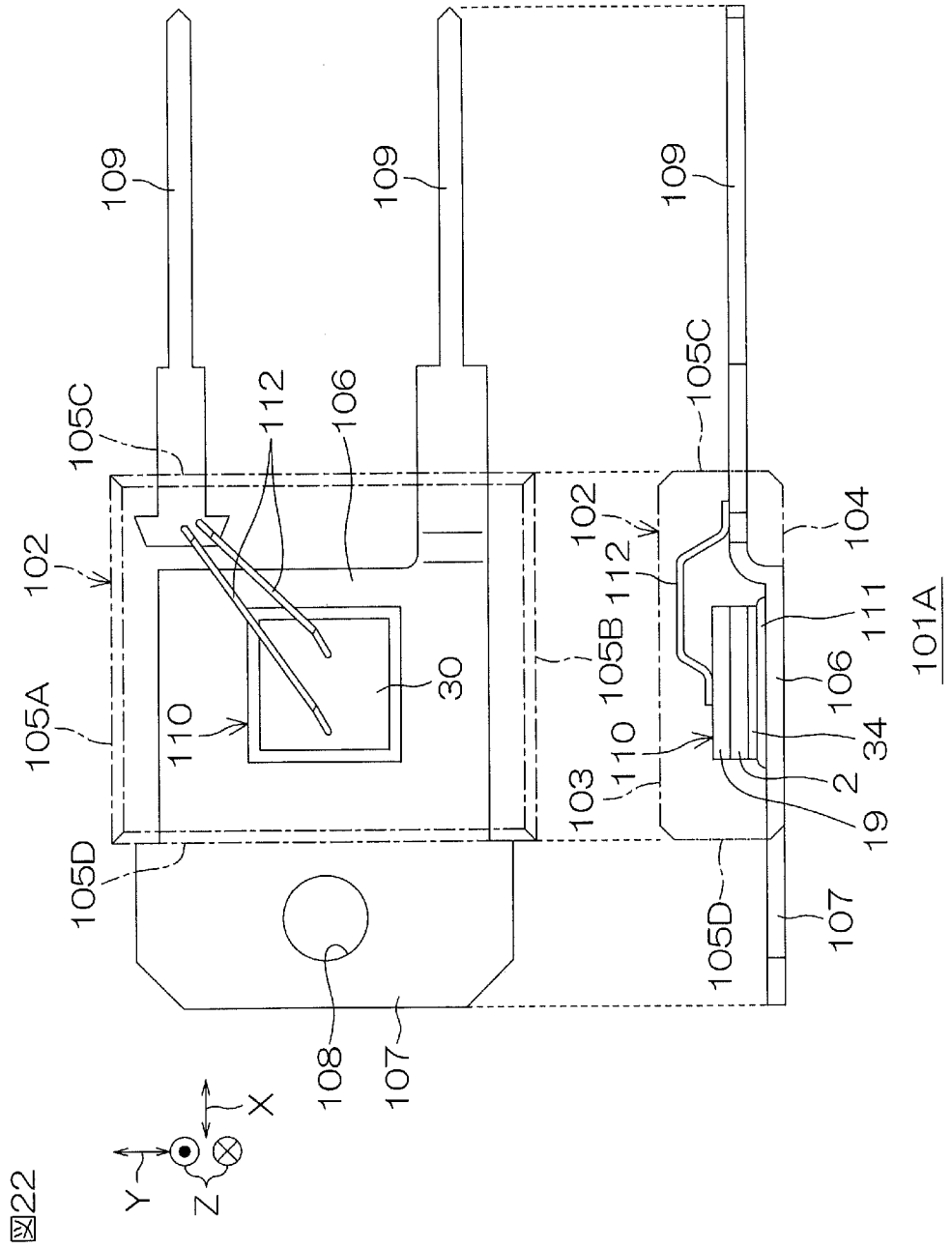




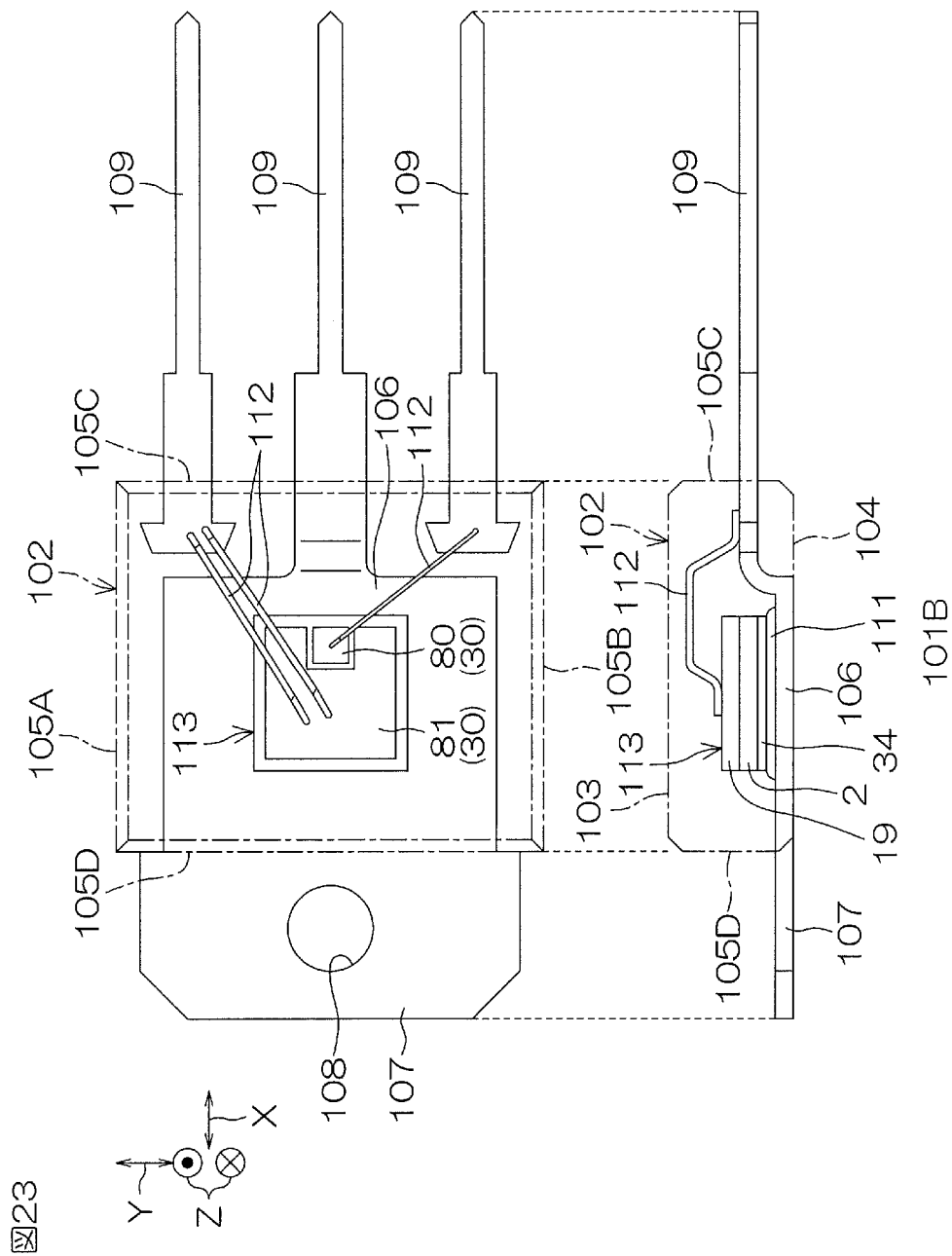




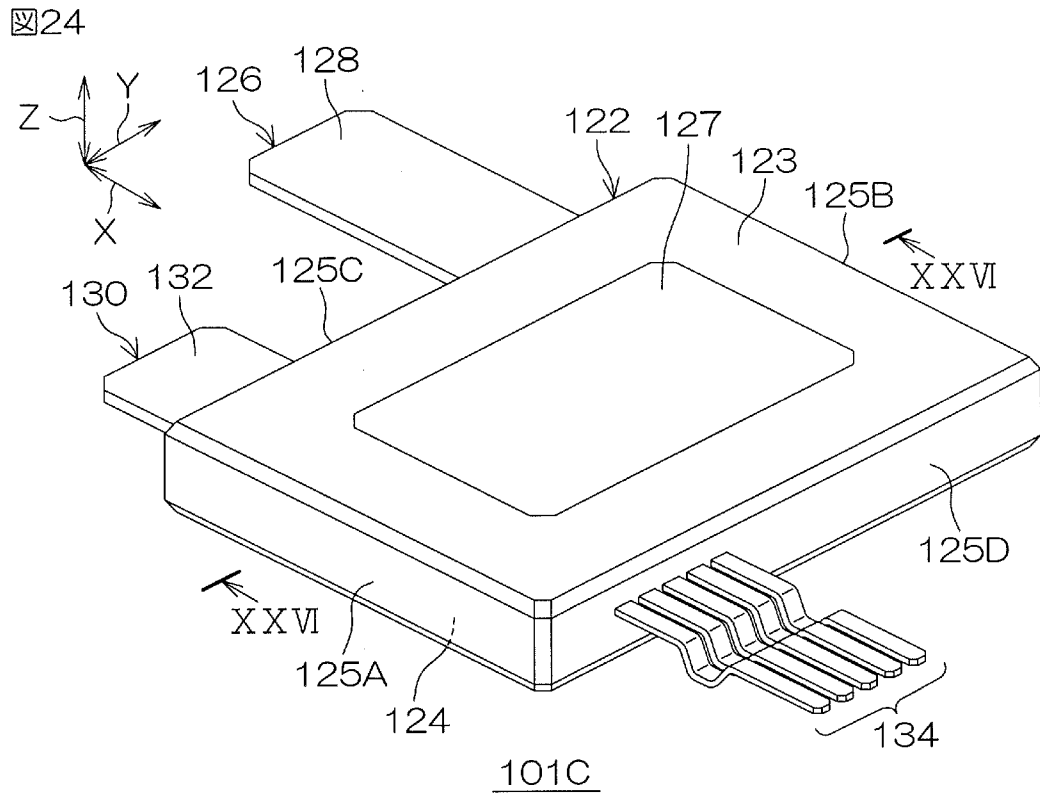
[22]



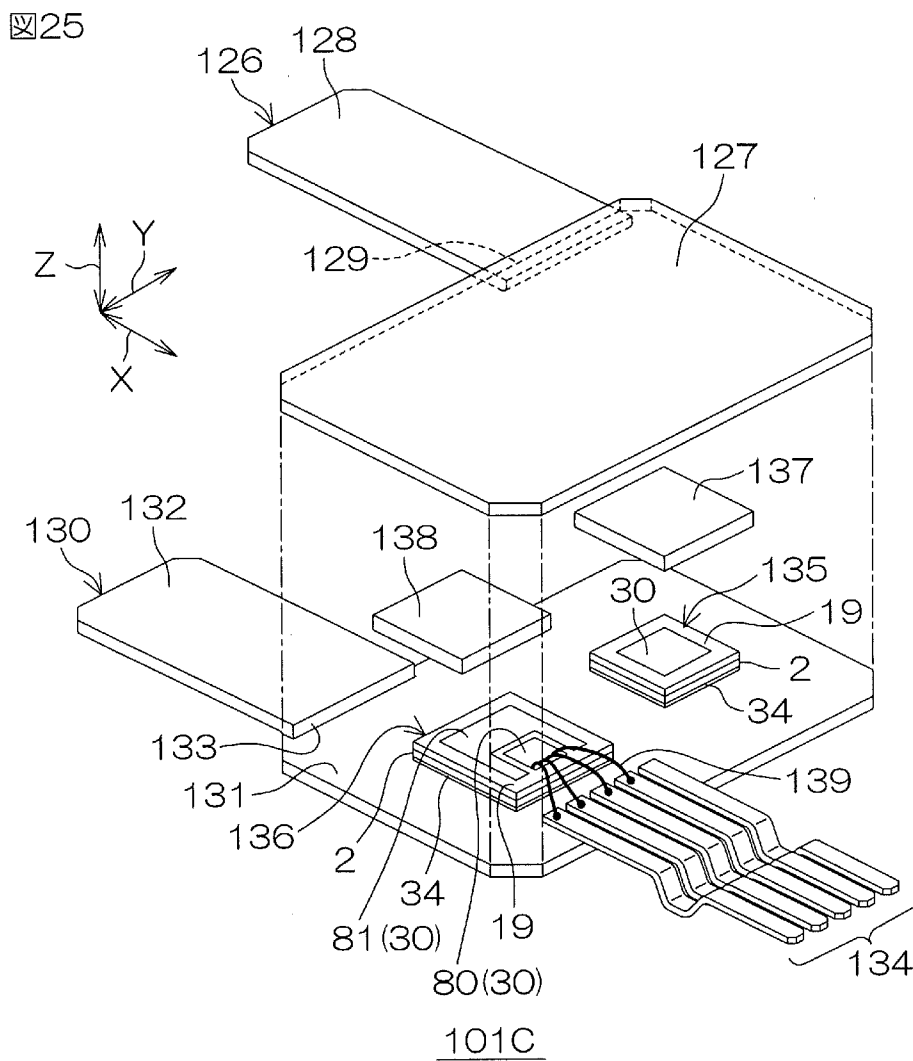
[23]



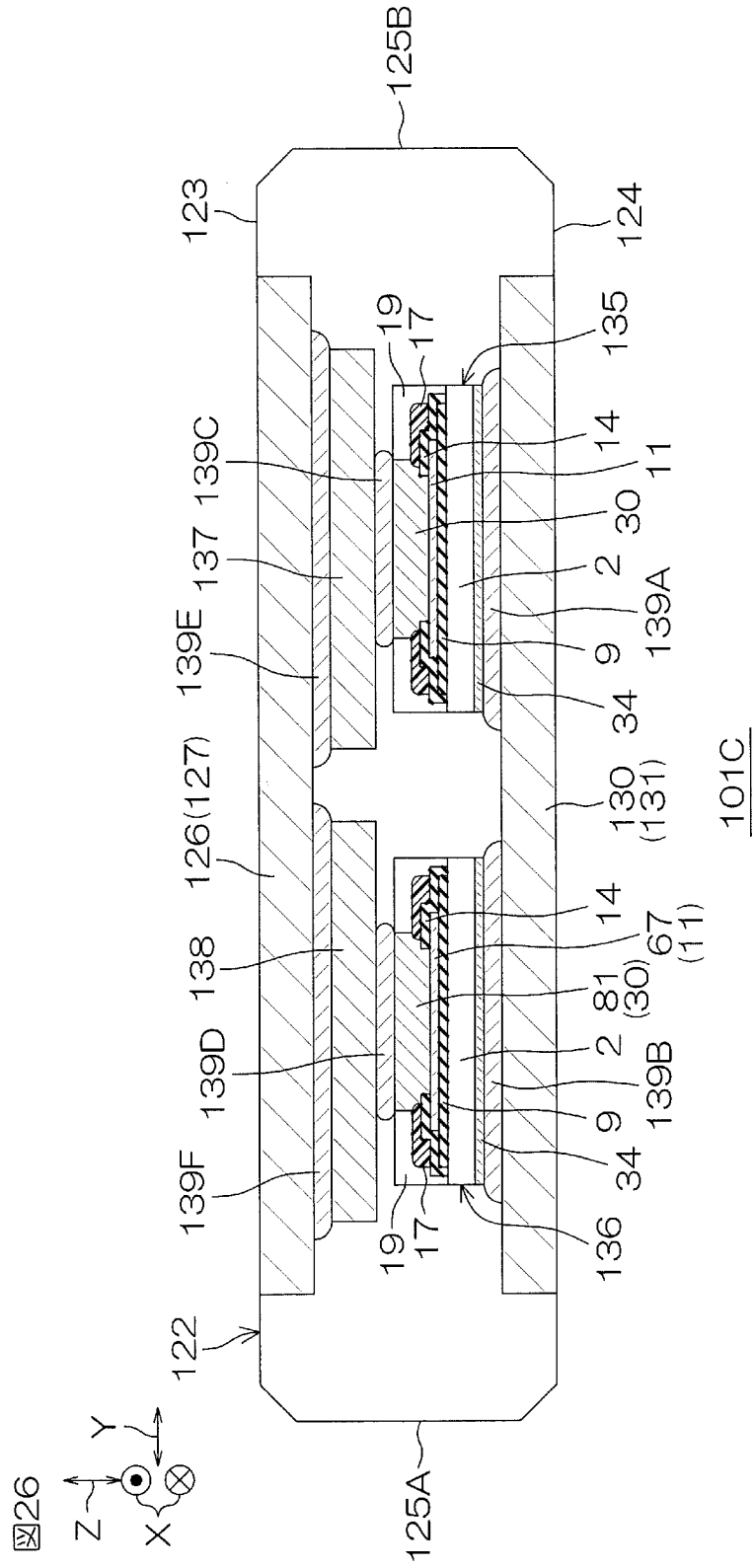
[図24]



[図25]



[図26]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/004301

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<p><b>H01L 23/29</b>(2006.01)i; <b>H01L 23/31</b>(2006.01)i; <b>H01L 29/06</b>(2006.01)i; <b>H01L 29/47</b>(2006.01)i; <b>H01L 29/872</b>(2006.01)i; <b>H01L 29/78</b>(2006.01)i; <b>H01L 29/12</b>(2006.01)i; <b>H01L 21/336</b>(2006.01)i</p> <p>FI: H01L23/30 B; H01L29/86 301D; H01L29/86 301Z; H01L29/86 301E; H01L29/06 301G; H01L29/06 301V; H01L29/06 301F; H01L29/48 E; H01L29/48 D; H01L29/48 Z; H01L29/78 652M; H01L29/78 652P; H01L29/78 652Q; H01L29/78 652T; H01L29/78 658J; H01L29/78 653A; H01L29/78 652H; H01L29/78 652C; H01L29/06 301D; H01L29/78 652K; H01L29/78 652F; H01L29/78 658F</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
H01L23/29; H01L23/31; H01L29/06; H01L29/47; H01L29/872; H01L29/78; H01L29/12; H01L21/336		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
<p>Published examined utility model applications of Japan 1922-1996</p> <p>Published unexamined utility model applications of Japan 1971-2022</p> <p>Registered utility model specifications of Japan 1996-2022</p> <p>Published registered utility model applications of Japan 1994-2022</p>		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2019-050320 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 28 March 2019 (2019-03-28)	1, 2, 7-10, 12-20
A	paragraphs [0002], [0087]-[0100], fig. 7	3-6, 11
Y	JP 2009-188148 A (SANYO ELECTRIC CO., LTD.) 20 August 2009 (2009-08-20)	1, 2, 7-10, 12-20
	paragraphs [0025], [0049], fig. 2	
Y	JP 2013-239607 A (MITSUBISHI ELECTRIC CORP.) 28 November 2013 (2013-11-28)	7
	paragraph [0030], fig. 5	
Y	JP 2000-223693 A (SANYO ELECTRIC CO., LTD.) 11 August 2000 (2000-08-11)	9
	fig. 10	
A	WO 2020/213603 A1 (ROHM CO., LTD.) 22 October 2020 (2020-10-22)	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>		
Date of the actual completion of the international search		Date of mailing of the international search report
04 April 2022		12 April 2022
Name and mailing address of the ISA/JP		Authorized officer
Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		
		Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2022/004301**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-050320	A	28 March 2019	US 2019/0080976 A1 paragraphs [0002], [0099]- [0112], fig. 7 CN 109494203 A	
JP	2009-188148	A	20 August 2009	(Family: none)	
JP	2013-239607	A	28 November 2013	(Family: none)	
JP	2000-223693	A	11 August 2000	(Family: none)	
WO	2020/213603	A1	22 October 2020	DE 212020000212 U1	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 23/29(2006.01)i; H01L 23/31(2006.01)i; H01L 29/06(2006.01)i; H01L 29/47(2006.01)i;                  H01L 29/872(2006.01)i; H01L 29/78(2006.01)i; H01L 29/12(2006.01)i; H01L 21/336(2006.01)i                  FI: H01L23/30 B; H01L29/86 301D; H01L29/86 301Z; H01L29/86 301E; H01L29/06 301G; H01L29/06 301V;                  H01L29/06 301F; H01L29/48 E; H01L29/48 D; H01L29/48 Z; H01L29/78 652M; H01L29/78 652P; H01L29/78                  652Q; H01L29/78 652T; H01L29/78 658J; H01L29/78 653A; H01L29/78 652H; H01L29/78 652C; H01L29/06                  301D; H01L29/78 652K; H01L29/78 652F; H01L29/78 658F</p>																							
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L23/29; H01L23/31; H01L29/06; H01L29/47; H01L29/872; H01L29/78; H01L29/12; H01L21/336</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年													
日本国実用新案公報	1922-1996年																						
日本国公開実用新案公報	1971-2022年																						
日本国実用新案登録公報	1996-2022年																						
日本国登録実用新案公報	1994-2022年																						
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2019-050320 A（パナソニックIPマネジメント株式会社）28.03.2019（2019-03-28） [0002],[0087]-[0100], 図7</td> <td>1,2,7-10,12-20</td> </tr> <tr> <td>A</td> <td></td> <td>3-6,11</td> </tr> <tr> <td>Y</td> <td>JP 2009-188148 A（三洋電機株式会社）20.08.2009（2009-08-20） [0025],[0049], 図2</td> <td>1,2,7-10,12-20</td> </tr> <tr> <td>Y</td> <td>JP 2013-239607 A（三菱電機株式会社）28.11.2013（2013-11-28） [0030], 図5</td> <td>7</td> </tr> <tr> <td>Y</td> <td>JP 2000-223693 A（三洋電機株式会社）11.08.2000（2000-08-11） 図10</td> <td>9</td> </tr> <tr> <td>A</td> <td>WO 2020/213603 A1（ローム株式会社）22.10.2020（2020-10-22）</td> <td>1-20</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー                  “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの                  “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                  “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）                  “O” 口頭による開示、使用、展示等に言及する文献                  “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献                  “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの                  “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                  “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの                  “&amp;” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2019-050320 A（パナソニックIPマネジメント株式会社）28.03.2019（2019-03-28） [0002],[0087]-[0100], 図7	1,2,7-10,12-20	A		3-6,11	Y	JP 2009-188148 A（三洋電機株式会社）20.08.2009（2009-08-20） [0025],[0049], 図2	1,2,7-10,12-20	Y	JP 2013-239607 A（三菱電機株式会社）28.11.2013（2013-11-28） [0030], 図5	7	Y	JP 2000-223693 A（三洋電機株式会社）11.08.2000（2000-08-11） 図10	9	A	WO 2020/213603 A1（ローム株式会社）22.10.2020（2020-10-22）	1-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
Y	JP 2019-050320 A（パナソニックIPマネジメント株式会社）28.03.2019（2019-03-28） [0002],[0087]-[0100], 図7	1,2,7-10,12-20																					
A		3-6,11																					
Y	JP 2009-188148 A（三洋電機株式会社）20.08.2009（2009-08-20） [0025],[0049], 図2	1,2,7-10,12-20																					
Y	JP 2013-239607 A（三菱電機株式会社）28.11.2013（2013-11-28） [0030], 図5	7																					
Y	JP 2000-223693 A（三洋電機株式会社）11.08.2000（2000-08-11） 図10	9																					
A	WO 2020/213603 A1（ローム株式会社）22.10.2020（2020-10-22）	1-20																					
<p>国際調査を完了した日</p> <p>04.04.2022</p>	<p>国際調査報告の発送日</p> <p>12.04.2022</p>																						
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>宇多川 勉 5F 3125</p> <p>電話番号 03-3581-1101 内線 3559</p>																						

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/004301

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-050320 A	28.03.2019	US 2019/0080976 A1 [0002],[0099]-[0112], 図7 CN 109494203 A	
JP 2009-188148 A	20.08.2009	(ファミリーなし)	
JP 2013-239607 A	28.11.2013	(ファミリーなし)	
JP 2000-223693 A	11.08.2000	(ファミリーなし)	
WO 2020/213603 A1	22.10.2020	DE 212020000212 U1	