

ITALIAN PATENT OFFICE

Document No.

102010901868507A1

Publication Date

20120301

Applicant

STMICROELECTRONICS S.R.L.

Title

DISPOSITIVO ELETTRONICO INTEGRATO CON STRUTTURA DI
TERMINAZIONE DI BORDO E RELATIVO METODO DI FABBRICAZIONE.

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:

"DISPOSITIVO ELETTRONICO INTEGRATO CON STRUTTURA DI
TERMINAZIONE DI BORDO E RELATIVO METODO DI FABBRICAZIONE"

di STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI, 2

AGRATE BRIANZA (MB)

Inventori: FRISINA Ferruccio, MAGRI' Angelo, SAGGIO Mario
Giuseppe

* * *

La presente invenzione è relativa ad un dispositivo elettronico integrato avente una struttura di terminazione di bordo e al relativo metodo di fabbricazione.

Come è noto, i dispositivi elettronici integrati sono formati all'interno di piastrine ("die"), le quali sono fabbricate a partire da fette ("wafer") di materiale semiconduttore ed hanno, in pianta, una forma generalmente rettangolare o quadrata.

In dettaglio, i bordi e gli spigoli delle piastrine corrispondono alle cosiddette "scribe line" o linee di taglio, cioè alle linee in corrispondenza delle quali le fette di materiale semiconduttore vengono tagliate per formare la piastrine stesse. In altre parole, le linee di taglio definiscono corrispondenti superfici laterali delle

piastrine.

In maggior dettaglio, ciascun dispositivo elettronico integrato può comprendere una pluralità di componenti elettronici elementari, quali ad esempio transistori, diodi, fotodiodi, ecc. Inoltre, data una generica piastrina che ospita almeno un componente elettronico elementare, all'interno della piastrina è possibile definire una regione periferica (anche nota come regione di bordo), adiacente alle linee di taglio, ed una regione centrale, circondata dalla regione periferica e in cui è fisicamente realizzato l'almeno un componente elettronico elementare. In aggiunta, nella regione periferica è solitamente realizzata una cosiddetta struttura di terminazione di bordo.

Come è noto, le strutture di terminazione di bordo circondano corrispondenti aree attive, cioè aree disposte all'interno delle regioni centrali ed ospitanti i componenti elettronici elementari. In uso, le strutture di terminazione di bordo assolvono la funzione di prevenire il verificarsi di fenomeni di rottura ("breakdown") all'interno delle regioni periferiche, le quali sono più soggette al fenomeno della rottura rispetto alle regioni centrali. Infatti, le aree attive, e quindi le regioni centrali, sono tipicamente progettate in modo che i componenti elettronici elementari ivi ospitati possano

sostenere (in teoria) una tensione massima $V_{\max}$, prima che si verifichi la rottura delle giunzioni PN presenti all'interno degli stessi componenti elettronici elementari. Viceversa, all'interno delle regioni di bordo, è possibile che si verifichino rotture anche a tensioni ben inferiori rispetto alla tensione massima $V_{\max}$, con conseguente limitazione della tensione che può essere effettivamente applicata ai componenti elettronici elementari, e quindi anche al dispositivo elettronico integrato che li ospita. In particolare, le regioni periferiche sono maggiormente soggette al fenomeno della rottura a causa della presenza, in genere, di spigoli e/o curvature di regioni drogate, con conseguente possibilità che si verifichi, in uso, un infittimento delle linee equipotenziali, e cioè un incremento del campo elettrico, fino a causare la rottura del materiale semiconduttore che forma le regioni periferiche.

Ai fini pratici, le strutture di terminazione di bordo assolvono dunque la funzione di ridurre localmente l'intensità del campo elettrico, in modo da evitare picchi di intensità del campo elettrico in prossimità dei bordi.

La presenza di opportune strutture di terminazione di bordo è ancora più importante nel caso di dispositivi elettronici integrati formati almeno in parte, oltre che di silicio, di carburo di silicio ("silicon carbide", SiC).

Infatti, all'interno di tali dispositivi elettronici integrati si generano campi elettrici molto elevati, i quali, in corrispondenza delle regioni centrali, sono tipicamente confinati all'interno di porzioni formate di carburo di silicio, il quale ha un campo elettrico critico superiore al campo elettrico critico del silicio. Viceversa, in assenza di opportune strutture di terminazione di bordo, è possibile che, in corrispondenza delle regioni periferiche, si generino campi elettrici elevati anche all'interno di porzioni formate di silicio, con conseguente possibilità che si verifichi una rottura.

Scopo della presente invenzione è fornire un dispositivo elettronico integrato e un metodo di fabbricazione che consentano di risolvere almeno in parte gli inconvenienti dell'arte nota.

Secondo l'invenzione, vengono forniti un dispositivo elettronico integrato e un metodo di fabbricazione come definiti, rispettivamente, nelle rivendicazioni 1 e 8.

Per una migliore comprensione dell'invenzione, ne vengono ora descritte forme di realizzazione, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- le figure 1-5 mostrano sezioni trasversali di differenti forme di realizzazione del presente dispositivo elettronico integrato; e

- le figure 6-20 mostrano sezioni trasversali di forme di realizzazione del presente dispositivo elettronico integrato, durante successive fasi di fabbricazione.

La figura 1 mostra una forma di realizzazione del presente dispositivo elettronico integrato 1, il quale è un dispositivo elettronico a conduzione verticale e forma un transistor MOSFET a trincea 2.

In dettaglio, il transistor MOSFET a trincea 2 è formato in una piastrina 3, in cui è possibile definire una regione periferica 3a, adiacente a una linea di taglio LT, ed una regione centrale 3b, in cui è fisicamente realizzato il transistor MOSFET a trincea 2.

La piastrina 3 comprende un corpo 4 di materiale semiconduttore, il quale comprende, a sua volta, un substrato 5 di carburo di silicio, di tipo N++ (ad esempio, drogato con azoto) ed avente una superficie inferiore S_5 ; il carburo di silicio può essere di un qualsiasi politipo (4H, 6H, 3C, ecc.). Inoltre, il corpo 4 comprende uno strato di buffer 6, di tipo N+, nonché uno strato epitassiale inferiore 8 ed uno strato epitassiale intermedio 10, rispettivamente di tipo N e N+.

In dettaglio, lo strato di buffer 6 è disposto al di sopra del substrato 5, con cui è in contatto diretto. Lo strato epitassiale inferiore 8 è disposto al di sopra ed in contatto diretto con lo strato di buffer 6; inoltre, lo

strato epitassiale intermedio 10 è disposto al di sopra ed in contatto diretto con lo strato epitassiale inferiore 8.

Il substrato 5 ha uno spessore h_5 che può essere compreso, ad esempio, fra $100\mu\text{m}$ e $600\mu\text{m}$, ed inoltre ha un livello di drogaggio che può essere compreso, ad esempio, fra $1\cdot 10^{18}\text{cm}^{-3}$ e $1\cdot 10^{19}\text{cm}^{-3}$.

Lo strato di buffer 6 ha uno spessore h_6 che può essere all'incirca pari, ad esempio, a $0,5\mu\text{m}$, ed inoltre ha un livello di drogaggio che può essere all'incirca pari, ad esempio, a $1\cdot 10^{18}\text{cm}^{-3}$.

Lo strato epitassiale inferiore 8 ha uno spessore h_8 che può essere all'incirca pari, ad esempio, a $9\mu\text{m}$, ed inoltre ha un livello di drogaggio che può essere all'incirca pari, ad esempio, a $1\cdot 10^{15}\text{cm}^{-3}$.

Per quanto concerne, invece, lo strato epitassiale intermedio 10, esso è opzionale ed ha uno spessore h_{10} che può essere all'incirca pari, ad esempio, a $0,2\mu\text{m}$, ed inoltre ha un livello di drogaggio che può essere compreso, ad esempio, fra $5\cdot 10^{15}\text{cm}^{-3}$ e $5\cdot 10^{16}\text{cm}^{-3}$. Inoltre, lo strato epitassiale intermedio 10 definisce una superficie intermedia S_{10} ed assolve la funzione di ridurre la resistenza di uscita del transistor MOSFET a trincea 2.

Il corpo 4 comprende inoltre uno strato epitassiale superiore 12, formato di silicio e di tipo P (ad esempio, drogato con boro). In dettaglio, lo strato epitassiale

superiore 12 definisce una superficie superiore S_{12} e si estende al di sopra della superficie intermedia S_{10} , in contatto diretto con lo strato epitassiale intermedio 10. Inoltre, lo strato epitassiale superiore 12 ha uno spessore h_{12} che può essere compreso, ad esempio, nell'intervallo $1\mu\text{m}-2\mu\text{m}$; ancora, lo strato epitassiale superiore 12 ha un livello di drogaggio che può essere compreso, ad esempio, nell'intervallo $1\cdot 10^{17}\text{cm}^{-3}-5\cdot 10^{17}\text{cm}^{-3}$. Come sarà chiaro in seguito, in tale forma di realizzazione lo strato epitassiale superiore 12 funge da regione di corpo.

In pratica, il corpo 4 di materiale semiconduttore è delimitato superiormente ed inferiormente dalla superficie superiore S_{12} e dalla superficie inferiore S_5 , rispettivamente. Inoltre, il corpo 4 è delimitato lateralmente dalla linea di taglio LT, la quale definisce appunto una superficie laterale del corpo 4.

Il transistor MOSFET a trincea 2 comprende inoltre una prima ed una seconda regione semiconduttrice 14a, 14b di tipo P+, le quali si estendono al di sotto della superficie intermedia S_{10} e fungono, rispettivamente, da prima e seconda regione profonda di corpo ("deep body region").

In dettaglio, la prima e la seconda regione semiconduttrice 14a, 14b sono lateralmente distanziate, in modo da definire una regione interna 16 tra loro

interposta. Inoltre, la prima regione semiconduttrice 14a è interposta tra la seconda regione semiconduttrice 14b e la linea di taglio LT.

In maggior dettaglio, la prima e la seconda regione semiconduttrice 14a, 14b si estendono, a partire dalla superficie intermedia S_{10} , con una profondità h_{14} superiore allo spessore h_{10} , ma inferiore a h_8+h_{10} . In altre parole, la prima e la seconda regione semiconduttrice 14a, 14b attraversano completamente lo strato epitassiale intermedio 10 e si estendono parzialmente all'interno dello strato epitassiale inferiore 8. Inoltre, la prima e la seconda regione semiconduttrice 14a, 14b hanno un livello di drogaggio medio N_{a_14} tale per cui:

$$h_{14} > 2 \cdot \epsilon \cdot E_c / (q \cdot N_{a_14}) \quad (1)$$

in cui ϵ è la costante dielettrica assoluta del carburo di silicio, E_c è il campo elettrico critico del carburo di silicio, e q è la carica dell'elettrone. Ad esempio, lo spessore h_{14} può essere pari a $0,4\mu\text{m}$, ed il livello di drogaggio medio N_{a_14} può essere compreso nell'intervallo $1 \cdot 10^{18} \text{cm}^{-3} - 5 \cdot 10^{18} \text{cm}^{-3}$.

Il transistor MOSFET a trincea 2 comprende inoltre una trincea 20, la quale si estende a partire dalla superficie superiore S_{12} ed ha uno spessore $h_{20} > h_{12} + h_{10}$. In altre parole, la trincea 20 si estende attraverso lo strato epitassiale superiore 12 e lo strato epitassiale intermedio

10, fino a contattare lo strato epitassiale inferiore 8. Inoltre, la trincea 20 è distanziata lateralmente rispetto alla prima ed alla seconda regione semiconduttrice 14a, 14b, in maniera tale da estendersi all'interno della regione interna 16 senza contattare la prima e la seconda regione semiconduttrice 14a, 14b, le quali sono equidistanti dalla trincea 20 stessa.

In dettaglio, la trincea 20 è delimitata da una parete 22, e la prima e la seconda regione semiconduttrice 14a, 14b distano entrambe una distanza d dalla parete 22. In pratica, indicando con w_{20} la larghezza della trincea 20 e con w_{16} la larghezza della regione interna 16, si ha $w_{16}=w_{20}+2d$.

La parete 22 è rivestita internamente da un primo strato di ossido 24. Inoltre, all'interno della trincea 20 è presente una prima regione di porta ("gate") 26, la quale è a contatto diretto con il primo strato di ossido 24 ed è formata di polisilicio.

Il transistor MOSFET a trincea 2 comprende inoltre una prima area dielettrica 30, la quale è disposta al di sopra della superficie superiore S_{12} , è verticalmente allineata alla trincea 20 ed è a contatto diretto con il primo strato di ossido 24 e con la prima regione di porta 26.

Il transistor MOSFET a trincea 2 comprende inoltre

una regione di sorgente 32 di tipo N⁺ (ad esempio, drogata con fosforo o arsenico) e con livello di drogaggio all'incirca pari a 10^{19}cm^{-3} . In dettaglio, la regione di sorgente 32 si estende a partire dalla superficie superiore S_{12} e circonda la trincea 20; inoltre, la regione di sorgente 32 contatta il primo strato di ossido 24 e la prima area dielettrica 30. In maggior dettaglio, la regione di sorgente 32 comprende una prima ed una seconda sottoregione di sorgente 32a, 32b, le quali si estendono su lati opposti rispetto alla trincea 20.

Il dispositivo elettronico integrato 1 comprende inoltre una metallizzazione superiore 34 ed una metallizzazione inferiore 36, nonché una metallizzazione di porta, quest'ultima contattando in modo di per sé noto la prima regione di porta 26 e non essendo mostrata.

In dettaglio, la metallizzazione superiore 34 funge da metallizzazione di sorgente e si estende al di sopra della superficie superiore S_{12} , in contatto diretto con lo strato epitassiale superiore 12, in modo da circondare la prima area dielettrica 30. Inoltre, la metallizzazione di sorgente 34 è a contatto diretto con la regione di sorgente 32.

La metallizzazione inferiore 36 funge da metallizzazione di pozzo ("drain") e si estende al di sotto della superficie inferiore S_5 del substrato 5, con cui è in

contatto diretto.

All'interno della regione periferica 3a è possibile distinguere un'area di bordo E, disposta all'interno del corpo 4 e ospitante una struttura di terminazione di bordo, descritta in seguito. Inoltre, all'interno della regione centrale 3b è possibile distinguere un'area attiva A, disposta all'interno del corpo 4 e ospitante il transistor MOSFET a trincea 2.

In particolare, l'area attiva A si estende attraverso lo strato epitassiale superiore 12, lo strato epitassiale intermedio 10 e parte dello strato epitassiale inferiore 8, ed è parzialmente delimitata dalla prima e dalla seconda regione semiconduttrice 14a, 14b.

In maggior dettaglio, l'area attiva A ospita una giunzione del tipo metallo - ossido - semiconduttore formata dalla prima regione di porta 26, dal primo strato di ossido 24 e dallo strato epitassiale superiore 12.

Polarizzando in modo di per sé noto la metallizzazione superiore 34 e la metallizzazione di porta, è possibile formare un canale di tipo N all'interno dello strato epitassiale superiore 12, ed in particolare in una regione dello strato epitassiale superiore 12 disposta a contatto diretto con il primo strato di ossido 24. Inoltre, polarizzando in modo di per sé noto la metallizzazione superiore 34 e la metallizzazione inferiore 36 con una

tensione V_{DS} , è possibile generare una corrente I_{DS} .

La corrente I_{DS} scorre tra la metallizzazione superiore 34 e la metallizzazione inferiore 36, dunque ha direzione verticale e scorre sia attraverso il silicio che attraverso il carburo di silicio. In particolare, la corrente I_{DS} scorre all'interno del canale di tipo N, attraversando lo strato epitassiale superiore 12; inoltre, la corrente I_{DS} attraversa il substrato 5, lo strato di buffer 6, nonché lo strato epitassiale inferiore 8 e lo strato epitassiale intermedio 10.

In pratica, il substrato 5, lo strato di buffer 6 e lo strato epitassiale inferiore 8 fungono da regione di pozzo ("drain") del transistor MOSFET a trincea 2, la cui regione di corpo è formata dallo strato epitassiale superiore 12, come precedentemente accennato.

Nel caso in cui la tensione V_{DS} sia tale da polarizzare inversamente la giunzione PN presente tra lo strato epitassiale superiore 12 e lo strato epitassiale intermedio 10, e dunque anche la giunzione PN presente tra lo strato epitassiale inferiore 8 e la prima e la seconda regione semiconduttrice 14a, 14b, il modulo della tensione V_{DS} non può superare una tensione massima V_{max} , pena l'insorgere di un fenomeno di rottura all'interno del transistor MOSFET a trincea 2.

In particolare, la tensione massima V_{max} risulta

particolarmente elevata grazie alla presenza, all'interno dello strato epitassiale intermedio 10 e di parte dello strato epitassiale inferiore 8, della prima e della seconda regione semiconduttrice 14a, 14b.

Infatti, assumendo per semplicità che la regione di sorgente 32 e la prima regione di porta 26 siano cortocircuitate, lo spessore h_{14} ed il drogaggio della prima e della seconda regione semiconduttrice 14a, 14b sono tali per cui la tensione V_{DS} cade sostanzialmente all'interno della prima e della seconda regione semiconduttrice 14a, 14b, nonché dello strato epitassiale inferiore 8 e dello strato di buffer 6. In altre parole, si genera un campo elettrico non nullo solamente all'interno della prima e della seconda regione semiconduttrice 14a, 14b, dello strato epitassiale inferiore 8 e dello strato di buffer 6; viceversa, all'interno dello strato epitassiale superiore 12, il campo elettrico è in prima approssimazione trascurabile. Pertanto, la tensione massima V_{max} è limitata superiormente, invece che dal campo elettrico critico del silicio, dal campo elettrico critico del carburo di silicio, il quale, come detto, è maggiore del campo elettrico critico del silicio.

In maggior dettaglio, relativamente allo strato epitassiale superiore 12, il campo elettrico ivi presente è trascurabile non solo in prossimità della prima e della

seconda regione semiconduttrice 14a, 14b, bensì anche in prossimità della regione interna 16, cioè laddove lo strato epitassiale superiore 12 non è a diretto contatto con la prima e la seconda regione semiconduttrice 14a, 14b. Infatti, come mostrato qualitativamente in figura 1, al di sotto della prima e della seconda regione semiconduttrice 14a, 14b, le linee equipotenziali L che si generano all'interno del transistor MOSFET a trincea 2 risultano all'incirca parallele alla prima e alla seconda regione semiconduttrice 14a, 14b. Invece, in corrispondenza della regione interna 16, le linee equipotenziali L si incurvano, a causa della presenza della trincea 20, ed in particolare del primo strato di ossido 24, in maniera tale per cui il campo elettrico stesso assume una direzione in prima approssimazione parallela alla superficie intermedia S_{10} .

Da un punto di vista più quantitativo, al fine di ridurre il campo elettrico presente nelle porzioni di strato epitassiale superiore 12 disposte affacciate alla regione interna 16, è possibile imporre $d < h_8$.

Il dispositivo elettronico integrato 1 comprende inoltre una prima regione dielettrica 40, la quale si estende al di sopra della superficie intermedia S_{10} , a contatto diretto con lo strato epitassiale intermedio 10 e con uno spessore h_{40} , il quale, come mostrato nella forma di realizzazione illustrata in figura 1, può essere

all'incirca pari allo spessore h_{12} .

In dettaglio, la prima regione dielettrica 40 può essere formata, ad esempio, di ossido di silicio, oppure di nitruro di silicio, oppure di una combinazione di ossido di silicio e nitruro di silicio. Inoltre, la prima regione dielettrica 40 si estende al di sopra della superficie intermedia S_{10} in modo da essere complanare rispetto allo strato epitassiale superiore 12, dal quale è circondata. In altre parole, la prima regione dielettrica 40 definisce una prima ed una seconda porzione 12a, 12b dello strato epitassiale superiore 12, lateralmente distanziate e tra le quali si estende appunto la prima regione dielettrica 40. In pratica, nella seconda porzione 12b si estende l'area attiva A, mentre la prima porzione 12a è delimitata dalla linea di taglio LT, in maniera tale per cui la prima regione dielettrica 40 risulta disposta tra l'area attiva A e la linea di taglio LT, cioè tra l'area attiva A e la superficie laterale del corpo 4.

In maggior dettaglio, la prima regione dielettrica 40 è lateralmente sfalsata ed è parzialmente sovrapposta rispetto alla prima regione semiconduttrice 14a, con cui è in contatto diretto. In particolare, la prima regione dielettrica 40 risulta sovrapposta alla prima regione semiconduttrice 14a per una larghezza x compresa, ad esempio, nell'intervallo $0,5\mu\text{m}$ - $5\mu\text{m}$.

Al di sopra della prima regione dielettrica 40 si estende una seconda regione dielettrica 42 formata ad esempio di vetro borofosfosilicato ("borophosphosilicate glass", BPSG). In particolare, la seconda regione dielettrica 42 è in contatto diretto con la prima regione dielettrica 40 e si estende lateralmente in modo da sovrastare parzialmente anche la prima e la seconda porzione 12a, 12b dello strato epitassiale superiore 12, con la quali è in contatto diretto. A sua volta, la seconda regione dielettrica 42 è sovrastata in parte dalla metallizzazione superiore 34, con cui è in contatto diretto. Inoltre, la metallizzazione superiore 34 risulta interposta tra la prima area dielettrica 30 e la seconda regione dielettrica 42.

Il dispositivo elettronico integrato 1 comprende inoltre un anello equipotenziale 50 ("equipotential ring", EQR) di materiale metallico, il quale si estende al di sopra della superficie superiore S_{12} ed è collegato alla metallizzazione inferiore 36 attraverso la prima porzione 12a dello strato epitassiale superiore 12. Pertanto, l'anello equipotenziale 50 si trova, in uso, al medesimo potenziale della metallizzazione inferiore 36, a meno della caduta di tensione dovuta alla tensione interna ("built-in voltage") che si localizza tra la prima porzione 12a e lo strato epitassiale intermedio 10.

In maggior dettaglio, l'anello equipotenziale 50 sovrasta parzialmente la seconda regione dielettrica 42, con cui è a contatto diretto, e contatta la prima porzione 12a dello strato epitassiale superiore 12, essendo invece separato dalla metallizzazione superiore 34.

In pratica, la prima regione dielettrica 40 forma una struttura di terminazione di bordo parzialmente sepolta tale per cui, in uso, le linee equipotenziali L assumono l'andamento mostrato qualitativamente in figura 1. In particolare, in corrispondenza della prima regione dielettrica 40, le linee equipotenziali L si inclinano rispetto alla superficie intermedia S_{10} ed alla superficie superiore S_{12} , in maniera tale da attraversare la stessa prima regione dielettrica 40. Il campo elettrico rimane dunque confinato all'interno della prima regione dielettrica 40, senza penetrare all'interno della prima e della seconda porzione 12a, 12b dello strato epitassiale superiore 12. Pertanto, si previene l'insorgere del fenomeno della rottura all'interno dello strato epitassiale superiore 12, anche in corrispondenza della regione periferica 3a della piastrina 3.

Per quanto concerne la seconda regione dielettrica 42, essa conferisce robustezza alla struttura di terminazione di bordo e funge da elemento di protezione rispetto ad eventuali agenti contaminanti esterni.

Per quanto concerne, invece, la prima porzione 12a dello strato epitassiale superiore 12, essa potrebbe essere assente, cioè la prima regione dielettrica 40 potrebbe estendersi fino alla linea di taglio LT, tuttavia la sua presenza consente di evitare la presenza di un elevato spessore di materiale dielettrico in corrispondenza della linea di taglio LT.

Come mostrato in figura 2, secondo una differente forma di realizzazione, la prima regione dielettrica 40 definisce una prima ed una seconda protuberanza 52, 53, disposte su rispettivi bordi della prima regione dielettrica 40, rialzate rispetto alla superficie superiore S_{12} e circondate dalla seconda regione dielettrica 42.

Come mostrato in figura 3, secondo un'ancora differente forma di realizzazione, la prima regione dielettrica 40 risulta parzialmente sovrapposta alla seconda porzione 12b dello strato epitassiale superiore 12, in maniera tale per cui la prima protuberanza 52 si estende al di sopra della superficie superiore S_{12} . La seconda protuberanza 53, invece, è assente.

In tale forma di realizzazione, la seconda regione dielettrica 42 si estende in modo da circondare la protuberanza 52, in maniera tale da prevenire il contatto tra la prima regione dielettrica 40 e la metallizzazione superiore 34. Inoltre, la prima regione dielettrica 40 non

contatta la prima porzione 12a dello strato epitassiale superiore 12. In altre parole, tra la prima regione dielettrica 40 e la prima porzione 12a è presente un primo interstizio 54, all'interno del quale si estende l'anello equipotenziale 50. In uso, differentemente da quanto mostrato in figura 1, l'anello equipotenziale 50 si trova al medesimo potenziale della metallizzazione inferiore 36, senza che si verifichi alcuna caduta di tensione dovuta alla tensione interna ("built-in voltage") che si localizza tra la prima porzione 12a e lo strato epitassiale intermedio 10.

Come mostrato in figura 4, secondo una differente forma di realizzazione, il dispositivo elettronico integrato 1 è del tipo mostrato in figura 1 e comprende inoltre una regione di confinamento 60 di tipo P- (ad esempio, drogata con alluminio), la quale si estende attraverso lo strato epitassiale intermedio 10, a partire dalla superficie intermedia S_{10} , con uno spessore h_{60} ad esempio pari allo spessore h_{14} della prima e della seconda regione semiconduttrice 14a, 14b.

In maggior dettaglio, la regione di confinamento 60 ha un livello di drogaggio almeno pari al livello di drogaggio dello strato epitassiale inferiore 8, ed inferiore al livello di drogaggio della prima e della seconda regione semiconduttrice 14a, 14b. Inoltre, la regione di

confinamento 60 si estende tra la prima regione semiconduttrice 14a, con cui è in contatto diretto, e la linea di taglio LT, ed è interamente sovrastata dalla prima regione dielettrica 40, con cui è in contatto diretto. In aggiunta, la regione di confinamento 60 si estende a distanza rispetto alla linea di taglio LT; ancora, come mostrato nella forma di realizzazione illustrata in figura 4, la regione di confinamento 60 può essere sfalsata lateralmente rispetto all'anello equipotenziale 50 in maniera tale per cui lo stesso anello equipotenziale 50 non si sovrappone alla regione di confinamento 60.

In pratica, indicando con 62 una regione di curvatura della prima regione semiconduttrice 14a avente approssimativamente la forma di uno spigolo e delimitante una porzione della prima regione semiconduttrice 14a rivolta verso la linea di taglio LT, la regione di confinamento 60 consente di ridurre il campo elettrico che, in assenza della regione di confinamento 60, si localizzerebbe in corrispondenza della regione di curvatura 62.

Sebbene non mostrate, sono altresì possibili forme di realizzazione del tipo mostrato nelle figure 2 o 3, e provviste inoltre della regione di confinamento 60 precedentemente descritta. Inoltre, all'interno dell'area attiva A, il dispositivo elettronico integrato 1 può

formare, invece del transistor MOSFET a trincea 2, un differente componente elettronico elementare, quale ad esempio un diodo a giunzione, un transistor MOS di potenza, un transistor bipolare a porta isolata ("Insulated Gate Bipolar Transistor", IGBT), ecc. A titolo puramente esemplificativo, la figura 5 mostra una forma di realizzazione in cui il dispositivo elettronico integrato 1 forma, all'interno dell'area attiva A, un transistor MOSFET a cella planare 70.

In particolare, con riferimento appunto alla figura 5, elementi ivi presenti e già presenti in figura 1 sono indicati con i medesimi numeri di riferimento. Inoltre, la seguente descrizione si limita alle differenze rispetto alla forma di realizzazione mostrata in figura 1.

In dettaglio, lo strato epitassiale superiore 12 è di tipo N- (ad esempio, drogato con fosforo) ed ha un livello di drogaggio ad esempio pari a 10^{15}cm^{-3} . Inoltre, all'interno dell'area attiva A si estendono una prima ed una seconda regione superiore 72a, 72b di tipo P (ad esempio, drogate con boro), le quali fungono, rispettivamente, da prima e seconda regione di corpo.

In dettaglio, la prima e la seconda regione superiore 72a, 72b hanno un livello di drogaggio compreso, ad esempio, fra $5 \cdot 10^{16}\text{cm}^{-3}$ e $5 \cdot 10^{17}\text{cm}^{-3}$. Inoltre, la prima e la seconda superiore 72a, 72b sono lateralmente distanziate e

sono disposte rispettivamente al di sotto ed in contatto diretto con la prima e la seconda sottoregione di sorgente 32a, 32b. In pratica, la prima sottoregione di sorgente 32a risulta interposta tra la prima regione dielettrica 40, dalla quale è lateralmente distanziata, e la seconda sottoregione di sorgente 32b.

In maggior dettaglio, la prima e la seconda regione superiore 72a, 72b circondano, rispettivamente, la prima e la seconda sottoregione di sorgente 32a, 32b, e si estendono verticalmente attraverso lo strato epitassiale superiore 12 a partire dalla superficie superiore S_{12} , fino a contattare, rispettivamente, la prima e la seconda regione semiconduttrice 14a, 14b.

Al di sopra della superficie superiore S_{12} si estende un secondo strato di ossido 74; in particolare, il secondo strato di ossido 74 si estende al di sopra ed in contatto diretto con una porzione dello strato epitassiale superiore 12 disposta tra la prima e la seconda sottoregione di sorgente 32a, 32b, le quali sono sovrastate in parte dallo stesso secondo strato di ossido 74.

Al di sopra ed in contatto diretto con il secondo strato di ossido 74 si estende una seconda regione di porta 76, formata di polisilicio e sovrastata, a sua volta, da una seconda area dielettrica 78. In particolare, la seconda area dielettrica 78 circonda sia il secondo strato di

ossido 74 che la seconda regione di porta 76, ed inoltre contatta la prima e la seconda sottoregione di sorgente 32a, 32b.

Al di sopra della superficie superiore S_{12} si estende inoltre un terzo strato di ossido 84, il quale si estende, in particolare, al di sopra ed in contatto diretto con una porzione dello strato epitassiale superiore 12 disposta tra la prima regione superiore 72a e la prima regione dielettrica 40. Inoltre, sia la prima regione superiore 72a che la prima regione dielettrica 40 sono in parte sovrastate dal terzo strato di ossido 84, con cui sono in contatto diretto.

Al di sopra ed in contatto diretto con il terzo strato di ossido 84 si estende una terza regione di porta 86, formata di polisilicio e sovrastata in parte da una terza area dielettrica 88.

In dettaglio, la terza regione di porta 86 è collegata, in modo di per sé noto e pertanto non mostrato, alla seconda regione di porta 76. Inoltre, la terza area dielettrica 88 è lateralmente distanziata dalla seconda regione dielettrica 42, in modo da definire un secondo interstizio 90, all'interno del quale si estende una metallizzazione di porta 92 del transistor MOSFET a cella planare 70. La metallizzazione di porta 92 sovrasta parzialmente la seconda regione dielettrica 42 e la terza

area dielettrica 88, contattata la terza regione di porta 86 ed è disaccoppiata dalla metallizzazione superiore 34.

A sua volta, la metallizzazione superiore 34 circonda la seconda area dielettrica 78 ed è disaccoppiata dal terzo strato di ossido 84 e dalla terza regione di porta 86, grazie all'interposizione della terza area dielettrica 88. In pratica, la metallizzazione superiore 34 funge da metallizzazione di sorgente, mentre la metallizzazione inferiore 36 funge da metallizzazione di pozzo.

Il presente dispositivo elettronico integrato può essere realizzato usando il procedimento di fabbricazione descritto nel seguito e rappresentato nelle figure 6-20. A titolo esemplificativo, e senza perdita di generalità, nel seguito si descrivono le operazioni relative alla fabbricazione delle forme di realizzazione mostrate nelle figure 1, 2, 3 e 4. In particolare, relativamente alla forma di realizzazione mostrata in figura 4, il corrispondente processo di fabbricazione 4 funge da esempio relativo, in generale, alla fabbricazione delle forme di realizzazione provviste della regione di confinamento 60.

Come mostrato in figura 6, per fabbricare la forma di realizzazione mostrata in figura 1 si predispone il substrato 5, e successivamente si formano lo strato di buffer 6, lo strato epitassiale inferiore 8 e lo strato epitassiale intermedio 10. In particolare, anche lo strato

di buffer 6 può essere formato mediante crescita epitassiale.

Successivamente (figura 7), impiegando una prima maschera 100 formata di un materiale opportuno (ad esempio, ossido o nitruro di silicio depositi mediante tecniche che deposizione chimica da vapore - "chemical vapor deposition", CVD), si esegue una sequenza di impianti di specie droganti di tipo P (ad esempio, atomi di alluminio), rappresentata dalle frecce 102, in modo da localizzare le specie droganti in un primo ed un secondo straterello 14a', 14b' di tipo P+, disposti al di sotto della superficie intermedia S_{10} e destinati a formare, rispettivamente, la prima e la seconda regione semiconduttrice 14a, 14b.

In particolare, la sequenza di impianti è formata da uno o più impianti successivi, effettuati mediante impiego della medesima prima maschera 100. In maggior dettaglio, ciascun impianto della sequenza di impianti viene eseguito a caldo, cioè ad una temperatura superiore ai 400°C, al fine di limitare i difetti introdotti durante l'impianto stesso all'interno del reticolo cristallino del carburo di silicio; inoltre, ciascun impianto può avvenire a dosaggio ed energia rispettivamente compresi negli intervalli $1 \cdot 10^{15} \text{cm}^{-2}$ - $1 \cdot 10^{16} \text{cm}^{-2}$ e 20keV-200keV.

Successivamente (figura 8), la prima maschera 100 viene rimossa, e viene eseguito un trattamento termico ad

una temperatura compresa tra 1400°C e 1850°C e di durata compresa tra 10 e 100 minuti, al fine di ridurre i siti dello strato epitassiale inferiore 8 e dello strato epitassiale intermedio 10 danneggiati in seguito al precedente processo di impiantazione ionica, nonché per attivare le specie droganti. In pratica, il trattamento termico avviene ad una temperatura sufficiente ad attivare una opportuna quantità di drogante, in maniera tale per cui il primo ed il secondo straterello 14a', 14b' formano, rispettivamente, la prima e la seconda regione semiconduttrice 14a, 14b.

In seguito (figura 9), si forma mediante etero-epitassia lo strato epitassiale superiore 12, formato di silicio.

Successivamente (figura 10), impiegando una seconda maschera di resist 104, si esegue un attacco chimico (a secco o a umido) per rimuovere selettivamente una porzione dello strato epitassiale superiore 12, definendo così una prima finestra 106 e la prima e la seconda porzione 12a, 12b dello strato epitassiale superiore 12. In particolare, la prima finestra 106 è interposta tra la prima e la seconda porzione 12a, 12b, ed è destinata ad ospitare la prima regione dielettrica 40. In maggior dettaglio, l'attacco chimico ha come punto di arresto ("end-point") il carburo di silicio, in maniera tale per cui, in cui

corrispondenza della prima finestra 106, il silicio viene rimosso interamente.

Successivamente (figura 11), si rimuove la seconda maschera di resist 104 e si deposita un primo strato dielettrico 40', destinato a formare la prima regione dielettrica 40. Il primo strato dielettrico ha uno spessore sufficiente a riempire interamente la prima finestra 106, dunque ha uno spessore maggiore dello spessore h_{12} , e può essere formato a sua volta da una pluralità di sottostrati dielettrici (non mostrati).

Successivamente (figura 12), si esegue una planarizzazione chimico-meccanica ("chemical mechanical polishing", CMP), al fine di rimuovere porzioni del primo strato dielettrico 40' disposte all'esterno della prima finestra 106, formando così la prima regione dielettrica 40.

In modo di per sé noto, quindi non mostrato, si formano successivamente la regione di sorgente 32, la trincea 20, il primo strato di ossido 24, la prima regione di porta 26, la prima regione dielettrica 30 e la seconda regione dielettrica 42, nonché la metallizzazione superiore 34, la metallizzazione di porta e la metallizzazione inferiore 36. Infine, si determina in modo di per sé noto una posizione della linea di taglio LT e si taglia la piastrina 3, ottenendo il dispositivo elettronico integrato

mostrato in figura 1. Nel seguito, per brevità, ci si riferisce a tali operazioni non mostrate in dettaglio come alle operazioni finali.

Relativamente alla forma di realizzazione mostrata in figura 2, per fabbricarla si eseguono le operazioni mostrate nelle figure 6-9, e successivamente (figura 13) si forma, al di sopra della superficie superiore S_{12} , uno strato di ossido di buffer 110 (opzionale) e uno strato di nitruro di silicio 112. In particolare, lo strato di ossido di buffer 110 assolve la funzione di limitare gli stress meccanici introdotti nello strato epitassiale superiore 12 durante le operazioni descritte qui di seguito.

Successivamente (figura 14), si effettua, mediante impiego di una terza maschera di resist 120, un attacco chimico, per rimuovere selettivamente una porzione dello strato di nitruro di silicio 112, definendo una seconda finestra 126 destinata ad ospitare la prima regione dielettrica 40, come descritto in seguito.

In seguito (figura 15), si effettua un ulteriore attacco chimico, autoallineato all'attacco chimico precedente, cioè effettuato mediante impiego della terza maschera di resist 120, ed avente la finalità di rimuovere selettivamente una porzione dello strato di ossido di buffer 110 (se presente) ed una porzione dello strato epitassiale superiore 12, entrambe sottostanti alla seconda

finestra 126. In pratica, così facendo, la seconda finestra 126 aumenta di spessore.

Al termine dell'ulteriore attacco chimico, la seconda finestra 126 si estende all'interno dello strato epitassiale superiore 12 con uno spessore h_{126} (calcolato a partire dalla superficie superiore S_{12}) al più pari a $h_{12} - h_{40}/2$, in maniera tale per cui la finestra 126 non raggiunge il sottostante carburo di silicio; ad esempio, nel caso in cui si abbia $h_{40} = h_{12}$, lo spessore h_{126} può essere pari a circa la metà dello spessore h_{12} dello strato epitassiale superiore 12. Pertanto, al di sotto della seconda finestra 126, lo strato epitassiale superiore 12 definisce una porzione residua 12c formata di silicio.

Successivamente (figura 16), si ossida termicamente l'intera porzione residua 12c, formando così la prima regione dielettrica 40, la quale, a causa del maggior volume dell'ossido di silicio rispetto al silicio, forma altresì la prima e la seconda protuberanza 52, 53. In tal modo, la prima regione dielettrica 40 risulta a contatto diretto con la superficie intermedia S_{10} definita dallo strato epitassiale intermedio 10. Si rimuovono quindi lo strato di nitrato di silicio 112 e lo strato di ossido di buffer 110 (se presente), ed infine si eseguono le summenzionate operazioni finali.

Per quanto concerne, invece, la forma di realizzazione

mostrata in figura 3, per fabbricarla si eseguono le operazioni mostrate nelle figure 6-11, e successivamente (figura 17) si esegue, mediante impiego di una quarta maschera di resist 140, un attacco chimico. In particolare, la quarta maschera di resist 140 è disposta, rispetto alla seconda maschera di resist 104 utilizzata in precedenza, in maniera tale per cui la prima regione dielettrica 40 definisce il primo interstizio 54 e la prima protuberanza 52, la quale si estende al di sopra della superficie superiore S_{12} .

In seguito, si rimuove la quarta maschera di resist 140 e si eseguono le summenzionate operazioni finali.

Per quanto concerne, infine, la forma di realizzazione mostrata in figura 4, per fabbricarla si eseguono le operazioni mostrate nelle figure 6 e 7.

Successivamente (figura 18), dunque prima di effettuare il trattamento termico ad una temperatura compresa tra 1400°C e 1850°C , si esegue, mediante una quinta maschera 150, un impianto di specie droganti di tipo P (ad esempio, alluminio), rappresentato dalle frecce 152, in modo da localizzare le specie droganti in un terzo straterello 60' di tipo P-, disposto al di sotto della superficie intermedia S_{10} , a contatto con il primo straterello 14a' e destinato a formare la regione di confinamento 60. In maggior dettaglio, la quinta maschera

150 può essere formata a partire dalla prima maschera 100, mediante rimozione selettiva di una porzione della stessa prima maschera 100. Inoltre, tale impianto può avvenire con dosaggio compreso nell'intervallo $1 \cdot 10^{12} \text{cm}^{-2}$ - $5 \cdot 10^{13} \text{cm}^{-2}$ e con energia compresa nell'intervallo 20KeV-200KeV, nonché ad una temperatura all'incirca pari a 400°C. In particolare, il dosaggio è tale per cui non si verifica un'apprezzabile alterazione del livello di drogaggio del primo e del secondo straterello 14a', 14b'.

Successivamente (figura 19), si rimuove la quinta maschera 150 e si esegue il trattamento termico ad una temperatura compresa tra 1400°C e 1850°C, in maniera tale per cui il primo, il secondo ed il terzo straterello 14a', 14b' e 60' formano, rispettivamente, la prima regione semiconduttrice 14a, la seconda regione semiconduttrice 14b e la regione di confinamento 60.

In seguito, si eseguono le operazioni mostrate nelle figure 9-12 e le operazioni finali.

In alternativa, per fabbricare ancora la forma di realizzazione mostrata in figura 4, è possibile eseguire le operazioni mostrate nelle figure 6-8, e successivamente (figura 20), dunque dopo aver rimosso la prima maschera 100 ed aver effettuato il trattamento termico ad una temperatura compresa tra 1400°C e 1850°C, eseguire, mediante una sesta maschera 160, un impianto di specie

droganti di tipo P (ad esempio, boro). Tale impianto, rappresentato dalle frecce 162, assolve la funzione di formare il summenzionato terzo straterello 60'.

In maggior dettaglio, tale impianto può avvenire a temperatura ambiente, con dosaggio compreso nell'intervallo $5 \cdot 10^{14} \text{cm}^{-2}$ - $5 \cdot 10^{15} \text{cm}^{-2}$ e con energia compresa nell'intervallo 20KeV-200KeV. Inoltre, la sesta maschera 160 è disposta, rispetto alla prima maschera 100 utilizzata in precedenza, in maniera tale da consentire l'impianto di specie droganti anche in una porzione della prima regione semiconduttrice 14a rivolta verso il terzo straterello 60'. In tal modo, si evita che eventuali disallineamenti tra la sesta e la prima maschera 160, 100 facciano sì che il terzo straterello 60' non sia a contatto con la prima regione semiconduttrice 14a.

Successivamente si eseguono le operazioni mostrate nelle figure 9-12 e le operazioni finali.

In pratica, secondo quest'ultima forma di realizzazione, la regione di confinamento 60 coincide con il terzo straterello 60', dunque la formazione della stessa regione di confinamento 60 non comporta alcun trattamento termico. Pertanto, la regione di confinamento 60 presenta un'elevata difettosità, la qual cosa consente di ridurre ulteriormente il campo elettrico in prossimità della regione di curvatura 62.

I vantaggi che il presente dispositivo elettronico integrato ed il presente metodo di fabbricazione consentono di ottenere emergono chiaramente dalla discussione precedente.

In dettaglio, il presente dispositivo elettronico integrato si avvale di una struttura di terminazione di bordo sepolta, la quale consente di prevenire la generazione di campi elettrici apprezzabili all'interno dello strato epitassiale superiore 12, anche in prossimità della linea di taglio LT. In particolare, il presente dispositivo elettronico integrato risulta meno soggetto, rispetto ai dispositivi tradizionali, all'insorgenza del fenomeno della rottura, anche in condizioni di interdizione, cioè quando la metallizzazione superiore 34 e la metallizzazione inferiore 36 sono polarizzate in maniera tale per cui la giunzione PN presente tra lo strato epitassiale superiore 12 e lo strato epitassiale intermedio 10 è polarizzata inversamente.

Risulta infine evidente che ai presenti dispositivo elettronico integrato e metodo di fabbricazione possono essere apportate modifiche e varianti, senza uscire dall'ambito della presente invenzione.

A titolo puramente esemplificativo, è possibile invertire tutti i tipi degli elementi di semiconduttore descritti, e/o impiegare materiali semiconduttori

differenti, ad esempio utilizzando il germanio al posto del silicio, oppure, sempre a titolo esemplificativo, utilizzando il germanio al posto del silicio ed il silicio al posto del carburo di silicio. Inoltre, il materiale semiconduttore formante il substrato 5 può essere scelto in modo indipendente dai materiali semiconduttori che formano lo strato di buffer 6, lo strato epitassiale inferiore 8, lo strato epitassiale intermedio 10 (se presente) e lo strato epitassiale superiore 12.

Inoltre, relativamente al metodo di fabbricazione, è ad esempio possibile che le operazioni mostrate in figura 15 siano tali per cui la seconda finestra 126 non si estende all'interno dello strato epitassiale superiore 12, cioè siano tali per cui $h_{126}=0$. La porzione residua 12c ha dunque uno spessore pari all'intero spessore h_{12} dello strato epitassiale superiore 12, e pertanto la prima regione dielettrica 40, che si genera in seguito al processo di ossidazione termica dell'intera porzione residua 12c, ha uno spessore h_{40} superiore allo spessore h_{12} .

RIVENDICAZIONI

1. Dispositivo elettronico integrato formato in un corpo (4) di materiale semiconduttore delimitato lateralmente da una superficie laterale (LT), comprendente:

- un substrato (5) di un primo materiale semiconduttore (SiC);

- una prima regione epitassiale (6,8,10) di un secondo materiale semiconduttore (SiC), sovrastante il substrato e definente una prima superficie (S_{10});

- una seconda regione epitassiale (12b) di un terzo materiale semiconduttore (Si), sovrastante la prima superficie (S_{10}) ed in contatto diretto con la prima regione epitassiale, il terzo materiale semiconduttore avendo un bandgap inferiore al bandgap del secondo materiale semiconduttore;

- un'area attiva (A) estendentesi all'interno della seconda regione epitassiale ed ospitante almeno un componente elettronico elementare (2;70); e

- una struttura di terminazione di bordo (40,60) interposta tra l'area attiva e la superficie laterale, e comprendente una prima regione dielettrica (40) disposta lateralmente rispetto alla seconda regione epitassiale, sovrastante la prima superficie (S_{10}) ed in contatto diretto con la prima regione epitassiale.

2. Dispositivo elettronico secondo la rivendicazione

1, in cui la prima regione epitassiale (6,8,10) è di un primo tipo di conducibilità, e comprendente inoltre una regione profonda (14a) di un secondo tipo di conducibilità, estendentesi al di sotto della prima superficie (S_{10}) ed all'interno della prima regione epitassiale, la prima regione dielettrica (40) essendo parzialmente sovrapposta alla regione profonda, con cui è a contatto diretto.

3. Dispositivo elettronico secondo la rivendicazione 2, in cui la struttura di terminazione di bordo comprende inoltre una regione di confinamento (60) del secondo tipo di conducibilità, estendentesi all'interno della prima regione epitassiale (6,8,10) a partire dalla prima superficie (S_{10}), la regione di confinamento essendo disposta lateralmente rispetto alla regione profonda (14a), con cui è in contatto diretto, ed essendo inoltre sovrastata, in contatto diretto, dalla prima regione dielettrica (40).

4. Dispositivo elettronico secondo la rivendicazione 3, in cui la regione di confinamento (60) ha un livello di drogaggio inferiore al livello di drogaggio della regione profonda (14a).

5. Dispositivo elettronico secondo una qualsiasi delle rivendicazioni precedenti, comprendente inoltre una terza regione epitassiale (12a) del terzo materiale semiconduttore (Si), sovrastante la prima superficie (S_{10})

ed in contatto diretto con la prima regione epitassiale (6,8,10), la prima regione dielettrica (40) essendo interposta tra la seconda (12b) e la terza regione epitassiale.

6. Dispositivo elettronico secondo la rivendicazione 5, in cui la terza regione epitassiale (12a) è lateralmente distanziata dalla prima regione dielettrica (40), in maniera tale per cui la prima regione dielettrica e la terza regione epitassiale delimitano un interstizio (54), il dispositivo elettronico comprendendo inoltre una regione conduttrice (50) estendentesi all'interno dell'interstizio e a contatto diretto con la prima regione epitassiale (6,8,10).

7. Dispositivo elettronico secondo una qualsiasi delle rivendicazioni precedenti, comprendente inoltre una seconda regione dielettrica (42), sovrastante la prima regione dielettrica (40).

8. Metodo di fabbricazione di un dispositivo elettronico integrato, comprendente le fasi di:

- predisporre un substrato (5) di un primo materiale semiconduttore (SiC);

- formare al di sopra del substrato una prima regione epitassiale (6,8,10) di un secondo materiale semiconduttore (SiC), definente una prima superficie (S_{10});

- formare, al di sopra ed in contatto diretto con la

prima regione epitassiale, una seconda regione epitassiale (12b) di un terzo materiale semiconduttore (Si), il terzo materiale semiconduttore avendo un bandgap inferiore al bandgap del secondo materiale semiconduttore;

- formare, all'interno di un'area attiva (A) estendentesi all'interno della seconda regione epitassiale, almeno un componente elettronico elementare (2;70);

- definire una posizione di una linea di taglio (LT) rispetto all'area attiva (A); e

- formare, al di sopra della prima superficie ed in contatto diretto con la prima regione epitassiale, e lateralmente rispetto alla seconda regione epitassiale, una prima regione dielettrica (40), interposta tra l'area attiva e la posizione della linea di taglio.

9. Metodo di fabbricazione secondo la rivendicazione 8, in cui la fase di formare una seconda regione epitassiale (12b) comprende formare un primo strato epitassiale (12) al di sopra della prima regione epitassiale (6,8,10), e in cui la fase di formare la prima regione dielettrica (40) comprende le fasi di:

- rimuovere selettivamente una porzione del primo strato epitassiale, in modo da formare una prima finestra (106), la quale attraversa il primo strato epitassiale per l'intero spessore; e

- formare un primo strato dielettrico (40') al di

sopra del primo strato epitassiale ed all'interno della prima finestra.

10. Metodo di fabbricazione secondo la rivendicazione 9, in cui la fase di formare la prima regione dielettrica (40) comprende inoltre la fase di effettuare una planarizzazione chimico-meccanica per rimuovere porzioni del primo strato dielettrico (40') disposte all'esterno della prima finestra (106).

11. Metodo di fabbricazione secondo la rivendicazione 9, in cui la fase di formare la prima regione dielettrica (40) comprende inoltre la fase di effettuare un attacco chimico mascherato per rimuovere porzioni del primo strato dielettrico (40') disposte all'esterno della prima finestra (106).

12. Metodo di fabbricazione secondo la rivendicazione 8, in cui la fase di formare una seconda regione epitassiale (12b) comprende formare un primo strato epitassiale (12) al di sopra della prima regione epitassiale (6,8,10), e in cui la fase di formare la prima regione dielettrica (40) comprende la fase di ossidare completamente una porzione residua (12c) del primo strato epitassiale.

13. Metodo di fabbricazione secondo una qualsiasi delle rivendicazioni da 8 a 12, in cui la prima regione epitassiale (6,8,10) è di un primo tipo di conducibilità, e

comprendente inoltre eseguire, dopo la fase formare una prima regione epitassiale (6,8,10) e prima della fase di formare una seconda regione epitassiale (12b), la fase di formare, al di sotto della prima superficie (S_{10}) ed all'interno della prima regione epitassiale (6,8,10), una regione profonda (14a) di un secondo tipo di conducibilità, la fase di formare una prima regione dielettrica (40) comprendendo realizzare la prima regione dielettrica in modo che sia a contatto diretto e parzialmente sovrapposta alla regione profonda.

14. Metodo di fabbricazione secondo la rivendicazione 13, comprendente inoltre la fase di formare, all'interno della prima regione epitassiale (6,8,10) e a partire dalla prima superficie (S_{10}), una regione di confinamento (60) del secondo tipo di conducibilità, disposta lateralmente e a contatto diretto con la regione profonda (14a), e sovrastata, in contatto diretto, dalla prima regione dielettrica (40).

15. Metodo di fabbricazione secondo la rivendicazione 14, in cui la fase di formare una regione profonda (14a) comprende effettuare un primo impianto di specie droganti del secondo tipo di conducibilità, e in cui la fase di formare una regione di confinamento (60) comprende effettuare, dopo aver effettuato il primo impianto, un secondo impianto di specie droganti del secondo tipo di

conducibilità, il metodo comprendendo inoltre la fase di effettuare un trattamento termico ad una temperatura superiore a 1400°C, detta fase effettuare un trattamento termico essendo eseguita alternativamente tra il primo ed il secondo impianto, oppure dopo il secondo impianto.

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO

CLAIMS

1. An integrated electronic device formed in a body (4) of semiconductor material delimited laterally by a lateral surface (LT), said device comprising:
 - a substrate (5) of a first semiconductor material (SiC);
 - a first epitaxial region (6, 8, 10) of a second semiconductor material (SiC), which overlies the substrate and defines a first surface (S_{10});
 - a second epitaxial region (12b) of a third semiconductor material (Si), which overlies the first surface (S_{10}) and is in direct contact with the first epitaxial region, the third semiconductor material having a bandgap narrower than the bandgap of the second semiconductor material;
 - an active area (A) extending within the second epitaxial region and housing at least one elementary electronic component (2; 70); and
 - an edge-termination structure (40, 60), arranged between the active area and the lateral surface, and comprising a first dielectric region (40) arranged laterally with respect to the second epitaxial region, which overlies the first surface (S_{10}) and is in direct contact with the first epitaxial region.
2. The electronic device according to claim 1, wherein the first epitaxial region (6, 8, 10) is of a first type of conductivity, and further comprising a deep region (14a) of a second type of conductivity, extending underneath the first surface (S_{10}) and within the first epitaxial region, the first dielectric region (40) being partially arranged on top of the deep region, with which it is in direct contact.
3. The electronic device according to claim 2, wherein the edge-termination structure further comprises a confinement region (60) having the second type of conductivity, extending

within the first epitaxial region (6, 8, 10) starting from the first surface (S_{10}), the confinement region being arranged laterally with respect to the deep region (14a), with which it is in direct contact, and being moreover overlaid, in direct contact, by the first dielectric region (40).

4. The electronic device according to claim 3, wherein the confinement region (60) has a doping level lower than the doping level of the deep region (14a).

5. The electronic device according to any one of the preceding claims, further comprising a third epitaxial region (12a) of the third semiconductor material (Si), which overlies the first surface (S_{10}) and is in direct contact with the first epitaxial region (6, 8, 10), the first dielectric region (40) being arranged between the second epitaxial region (12b) and the third epitaxial region.

6. The electronic device according to claim 5, wherein the third epitaxial region (12a) is laterally spaced apart from the first dielectric region (40) in such a way that the first dielectric region and the third epitaxial region delimit a gap (54), the electronic device further comprising a conductive region (50) extending within the gap and in direct contact with the first epitaxial region (6, 8, 10).

7. The electronic device according to any one of the preceding claims, further comprising a second dielectric region (42), which overlies the first dielectric region (40).

8. A method for manufacturing an integrated electronic device, comprising the steps of:

- providing a substrate (5) of a first semiconductor material (SiC);

- forming on top of the substrate a first epitaxial region (6, 8, 10) of a second semiconductor material (SiC), defining a first surface (S₁₀);

5 - forming, on top of and in direct contact with the first epitaxial region, a second epitaxial region (12b) of a third semiconductor material (Si), the third semiconductor material having a bandgap narrower than the bandgap of the second semiconductor material;

10 - forming, within an active area (A) extending within the second epitaxial region, at least one elementary electronic component (2; 70);

- defining a position of a scribe line (LT) with respect to the active area (A); and

15 - forming, on top of the first surface and in direct contact with the first epitaxial region, and laterally with respect to the second epitaxial region, a first dielectric region (40), arranged between the active area and the position of the scribe line.

20 9. The manufacturing method according to claim 8, wherein the step of forming a second epitaxial region (12b) comprises forming a first epitaxial layer (12) on top of the first epitaxial region (6, 8, 10), and wherein the step of forming the first dielectric region (40) comprises the steps of:

25 - selectively removing a portion of the first epitaxial layer so as to form a first window (106), which traverses the first epitaxial layer throughout the thickness; and

- forming a first dielectric layer (40') on top of the first epitaxial layer and within the first window.

30

10. The manufacturing method according to claim 9, wherein the step of forming the first dielectric region (40) further comprises the step of carrying out a chemical mechanical polishing for removing portions of the first dielectric layer

(40') arranged on the outside of the first window (106).

11. The manufacturing method according to claim 9, wherein the step of forming the first dielectric region (40) further
5 comprises the step of carrying out a masked chemical etch for removing portions of the first dielectric layer (40') arranged on the outside of the first window (106).

12. The manufacturing method according to claim 8, wherein the
10 step of forming a second epitaxial region (12b) comprises forming a first epitaxial layer (12) on top of the first epitaxial region (6, 8, 10), and wherein the step of forming the first dielectric region (40) comprises the step of completely oxidizing a residual portion (12c) of the first
15 epitaxial layer.

13. The manufacturing method according to any one of claims 8 to 12, wherein the first epitaxial region (6, 8, 10) is of a first type of conductivity, and further comprising executing,
20 after the step of forming a first epitaxial region (6, 8, 10) and before the step of forming a second epitaxial region (12b), the step of forming, underneath the first surface (S_{10}) and within the first epitaxial region (6, 8, 10), a deep region (14a) having a second type of conductivity, the step of
25 forming a first dielectric region (40) comprising providing the first dielectric region so that it is in direct contact with and partially arranged on top of the deep region.

14. The manufacturing method according to claim 13, further
30 comprising the step of forming, within the first epitaxial region (6, 8, 10) and starting from the first surface (S_{10}), a confinement region (60) having the second type of conductivity, arranged laterally and in direct contact with the deep region (14a), and overlaid, in direct contact, by the

first dielectric region (40).

15. The manufacturing method according to claim 14, wherein
the step of forming a deep region (14a) comprises carrying out
5 a first implant of dopant species of the second type of
conductivity, and wherein the step of forming a confinement
region (60) comprises carrying out, after performing the first
implant, a second implant of dopant species of the second type
of conductivity, the method further comprising the step of
10 carrying out an annealing at a temperature higher than 1400°C,
said step of carrying out an annealing being executed
alternatively between the first implant and the second implant
or else after the second implant.

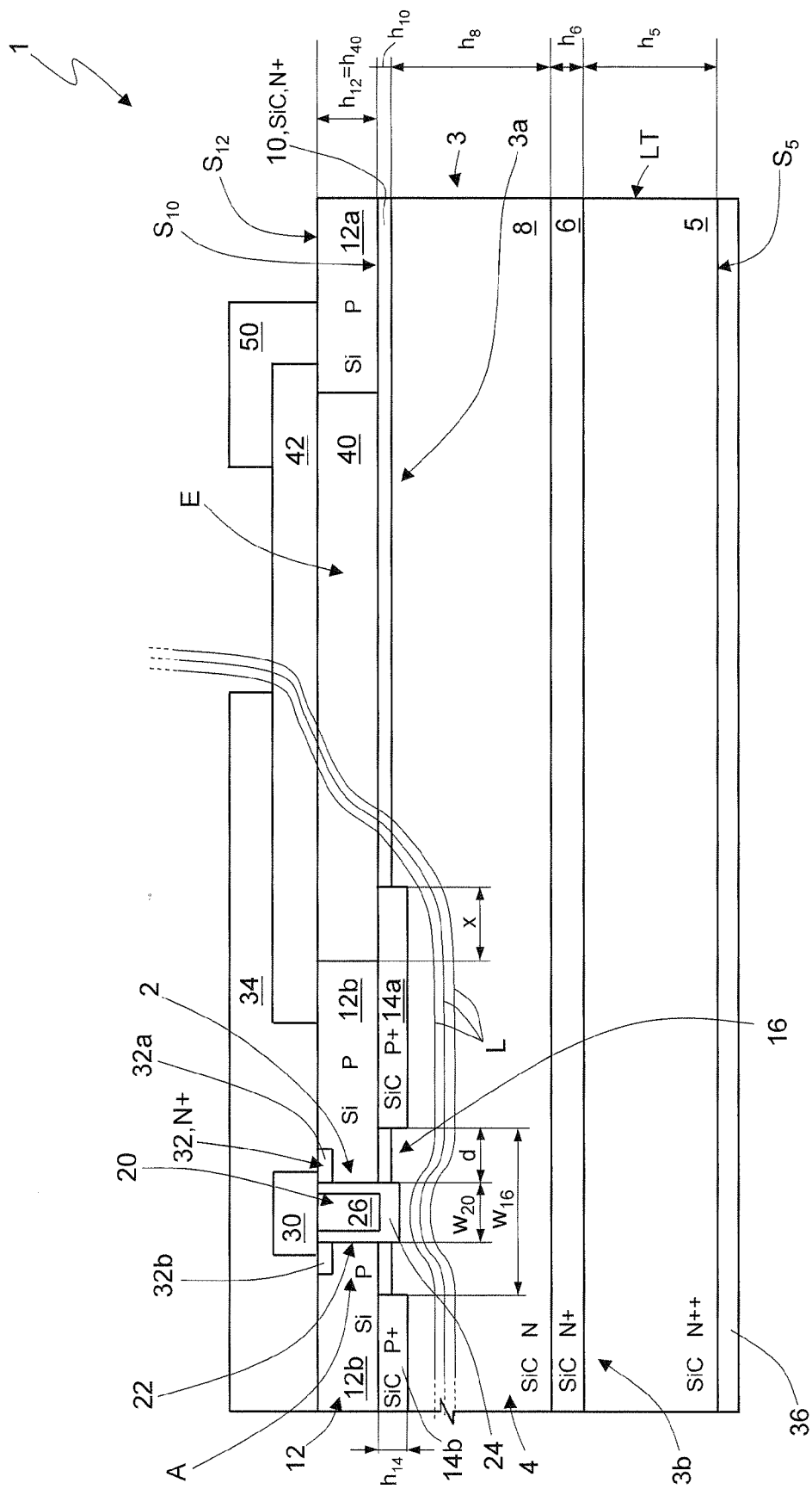
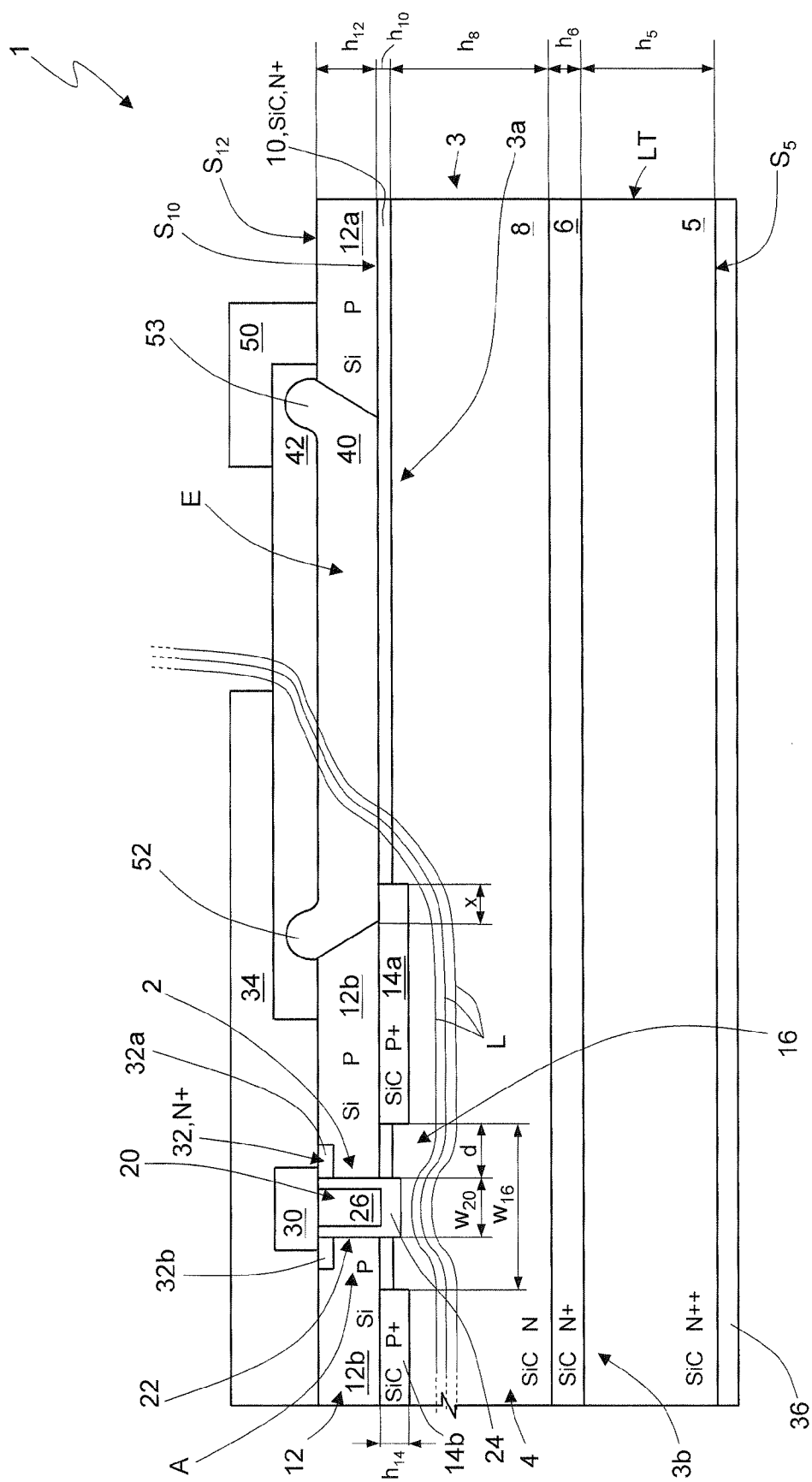
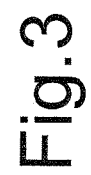


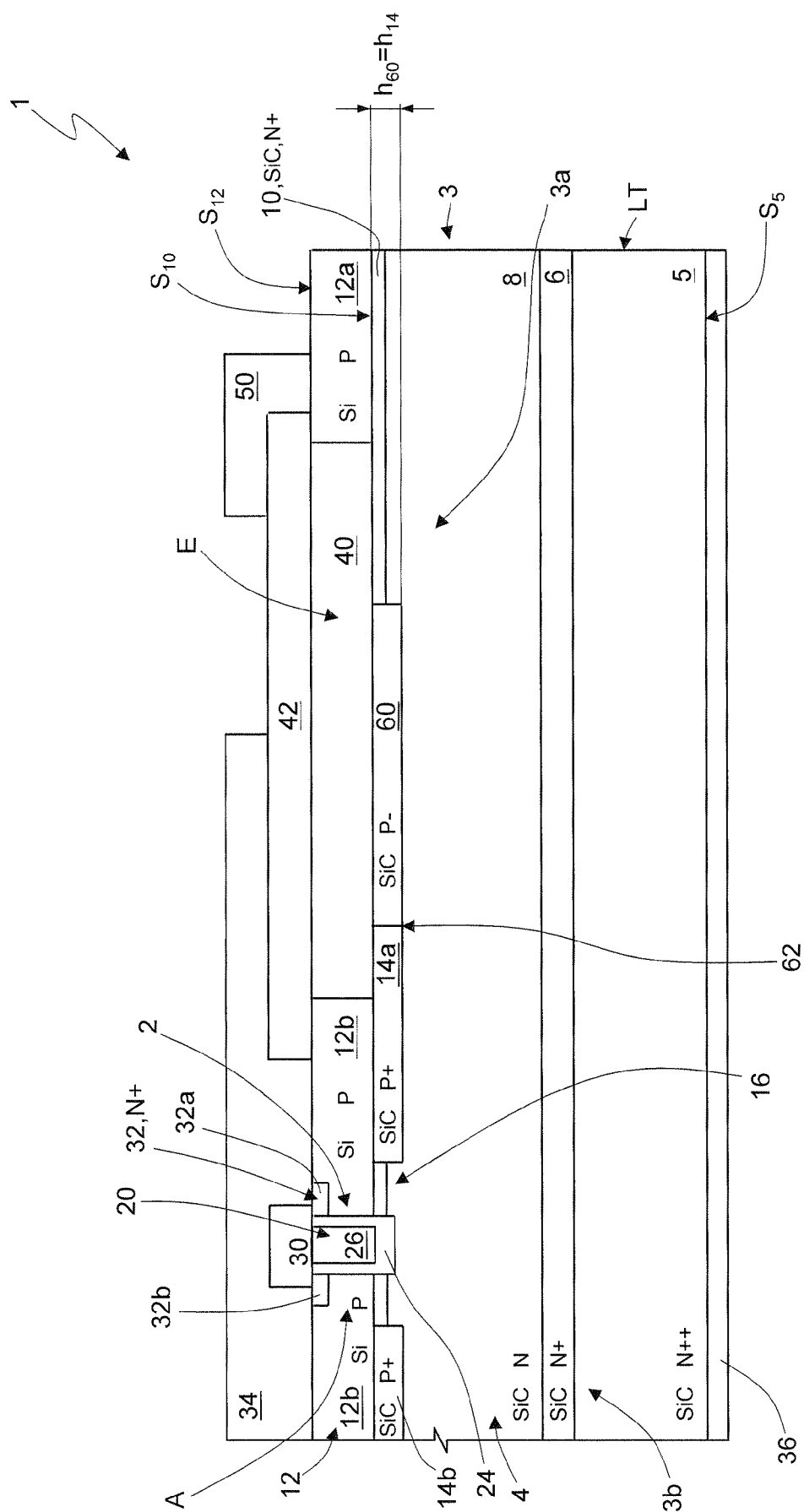
Fig. 1



p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

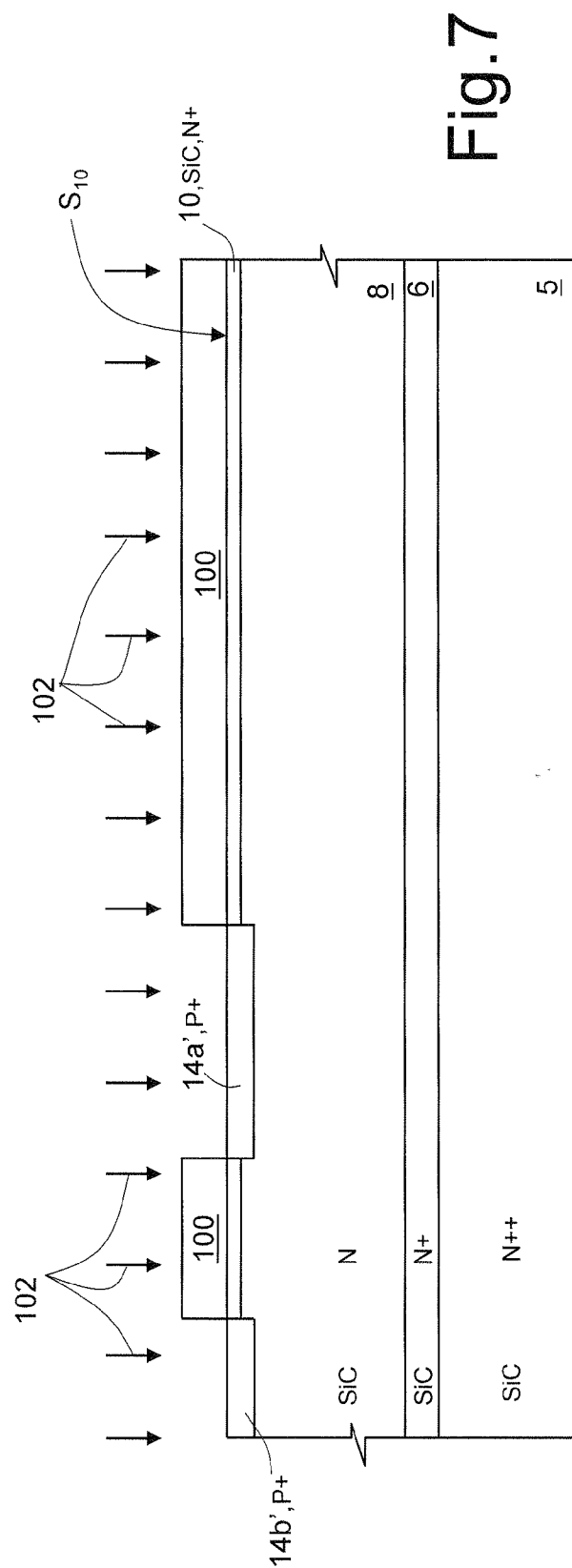
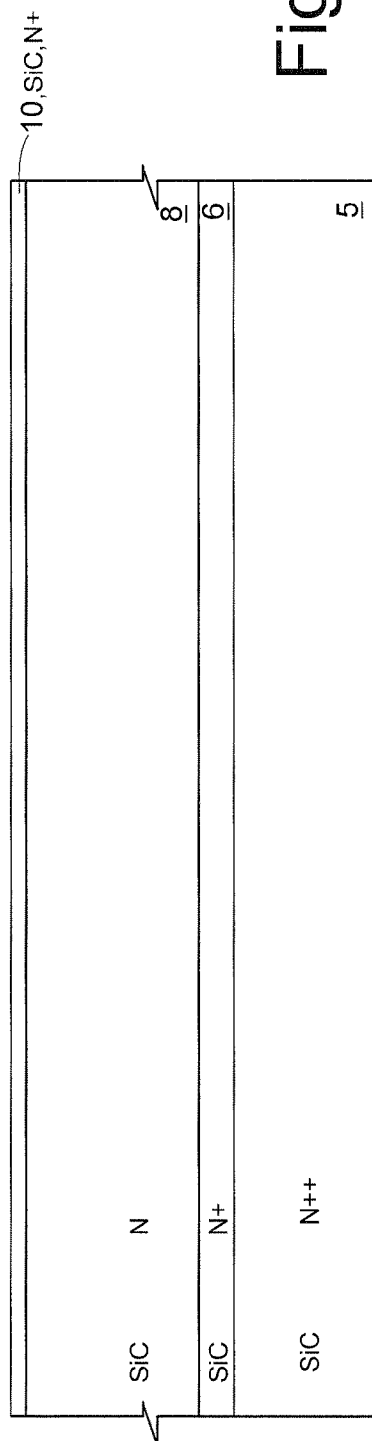


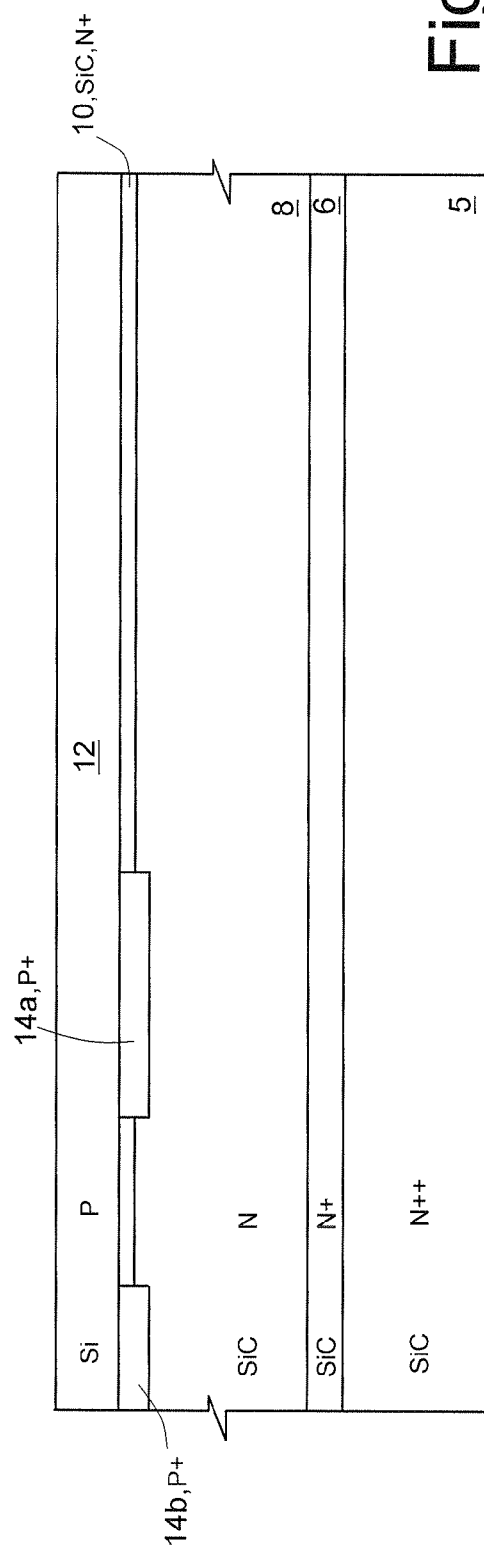
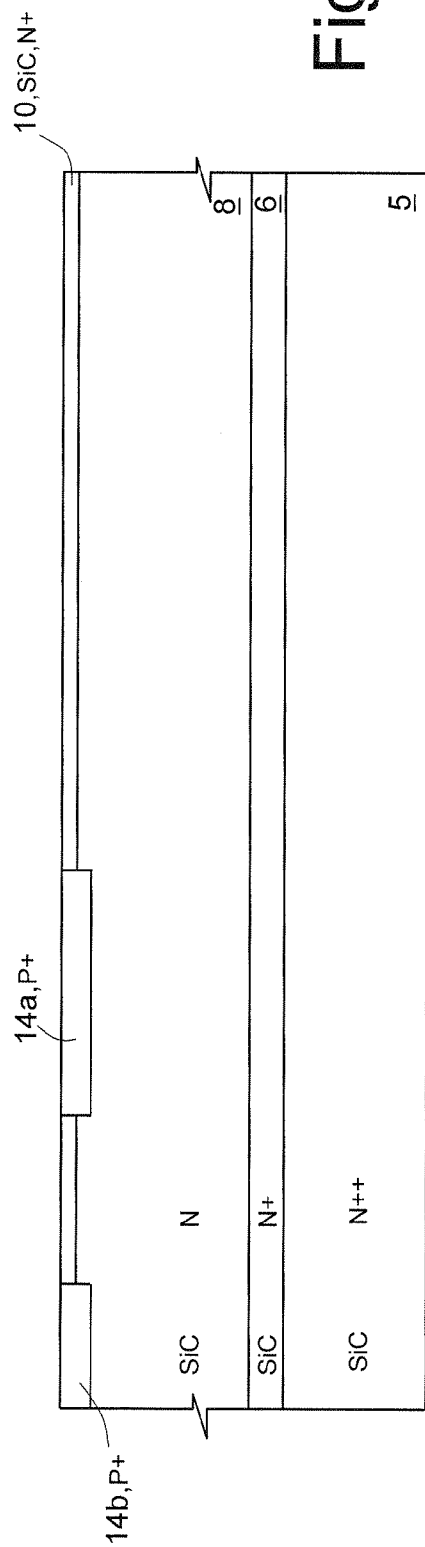


p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)







p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

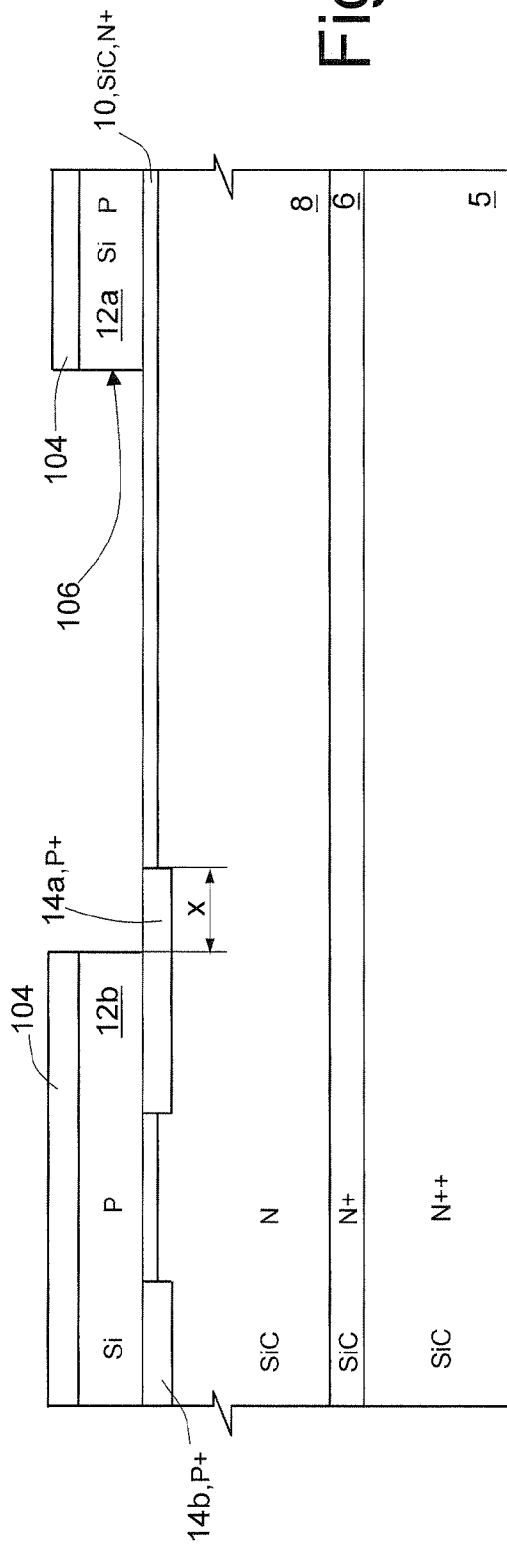


Fig.10

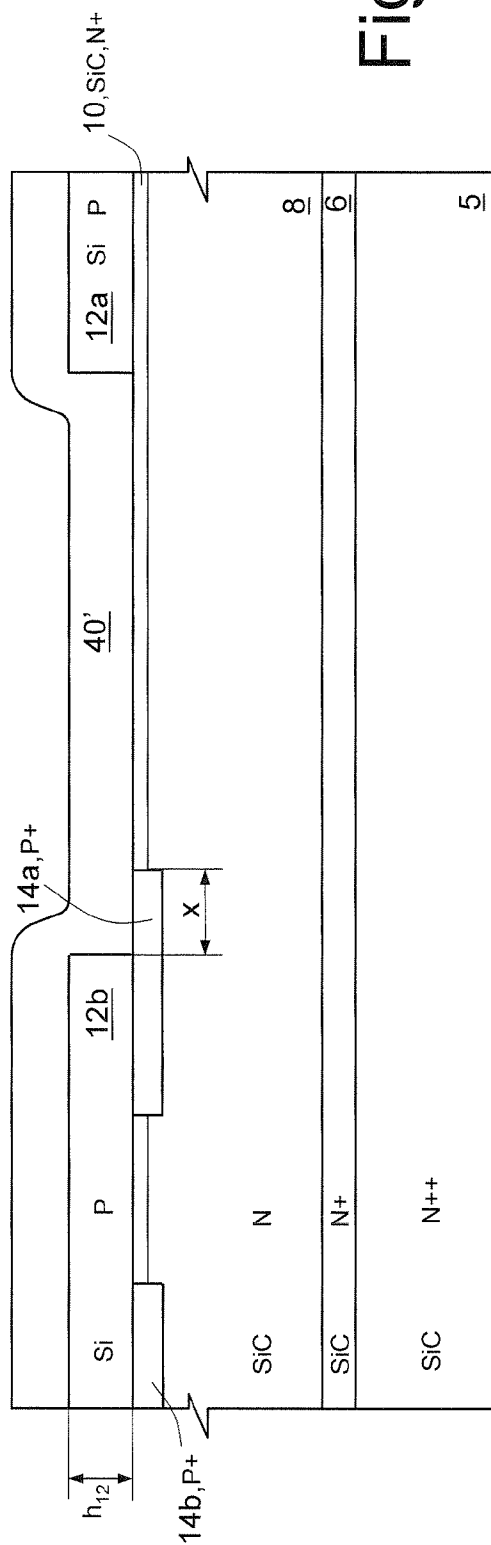
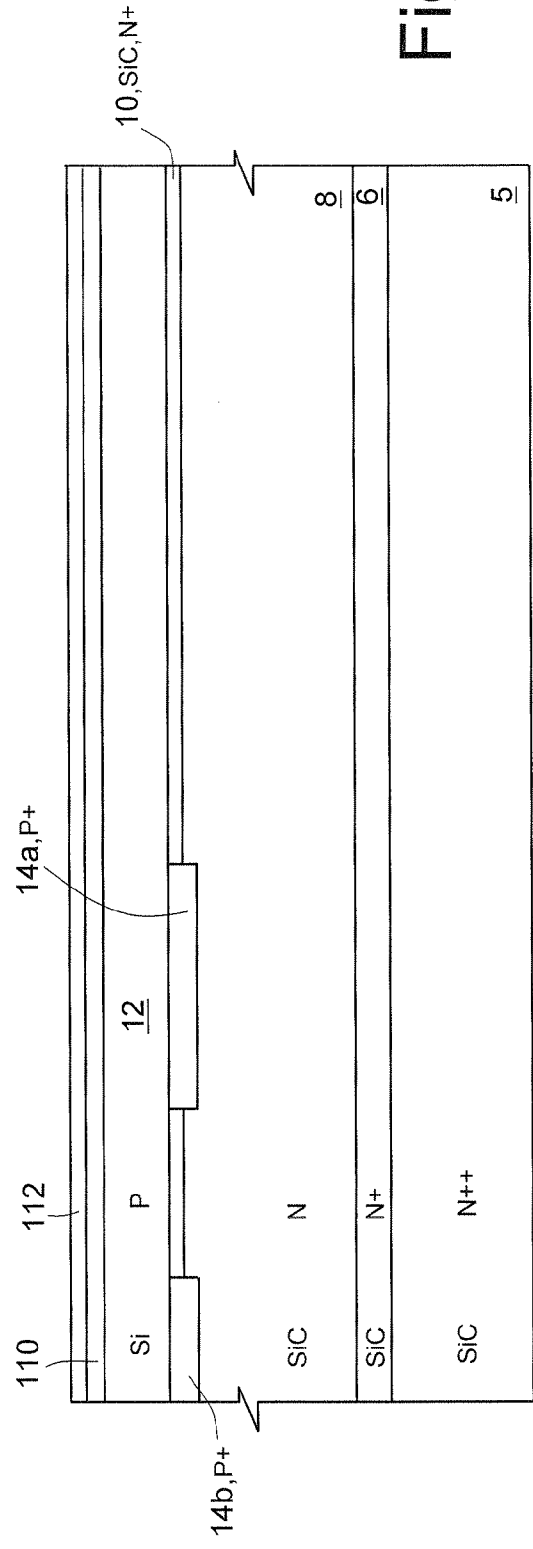
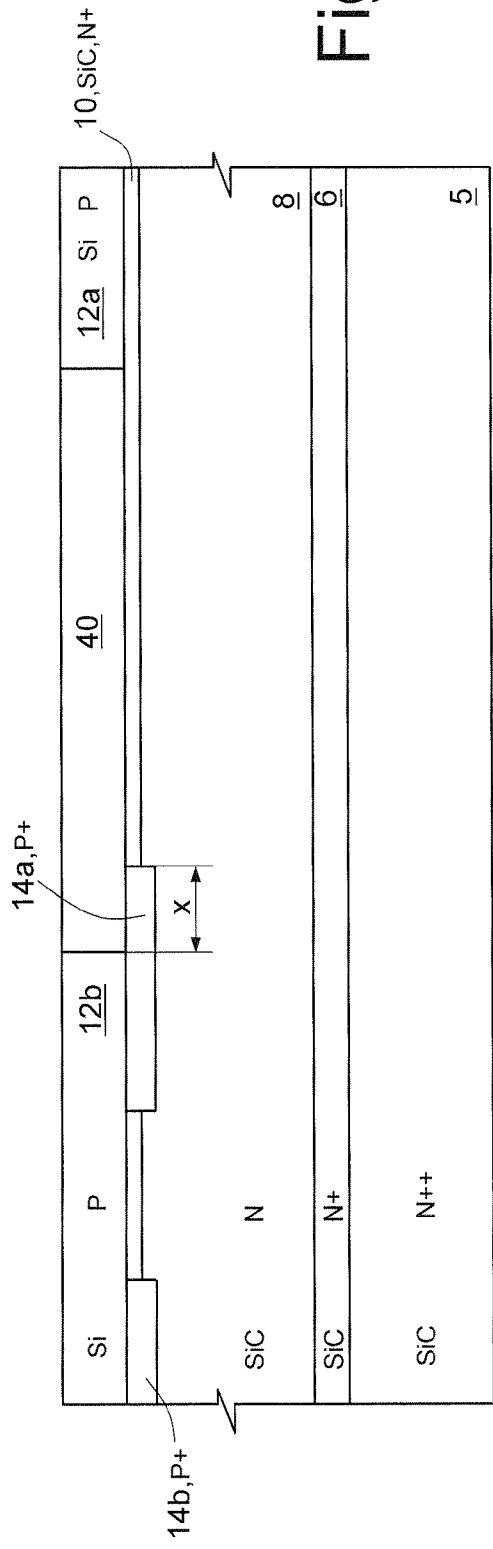
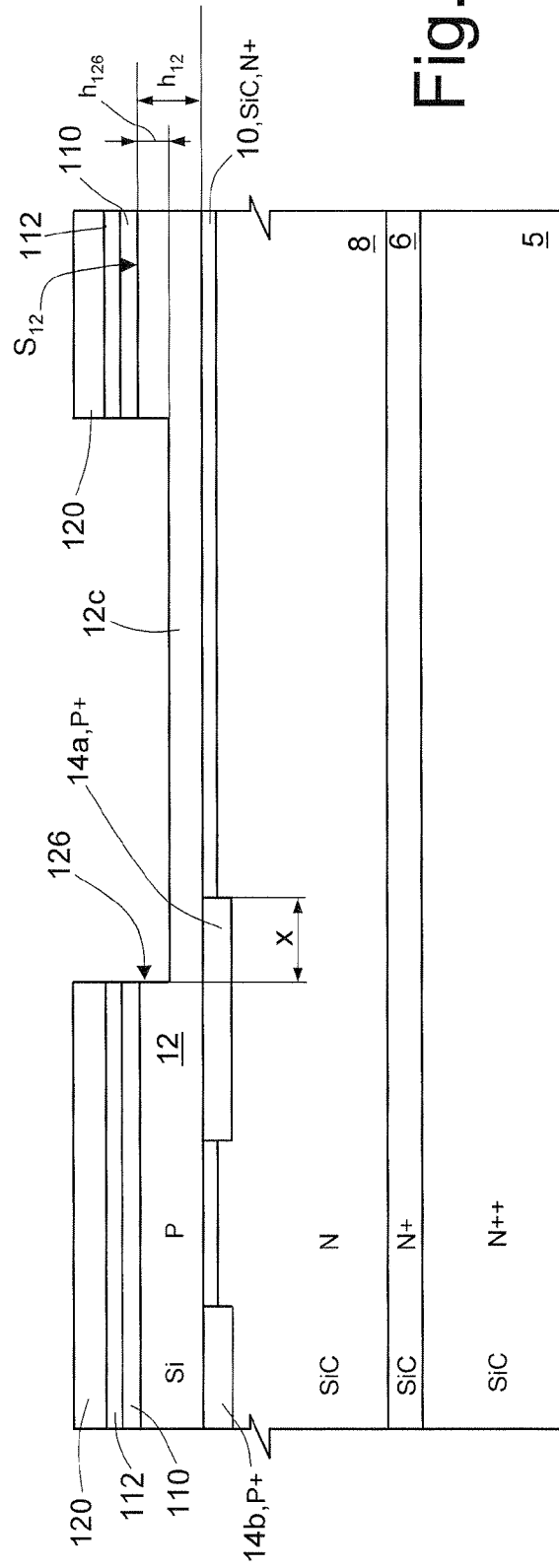
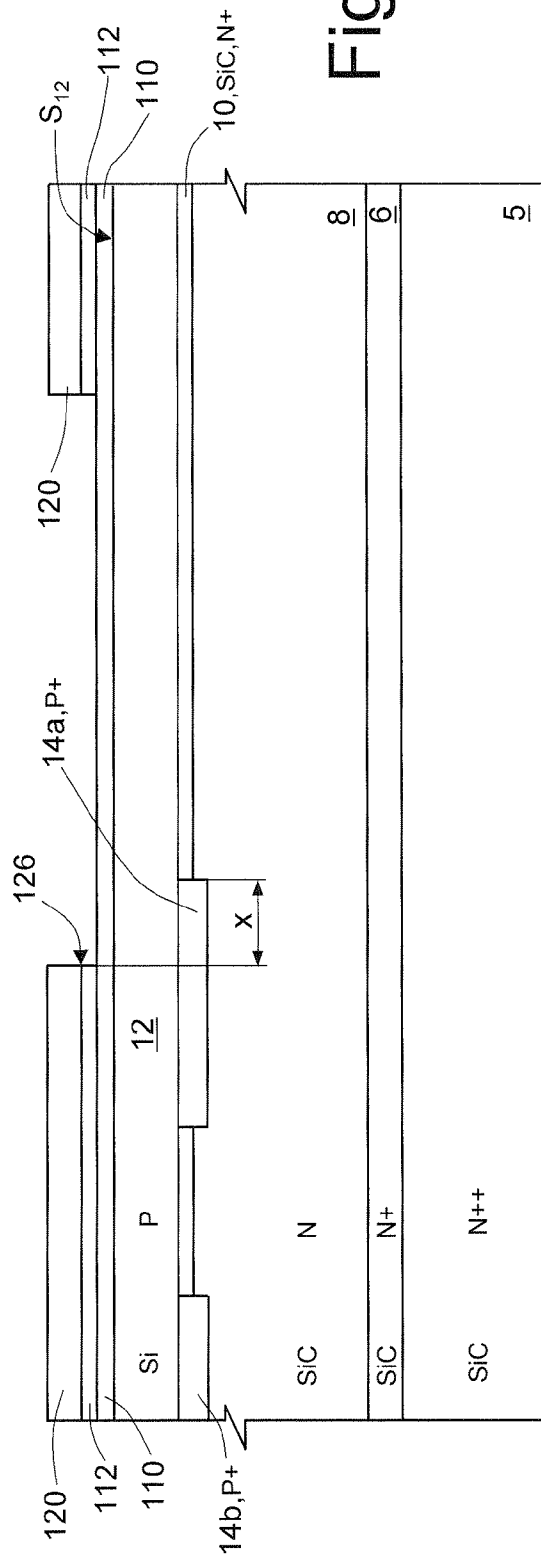
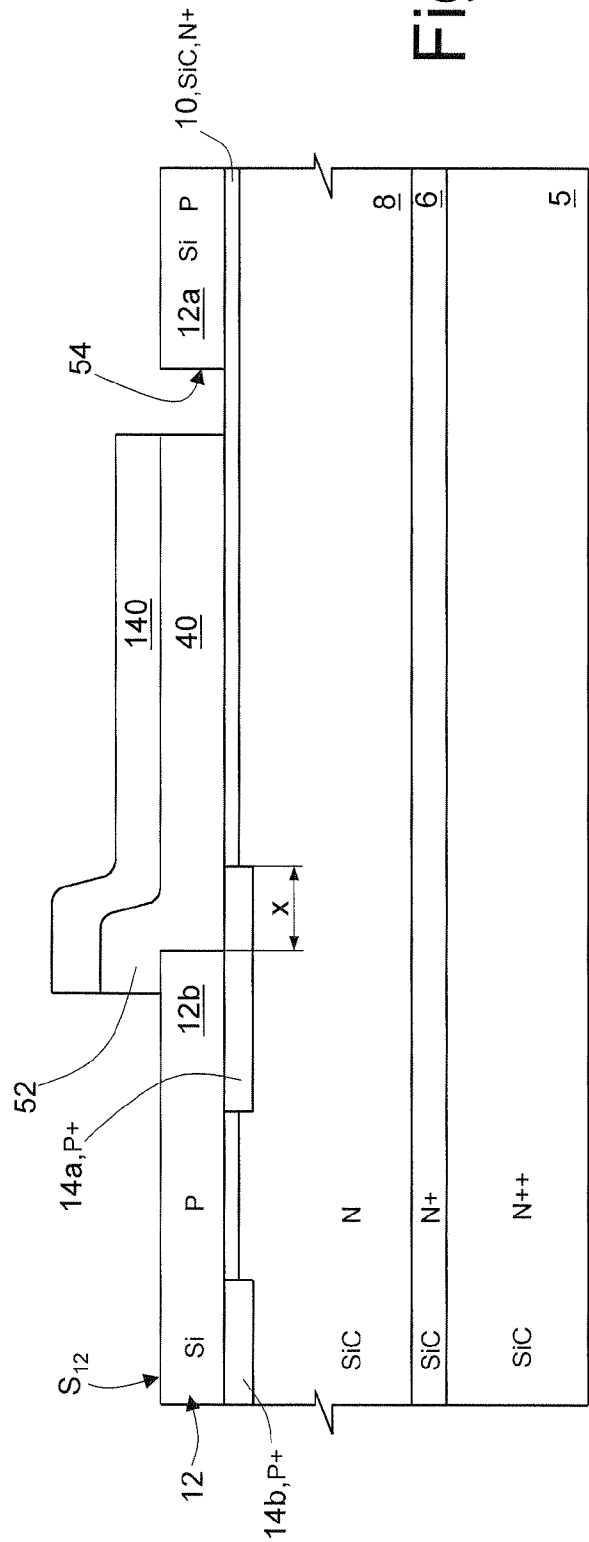
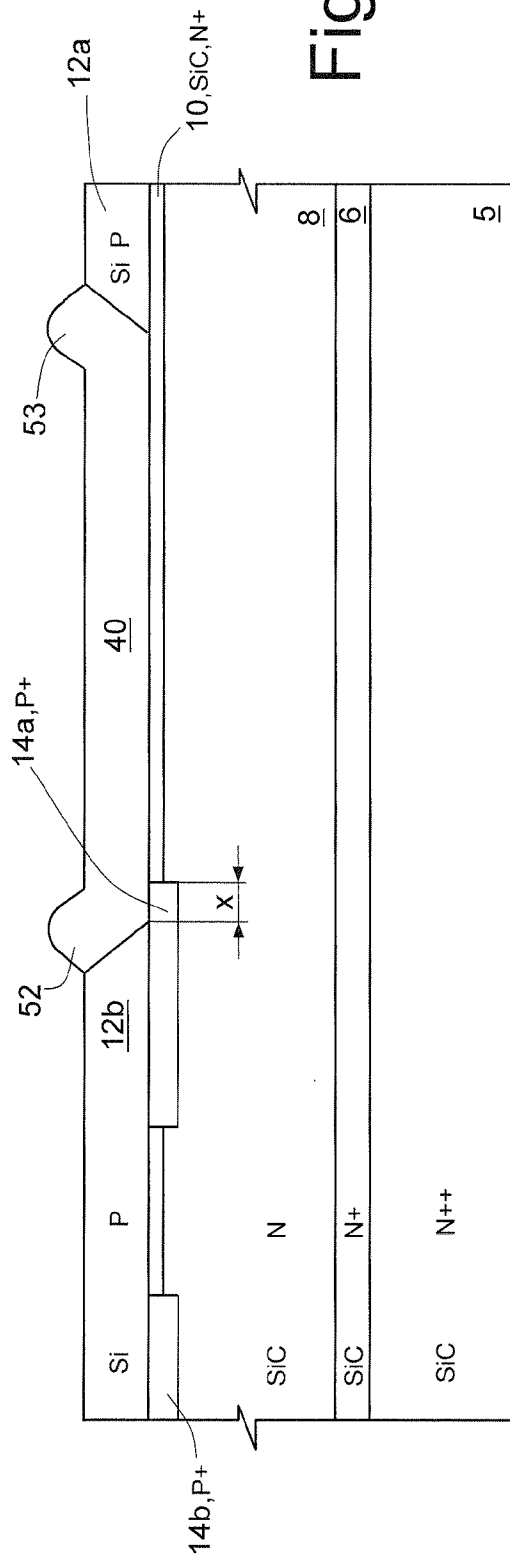


Fig.11

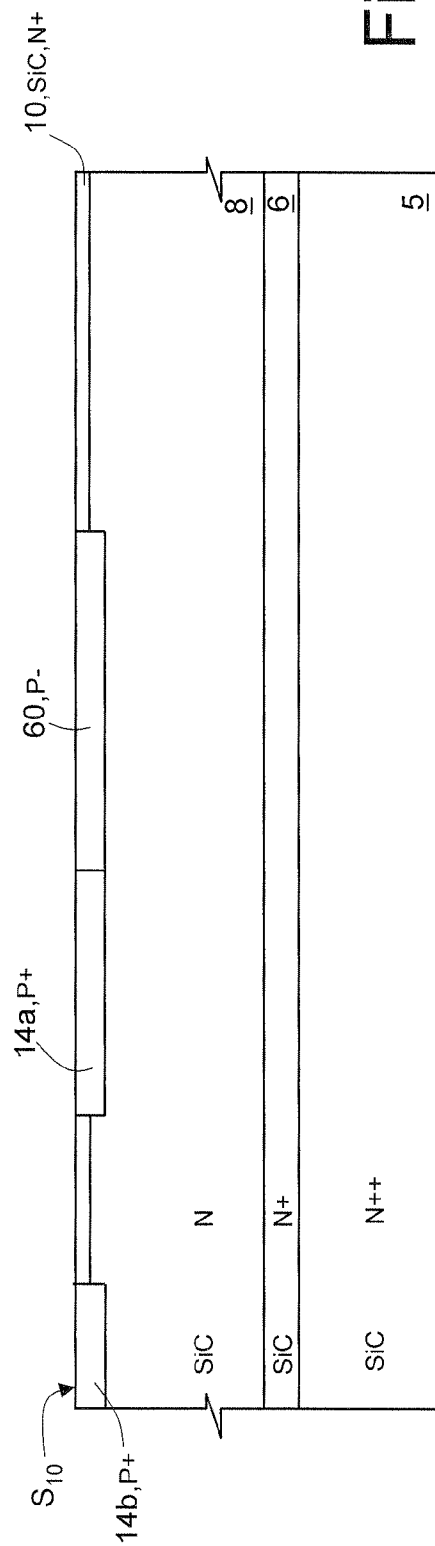
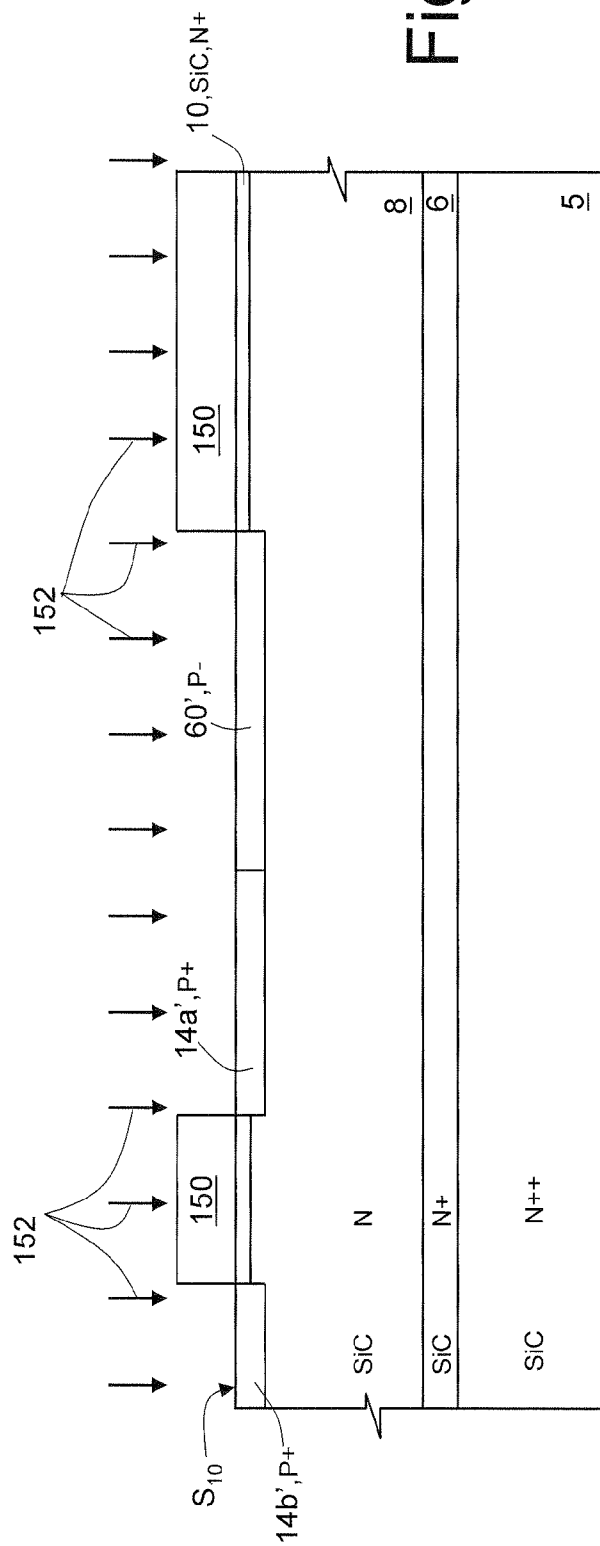






p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)



p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

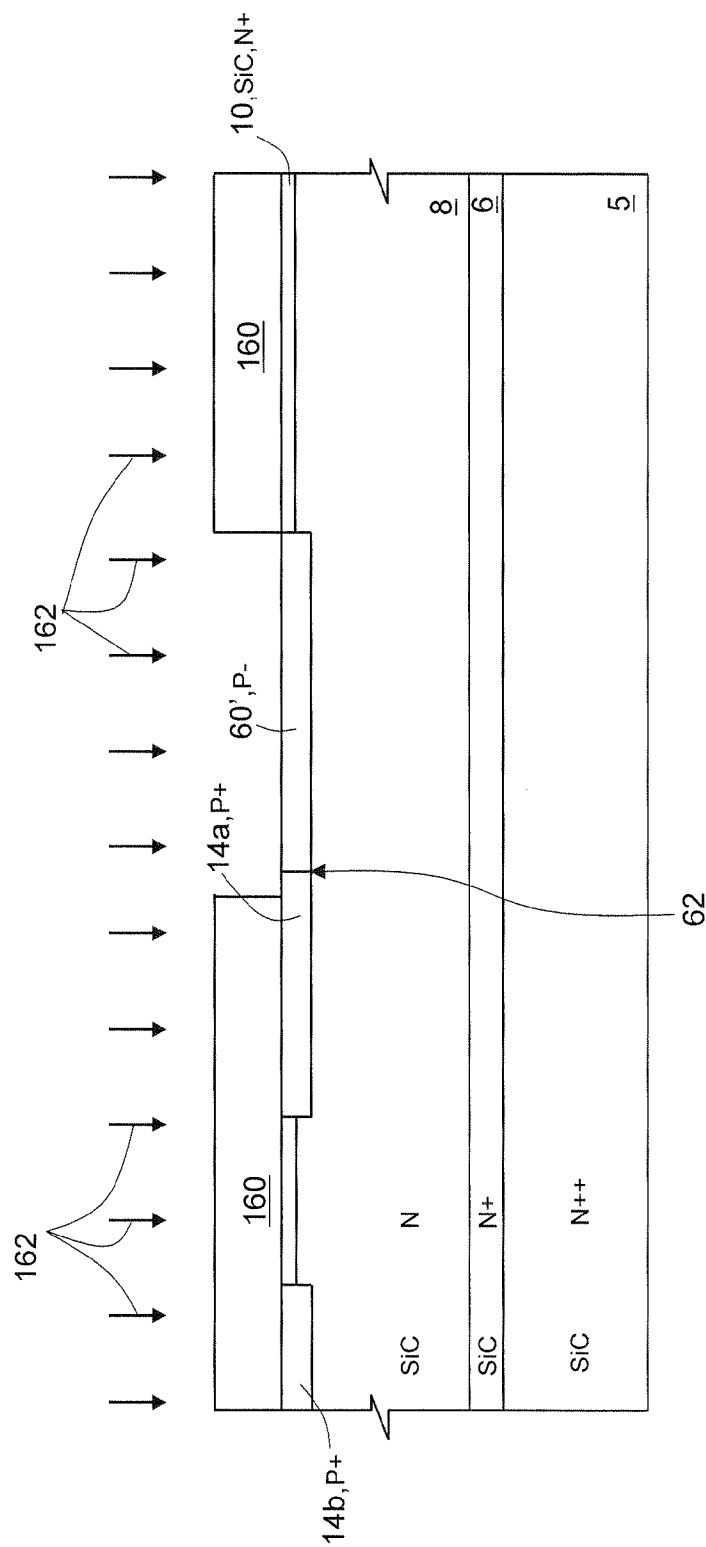


Fig. 20

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)