

公告本

申請日期：

20.4.17

案號：

P010P136

類別：

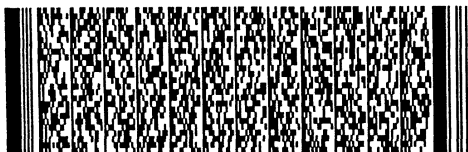
H03K 5/00, H04L 7/00

(以上各欄由本局填註)

發明專利說明書

501345

一、 發明名稱	中文	時序差分割電路和信號控制方法以及裝置
	英文	
二、 發明人	姓名 (中文)	1. 佐伯貴範
	姓名 (英文)	1. Takanori SAEKI
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號
三、 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. 日本電氣株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 東京都港區芝五丁目七番一號
	代表人 姓名 (中文)	1. 西垣浩司
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	2000/05/26	2000-157167	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五、發明說明 (1)

[發明所屬的技術領域]

本發明，係有關於信號之控制方法以及其裝置。

[習知技術]

習知之將時序差分割(內分、插值)之信號控制方法，如在文獻1(特願平09-157028號(特開平11-4145號公報))上所記載的，在時脈信號之增倍等的用途上使用。

例如，在文獻2(ISSCC Digest of Technical Papers pp. 216-217, Feb. 1996、USP5, 422, 835, USP5, 530, 837)上，如第24圖上所示地，公告著時脈信號增倍電路。

參照第24圖，此時脈信號增倍電路，在4增倍之時，由4組之延遲電路301、302、303、304、和相位比較器309、計數器310所構成。

第1~第4延遲電路301、302、303、304，各自藉由第1~第4切換器305~308，來選擇輸出端子，而第1~第4延遲電路301~304，被串聯連接。

從外部第1被輸入至延遲電路201之第1時脈311、和通過第1~第4延遲電路列301~304之第5時脈315，以相位比較器309來比較，而以此比較結果當基準，UP信號或DOWN信號被傳送至計數器310，並從計數器310，控制信號318被輸出至第1~第4切換器305~308，而將第1時脈311和第5時脈315之相位，被調整為相位相互相等。

在此，4組之延遲電路301~304之延遲時間相等地被調整，所以造成其延遲時間相等，而第1時脈311、第2時脈



五、發明說明 (2)

312、第3時脈313、第4時脈314之時序差相等，其時序差成為時脈周期 t_{CK} 之 $1/4$ 。

因而，藉由合成第1時脈311、第2時脈312、第3時脈313、第4時脈314，獲得4增倍之時脈。

將時脈信號增倍之電路，使用相位同步迴路(PLL)。第25圖，係表示PLL電路之一個例子。如第25圖所示地，在PLL上，來自電壓控制傳送器322之輸出，使用除頻器323來除頻，而以相位比較器319，來比較此除頻信號和外部時脈324，其比較結果作為UP(up)信號325、或是DOWN(down)信號326，透過充電泵(charge pump)320以及迴路濾波器(loop filter)321，被輸入至電壓控制傳送器322，而根據此信號來控制電壓控制傳送器322；電壓控制傳送器322之輸出除頻後的時脈，被調節為和外部時脈相等的頻率。藉此，電壓控制傳送器322，輸出除頻數相反之倍數之增倍時脈327。

但是，在第24圖所示的電路上，數十次以上比較通過串聯連接之延遲電路列之信號、和外部時脈，而在每次的比較上來慢慢地修正延遲差、相位差。

在第25圖所示的PLL電路上，係將電壓控制傳送器322之輸出除頻後的時脈，調整數十次以上來慢慢地修正延遲差、相位差，而成為和外部時脈324相等之頻率之構造，所以在獲得被增倍之時脈前，有必要等待數十時脈以上，而有所謂的欠缺高速性之問題。

第24圖以及第25圖上所示的電路，基本上只能用在時



五、發明說明 (3)

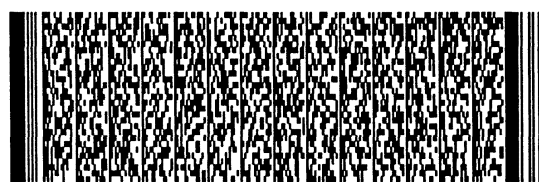
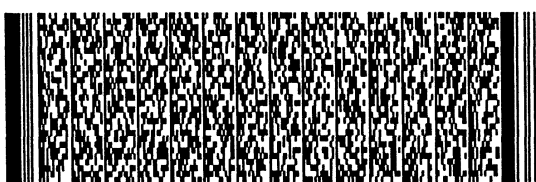
脈控制，而無法作為可以改變信號之延遲度之延遲電路來使用。

本發明之目的在於，提出解決這些問題，實現高速性，而且可以利用可變延遲電路之時脈信號之控制方法以及其裝置，本發明者，在特願平09-157028號上，提案如以下說明的電路構造。以下，對於習知例(特願平09-157028號)上所記載的時脈控制電路，參照圖面，來說明。

第4圖，係表示特願平09-157028之構造圖。第4圖所示的電路，為將外部時脈增倍之電路，而將外部時脈1除頻成多相時脈3，並將被除頻後之多相時脈3之不同相位脈衝緣之輸入時序差分割，或將此分割後之相位不同之時脈9c多重化，而將外部時脈1增倍之電路。而且具有除頻器2、多相時脈增倍電路5、和時脈合成電路8。除頻器2，將外部時脈1除頻為多相時脈3。而多相時脈增倍電路5，具有將多相時脈3中不同相位之時脈之不同相位之脈衝，n分割之時序差分割電路4a、和將相同相位之脈衝，n分割之時序差分割電路4a、將被n分割後之不同相位之脈衝9c多重化之多重化電路4b，而輸出多相之時脈9a。

時脈合成電路8，合成從多重化電路4b所輸出之多相時脈9a，而產生單相之時脈9b。時序差分割電路4a，被並列連接著。

藉著除頻器2，將外部時脈1除頻成多相之時脈3，而藉由分割電路4a，將被除頻之多相之時脈3之不同相位脈



五、發明說明 (4)

衝緣之輸入時序差分割，並將分割後之相位不同之時脈9c多重化，來增倍外部時脈1。藉此，多相時脈之相位被增倍。

第5圖，係表示2相時脈增倍電路之構造的一個例子之圖，而作為第4圖所示的多相時脈增倍電路5。將外部時脈105作2除頻，而輸出將此2倍頻之2相時脈。

在第5圖，除頻器101，將將外部時脈105作2除頻，而產生2相之時脈D1、D2。2相之時脈增倍電路(多相時脈增倍電路)102₁~102_n，被複數串列連接。複數之2相時脈增倍電路)102₁~102_n，將被除頻後之多相之時脈D1、D2(第4圖之3)之不同相位脈衝緣之輸入時序差分割，初段之2相時脈增倍電路102₁，產生將來自除頻器101之2相之時脈D1、D2倍頻後之2相時脈信號D11、D12。同樣地，2相時脈增倍電路102₂、102₃~102_{n-1}，亦各自將前段之時脈D21、D22一個一個地來倍頻，而藉由最終段之2相時脈增倍電路102_n，獲得將外部時脈105作2n增倍之2相時脈Dn1、Dn2。

時脈合成電路103，合成從最終段之2相時脈增倍電路102_n所輸出之2n增倍之2相時脈Dn1、Dn2，而輸出增倍後之時脈107。

周期測知電路104(第4圖之6)，將外部時脈105當作輸入，來修正包含在各2相時脈增倍電路102₁~102_n之時序差分割電路之時脈周期依存，而輸出為了調整負載之控制信號106(第4圖之7)，至各2相時脈增倍電路102₁~102_n。

周期測知電路104，由被固定之段數之環狀振盪器和



五、發明說明 (5)

計數器來構成，外部時脈105之周期中之環狀振盪器振盪次數，以計數器來計數，而按照其計數數目來輸出控制信號105。

2相時脈增倍電路 $102_1 \sim 102_n$ ，藉由來自周期測知電路104之控制信號，來解除特性之偏差。

在第5圖上所示的電路，如第6圖所示地，以 $1/2$ 除頻器來對外部時脈105除頻，而產生2相時脈D1、D2，此時脈D1、D2，以初段之2相時脈增倍電路 102_1 來倍頻，而產生2相時脈D11、D12。在2相時脈增倍電路 $102_2 \sim 102_n$ 上，重覆同樣的過程，而藉由最終段之2相時脈增倍電路 102_n ，最終地獲得 $2n$ 增倍後之2相時脈Dn1、Dn2。

將此時脈Dn1、Dn2，以合成電路103來合成，以獲得增倍時脈107。

在第6圖所示的例子之情況，為設定成 $n=4$ 之情況，增倍時脈107，持有和外部時脈105同一之周期，而被設定成為能夠獲得將外部時脈105作 $2n$ 增倍後之信號。然而，並不限定於 $n=4$ 之情況， n 亦可設定為希望之整數。

第7圖係表示在第5圖上表示的2相時脈增倍電路5之構造圖。第5圖上所示的複數組之2相時脈增倍電路 $102_1 \sim 102_n$ ，為同一個構造，而以最終段之2相時脈增倍電路 102_n 當例子來說明。而2相時脈增倍器 $102-n$ 之構造，為設定成 $n=4$ 之情況。

2相時脈增倍器 102_n ，包括被並列連接之第1至第4時序差分割電路108~111、和第1、第2多重化電路112、113



五、發明說明 (6)

，來構成。第1至第4時序差分割電路108~111，2相之時脈 $D(n-1)1$ 、 $D(n-1)2$ 被輸入至2個輸入端子上。造成來自控制信號106以及互補關係之時序差分割電路108~111之4相之時脈 $P1$ 、 $P2$ 、 $P3$ 、 $P4$ ，被反饋輸入。

第1、第2多重化電路112、113，將來自第1至第4時序差分割電路108~111之2相之時脈 $P1$ 、 $P3$ 和 $P2$ 、 $P4$ 當作輸入來多重化，而產生2相之時脈 $Dn1$ 、 $Dn2$ 。

接著，對於如第7圖所示的2相時脈增倍電路之動作，使用第8圖來說明。

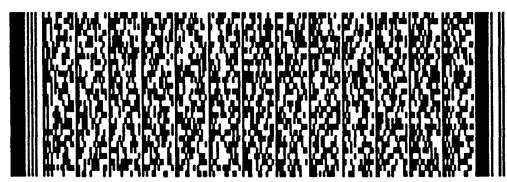
在2相時脈增倍器 102_n 上，輸入了來自前段之2相時脈 $D(n-1)1$ 和 $D(n-1)2$ 以及來自周期測知電路104之控制信號106，而輸出倍頻後之2相時脈 $Dn1$ 和 $Dn2$ 。

在2相時脈增倍器 102_n ，2相時脈 $D(n-1)1$ 、 $D(n-1)2$ 、和控制信號106，被輸入至4組之時序差分割電路108~111之全部，而時脈 $P1$ ~ $P4$ ，從4組之時序差分割電路108~111被輸出，而時脈 $P1$ ~ $P4$ ，被反饋輸入至對應的各時序差分割電路108~111上。

如第8圖所示地，時脈 $P1$ 之往上升，係由時脈 $D(n-1)1$ 之往上升開始之時序差分割電路108之內部延遲時間份之延遲，來決定。

時脈 $P2$ 之往上升，係由時脈 $D(n-1)1$ 之往上升和時脈 $D(n-1)2$ 之往上升之時序差之分割和內部延遲份之延遲來決定。

時脈 $P3$ 之往上升，係由時脈 $D(n-1)2$ 之往上升開始之



五、發明說明 (7)

內部延遲份之延遲來決定。時脈P4之往上升，係由時脈D(n-1)2之往上升和時脈D(n-1)1之往上升之時序差之分割和內部延遲份之延遲來決定

時脈P2，控制被輸入至時序差分割電路108之時脈P1之往下降。時脈P3，控制被輸入至時序分割器109之時脈P2之往下降。時脈P4，控制被輸入至時序分割器110之時脈P3之往下降。時脈P1，被輸入至時序分割器111，而控制時脈P4之往下降。

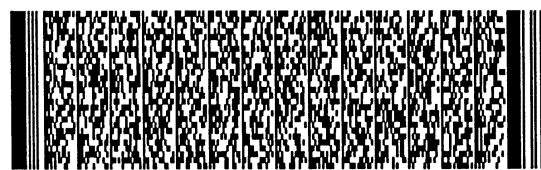
因而，時脈P1、P2、P3、P4，其周期和時脈D(n-1)1與D(n-1)2相等，而成為工作周期(duty)大致為25%之4相之信號。

時脈P1和P3，被輸入至多重化電路112而被多重化後，當作時脈信號Dn1被輸出。

時脈P2和P4，被輸入至多重化電路113而被多重化後，當作時脈信號Dn2被輸出。

時脈Dn1和Dn2，其周期成為時脈D(n-1)1和D(n-1)2之1/2，大致工作周期50%之2相時脈。

接著，關於在第7圖使用之時序差分割電路108~111之構造之去具體例，參照第9圖至第12圖來說明。在第9圖至第12圖上，MP11、MP21、MP31、MP41為P通道MOS電晶體，MN11、MN12、MN13、MN14、MN15、MN16、MN17、MN18、MN19、MN21、MN22、MN23、MN24、MN25、MN26、MN27、MN28、MN29、MN31、MN32、MN33、MN34、MN35、MN36、MN37、MN38、MN39、MN41、MN42、MN43、MN44、MN45、



五、發明說明 (8)

MN46、MN47、MN48、MN49 為N通道MOS電晶體。CAP11、CAP12、CAP13、CAP21、CAP22、CAP23、CAP31、CAP32、CAP33、CAP41、CAP42、CAP43 為電容器元件。

時序差分割電路108~111，為由同一之元件構成。由1個之2個輸入NAND10、1個反相器11、1個P通道MOS電晶體、3組之2個串聯連接之N通道MOS電晶體、3組被串聯連接之N通道MOS電晶體、和電容元件來構成。3個NAND，由完全相等之閘極寬度而成，3組之NMOS之閘極寬度和電容元件之電容值，大小成為1：2：4比。

第9圖、第11圖上各自所示的時序差分割電路108、110之構造，相互相等，但和輸入D(n-1)1、D(n-1)2之連接與和輸入P2(P4)之連接是不同的。

參照第9圖，時序差分割電路108，包括將信號D(n-1)2和信號P2當輸入之NAND電路NAND11、源極被連接至電源VCC，閘極被連接至NAND11之輸出端，汲極被連接至內部節點N12之P通道MOS電晶體MP11、汲極被共通連接至內部節點N12，閘極被共通地連接至信號D(n-1)1之N通道MOS電晶體MN12、MN13、閘極被連接至接地電位之N通道MOS電晶體MN11、以及源極被共通連接至接地電位GND，閘極被共通地連接至NAND11之輸出端之N通道MOS電晶體MN14、MN15、MN16。內部節點N12，被連接至反相器11之輸入端，而從反相器11之輸出端，輸出信號P1。在內部節點N12上，包括汲極被被共通連接，閘極各自被連接至控制信號之N通道MOS電晶體MN17、MN18、MN19、以及一端被連接至N通



五、發明說明 (9)

道MOS電晶體MN17、MN18、MN19之源極，另一端被共通連接至接地電位之電容之CAP11、CAP12、CAP13，來構成。

參照第10圖，時序差分割電路109，包括將信號D(n-1)2和信號P3當輸入之NAND電路NAND21、源極被連接至電源VCC，閘極被連接至NAND21之輸出端，汲極被連接至內部節點N22之P通道MOS電晶體MP21、汲極被共通連接至內部節點N22，閘極被共通地連接至信號D(n-1)1之N通道MOS電晶體MN21、汲極被共通連接至內部節點N22，閘極被共通地連接至信號D(n-1)2之N通道MOS電晶體MN22、MN23、源極被共通連接至接地電位GND，閘極被共通地連接至NAND21之輸出端之N通道MOS電晶體MN24、MN25、MN26。內部節點N22，被連接至反相器21之輸入端，而從反相器21之輸出端，輸出信號P3。在內部節點N22上，包括汲極被被共通連接，閘極各自被連接至控制信號之N通道MOS電晶體MN27、MN28、MN29、以及一端被連接至N通道MOS電晶體MN27、MN28、MN29之源極，另一端被共通連接至接地電位之電容之CAP21、CAP22、CAP23，來構成。

參照第11圖，時序差分割電路110，包括將信號D(n-1)1和信號P4當輸入之NAND電路NAND31、源極被連接至電源VCC，閘極被連接至NAND31之輸出端，汲極被連接至內部節點N32之P通道MOS電晶體MP31、汲極被共通連接至內部節點N32，閘極被共通地連接至信號D(n-1)1之N通道MOS電晶體MN32、MN33、以及閘極被連接至接地電位之N通道MOS電晶體MN11；源極被共通連接至接地電位GND，閘



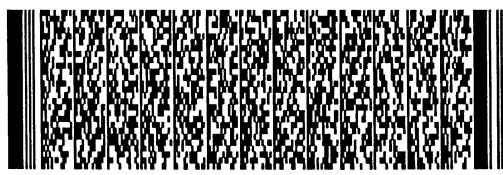
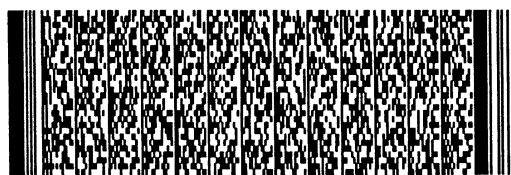
五、發明說明 (10)

極被共通地連接至NAND31之輸出端之N通道MOS電晶體MN34、MN35、MN36。

在內部節點N32上，被連接至反相器31之輸入端，而從反相器31之輸出端，輸出信號P3。在內部節點N32上，包括汲極被被共通連接，閘極各自被連接至控制信號之N通道MOS電晶體MN37、MN38、MN39、以及一端被連接至N通道MOS電晶體MN37、MN38、MN39之源極，另一端被共通連接至接地電位之電容之CAP31、CAP32、CAP33，來構成。

參照第12圖，時序差分割電路111，包括將信號D(n-1)1和信號P1當輸入之NAND電路NAND41、源極被連接至電源VCC，閘極被連接至NAND41之輸出端，汲極被連接至內部節點N42之P通道MOS電晶體MP41、汲極被共通連接至內部節點N42，閘極被連接至信號D(n-1)2之N通道MOS電晶體MN41、汲極被共通連接至內部節點N42，閘極被連接至信號D(n-1)1之N通道MOS電晶體MN42、MN43、源極被共通連接至接地電位GND，閘極被共通地連接至NAND41之輸出端之N通道MOS電晶體MN44、MN45、MN46；內部節點N41，被連接至反相器41之輸入端，而從反相器41之輸出端，輸出信號P4。在內部節點N42上，包括汲極被被共通連接，閘極各自被連接至控制信號之N通道MOS電晶體MN47、MN48、MN49、以及一端被連接至N通道MOS電晶體MN47、MN48、MN49之源極，另一端被共通連接至接地電位之電容之CAP41、CAP42、CAP43，來構成。

接著，說明時序差分割電路108~111之動作，參照第



五、發明說明 (11)

13 圖之時序波形圖，來說明。第9圖和第11圖所示的時序差分割電路108、110，除了輸入出信號以外，其餘為相同之電路構造，第10圖和第12圖所示的時序差分割電路107、111，除了輸入出信號以外，其餘為相同之電路構造，所以對於第9圖和第10圖所示的時序差分割電路108、109之動作，作說明。

關於第9圖上所示的時序差分割電路108之內部動作，因為以第13圖之從 t_1 開始之 t_3 期間，成為1周期，所以圖示著有此1周期之期間之內部節波形。

首先，關於時脈P1之往上升時序，作說明。

藉由時脈 $D(n-1)$ 之上升緣，節點N12之電荷，被拉引至N通道MOS電晶體MN12、MN13，而節點N12之電位，在剛達到反相器INV11之臨界值時，從反相器INV11所輸出之時脈P1之邊緣往上升。

將到達反相器INV11之臨界值為止，所必要拉引之內部節點N12之電荷當作CV，而N通道MOS電晶體MN12、MN13之充電拉引之電流值當作I，則結果從時脈 $D(n-1)_1$ 開始，以電流值 $2I$ 來將CV之電荷量拉引之結果，亦即造成 $CV/2I$ ，表示從時脈 $D(n-1)_1$ 之上升緣開始，到時脈P1之往上升為止的時序。

時脈P1之往下降之時序，藉由2個輸入之NAND11之輸出成為low，而P通道MOS電晶體MN11導通，內部節點N12被充電至High。在2個輸入之NAND11上，時脈 $D(n-1)_2$ 和時脈P2被輸入，而只在時脈 $D(n-1)_2$ 和時脈P2同時為High時，



五、發明說明 (12)

輸出成為low。時脈P2為High之期間，時脈D(n-1)2在High之期間內被收取，所以被輸出之時脈，成為時脈P2反相後的樣式，但是電源開啟時，在時脈P2之初始值不確定之時來使用之情況下，取其和時脈D(n-1)2之間之邏輯值。

即使對於第10圖上所示的時序差分割電路109之動作，因為在從第13圖之t1開始之t3之期間，成為1周期，所以以圖表示此1周期之期間內部節點波形。

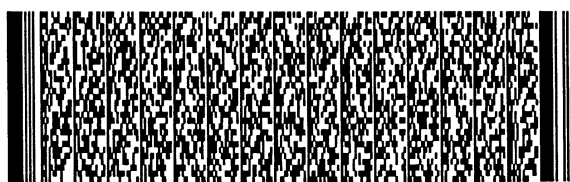
首先，對於時脈P2之往上升時序，作說明。在時脈D(n-1)1之上升緣開始之tCKn之期間，節點N22之電荷，以N通道MOS電晶體MN21被拉引，在時間tCKn後，從時脈D(n-1)2之上升緣開始，節點N22之剩餘電荷，以N通道MOS電晶體MN22、MN23被拉引，藉此，節點N22之電位，在剛達到反相器INV21之臨界值時，時脈P2之邊緣往上升。將節點N22之電荷當作CV，N通道MOS電晶體、MN21、MN22、MN23之電荷拉引之電流值當作I，則從D(n-1)1開始，以tCKn期間之I電流，來拉引CV之電流，而以2I來拉引剩餘之期間之結果為

$$tCKn + (CV - tCKn \cdot I) / 2I = CV + tCKn / 2$$

其表示從時脈D(n-1)1之上升緣開始到時脈P2之往上升為止之時序。

因而，若觀查和時脈P1之往上升之時序差，則剛好為tCKn / 2。

時脈P2之往下降之時序，藉著2個輸入之NAND21之輸出成為Low，來導通P通道MOS電晶體MP21，而節點N22被充



五、發明說明 (13)

電至High。在2個輸入之NAND21上，輸入了時脈D(n-1)2和時脈P3，而只在時脈D(n-1)2和時脈P3同時為High時，輸出成為Low。

接著，對於時脈P3、P4作說明。時脈P1和P3之往上升時序差，因為時脈D(n-1)1之上升緣和時脈D(n-1)2之上升緣之時序差為 t_{CKn} ，而成為 t_{CKn} 。因而，時脈P2和P3之往上升時序差，亦成為 $1/2 t_{CKn}$ 。同樣地，時脈P3和P4、P4和P1之往上升時序差，亦成為 $1/2 t_{CKn}$ 。

因而，如前面所述地，時脈P1、P2、P3、P4，變成25%之4相位信號。

時脈P1和P3、P2和P4，各自以由第14圖上所示的NOR電路NOR12和反相器INV13而成的多重化電路112、113，來被多重化，而變成工作周期50%之2相位信號。

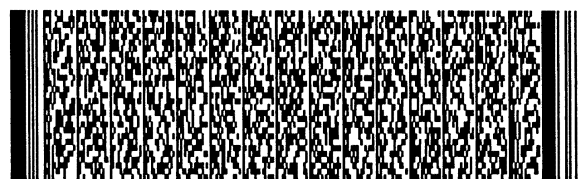
為了相對於時脈P1之往上升，而時脈P2往上升之為了變成 $1/2 t_{CKn}$ ，即使節點N22之電荷在 t_{CKn} 期間，以N通道MOS電晶體MN21來拉引，亦有必要滿足不達到反相器INV21之臨界值之條件，亦即，

$$CV - t_{CKn} \cdot I > 0$$

但是， t_{CKn} ，並不以外部時脈1之周期在設計時，來事先決定，而電流亦因元件特性而有所偏差。

因此，按照外部時脈之105之周期以及元件特性，來變更CV值，以作對應。

如已說明地，在和電容元件連接的N通道MOS電晶體之閘極上(在第9圖，MN17~19)，控制信號106被輸入，而能



五、發明說明 (14)

夠藉控制信號106，來可變共通節點(N12)之負載。

N通道MOS電晶體和電容元件，同時藉由1：2：4之大小比例，能夠8階段地來調整。

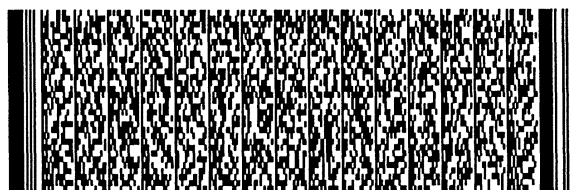
如已說明地，控制信號106，係按照在周期測知電路104上，以計數器來計數外部時脈105之周期中之環狀振盪器振盪次數，而所計數之值。在此電路構造中，外部時脈1之周期、和代表元件特性之環狀振盪器之周期之相對關係，被編碼化，所以不只增大對於外部時脈1之周期之動作範圍，亦能夠解除元件特性偏差。

在此實施例上，串聯連接2相時脈增倍電路 $102_1 \sim 102_n$ ，而各個輸入時脈D1、D~D(n-1) 1、D(n-1) 2之頻率，因為成倍數變化，所以使CV值，以2相之時脈增倍電路 $102_1 \sim 102_n$ 間，來最適當地調整電容值。

如以上說明地，在習知之電路上，藉由將外部時脈1作2除頻，產生2相時脈，造成可以不使用PLL、DLL等的反饋(feedback)電路，來製造增倍時脈。

第15圖，係在表示特願平09-157028號上，當作實施例2被說明的電路構造圖。由具備了1/4除頻器201、被串列連接之4相時脈增倍電路 $202_1 \sim 202_n$ 、時脈合成電路203、周期測知電路203、周期測知電路204來構成。

關於第15圖所示的電路之動作，參照第16圖之時序圖來說明。在此電路上，以1/4除頻器201來對外部時脈信號205作除頻，產生4相之時脈Q1、Q2、Q3、Q4，並以4相時脈增倍電路 202_1 ，將時脈Q1、Q2、Q3、Q4倍頻，而產生倍



五、發明說明 (15)

頻之4相時脈 Q_{11} 、 Q_{12} 、 Q_{13} 、 Q_{14} 。重覆同樣的過程，來將至4相時脈增倍電路 $202_2 \sim 202_n$ 為止作倍頻，以獲得 $2n$ 增倍4相之時脈 Q_1 、 Q_2 、 Q_3 、 Q_4 。以合成電路203，將此時脈 Q_1 、 Q_2 、 Q_3 、 Q_4 作合成，而獲得增倍時脈207。

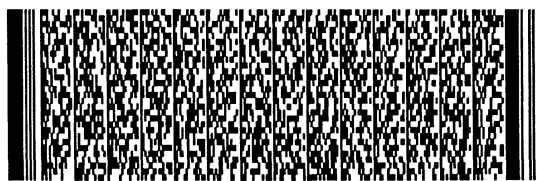
在此，周期測知電路204，由固定之段數之環狀振盪器和計數器來構成，而以計數器，來計數外部時脈205之周期中之環狀振盪器振盪次數，而按照計數值，輸出控制信號206，以調整4相時脈增倍電路 $202_2 \sim 202_n$ 中之負載。藉由周期測知電路204，能夠解除電路之外部時脈周期之動作範圍、元件之特性偏差。

接著，參照第17圖，關於4相時脈增倍電路202之構造作說明。4相時脈增倍電路 $202_1 \sim 202_n$ ，為同樣的構造。參照第17圖，4相時脈增倍電路 202_n ，由8組之時序差分割電路208~215、8組之脈衝寬度修正電路216~223、4組之多重化電路224~227來構成。

關於8組之時序差分割電路208~215、8組之脈衝寬度修正電路216~223、和4組之多重化電路224~227之內部電路，在後面敘述。

在此，4相時脈增倍電路 202_n 之內部的連接以及動作，參照第17圖、第18圖來說明。在4相時脈增倍電路 202_n 上，輸入了來自前段之4相之時脈 $Q_{(n-1)1} \sim Q_{(n-1)4}$ 以及來自周期測知電路204之控制信號206，而輸出被倍頻之4相之時脈 $Q_{n1} \sim Q_{n4}$ 。

在4相時脈增倍電路 202_n 上，控制信號206，被輸入至



五、發明說明 (16)

8組之時序差分割電路208~215，時脈 $Q(n-1)1 \sim Q(n-1)4$ ，各自一個一個地被輸入至時序差分割電路208、210、212、214上，而在時序差分割電路209、211、213、215上，各自輸入了2信號。如此地，8組之時脈T21~T28，從8組之時序差分割電路208~215被輸出。

如第18圖所示地，時脈T21之往上升，以從時脈 $Q(n-1)1$ 之往上升開始之內部延遲份之延遲來決定。

時脈T22之往上升，以時脈 $Q(n-1)1$ 之往上升和時脈 $Q(n-1)2$ 之往上升之時序之時序分割、和內部延遲份之延遲來決定。

時脈T23之往上升，以從時脈 $Q(n-1)2$ 之往上升開始之內部延遲份之延遲來決定。

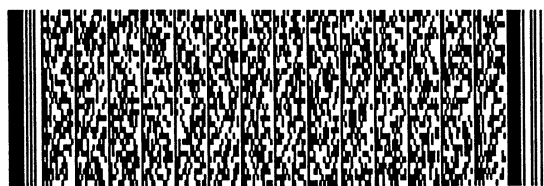
時脈T24之往上升，以時脈 $Q(n-1)2$ 之往上升和時脈 $Q(n-1)3$ 之往上升之時序之時序分割、和內部延遲份之延遲來決定。

時脈T25之往上升，以從時脈 $Q(n-1)3$ 之往上升開始之內部延遲份之延遲來決定。

時脈T26之往上升，以時脈 $Q(n-1)3$ 之往上升和時脈 $Q(n-1)4$ 之往上升之時序之時序分割、和內部延遲份之延遲來決定。

時脈T27之往上升，以從時脈 $Q(n-1)4$ 之往上升開始之內部延遲份之延遲來決定。

時脈T28之往上升，以時脈 $Q(n-1)4$ 之往上升和時脈 $Q(n-1)1$ 之往上升之時序之時序分割、和內部延遲份之延



五、發明說明 (17)

遲來決定。

時脈T21和T23，輸入至脈衝修正電路216，在脈衝修正電路216上，輸出具有以時脈T21所決定的下降緣、以時脈T23所決定的上升緣之L脈衝P21。以同樣的順序，脈衝P22~P28被產生。因而，時脈P22~P28，成為相位每一個被移開45度之工作周期25%之8相脈衝群。

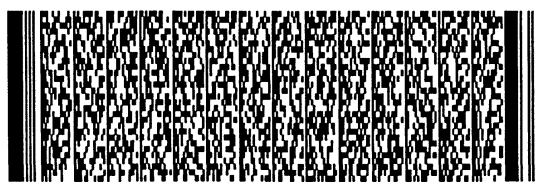
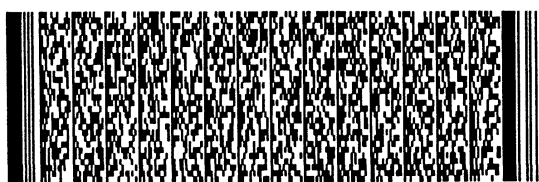
之後，時脈P21和相位被移開了180度之時脈P25，以多重化電路224，被多重化反相，而當成工作周期25%之時脈Qn1被輸出。以同樣的順序，時脈Qn2~Qn4被產生。因而，時脈Qn1~Qn4，成為每一個相位被移開90度之工作周期50%之48相脈衝群。

時脈Qn1~Qn4之周期，剛好成為時脈Q(n-1)1~Q(n-1)4之1/2。亦即，以從Q(n-1)1~Q(n-1)4來產生時脈Qn1~Qn4之過程，使剛好被倍頻為2倍。

接著，參照第19圖、第20圖，關於時序差分割電路208~215之電路構造，來說明。時序差分割電路208~215，為相互相等之電路構造。

以下，關於時序差分割電路208、209作說明。第19圖係表示時序差分割電路208之電路構造圖，第20圖係表示時序差分割電路209之電路構造圖。第19圖和第20圖所示的電路，為相互相等之構造，其相異點為其2個輸入，為相同的信號，或是相鄰之2個信號被輸入。亦即，對2輸入之NOR電路之輸入信號，在第19圖、第20圖是不同的。

時序差分割電路208，為將同一輸入Q(n-1)1當作輸入

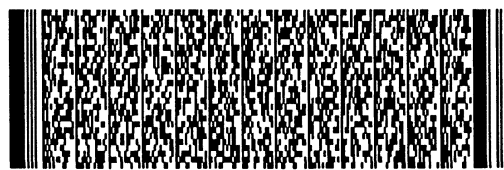
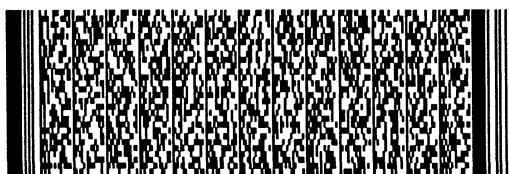


五、發明說明 (18)

之2輸入之NOR51之輸出節點之內部節點N51，被連接至反相器INV51之輸入端，而從反相器INV51，從輸出端輸出T21，又包括：汲極被共通連接至內部節點N51，來自周期測知電路204之控制信號206被各自連接至閘極，來被開啟。關閉控制之N通道MOS電晶體MN51、MN52、MN53，和各自被連接在N通道MOS電晶體MN51、MN52、MN53之源極和接地電位之間之電容CAP51、CAP52、CAP53。N通道MOS電晶體MN51、MN52、MN53之閘極寬度和電容量CAP51、CAP52、CAP53，其大小比成為例如1：2：4，而以從自周期測知電路204所輸出之控制信號206當基準，藉由8階段地調整被連接至共通節點之負載，來設定時脈周期。

時序差分割電路209，為將輸入 $Q(n-1)1$ 和輸入 $Q(n-1)2$ 當作輸入之2輸入之NOR61之輸出節點之內部節點N61，被連接至反相器INV61之輸入端，而從反相器INV61，從輸出端輸出T22，又包括汲極被共通連接至內部節點N61，來自周期測知電路204之控制信號206被各自連接至閘極而被開啟。關閉控制之N通道MOS電晶體MN61、MN62、MN63，和各自被連接在N通道MOS電晶體MN61、MN62、MN63之源極和接地電位之間之電容CAP61、CAP62、CAP63。N通道MOS電晶體MN61、MN62、MN63之閘極寬度和電容量CAP61、CAP62、CAP63，其大小比成為例如1：2：4，而以從自周期測知電路204所輸出之控制信號206當基準，藉由8階段地調整被連接至共通節點之負載，來設定時脈周期。

接著，關於時序差分割電路208和時序差分割電路209



五、發明說明 (19)

之動作，參照第21圖所示的波形來說明。

關於第16圖時序差分割電路208之動作，因為在第21圖之 t_c 開始之 t_{c24} 之期間，動作部分結束，所以表示此1期間之內部節點N51之波形。

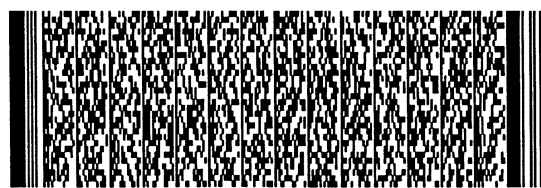
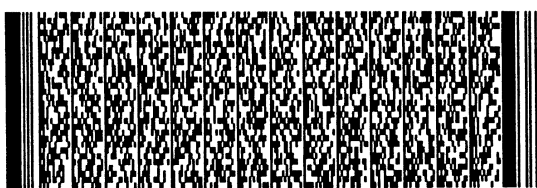
首先，說明被輸出之時脈T21之往上升時序。2個輸入之NOR51，由被串聯連接在電源VDD、和輸出端之間，輸入信號IN1、IN2被連接至各自輸入至閘極之2個P通道MOS電晶體，和被並聯連接在輸出端、和接地之間，而輸入信號IN1、IN2被各自輸入至閘極之2個N通道MOS電晶體而成。

藉由時脈 $Q(n-1)1$ 之上升緣，節點N51之電荷被拉引至NOR51，藉此，在節點N51之電位剛達到反相器INV51之臨界值時，從反相器INV51所輸出之時脈T21之邊緣往上緣。將達到反相器INV51之臨界值為止之必要拉引之節點N51之電荷當作CV，將各個N通道MOS電晶體之電荷拉引之電流值各自當作I，則自時脈 $Q(n-1)1$ 之往上升開始，以 $2I$ 之電流來拉引CV之電荷量之結果，亦即為 $CV/2I$ 表示從時脈 $Q(n-1)1$ 之上升緣開始到時脈T21之往上升為止之時序。

時脈T21之往上升時序，係根據時脈 $Q(n-1)1$ 成為Low，而2個輸入NOR51之輸出側節點51被充電至High。

關於第20圖之時序差分割電路209之動作，因為在從第21圖之 t_{a21} 開始之 t_{a24} 之期間，大致上動作部分結束，所以表示著此動作期間之內部節點N61之波形。

首先，說明關於所輸出之時序T22之往上升時序。從時脈 $Q(n-1)1$ 之上升緣開始之時間 t_{CKn} 之期間，內部節點



五、發明說明 (20)

N61之電荷，被拉引至N通道MOS電晶體，在時間 t_{CKn} 後，從時脈 $Q(n-1)_2$ 之上升緣開始，節點N61之殘餘電荷，被拉引至N通道MOS電晶體，藉此，在節點N61之電位剛達到反相器INV61之臨界值時，時脈T22之邊緣往上升。將節點N61之電荷當作CV，將2個輸入NOR61之N通道MOS電晶體的電荷拉引之電流值當作I，結果從時脈 $Q(n-1)_1$ 開始，CV之電荷量，於 t_{CKn} 之期間以I之電流來拉引，而在剩餘之期間以 $2I$ 來拉引，亦即，

$$t_{CKn} + (CV - t_{CKn} \cdot I) / 2I = CV + t_{CKn} / 2$$

表示從時脈 $Q(n-1)_1$ 之上升緣開始到時脈T22之往上升為止之時序。

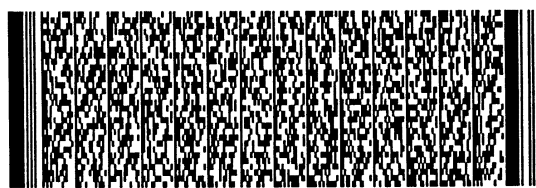
因而，若只就和時脈T21之往上升之時序差而言，剛好成為 $t_{CKn} / 2$ 。

時脈T22之往上升時序，根據時脈 $Q(n-1)_1$ 和 $Q(n-1)_2$ 雙方成為low，而2個輸入之NOR61之輸出側節點N61被充電至High。

關於時脈T23~T28，亦同樣地被說明，時脈T21~T28之往上升時序差，各自成為 $1/2 t_{CKn}$ 。

脈衝寬度修正電路216~223，如第22圖上所示地，由反相器INV71和2個輸入之NAND71而成，如前面所述的，產生相位各自移開45度之工作周期25%之8相之脈衝(分割信號)群P21~P28。

多重化電路224，如第23圖上所示地，由2個輸入之NAND81而成，如前面所述的，產生相位各自移開90度之工



五、發明說明 (21)

作周期50%之4相之時脈群 $Q_{n1} \sim Q_{n4}$ 。時脈 $Q_{n1} \sim Q_{n4}$ 之周期，剛好成為 $Q(n-1)1 \sim Q(n-1)4$ 之1/2。

如以上地，在習知之時脈增倍電路上，使共通節點N61之負載成為可變之必要條件，和第9圖等是相等的，所以組合了動作目的相等之電容、NMOS。不只增大了對於外部時脈信號205之動作範圍，亦解除元件之特性偏差。

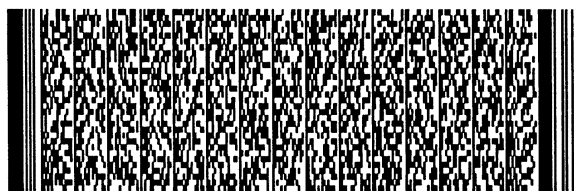
如以上所說明地，於特願平09-157028號上所提案之增倍電路上，將外部時脈作4除頻，藉由事先製造4相之時脈，造成不使用PLL、DLL等的反饋電路，而可以製造增倍時脈。

藉著4除頻，而有所謂的使用NAND、NOR、反相器等之CMOS基本元件，完全以靜態(static)之單純電路，來構成增倍電路之有利點。

然而，於特願平09-157028號，已說明了關於從2相之時脈產生2相之增倍時脈，從4相之時脈產生4相之增倍時脈之情況，但是藉由將時序差分割電路樹狀地並列連接，指數函數地2相、4相、8相來增加時脈之相數，而可以產生更高的頻率成份。

根據特願平09-157028號，將外部時脈除頻為多相時脈，藉由取各相位之中間時序，不使用迴路構造，而能夠容易產生增倍之時脈。

因此，能夠縮短獲得增倍時脈之期間，而因為能夠事先預測必要的時脈數，所以能夠大幅度削減到使用增倍後時脈為止之等待時間。



五、發明說明 (22)

以同樣的方法，實現乘2之倍數以外之增倍方法，亦被記載在特願平09-157042上。

[發明所欲解決的課題]

但是，在特願平09-157042號、特願平09-157028號上所提案的增倍電路上，於時序差分割電路(插補器(interpolater))上，多相時序當作輸入信號，照舊地被輸入，所以有所謂的不將動作頻帶擴大至最大限度之問題。

例如，在固定電容元件之電容值，而輸入4相時脈信號之情況下，對於輸入相位差，剛好成為 $1/2$ 之電容值，有所謂的最小和最大為 $1:3$ 程度之限制。關於此，在以下作說明。

第26圖，係表示習知的時序差分割電路之構造之1個例子之圖。參照第26圖，包括將第1、第2輸入信號IN1、IN2當作輸入之邏輯或電路OR1、被連接在電源VCC和內部節點N26之間，而將邏輯或電路OR1之輸出信號，當作閘極輸入之P通道電晶體MP1、將內部節點N1之電位反相輸出之反相器INV3、以及汲極被連接至內部節點N26，第1輸入信號IN1、第2輸入信號IN2各自輸入至閘極，而源極被連接至電流源Io之N通道MOS電晶體MN1、MN2。由N通道MOS電晶體而成的開關元件MN11~MN15、和電容CAP11~CAP15被連接至內部節點N26與接地間，和參照第9圖至第12圖所說明的時序差分割電路同樣地，從周期測知電路所輸出的控制信號106，被連接至由N通道MOS電晶體而成的開關元件MN11~MN15之控制端子(閘極端子)，並決定附加在內部節點N26



五、發明說明 (23)

之電容量。

在第1、第2之輸入信號IN1、IN2為Low準位之時，邏輯或電路OR1之輸出成為Low準位，而P通道MOS電晶體MP1開啟(導通)，藉此，內部節點N26被充電至電源電位，而反相器INV3之輸出成為Low準位。

第1、第2之輸入信號IN1、IN2之一方或雙方一旦成為high準位，邏輯或電路OR1之輸出即成為high準位，而P通道MOS電晶體MP1關閉，內部節點N26和與電源VCC之電源匯流排關閉，另一方面，N通道MOS電晶體MN1和MN2之一方或雙方開啟，而內部節點N26被放電，內部節點N26之電位，從電源電位開始往下降，而在下降至反相器INV3之臨界值以下之情況下，反相器INV3之輸出，從Low準位往上升，成為high準位。

第27圖，係為了說明時序差分割電路(TMD)之動作之圖。參照第27圖(a)，在3個時序差分割電路(TMD)上，第1時序差分割電路(TMD)，在其2個輸入上，輸入相同的輸入信號IN1，而輸出了輸出信號OUT1，第2時序差分割電路(TMD)上，輸入信號IN1、IN2被輸入，而輸出了輸出信號OUT2，第3時序差分割電路(TMD)，在其2個輸入上，輸入相同的輸入信號IN2，而輸出了輸出信號OUT3。其中，輸入了輸入信號IN1、IN2而輸出了輸出信號OUT2之第2時序差分割電路(TMD)，對應至第17圖之時序差分割電路209之構造。共通輸入了IN1之時序差分割電路(TMD)、共通輸入了IN2之時序差分割電路(TMD)，在第26圖上成為輸入了相



五、發明說明 (24)

同信號之構造，而對應至第17圖之時序差分割電路208等之構造。

第27圖(b)，表示輸入了時序差T之輸入信號IN1、IN2之第1至第3之時序差分割電路之輸出信號OUT1~OUT3之輸出，和第1至第3之時序差分割電路之內部節點之變化。為了容易說明，內部節點從電位0開始被充電，在超過臨界值 V_t 時，則輸出信號從Low變化成High(往上升)準位。

參照第27圖(b)，在輸入信號IN1和輸入信號IN2之間，具有時序差(T)，而第1時序差分割電路(TMD)，輸出延遲時間 t_1 之輸出信號OUT1，第3時序差分割電路(TMD)，輸出延遲時間 t_3 之輸出信號OUT3，第2時序差分割電路(TMD)，輸出延遲時間 t_2 之輸出信號OUT2，延遲時間 t_2 ，成為將延遲時間 t_1 和 t_3 分割(內分)之值。

$$t_1 = CV / 2I、$$

$$t_2 = T + (CV - IT) / (2I)$$

$$= T/2 + CV / 2I$$

而

$t_3 = T + CV / 2I$ 。但是，在超過內部節點連接至輸入端之緩衝器電路(反相器)之臨界值為止，放電之電荷成為CV。

第28圖，係表示關於將周期 t_{CK} 之時脈作4除頻後之2相之時脈IN1、IN2，在第26圖上所示的時序差分割電路上，輸入同相信號、異相信號之情況之輸入信號和內部節點N26之電壓變化之樣子之信號波形圖。



五、發明說明 (25)

參照第26圖以及第28圖，若在超過反相器INV3之臨界值為止，放電之電荷成為CV(但是，C為附加在內部節點N26之電容值，V為反相器INV3之臨界值 V_t)，則同相輸入之情況下，藉由輸入信號IN1從Low上升至High準位，N通道MOS電晶體MN1、MN2導通，而以電流 $2I$ 來將電荷放電。N通道MOS電晶體MN1、MN2導通之期間，在 $2t_{CK}$ 以內，如果在 $2t_{CK}$ 之期間，電荷CV不被拉引，則在時序差分割電路之輸出上，無法獲得輸出。

因而，滿足 $CV / 2I > 2t_{CK}$ 之電容值C，變成滿足相位差T之 $1/2$ 成分之最大值 C_{max} 。

$$C_{max} = 4t_{CK} \cdot I / V_t$$

異相輸入之情況下，藉由輸入信號IN1從Low準位上升至High準位，N通道MOS電晶體MN1、MN2導通，而以電流 I 來將電荷放電，接著 $T=t_{CK}$ 後，藉由輸入信號IN2從Low準位上升至High準位，N通道MOS電晶體MN2導通。

將剛達到反相器INV3之臨界值為止前，有必要拉引之節點N26之電荷當作CV，而各自將充電所拉引N通道MOS電晶體MN1、MN2之電荷之電流值當作 I ，則在從第1輸入信號IN1之往上升到第2輸入信號IN2之往上升為止之相位差T之間，以 I 之電流來拉引，之後以 $2I$ 之電流來拉引。

如果第2輸入信號IN2之往上升為止之相位差T之間，已將電荷拉引，則造成無相位差之 $1/2$ 成份。在此， $CV / I < T$

$$C_{min} = t_{CK} \cdot I / V_t$$



五、發明說明 (26)

以電流 $2I$ 來拉引之期間，為第1輸入信號 $IN1$ 和第2輸入信號 $IN2$ 之重疊(overlap)期間。在此重疊期間 T_{ovp} 之期間，如不拉引 CV ，則造成時序差分割電路之輸出上，無相位差之 $1/2$ 成分。

在此，滿足 $(CV - T \cdot I) / 2I < T$ 之最大電容值，成為滿足相位差之 $1/2$ 成分 $(T / 2)$ 之最大值 C_{max} 。

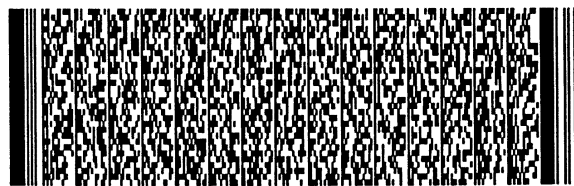
$$\begin{aligned} C_{max} &= (2T \cdot + T) I / V \\ &= 3t_{CK} \cdot I / V_t \end{aligned}$$

如此地，在輸入4相時脈之2個信號(周期 t_{CK})，而剛好輸出 $1/2$ 之延遲($2t_{CK}$)之信號之時，而對於被充放電之內部節點 $N26$ 上所附加之電容之電容值之最大值 C_{max} 和最小值 C_{min} 上，如第28圖上所示的，大致為 $1:3$ 之關係。然而，第28圖上之縱軸，為時序差分割電路之內分比(分割值)，因為第27圖(b)之 $A1$ 、 $A2$ 、 $A3$ 之延遲時間，故相當於 $A2 / (A3 - A2)$ ，橫軸為在內部節點 $N26$ 上所附加之電容值。

於是，在第26圖等上所示之習知之時序差分割電路之構造，為了調整在內部節點 $N26$ 上所附加之電容元件 CAP 之電容值，而使用MOS電晶體和MOS電容，所以須要MOS電晶體和MOS電容份之面積，而招致晶片面積之增大。

因而，本發明為有鑑於上述問題點而發明的，其目的在於謀求高速化的同時，提供抑制減低晶片面積之增大，並能夠在寬頻帶動作之時序差分割電路以及方法。

[用以解決課題的手段]



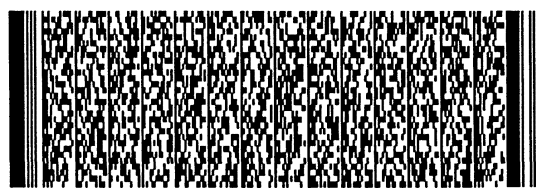
五、發明說明 (27)

為了達成上述目的，有關於本發明之時序差分割電路（插補器），至少包括開・關控制內部節點和電源間之匯流排之被相互並聯連接之2個開關，而其構造為被輸入之2個信號中，以較早變遷之一方之一個信號當基準之一個開關開啟(on)，而上述內部節點之電容，以第1電流充電或放電，之後以比上述一個信號較晚變遷之另一信號當基準之另一個開關開啟，而透過開啟狀態之上述一個開關和上述另一個開關，以上述第1電流和第2電流之和之電流值，來充電或放電；而且包括了在具備上述內部節點電壓超過臨界值電壓，或是降下之情況下，改變輸出邏輯值之緩衝器電路而形成的時序差分割電路上，以上述之一個信號和上述另一信號當基準，將上述一個開關開啟之期間和上述另一個開關開啟之期間相互重疊之期間(T_{ovp})，設定在所期望之值之電路裝置。

在本發明上，上述電路裝置，將上述重疊期間(T_{ovp})，設定成比上述一個信號較晚變遷而延伸至比上述另一信號之前緣之更前方上、或從上述另一信號之前緣開始而比上述另一信號之後緣又被延長之任意之值。

在本發明上，上述電路裝置，使上述重疊期間(T_{ovp})，成為比上述一個信號較晚變遷之上述之另一信號之前緣開始，至上述另一信號之後緣為止。

在本發明上，上述內部節點之電容，以複數之MOS電容來構成，而上述複數之MOS電容，藉由控制信號，來各自控制至上述內部節點之連接。

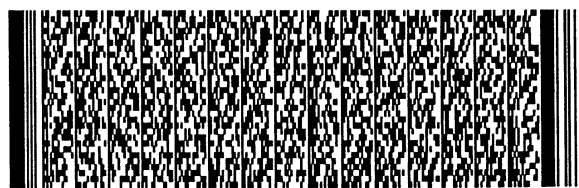
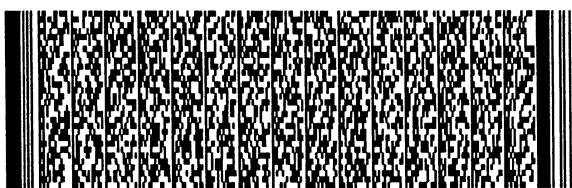


五、發明說明 (28)

[發明的實施例]

關於本發明之實施例，作說明。本發明，至少包括開・關控制內部節點(N1)和電源間之匯流排之被相互並聯連接之2個開關(MN1, MN2)，而其構造為被輸入之2個信號(IN1、IN2)中，以較早變遷之一方之一個信號當基準之一個開關(MN1)開啟(on)，而附加在上述內部節點(N1)之電容(C)，以第1電流(I)充電或放電，之後以比上述一個信號較晚變遷之另一信號當基準之另一個開關(MN2)開啟，而透過開啟狀態之上述一個開關和上述另一個開關，以上述第1電流和第2電流之和之電流值(2I)，來充電或放電；而包括了在具備上述內部節點電壓超過臨界值電壓，或是降下之情況下，改變輸出邏輯值之緩衝器電路(INV1)而形成的時序差分割電路上，以上述之一個信號和上述另一信號當基準，而將上述一個開關開啟之期間和上述另一個開關開啟之期間相互重疊之期間(T_{ovp})，設定在所期望之值之電路裝置(L1)。

更詳情地來說明，包括將第1、第2輸入信號(IN1、IN2)當作輸入，而輸出第1以及第2開極信號(G1、G2)之邏輯電路(L1)、源極被連接至第1電源(V_{cc})，汲極被連接至內部節點(N1)，閘極被連接至第1開極信號(G1)之第1導電型MOS電晶體(MP1)、汲極被共通連接至內部節點(N1)，第1、第2信號(G1、G2)被各自連接至閘極，而來開啟・關閉之第2導電型之第2、第3MOS電晶體(MN1、MN2)、被連接至第2、第3 MOS電晶體(MN1、MN2)之源極、和第2電源間



五、發明說明 (29)

(GND) 之第1、第2定電流源(IO_1 、 IO_2)、第1導電型之複數 MOS 電容器(MP11~MP14)被連接至內部節點(N1)上，而從輸入端被連接至內部節點(N1)上之內部節點電位、和臨界值電壓 V_t 之大小，來規定輸出信號之值之緩衝器(INV1)電路。

在本發明之實施例，邏輯電路(L1)，輸出以第1、第2之輸入信號(IN1、IN2)中之領先相位之信號之開始邊緣(前緣)當基準，來決定其開始邊緣之時序，而以落後相位之信號之結束邊緣(後緣)當基準而被決定之結束邊緣之時序之信號，作為第1閘極信號(G1)；並輸出以上述第1、第2之輸入信號中之落後相位之信號之開始邊緣當基準，來決定其開始邊緣之時序，而以落後相位之信號之結束邊緣(後緣)當基準而被決定之結束邊緣之時序之信號，作為上述第2閘極信號。

在本發明之實施例，藉由調整從邏輯電路(L1)所輸出之第1、第2閘極信號之時序，來調整第2導電型之第2、第3之MOS電晶體(MN1、MN2)重疊開啟之時序，而在輸入了4相時脈之2個信號(周期 t_{CK})，剛好輸出 $1/2$ 之延遲($2t_{CK}$)之信號之情況時，能夠使附加在內部節點(N1)上之電容之電容值之最大值 C_{max} 為可變。

相對於此，在習知之時序差分割電路上，如第28圖(b)上所示地，在與將時脈4除頻後之信號(周期 $4t_{CK}$)之相位差異90度之第1、第2輸入信號IN1、IN2之相位差 T 重疊時間 T_{ovp} ($=t_{CK}$)之間，須要將內部節點之電荷 CV 拉引至



五、發明說明 (30)

臨界值電壓以下，而最小值 C_{min} 和最大值 C_{max} 之比成為1 : 3。

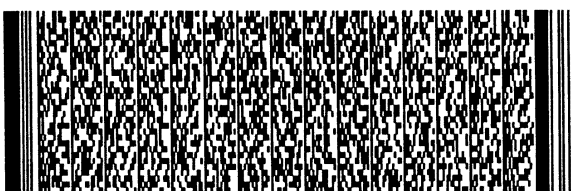
如此地，將外部時脈除頻成多相時脈，藉由取各相之中間時序，不使用迴路構造，而能夠在能容易產生增倍後時脈之電路上所使用之時序差分割電路上，來擴大所希望之時序差分割電路可能動作之動作範圍。

又在本發明之實施例上，其特徵之一，為被附加在內部節點(N1)上之電容，使用MOS電容器(MP11~MP14)。

MOS電容器(MP11~MP14)，由源極和汲極被連接至內部節點(N1)上，控制信號106被輸入至閘極之MOS電晶體而成，在P型半導體之情況下，施加至閘極之電壓(控制信號106之電壓值)VG，為正電壓之時，在半導體界面上產生空乏層(depletion layer)，而作為等效電路，則可獲得空乏層電容量 C_D 和閘極氧化層電容量 C_O 之合成電容量之被串聯連接之電容。第1導電型之複數之MOS電晶體(MP11~MP14)，具有相互不同的閘極長度、或是閘極寬度。

根據本發明之有關構造，比參照第9圖至第12圖、第26圖所說明的習知電路，更能夠縮減積體電路化後之晶片面積。

本發明之時序差分割電路，包括將輸入時脈除頻，而產生多相時脈之除頻器(第4圖之2)、測知輸入時脈之周期之周期測知電路(第4圖之6)、將從除頻器(2)所輸出之多相時脈當輸入，而產生將上述時脈增倍後之多相時脈之多相時脈增倍電路(5)、以及將多相時脈合成的時脈合成電



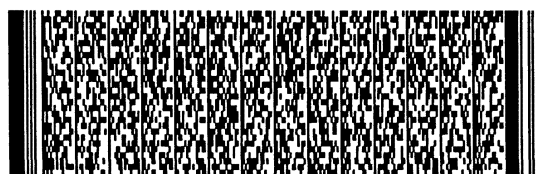
五、發明說明 (31)

路(9)；而多相時脈增倍電路(5)，適合具備了複數之輸出將2個輸入之時序差分割後的信號之時序差分割電路，同時適用於具備將2個上述時序差分割電路之輸出各自多重化而輸出之複數多重化電路之時脈控制裝置之時序差分割電路。

來自上述周期測知電路之控制信號，當作控制信號，被供給至被連接至時序差分割電路之內部節點之MOS電容元件上。

2相時脈增倍電路，具備了將2相之時脈(第1、第2時脈)當作輸入，而輸出將2個輸入之時序差分割後的信號之4個時序差分割電路(第7圖之108~111)，其構造為具備了將第1、第3之時序差分割電路之輸出，與第2、第4之時序差分割電路之輸出當輸入之多重化電路，在此時序差分割電路上，使用了本發明之時序差分割電路。

多相時脈增倍電路，具備了輸入了n相之時脈(第1至第n時脈)，而輸出將2個輸入之時序差分割後之信號之2n個時序差分割電路(第17圖之208~215)，而其構造為具備：第 $2I-1$ ($1 \leq I \leq n$) 時序差分割電路，將第I之同一時脈作為輸入，當作上述2個輸入；第 $2I$ ($1 \leq I \leq n$) 時序差分割電路，將第I時脈、和第 $(I+1 \bmod n)$ ($\bmod$ 表示餘數運算， $I+1 \bmod n$ 為 $I+1$ 除以 n 之餘數) 時脈作為輸入；將第J之時序差分割電路之輸出和第 $(J+2 \bmod 2)$ ($J+2 \bmod n$ 為 $J+2$ 除以 n 之餘數) 之時序差分割電路之輸出當作輸入之2n個脈衝寬度修正電路(216~223)；以及將第K ($1 \leq K \leq n$) 脈衝寬



五、發明說明 (32)

度修正電路之輸出和第(K+n)脈衝寬度修正電路之輸出當作輸入之n個多重化電路(224、227)。

在此時序差分割電路上，亦可使用了本發明之時序差分割電路。

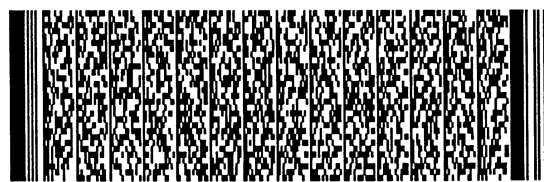
實施例

關於本發明之實施例，參照圖面來說明。

第1圖(a)，係表示本發明之一個實施例之時序差分割電路之構造。時序差分割電路(亦稱為「內插器」)，包括將輸入時脈1(IN1)和輸入時脈2(IN2)當輸入之邏輯電路L1、源極被連接至電源，閘極被連接至邏輯電路L1之輸出G1(第1閘極信號)，汲極被連接至節點N1之P通道MOS電晶體MP1、以及汲極各自被連接至共通節點N1，閘極被各自連接至邏輯電路L1之輸出G1(第1閘極信號)和G2(第2閘極信號)，源極被各自連接至定電流源 IO_1 、 IO_2 N通道MOS電晶體MN1、MN2；節點N1，被連接至反相器INV1之輸入端。定電流源 IO_1 、 IO_2 之電流值互相相等而成為I。

又包括在節點N1上，源極被共通連接，同時地汲極被共通連接至節點N1之P通道MOS電晶體MP11、MP12、MP13、MP14、MP15，P通道MOS電晶體MP11、MP12、MP13、MP14、MP15之閘極上，來自第4圖之周期測知電路6之控制信號7被連接著。時脈周期大時，被附加在內部節點N1上之電容值則大，時脈周期小時，被附加在內部節點N1上之電容值則小之控制，被執行。

第1閘極信號G1，趁著輸入時脈1、輸入時脈2之2相輸



五、發明說明 (33)

入之中領先相位之前緣，來決定前緣之時序，而以其落後相位之後緣，來決定後緣之時序。

第2 閘極信號G2，趁著輸入時脈1、輸入時脈2之2相輸入之中落後相位之前緣，來決定前緣之時序，而以其落後相位之後緣，來決定後緣之時序。

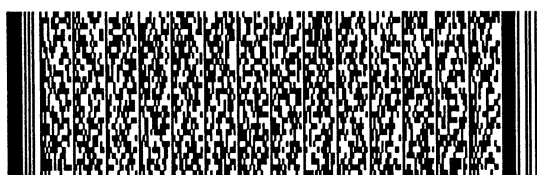
以構成MOS電容器之PMOS電晶體MP11、MP12、MP13、MP14、MP15之閘極長(L)或閘極寬(W)所規定的面積，成為1：2：4：8：16。藉此，電容值成為1：2：4：8：16。PMOS電晶體MP11、MP12、MP13、MP14、MP15，藉由控制信號106，電容值可變地被設定。

第1圖(b)，係表示為了說明第1圖(a)上所示的本發明之一個實施例之時序差分割電路之動作之時序波形圖，在1個期間(4T)，表示從輸入IN1、IN2之輸入時脈1、2，邏輯電路L1所產生輸出之第1、第2閘極信號G1、G2，以及內部節點N1之波形。輸入時脈1、2，在以無圖示之1/4除頻電路將周期4T之時脈，作4除頻後之信號(相位互相差異為T)中之相位差(時序差)為T之2相時脈。

第1閘極信號G1，其上升緣，以相位領先之輸入時脈1之上升緣時序來決定，其下降緣，以相位落後之輸入時脈2之下降緣時序來決定。

第2閘極信號G2，其上升緣，以相位落後之輸入時脈2之上升緣時序來決定，其下降緣，以相位落後之輸入時脈2之下降緣時序來決定。

在第1圖(b)上，內部節點N1之電壓波形，表示著2種



五、發明說明 (34)

類波形N1e、N1f。輸出信號OUT之時序，對於表示將輸入時脈1、2之相位差T分割成1/2後之值，在和內部節點N1連接之電容值上有其限制。

首先，對於連接至內部節點N1之電容值為最小值時之節點N1e之電壓波形N1，作說明。

根據第1開極信號G1之上升緣之第2開極信號G2之往上升為止之相位差T之間，只輸入第1開極信號G1至開極之N通道MOS電晶體MN1，成為導通狀態。

內部節點N1之電荷，被拉引至N通道MOS電晶體MN1，藉此在內部節點N1之電位達到反相器INV1之臨界值 V_t 時，反相器INV1之輸出往上升。

將在必要拉引至達到反相器INV1之臨界值 V_t 為止之電荷，當作CV，N通道MOS電晶體MN1之電荷拉引之電流值，當作I，則從第1開極信號G1之往上升開始，以I之電流來拉引CV之電荷量（節點N1之電壓往下降）。

在根據第1開極信號G1之上升緣之第2開極信號G2之往上升為止之相位差T之間，拉引電荷CV一開始，造成在時序差分割電路（反相器INV1）之輸出上，無相位差T之1/2成分。也就是說，在輸入時脈2之往上升前，從時序差分割電路（反相器INV1），輸出信號被輸出（輸出往上升）。

因此，滿足 $CV / I > T$ 之最小之電容值C，成為滿足相位差T之1/2成分之最小值 C_{min} 。

$$C_{min} = T \cdot I / V$$

接著，對於連接至內部節點N1之電容值為最大值 C_{max}



五、發明說明 (35)

時之節點N1之電壓波形N1f，作說明。

在根據第1閘極信號G1之上升緣之第2閘極信號G2之往上升為止之相位差T之間，只輸入第1閘極信號G1至閘極之N通道MOS電晶體MN1，成為導通狀態。節點N1之電荷，藉由N通道MOS電晶體MN1被拉引。接著，根據第1閘極信號G2之往上升，節點N1之電荷，藉由N通道MOS電晶體MN1、MN2被拉引(節點N1之電壓往下降)。內部節點N1之電位達到反相器INV1之臨界值 V_t 時，從反相器INV1輸出往上升。

將必要拉引至達到反相器INV1之臨界值 V_t 為止之電荷，當作CV，N通道MOS電晶體MN1之電荷拉引之電流值，當作I，則從第1閘極信號G1之往上升開始，以N通道MOS電晶體MN1之電流值來拉引，照舊地在第2閘極信號G2之往上升為止之相位差T之間，以N通道MOS電晶體MN1之電流值I來拉引，之後以2I之電流值I來拉引。

以電流2I來拉引之期間，係第1閘極信號G1和第2閘極信號G2重疊之期間 T_{ovp} 。在此重疊之期間 T_{ovp} 之間，拉引CV若不中斷，則造成在時序差分割電路之輸出上，無相位差T之1/2成分。在此，滿足 $(CV - T \cdot I) / 2I < T_{ovp}$ 之最大電容值C，成為滿足相位差T之1/2成分之最大值 C_{max} 。

$$C_{max} = (2 T_{ovp} + T) I / V$$

在本發明之一個實施例上，根據邏輯電路L1，來調整第1閘極信號G1和第2閘極信號G2之重疊之期間 T_{ovp} 之大小，因此可以調整 C_{max} 之大小。



五、發明說明 (36)

又藉著將電容共通連接至P通道MOS電晶體MP11~MP15之源極，汲極共通連接至節點N1，可變電容能夠不須要第26圖等所示的MOS電晶體開關(MN11~MN14)之構造，而能縮短晶片面積。

第2圖、第3圖，係表示本發明之一個實施例之構造圖。如第2圖(a)、第3圖(a)所示地，使用NAND元件，以同相輸入之電路、異相輸入之電路，來分開製作控制輸入時脈之重疊部分之電路。以4相時脈來使用。然而，在第2圖、第3圖，輸入信號，其輸入了有時序差信號IN1、IN2。定電流源 I_{O1} 、 I_{O2} 之電流值，相互相等而為I。

在第2圖(a)，邏輯電路L1，包括作為從輸入IN1、IN2來產生第1開極信號IN1A之電路之NAND電路NAND1、以及作為產生第2開極信號IN2A之電路之NAND電路NAND2。在第2開極信號IN2A上，MOS電容器元件MP2被連接，來平衡第1開極信號IN1A和負載。

參照第2圖(b)，第1、第2開極信號IN1、IN2，從信號IN1之上升緣開始，至信號IN2之上升緣為止，成為High準位(重疊期間 $T_{ovp} = 3 t_{CK}$)，而N通道MOS電晶體MN1、MN2開啟，以電流2I來拉引電荷。在此期間內，為了使反相器INV1之輸入信號之上升緣存在，應拉引至反相器INV1之臨界值電壓之電荷當作CV，則成為

$$CV / 2I < 3t_{CK}$$

$$C_{max} = t_{CK} \cdot 6 I / V$$

參照第3圖(a)，邏輯電路L1，包括作為從係異相輸入



五、發明說明 (37)

之第1、第2輸入IN1、IN2來產生第1開極信號IN1B之電路之NAND電路NAND11、以及作為產生第2開極信號IN2B，而將第2輸入IN2和High固定值當作輸入之NAND電路NAND12。在第2開極信號IN2B上，MOS電容器元件MP2被連接，來平衡第1開極信號IN1B和負載。NAND電路NAND13，輸入了輸入IN1和接地電位，而平衡輸入1和輸入2之負載。

藉由第1開極信號IN1B，N通道MOS電晶體MN1開啟，而以電流I已將內部節點N1之電荷CV(C為內部節點之負載電容，V為反相器之臨界值電壓 V_t)，在 $t_{CK} = T$ 內拉引之時，造成在時序差分割電路之輸出上，時序差T之分割成分之1/2成分不存在。

因此，成為

$$CV / I < t_{CK}$$

$$C_{min} = t_{CK} \cdot I / V$$

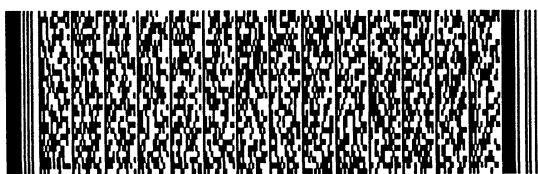
異相輸入之時，在第1開極信號IN1B和第2開極信號IN2B之重疊期間 T_{ovp} 之間，N通道MOS電晶體MN1、MN2開啟，以電流2I，從內部節點N1來拉引電荷CV之時，在時序差分割電路之輸出上，存在著時序差T之分割成分之1/2成分。

成為

$$(CV - t_{CK} \cdot I) / 2I < 2 t_{CK}$$

$$C_{max} > (t_{CK} \cdot 5 I) / V_t$$

如此地，時序差分割電路所提出之時序差之內分比1/2之時序之可能的電容值，從最小到最大成為1：5，比



五、發明說明 (38)

習知之1:3大幅地擴大，藉此，擴大了動作頻率數之範圍。

然而在上述實施例上，使用了並聯配置在內部節點N1之放電匯流排上之插補器，但亦可使用P通道MOS電晶體，而使其極性相反。此時，內部節點N1，不藉由從將輸入信號IN1、IN2當輸入之邏輯電路L1所輸出之第1、第2閘極信號來放電，而卻來充電。

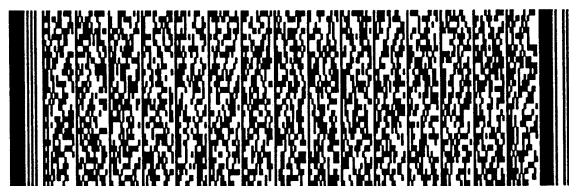
上述時序差分割電路，關於在第4圖至第7圖，第15圖至第17圖上所示的時脈控制電路，適合在時序差分割電路上使用。然而，在上述實施例上，使用了4相時脈，但是除此之外，當然亦可有效地適用在例如8相、16相之信號。

產生閘極信號之邏輯電路L1，藉由根據NAND電路等之組合，可以構成各種電路，但是單純地亦可以製作單擊信號之電路，來增加重疊期間。

已依照上述實施例，在以上說明了本發明，但是本發明，不限定上述實施例之構造，而當然包含當業者以專利申請範圍之各請求項發明之範圍，來獲得的各種變形，修正。

[發明效果]

根據如以上所說明的本發明，在輸出具有將輸入信號之時序差，以既定之內分比來分割後之輸出信號之時序差分割電路(插補器)上，藉由具備控制開關之開啟・關閉時間，以控制內部節點之往上升以及往下降，以奏效了所謂



五、發明說明 (39)

的能夠擴大被附加在內部節點之電容值之範圍，而能夠以簡單之邏輯電路來擴大動作範圍之顯著的效果。

根據本發明，能夠去除控制對內部節點之電容之連接之開關，而藉由MOS電容器來構成電容，來抑制減低晶片面積之增大。

[圖式簡單說明]

第1圖(a)係表示本發明之一個實施例之構造圖，第1圖(b)係說明動作之時序圖。

第2圖(a)係表示本發明之一個實施例之構造圖，第1圖(b)係說明動作之時序圖。

第3圖(a)係表示本發明之一個實施例之構造圖，第1圖(b)係說明動作之時序圖。

第4圖係表示特願平09-157028號之時脈信號控制裝置之構造圖。

第5圖係表示特願平09-157028號之時脈信號控制裝置之構造圖。

第6圖係表示特願平09-157028號之時脈信號控制裝置之動作之時序圖。

第7圖係表示使用特願平09-157028號之時脈信號控制裝置之2相時脈增倍電路之電路圖。

第8圖係表示使用特願平09-157028號之時脈信號控制裝置之2相時脈增倍電路之動作時序圖。

第9圖係表示使用特願平09-157028號之時脈信號控制裝置之時序差分割電路之電路圖。



五、發明說明 (40)

第10圖係表示使用特願平09-157028號之時脈信號控制裝置之時序差分割電路之電路圖。

第11圖係表示使用特願平09-157028號之時脈信號控制裝置之時序差分割電路之具體例之電路圖。

第12圖係表示使用特願平09-157028號之時脈信號控制裝置之時序差分割電路之具體例之電路圖。

第13圖係表示使用特願平09-157028號之時脈信號控制裝置之4組時序差分割電路之動作時序圖。

第14圖係表示使用特願平09-157028號之時脈信號控制裝置之多重化電路之具體例之電路圖。

第15圖係表示特願平09-157028號之時脈信號控制裝置(實施例2)之構造圖。

第16圖係表示特願平09-157028號之時脈信號控制裝置(實施例2)之動作時序圖。

第17圖係表示使用特願平09-157028號之時脈信號控制裝置(實施例2)之4相時脈增倍電路之具體例之電路圖。

第18圖係表示使用特願平09-157028號之時脈信號控制裝置(實施例2)之4相時脈增倍電路之動作時序圖。

第19圖係表示使用特願平09-157028號之時脈信號控制裝置(實施例2)之時序差分割電路電路之具體例之電路圖。

第20圖係表示使用特願平09-157028號之時脈信號控制裝置(實施例2)之時序差分割電路電路之具體例之電路圖。



五、發明說明 (41)

第21圖係表示使用特願平09-157028號之時脈信號控制裝置(實施例2)之時序差分割電路電路之動作時序圖。

第22圖係表示使用特願平09-157028號之時脈信號控制裝置(實施例2)之脈衝寬度修正電路之具體例之電路圖。

第23圖係表示使用特願平09-157028號之時脈信號控制裝置(實施例2)之多重化電路之具體例之電路圖。

第24圖係表示習知例之將時脈信號增倍之電路，使用延遲電路之情況之電路圖。

第25圖係表示習知例之將時脈信號增倍之電路，使用PLL之情況之電路圖。

第26圖係表示習知例之時序差分割電路(插補器)之電路構造之一個例子之圖。

第27圖係說明時序差分割電路(插補器)之動作原理圖。

第28圖係說明在第26圖上所示的習知之時序差分割電路之動作之時序圖。

第29圖係表示習知之時序差分割電路之電容值和內分比之關係之一個例子之圖。

[符號說明]

1~外部時脈；

2~除頻器；

3~多相時脈；

4、4a1~4a8~時序差分割電路；



五、發明說明 (42)

5~多相時脈增倍電路；

6~周期測知電路；

7~控制信號；

8~時脈合成電路；

9a~多相時脈；

9b~增倍時脈；

9c~時脈。

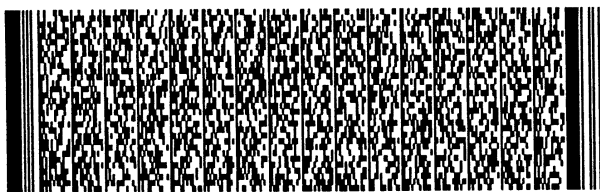


四、中文發明摘要 (發明之名稱：時序差分割電路和信號控制方法以及裝置)

[課題] 提供實現高速性、小面積，而且可以寬頻帶動作之時序差分割電路。

[解決手段] 本發明包括以第1輸入信號和第2輸入信號為基準，產生第1閘極(gate)信號和第2閘極信號而輸出之邏輯電路L1、被連接在第1電源和內部節點(node)之間，而上述第1閘極信號被輸入至控制端子之第1開關(switch)元件、由第2開關元件和第1定電流源而成的第1串聯電路、由第3開關元件和第2定電流源而成的第2串聯電路，被並聯連接在上述內部節點和第2電源之間，而在上述第2、以及第3開關元件之控制端子上，上述第1、和第2閘極信號各自被連接，並藉由控制信號，來各自控制對上述內部節點之連接之MOS電容群、輸入端被連接至上述內部節點，

英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：時序差分割電路和信號控制方法以及裝置)

而從上述內部節點電位和臨界值電壓之大小來規定輸出信號之值之緩衝器(buffer)電路；從上述邏輯電路所輸出之上述第1、第2閘極信號同時地成為動作狀態，而上述第2、以及第3開關元件同時開啟之重疊期間，成為可以被自由調整。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種時序差分割電路，至少包括開・關控制內部節點和電源間之匯流排之被相互並聯連接之2個開關，而其構造為被輸入之2個信號中，以較早變遷之一方之一個信號當基準之一個開關開啟，而附加在上述內部節點之電容，以第1電流充電或放電，之後以比上述一個信號較晚變遷之另一信號當基準之另一個開關開啟，而透過開啟狀態之上述一個開關和上述另一個開關，以上述第1電流和第2電流之和之電流值，來對附加在上述內部節點之電容充電或放電，而且在具備上述內部節點電壓超過臨界值電壓，或是降下之情況下，改變輸出邏輯值之緩衝器電路，

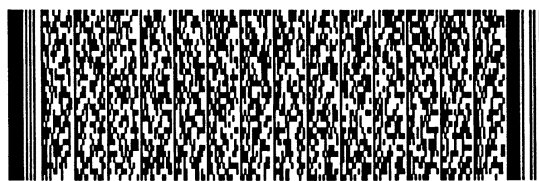
其特徵在於：

包括以上述之一個信號和上述另一信號當基準，將上述一個開關開啟之期間和上述另一個開關開啟之期間相互重疊之期間(T_{ovp})，設定在所期望之值之電路裝置。

2. 如申請專利範圍第1項所述的時序差分割電路，其中上述電路裝置，將上述重疊期間(T_{ovp})，設定成比上述一個信號較晚變遷而延伸至比上述另一信號之前緣之更前方上、或從上述另一信號之前緣開始而比上述另一信號之後緣又被延長之任意之值。

3. 如申請專利範圍第1項所述的時序差分割電路，其中上述電路裝置，使上述重疊期間(T_{ovp})，成為比上述一個信號較晚變遷之上述之另一信號之前緣開始，至上述另一信號之後緣為止。

4. 如申請專利範圍第1、2或3項所述的時序差分割電



六、申請專利範圍

路，其中上述電容，以複數之MOS電容器來構成，而上述複數之MOS電容器，藉由控制信號，來各自控制至上述內部節點之連接。

5. 一種時序差分割電路，包括：

邏輯電路，以第1輸入信號和第2輸入信號為基準，產生第1閘極信號和第2閘極信號而輸出；以及

第1開關元件，被連接在第1電源和內部節點之間，而上述第1閘極信號被輸入至控制端子；

MOS電容群，由第2開關元件和第1定電流源而成的第1串聯電路、由第3開關元件和第2定電流源而成的第2串聯電路，被並聯連接在上述內部節點和第2電源之間，而在上述第2、以及第3開關元件之控制端子上，上述第1、和第2閘極信號各自被連接，並藉由控制信號，來各自控制對上述內部節點之連接；以及

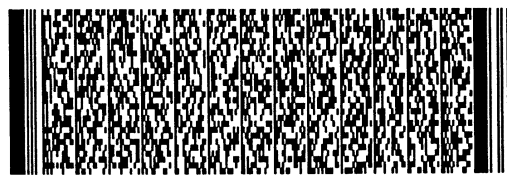
緩衝器電路，輸入端被連接至上述內部節點，而從上述內部節點電位和臨界值電壓之大小來規定輸出信號之值；

其特徵在於：

從上述邏輯電路所輸出之上述第1、以及第2閘極信號同時地成為動作狀態，而上述第2、以及第3開關元件同時開啟之重疊期間，成為可以被自由調整。

6. 一種時序差分割電路，包括：

邏輯電路，以第1輸入信號和第2輸入信號為基準，產生第1閘極信號和第2閘極信號而輸出；



六、申請專利範圍

第1導電型之第1MOS電晶體，源極被連接至第1電源，汲極被連接至內部節點，閘極被連接至上述第1閘極信號；

第2導電型之第2、以及第3MOS電晶體，汲極被共通連接至上述內部節點，閘極被連接至上述第1、第2閘極信號；

第1、以及第2定電流源，被各自連接至上述第2、以及第3MOS電晶體之源極與第2電源之間；

第1導電型之複數電晶體，在上述內部節點上，源極與汲極同時被連接，控制信號被連接至閘極；以及

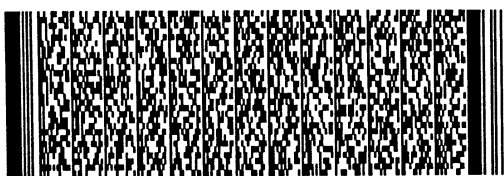
緩衝器電路，輸入端被連接至上述內部節點，而從上述內部節點電位和臨界值電壓之大小來規定輸出信號之值；

其特徵在於：

從上述邏輯電路所輸出之上述第1、以及第2閘極信號同時地成為動作狀態，而上述第2、以及第3MOS電晶體同時開啟之重疊期間，可以被設定成所希望之值。

7. 如申請專利範圍第5或6項所述的時序差分割電路，其中上述邏輯電路，輸出藉由第1、第2之輸入信號中之領先相位之信號之開始邊緣，來決定其開始邊緣之時序，而藉由落後相位之信號之結束邊緣，來決定結束邊緣之時序之信號，以作為上述第1閘極信號；

而輸出藉由上述第1、第2之輸入信號中之落後相位之信號之開始邊緣，來決定其開始邊緣之時序，而藉由落後



六、申請專利範圍

相位之信號之結束邊緣，來決定之結束邊緣之時序之信號，以作為上述第2閘極信號。

8. 如申請專利範圍第5或6項所述的時序差分割電路，其中上述邏輯電路，包括：

第1閘極電路，在上述第1、第2之輸入信號取第1值和第2值、同時地取第2值、或同時地取第1值以外之情況下，輸出第1值，作為上述第1閘極信號；以及

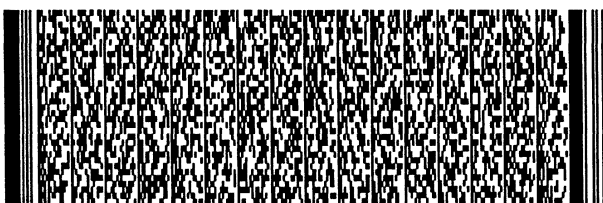
第2閘極電路，在落後相位之信號取第2值時，輸出第1值，作為上述第2閘極信號。

9. 如申請專利範圍第5或6項所述的時序差分割電路，其中上述邏輯電路，藉由上述第1、第2之輸入信號中之領先相位之信號之開始邊緣，來決定其開始邊緣之時序，而藉由落後相位之信號之結束邊緣來決定結束邊緣之時序之同相信號，以作為上述第1、第2閘極信號。

10. 如申請專利範圍第4項所述的時序差分割電路，其中被連接至上述內部節點之複數之MOS電容器之電容值，相互不同。

11. 如申請專利範圍第5項所述的時序差分割電路，其中被連接至上述內部節點之複數之MOS電容器之電容值，相互不同。

12. 如申請專利範圍第6項所述的時序差分割電路，其中源極和汲極同時被連接至上述內部節點之上述第1導電型之複數MOS電晶體，具有相互不同之閘極長度或閘極寬度。



六、申請專利範圍

13. 如申請專利範圍第6項所述的時序差分割電路，其中上述第1、第2輸入信號，由將輸入時脈信號除頻而產生的相互不同相位之時脈而成；

被供給至源極和汲極同時被連接至上述內部節點之第1導電型之複數MOS電晶體之閘極之控制信號，從測知上述時脈之周期之電路被供給。

14. 一種時脈控制裝置，包括：

除頻器，將輸入時脈除頻，而產生並輸出多相時脈；
周期測知電路，測知上述輸入時脈之周期；以及

多相時脈增倍電路，將從上述除頻器所輸出之多相時脈當輸入，而產生將上述時脈增倍後之多相時脈；

其特徵在於：

上述多相時脈增倍電路，具備了複數之輸出將2個輸入之時序差分割後的信號之在申請專利範圍第1項至第11項之任一項所述的時序差分割電路，同時具備將2個上述時序差分割電路之輸出各自多重化而輸出之複數多重化電路。

15. 如申請專利範圍第14項所述的時脈控制裝置，其中包括輸入了2相之時脈，而輸出將2個輸入之時序差分割後之信號之4個時序差分割電路，並包括了具備將第1、第3時序差分割電路之輸出和2、第4時序差分割電路之輸出當輸入之2個多重化電路之2相時脈增倍電路。

16. 如申請專利範圍第14項所述的時脈控制裝置，其中上述多相時脈增倍電路，包括了輸入了n相之時脈(第1



六、申請專利範圍

至第 n 時脈)，而輸出將2個輸入之時序差分割後之信號之 $2n$ 個時序差分割電路；

其中，第 $2I-1$ ($1 \leq I \leq n$) 時序差分割電路，將第 I 之同一時脈作為輸入，當作上述2個輸入；以及

第 $2I$ ($1 \leq I \leq n$) 時序差分割電路，將第 I 時脈、和第($I+1 \bmod n$) ($\bmod$ 表示餘數運算， $I+1 \bmod n$ 為 $I+1$ 除以 n 之餘數) 時脈作為輸入；

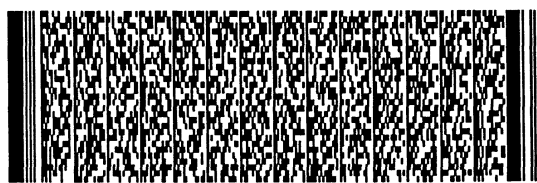
並包括：

$2n$ 個脈衝寬度修正電路，將第 J 之時序差分割電路之輸出和第($J+2 \bmod 2$) ($J+2 \bmod n$ 為 $J+2$ 除以 n 之餘數) 之時序差分割電路之輸出當作輸入；以及

n 個多重化電路，將第 K ($1 \leq K \leq n$) 脈衝寬度修正電路之輸出和第($K+n$) 脈衝寬度修正電路之輸出當作輸入。

17. 一種信號控制方法，於被輸入之2個信號中，以較早變遷之一方之一個信號當基準，被設置在內部節點和電源間之被並聯連接之2個開關之一個開關開啟，而以第1電流對上述內部節點之電容量來充電或放電，

之後以比上述一個信號較晚變遷之另一信號當基準之另一個開關開啟，而透過開啟狀態之上述一個開關和上述另一個開關，以上述第1電流和第2電流之和之電流值，來對上述內部節點之電容量充電或放電，藉由在上述內部節點電壓超過衝器電路之臨界值電壓，或是降下之情況下，改變上述緩衝器電路之輸出邏輯值，而從上述緩衝器電路，來輸出將被輸入之2個信號之時序差分割後之延遲時間



六、申請專利範圍

之信號之信號控制方法上，

其特徵在於：

以上述一個信號和另一信號當基準，將上述一個開關開啟期間、和上述另一個開關開啟期間相互重疊之期間(T_{ovp})，可以調整為所希望之值，而擴大被附加在對於上述被輸入之2個信號之時序差之分割值之上述內部節點上之上述電容量之範圍。

18. 如申請專利範圍第17項所述的信號控制方法，其中，將上述重疊期間(T_{ovp})，設定成比上述一個信號較晚變遷而延伸至比上述另一信號之前緣之更前方上、或從上述另一信號之前緣開始而比上述另一信號之後緣又被延長之任意之值。

19. 如申請專利範圍第17項所述的信號控制方法，其中，使上述重疊期間(T_{ovp})，成為比上述一個信號較晚變遷之上述之另一信號之前緣開始，至上述另一信號之後緣為止。

20. 一種信號控制方法，輸入了相位相互不同之第1以及第2之輸入信號，而輸出以將這些2個之輸入信號之時序差分割後之時間，所規定之延遲時間之輸出信號；

從上述第1、第2輸入信號，來產生上述第1、第2之輸入信號中之領先相位之信號之開始邊緣當基準，來決定其開始邊緣之時序，而以落後相位之信號之結束邊緣當基準而被決定結束邊緣之時序之信號之第1開極信號，和以上述第1、第2之輸入信號中之落後相位之信號之開始邊緣當



六、申請專利範圍

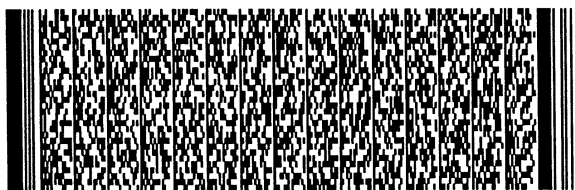
基準，來決定其開始邊緣之時序，而以落後相位之信號之結束邊緣當基準來決定結束邊緣之時序之信號之第2閘極信號；

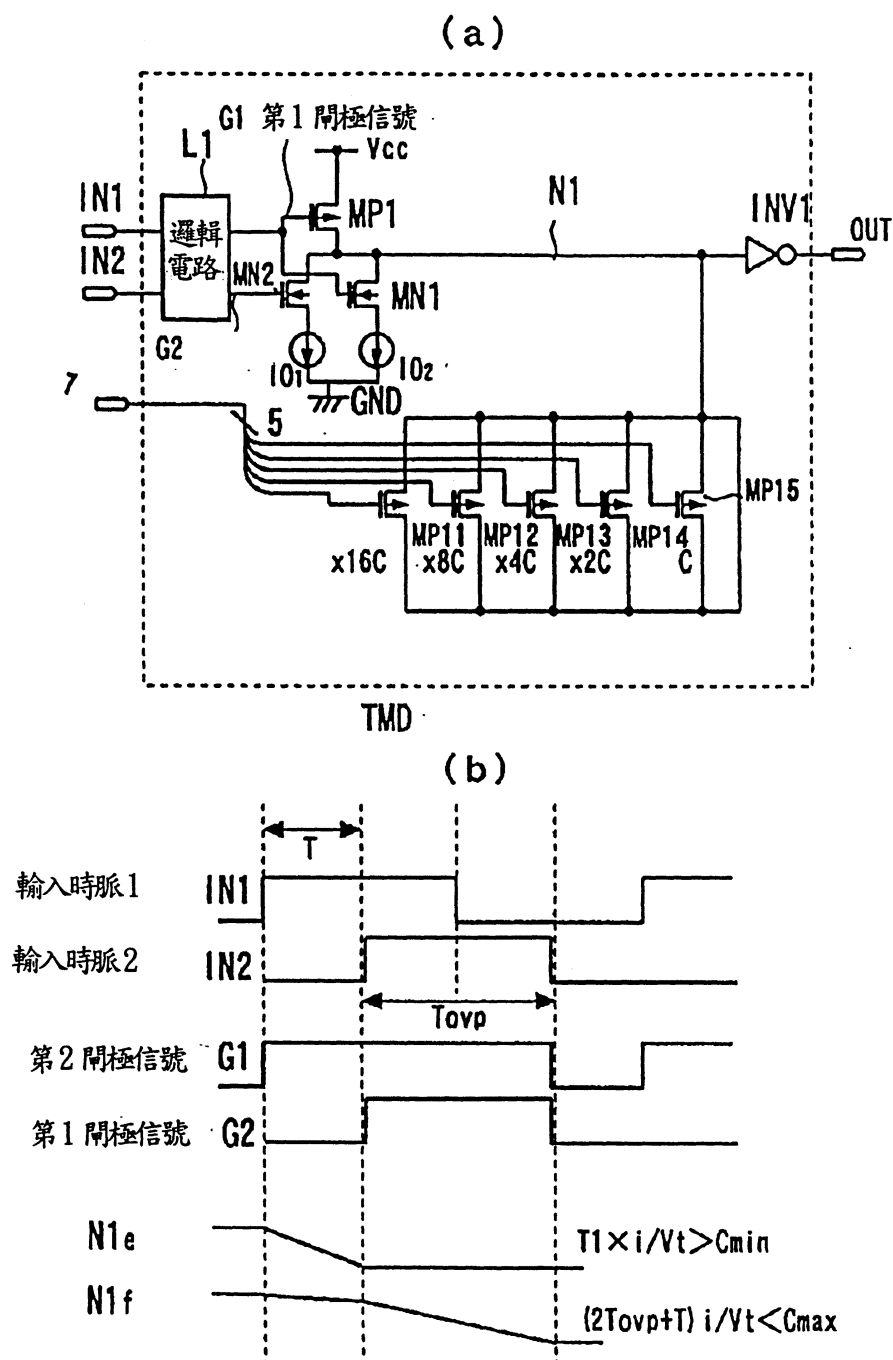
關於被連接至內部節點和電源間之第1、第2開關元件，首先以上述第1閘極信號當基準而開啟之開關元件，來對上述內部節點之電容量充電或放電，

之後，配合上述第2閘極信號當基準而開啟之開關元件，來對上述內部節點之電容量充電或放電；

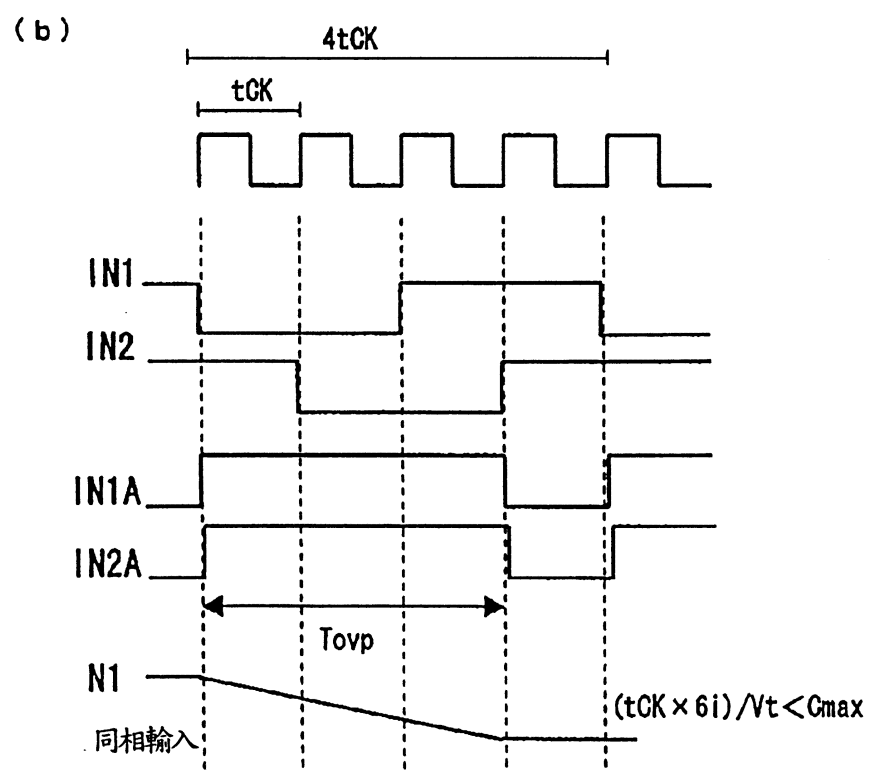
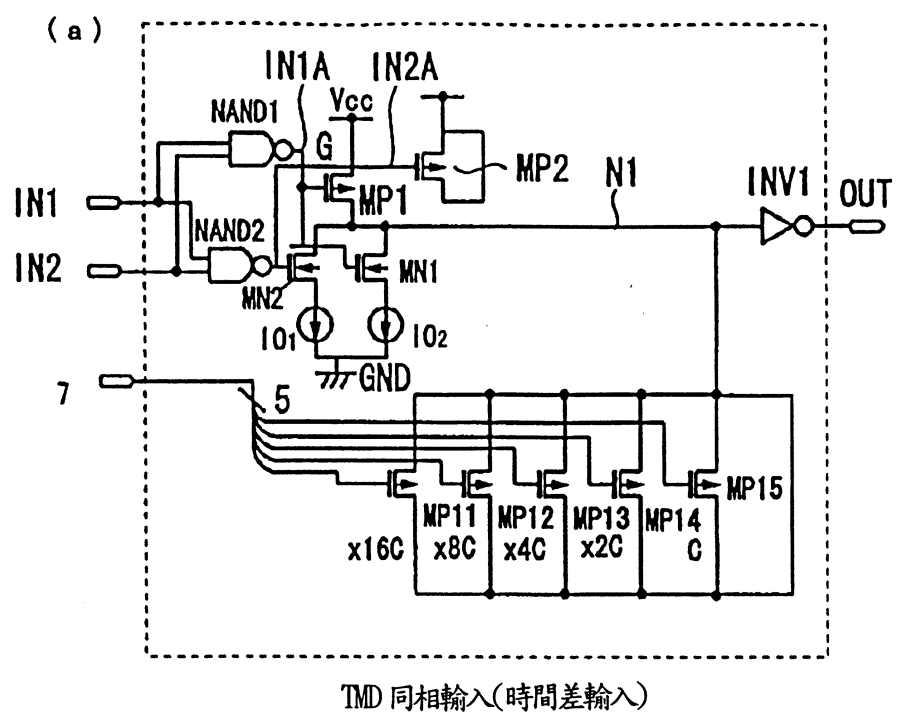
其特徵在於：

上述內部節點被連接至輸入端，而從在上述內部節點電壓超過臨界值電壓，或是降下之情況下，來改變輸出邏輯值之緩衝器電路，來輸出含有將上述第1、第2輸入信號之時序差分割後之時間，以作為延遲時間之輸出信號。

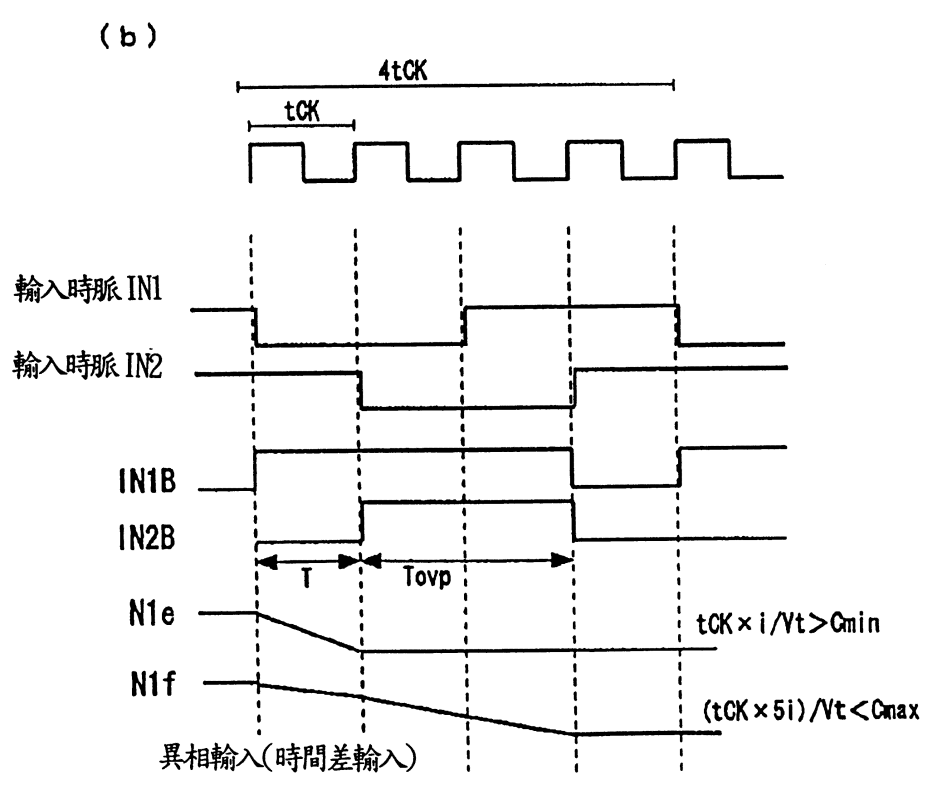
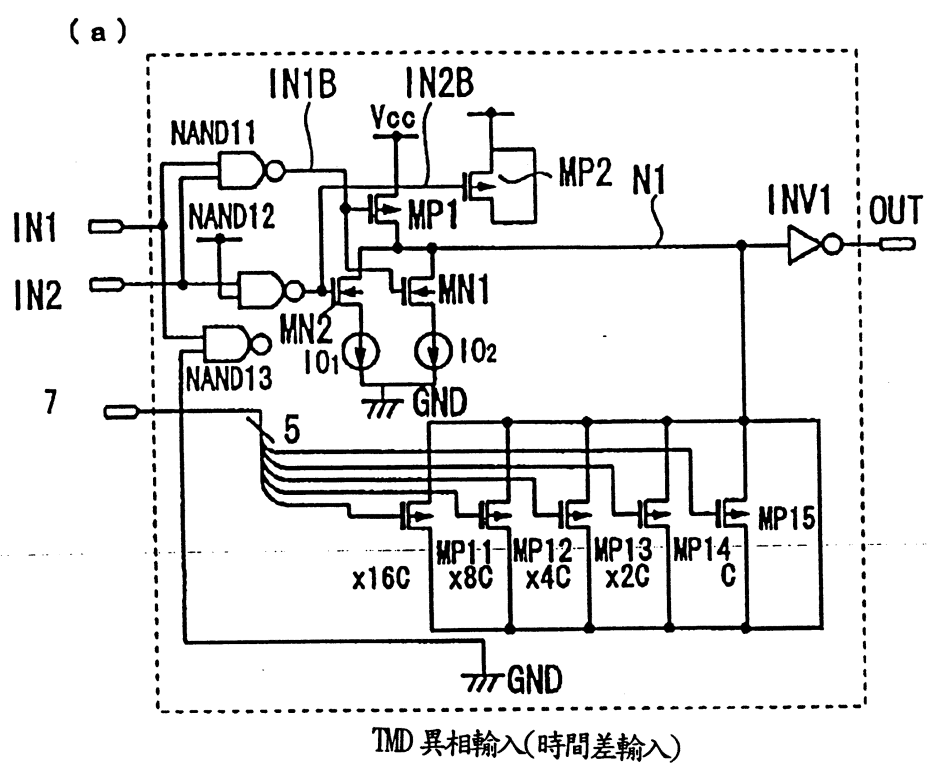




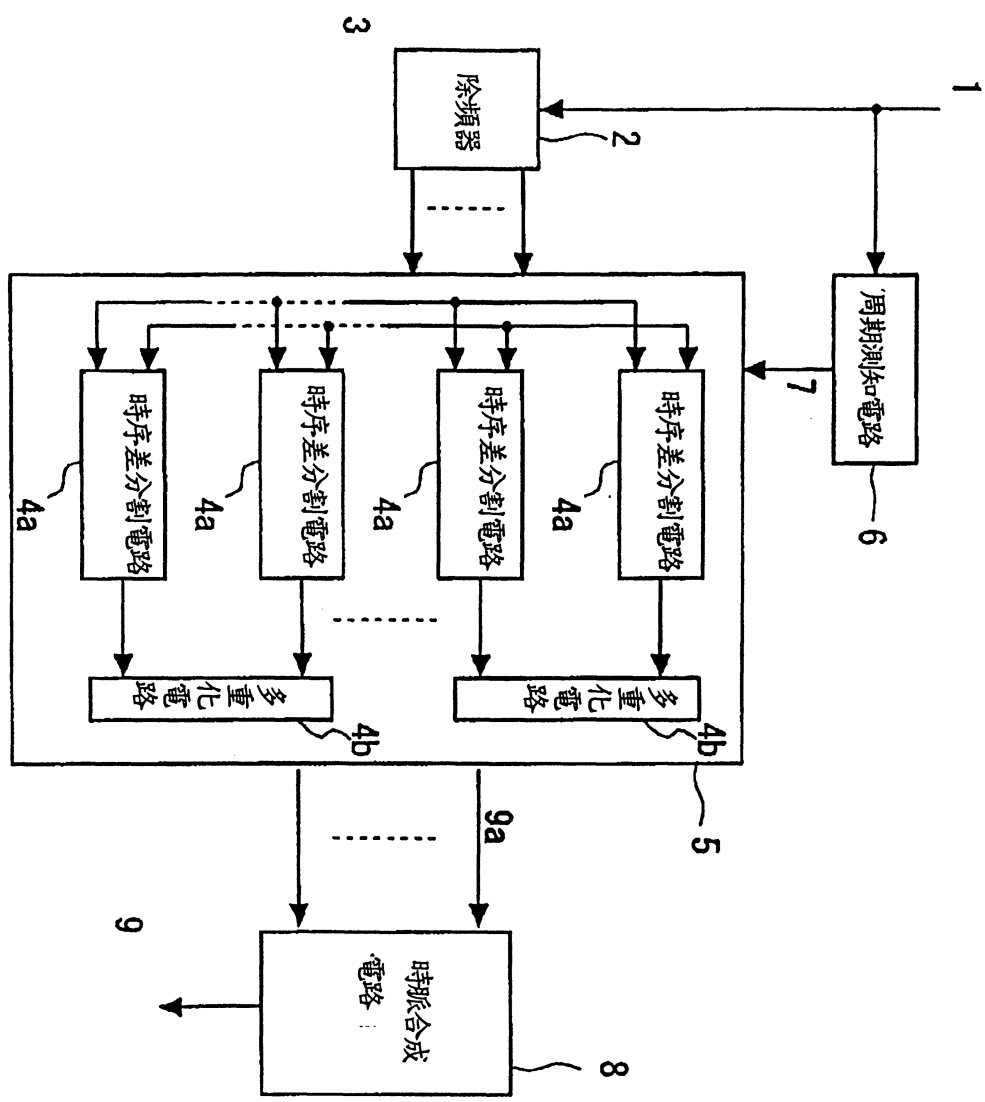
第 1 圖



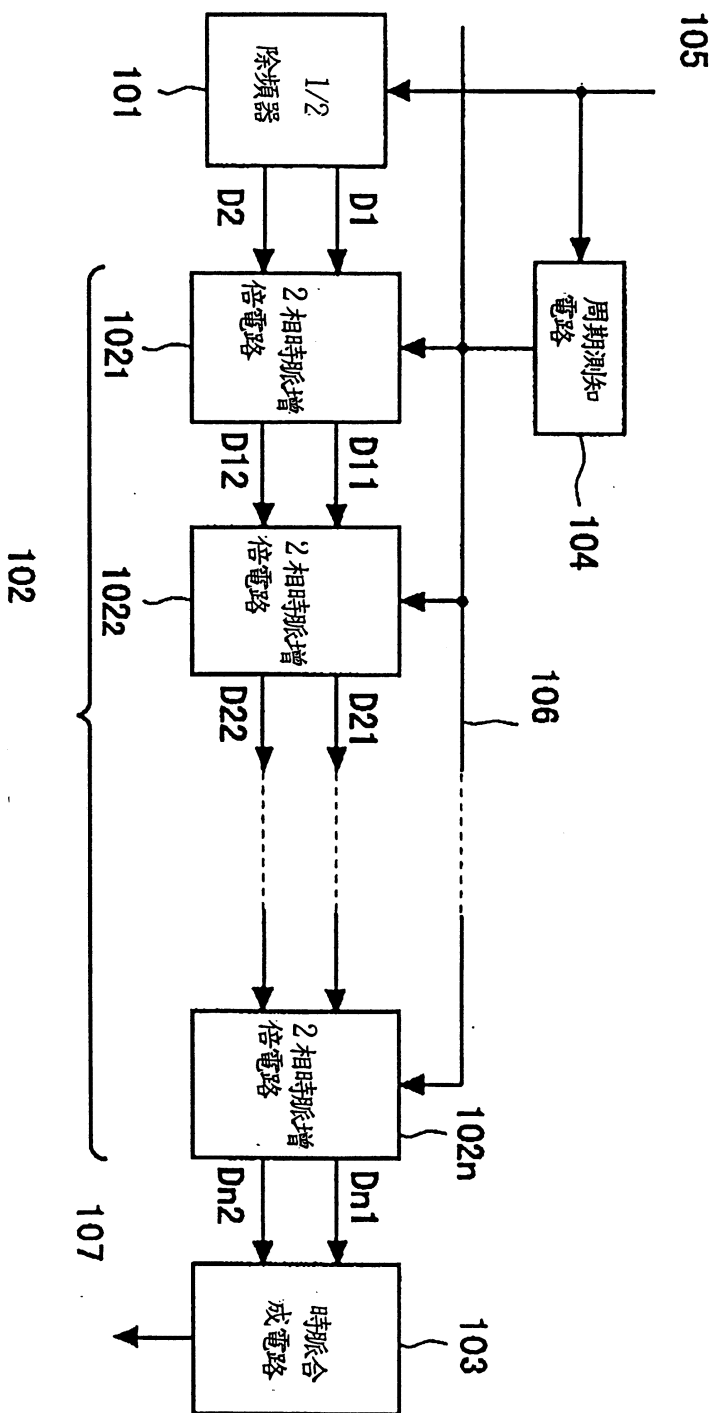
第 2 圖



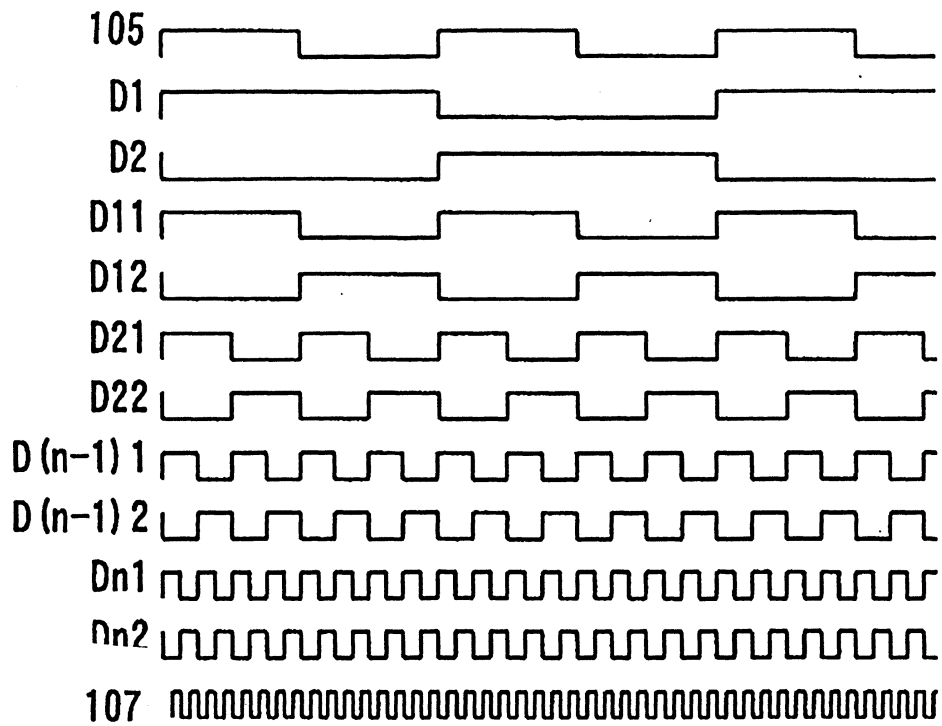
第 3 圖



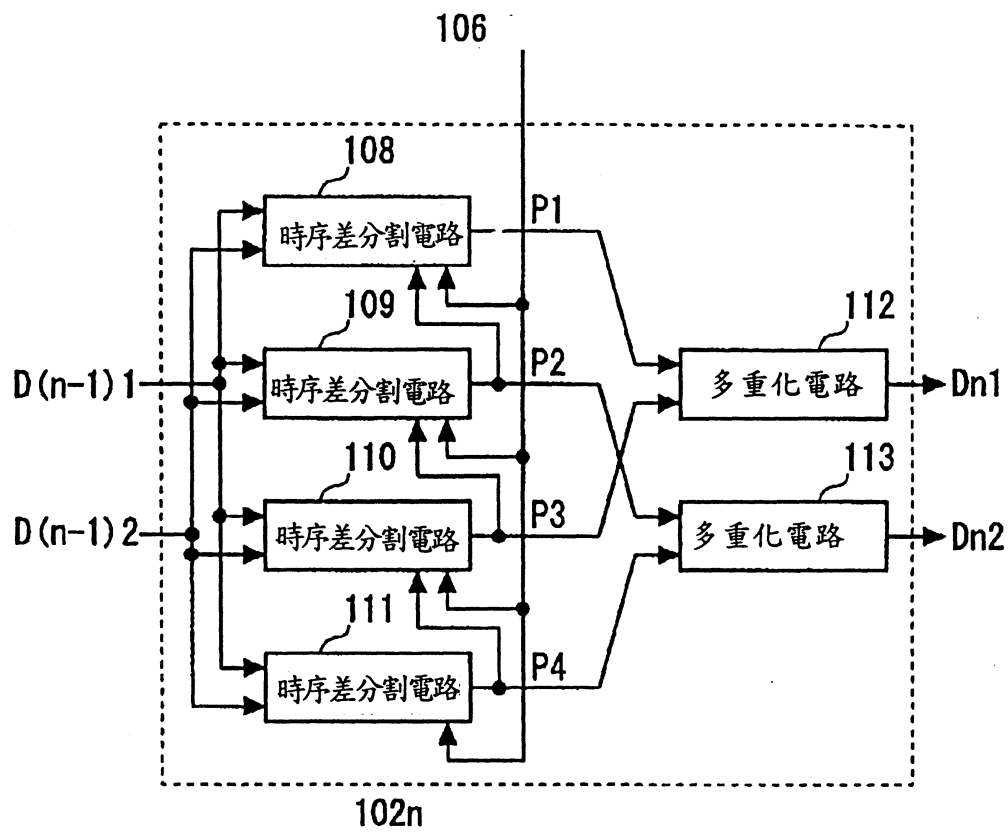
第 4 圖



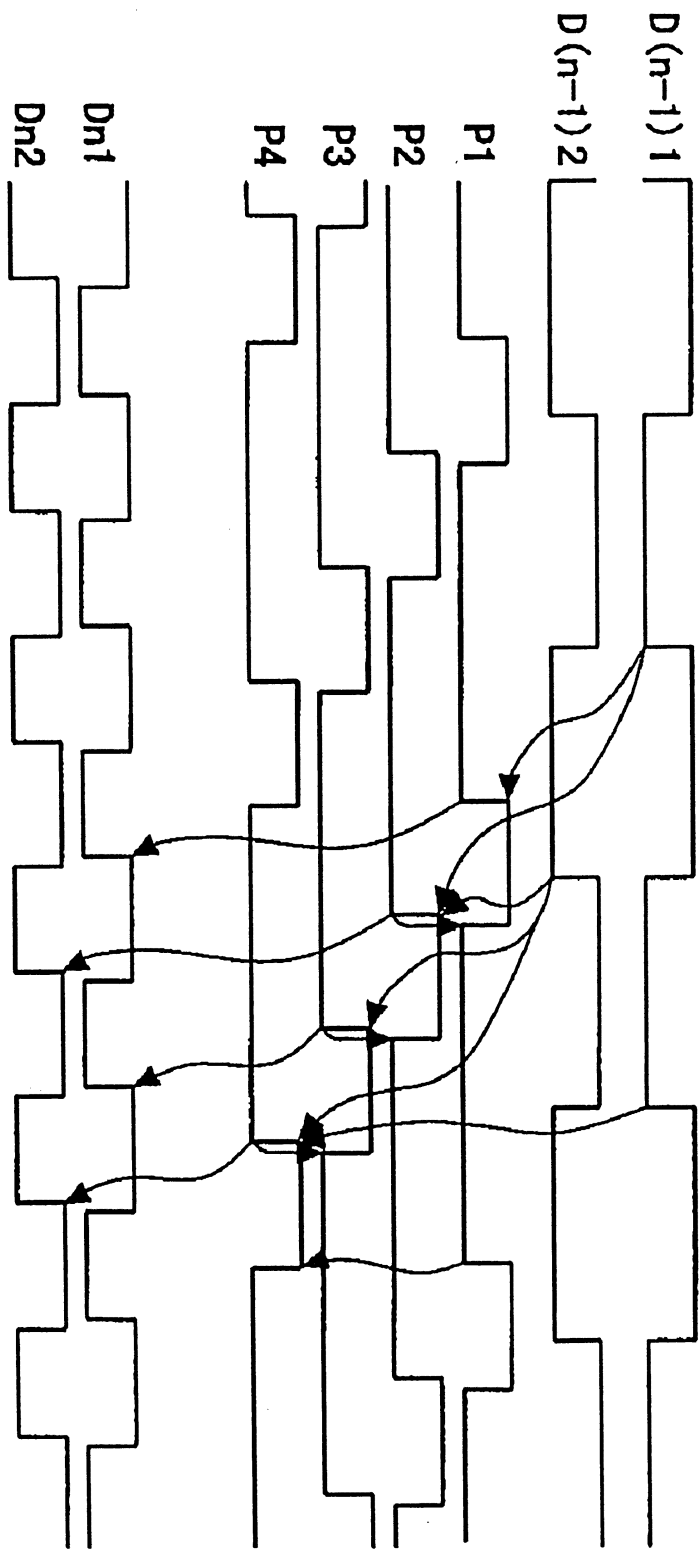
第 5 圖



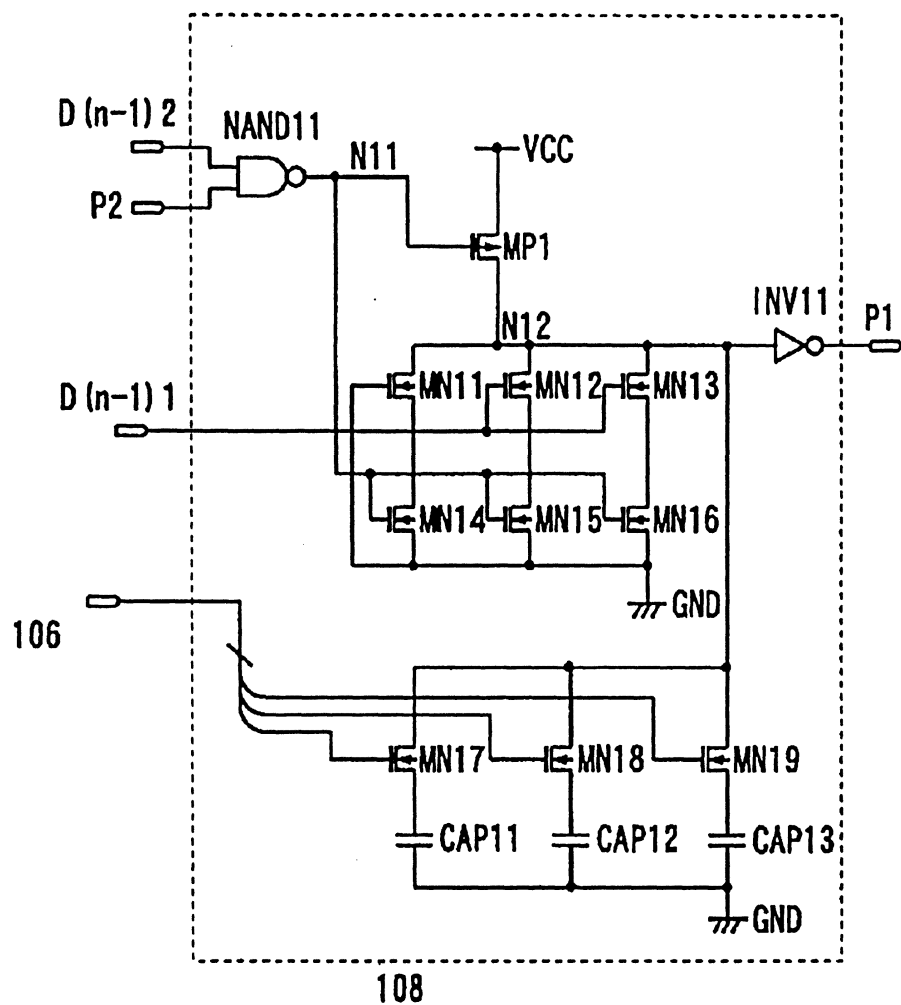
第 6 圖



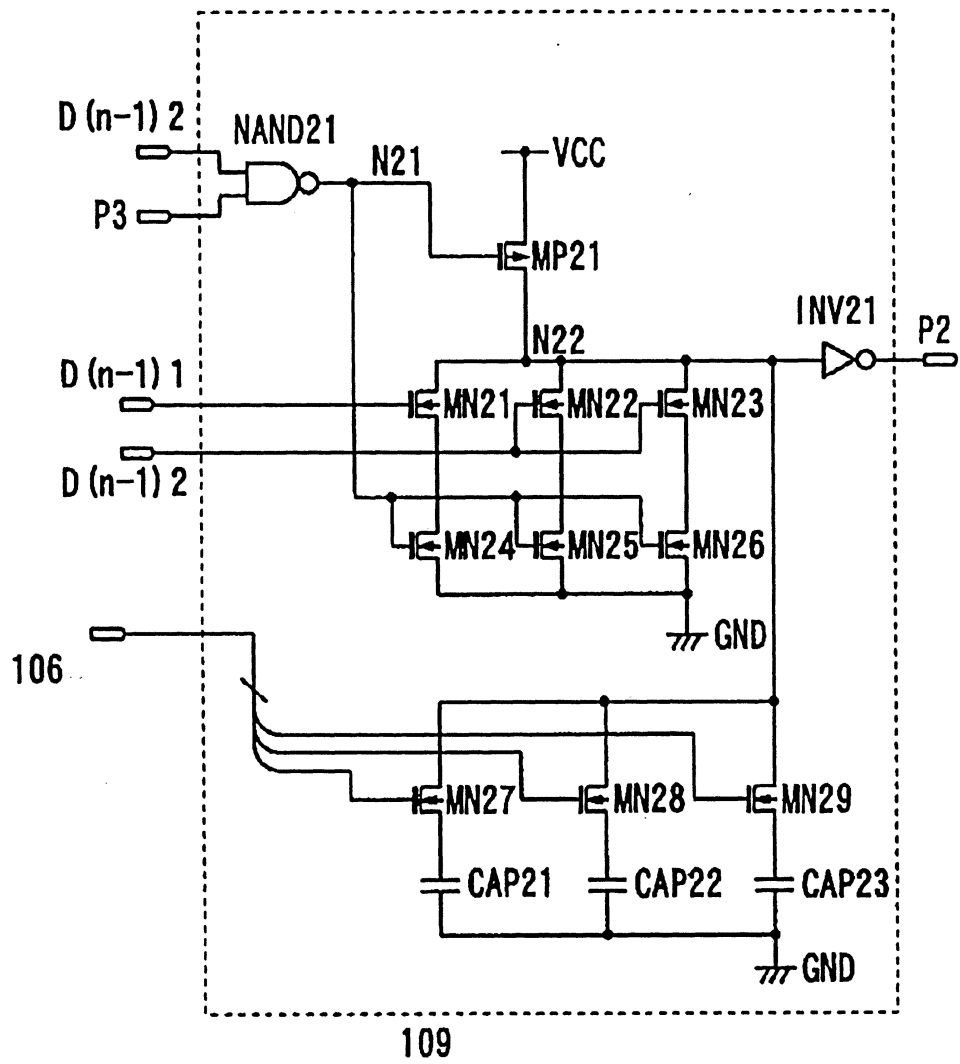
第 7 圖



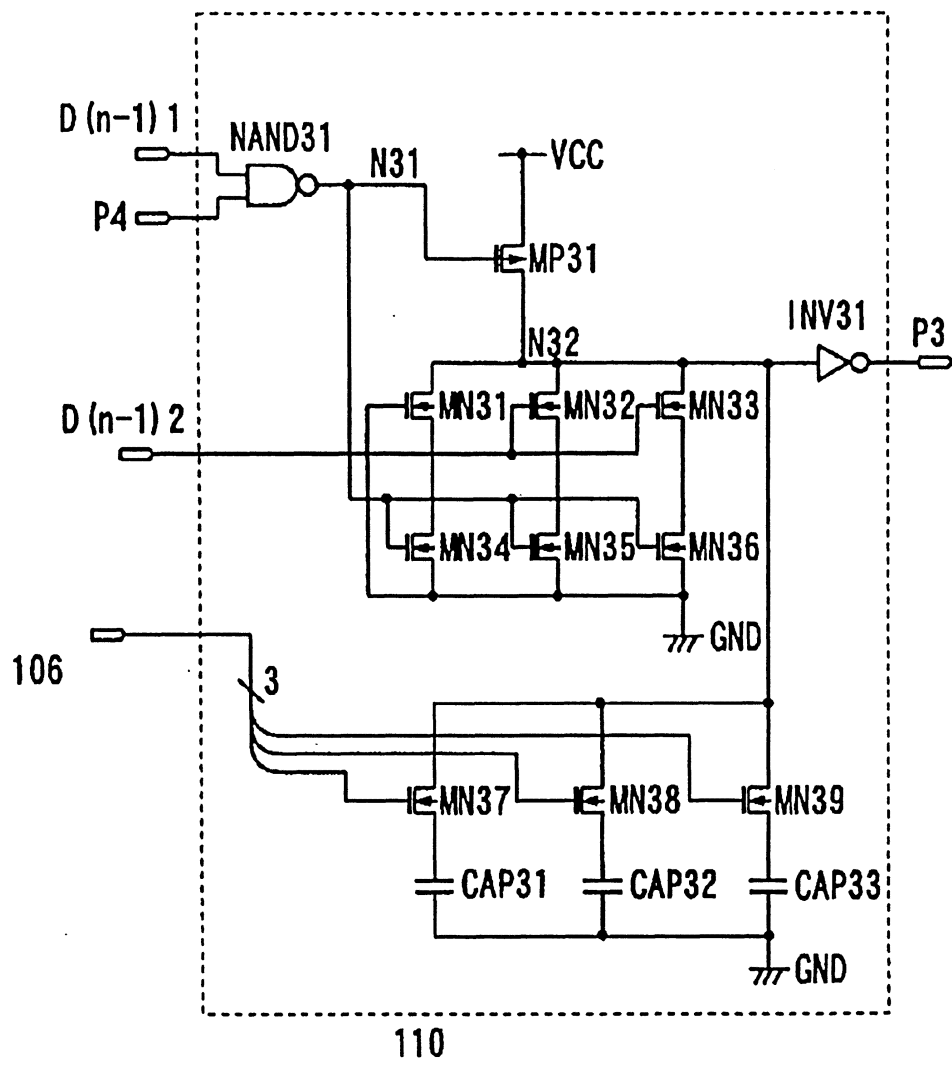
第 8 圖



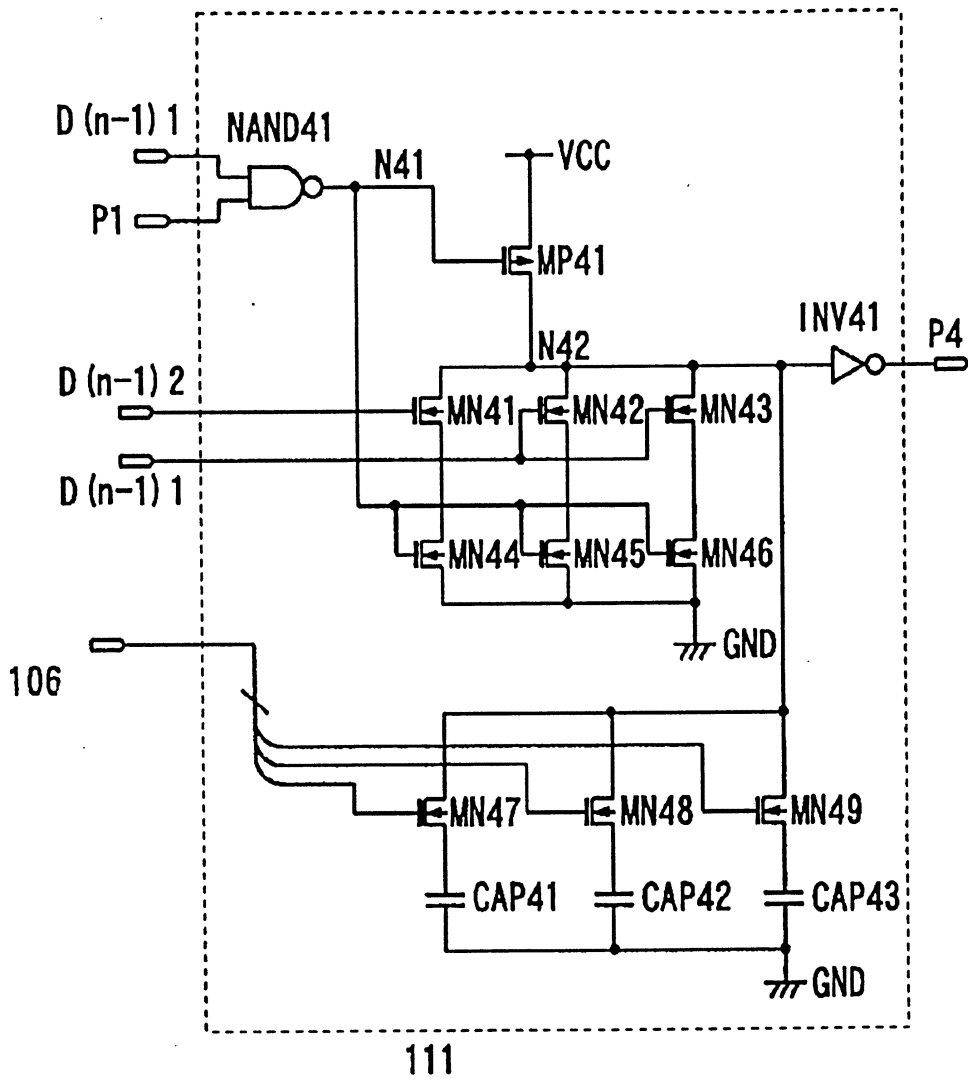
第 9 圖



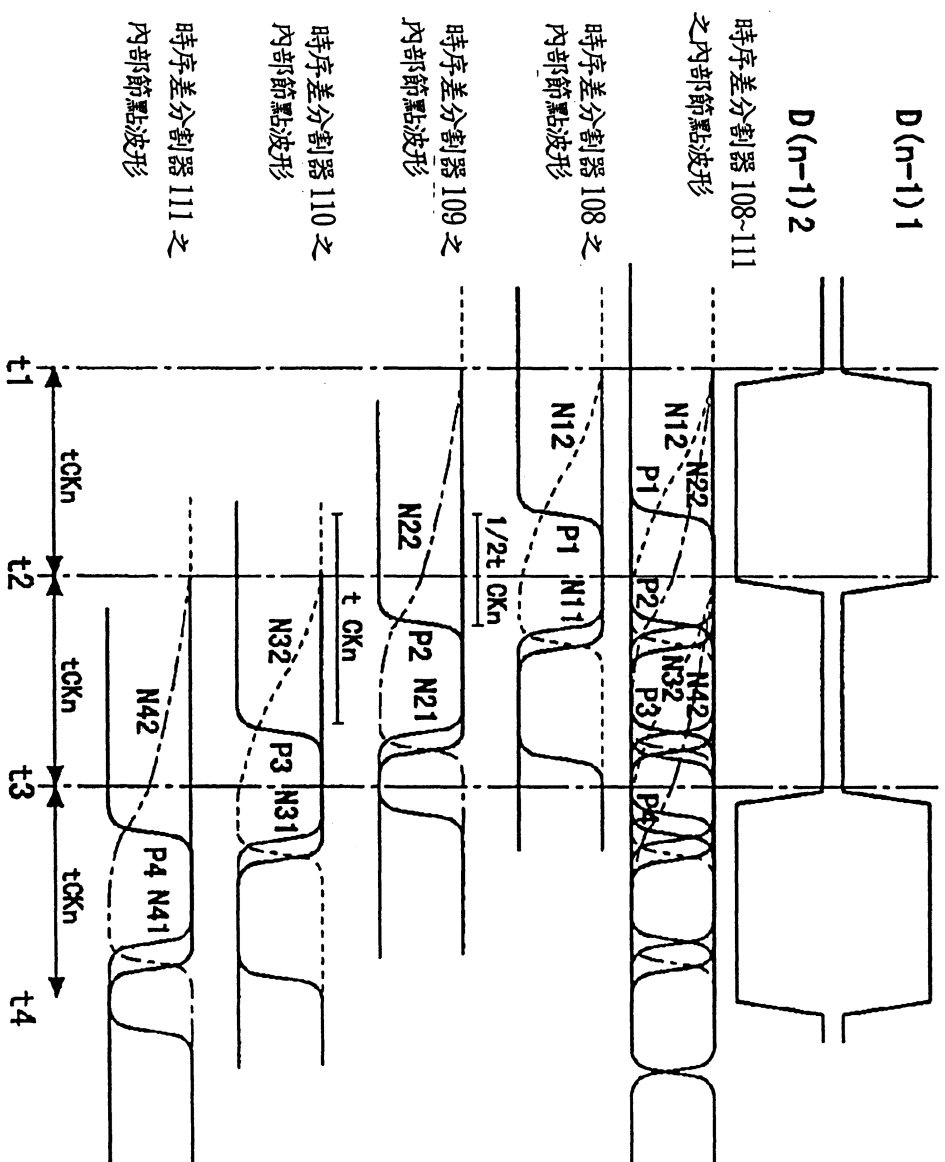
第 10 圖



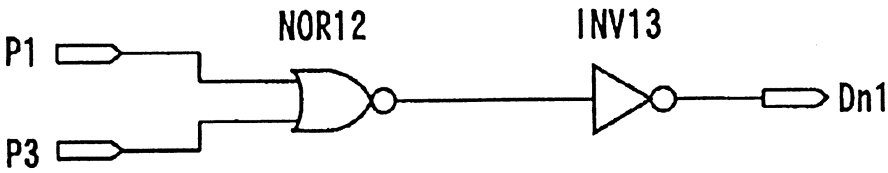
第 11 圖



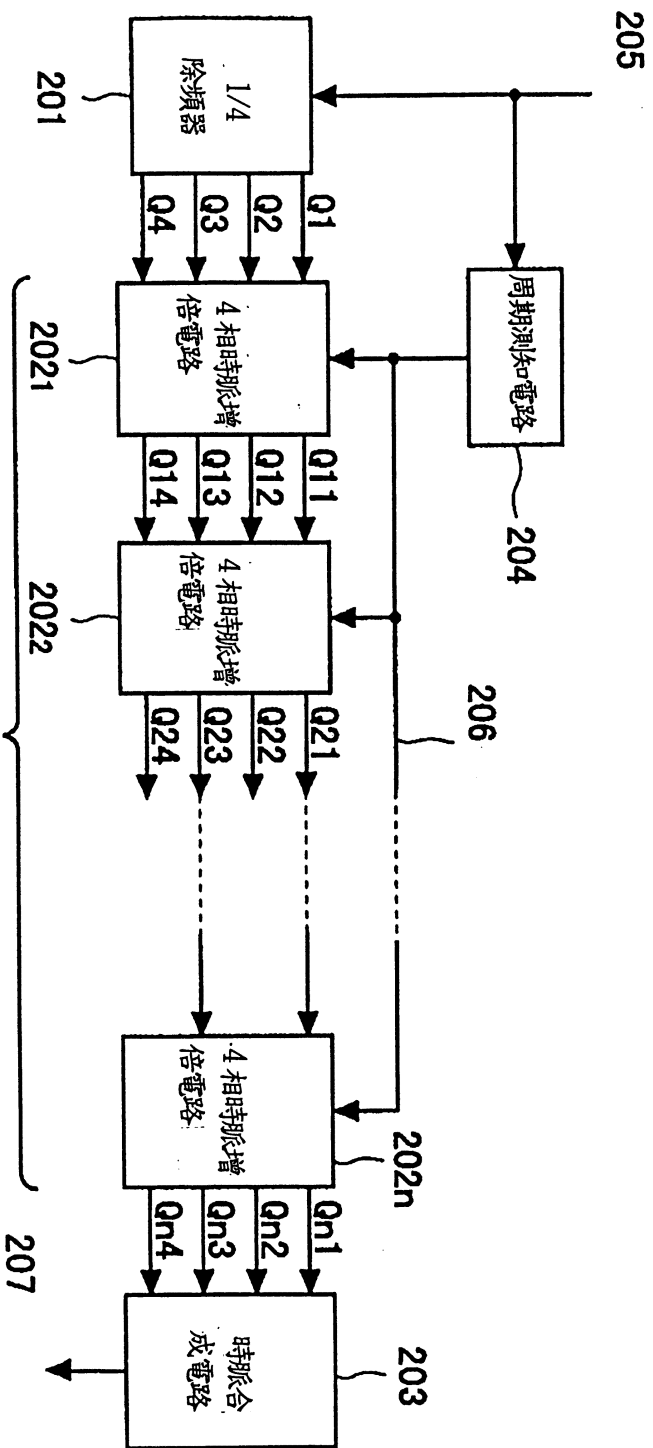
第 12 圖



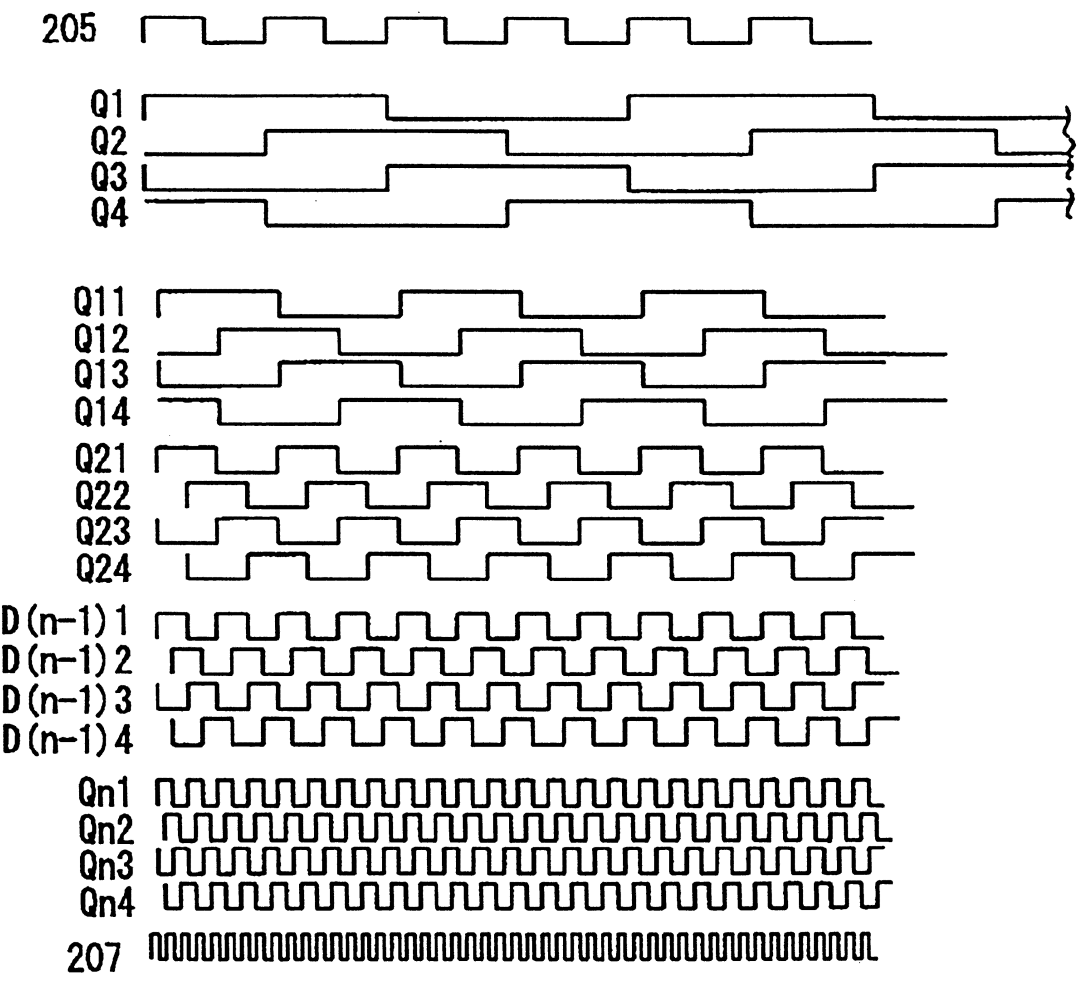
第 13 圖



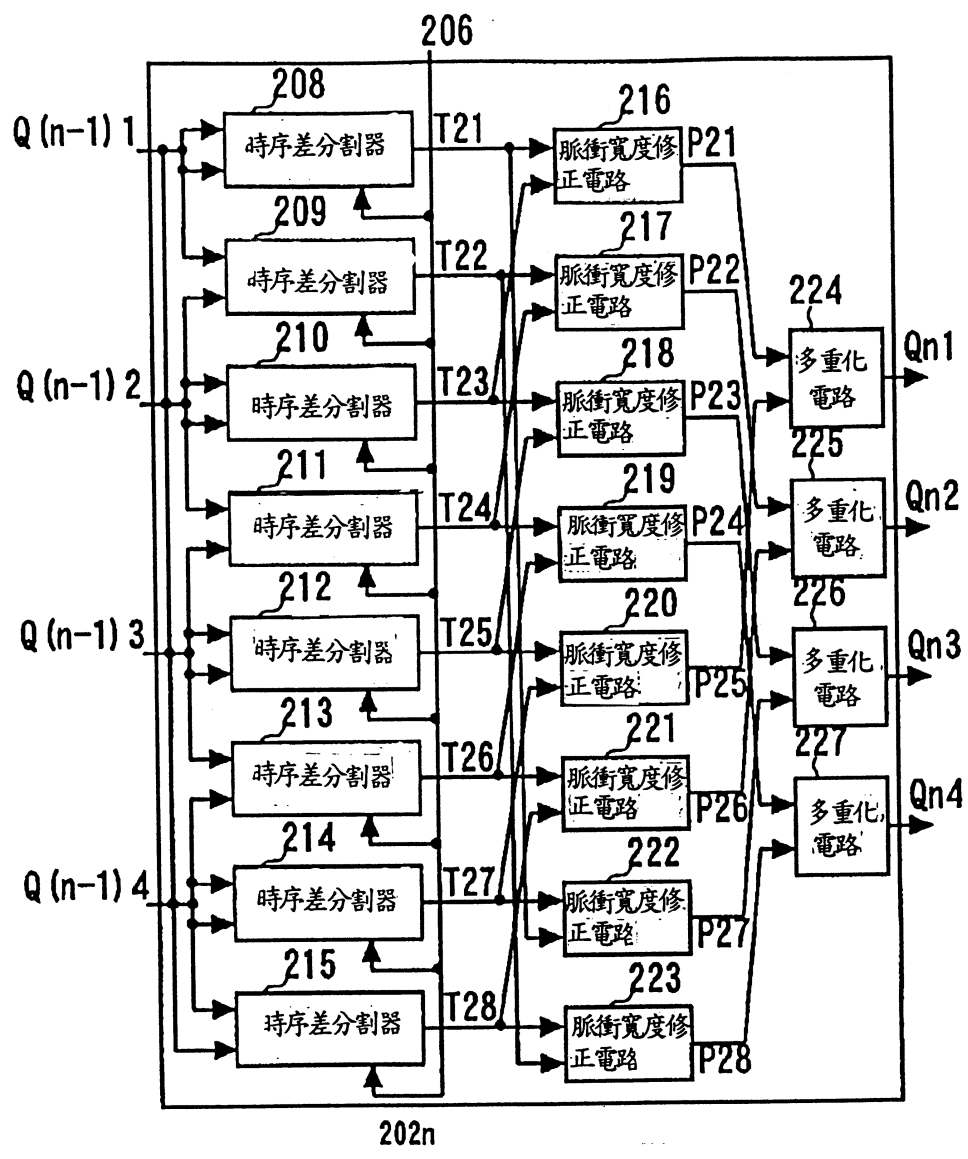
第 14 圖



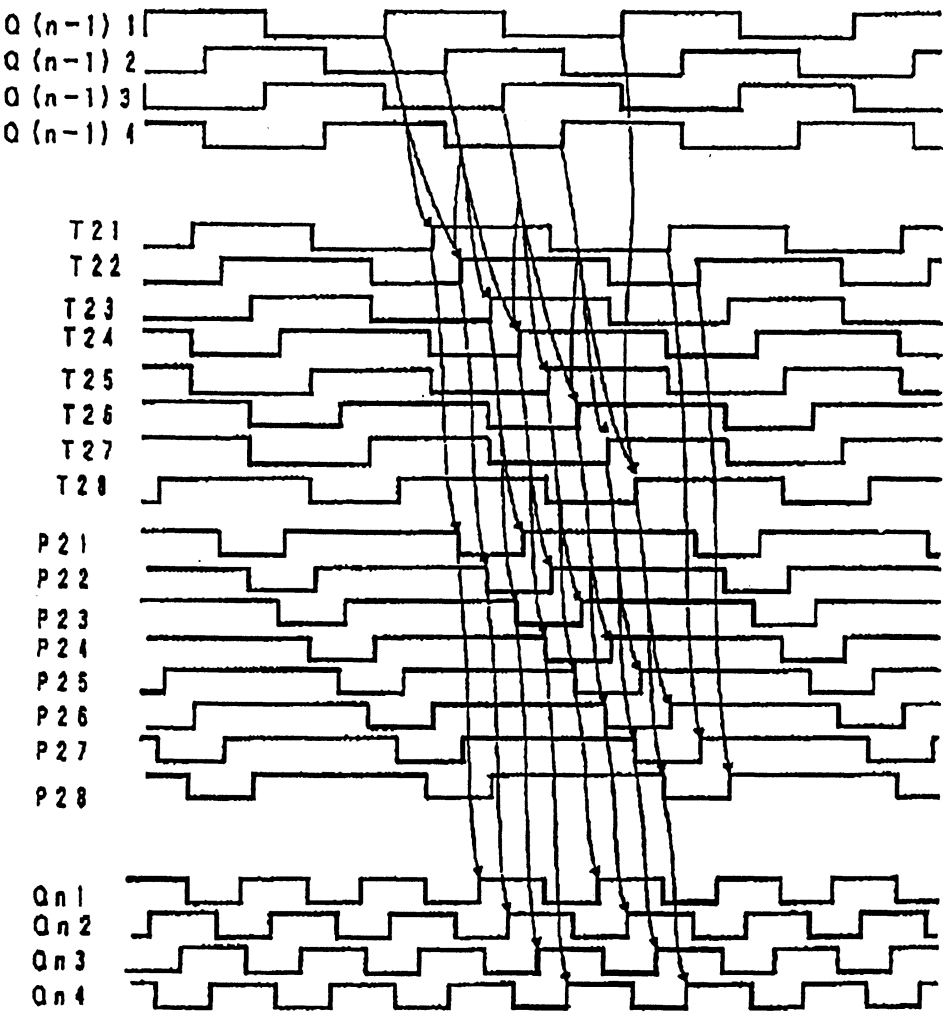
第15圖



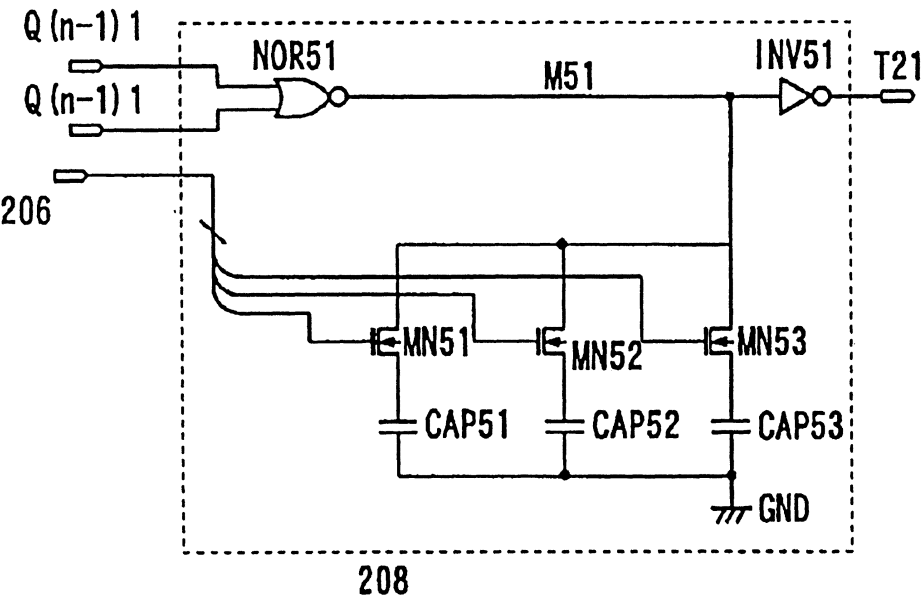
第 16 圖



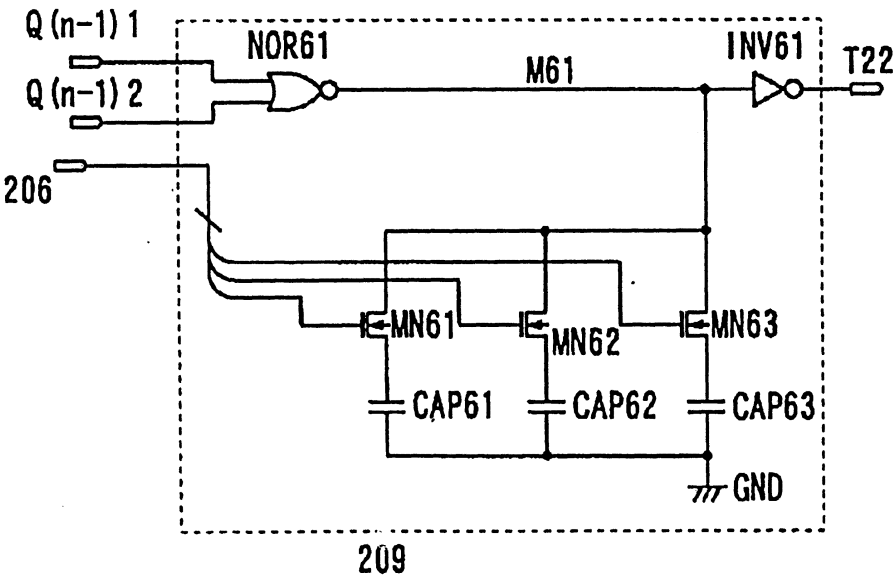
第 17 圖



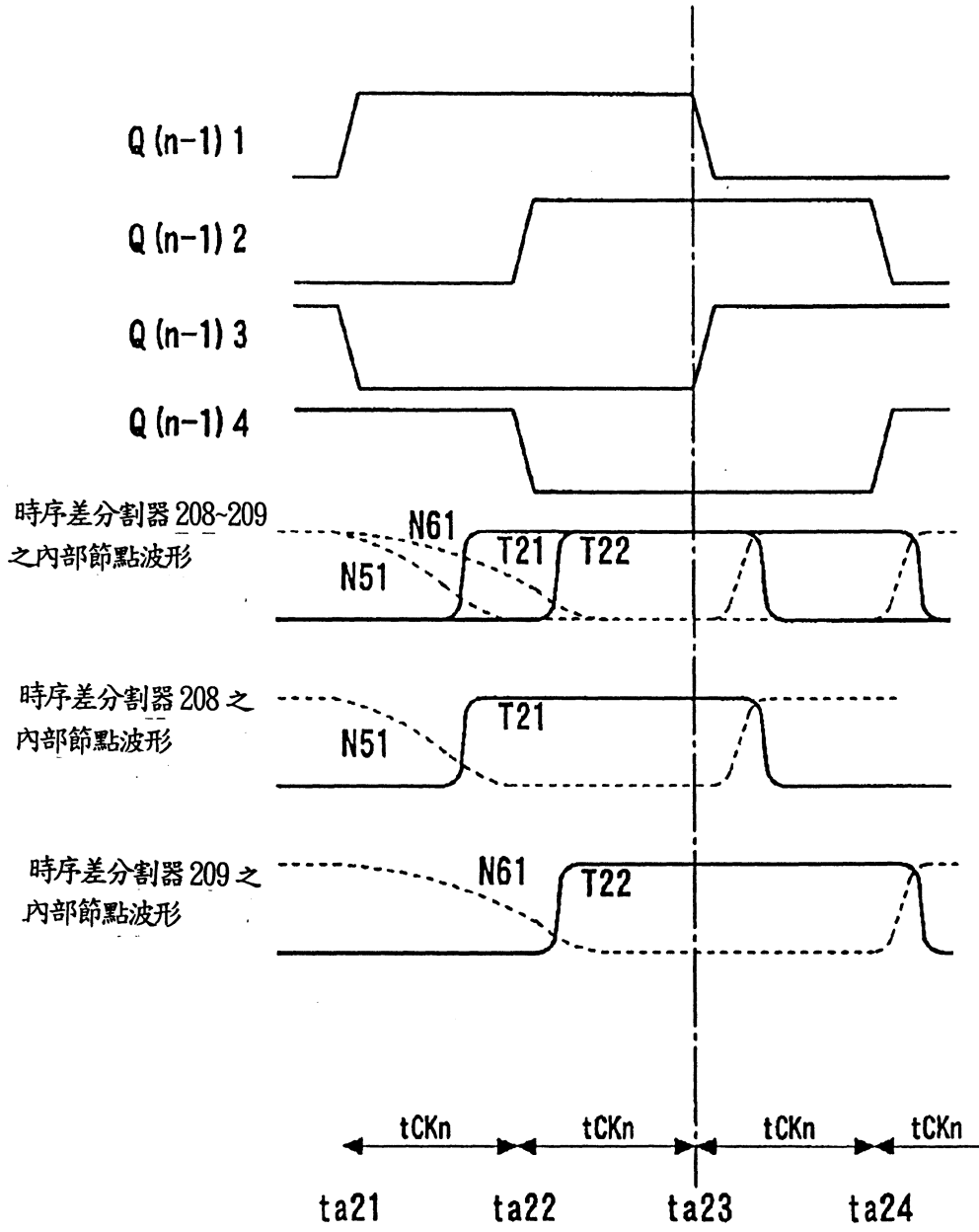
第 18 圖



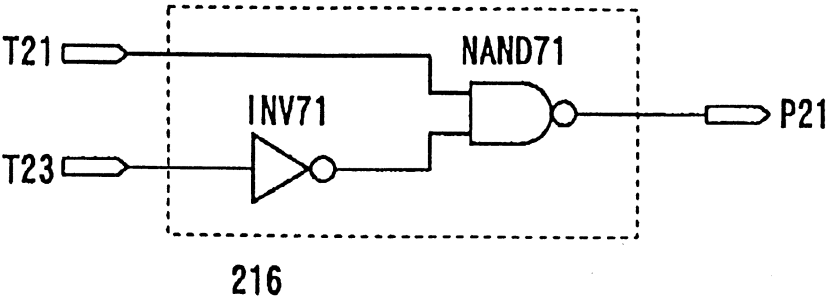
第 19 圖



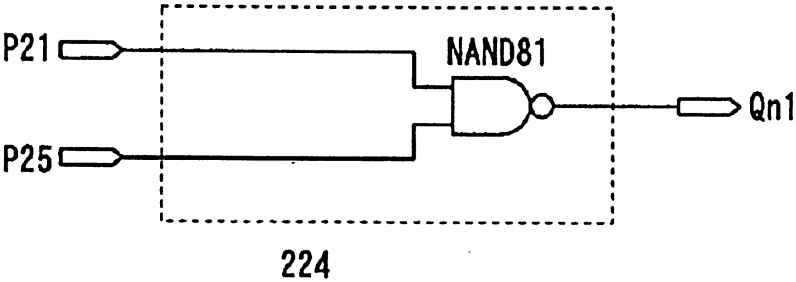
第 20 圖



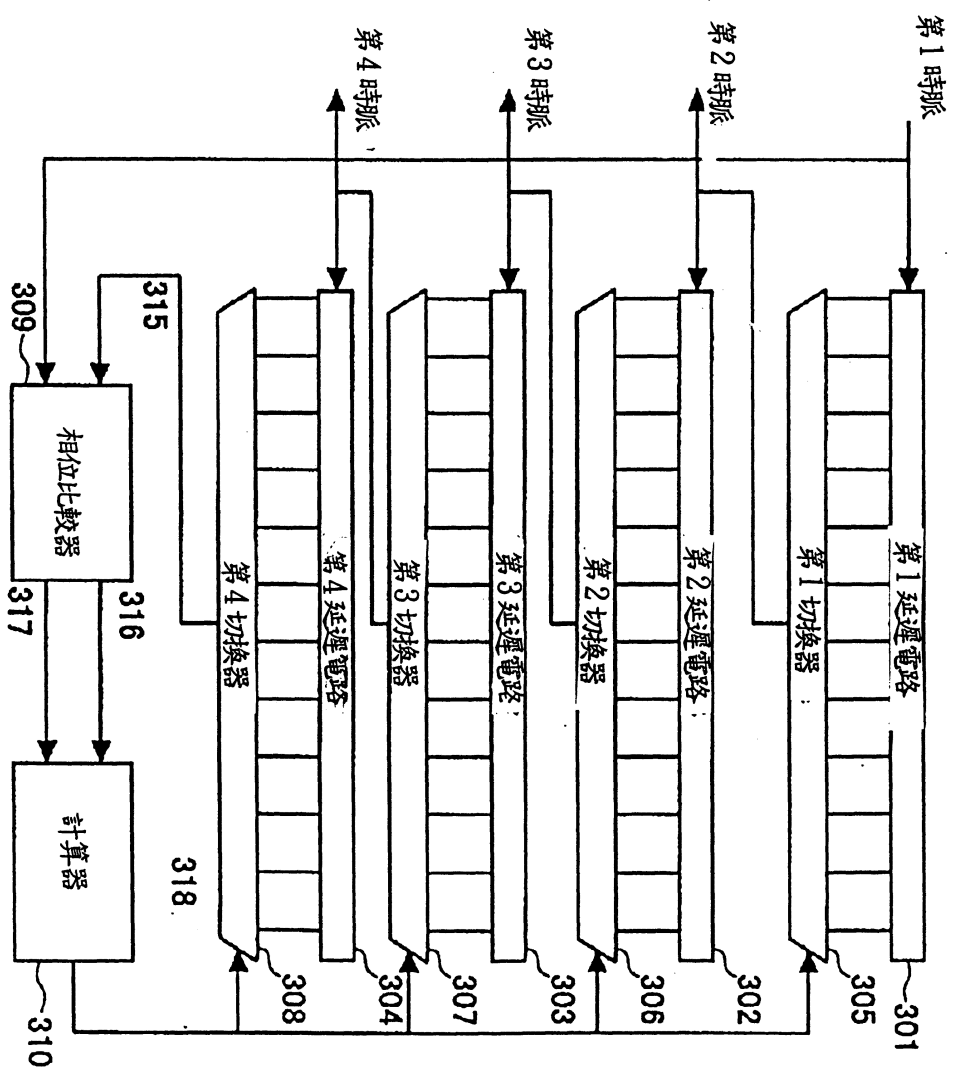
第 21 圖



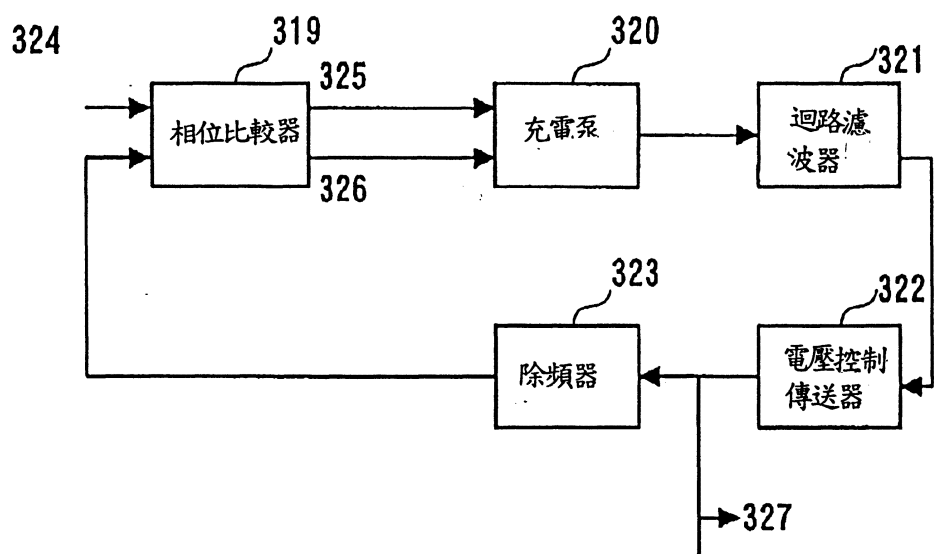
第 22 圖



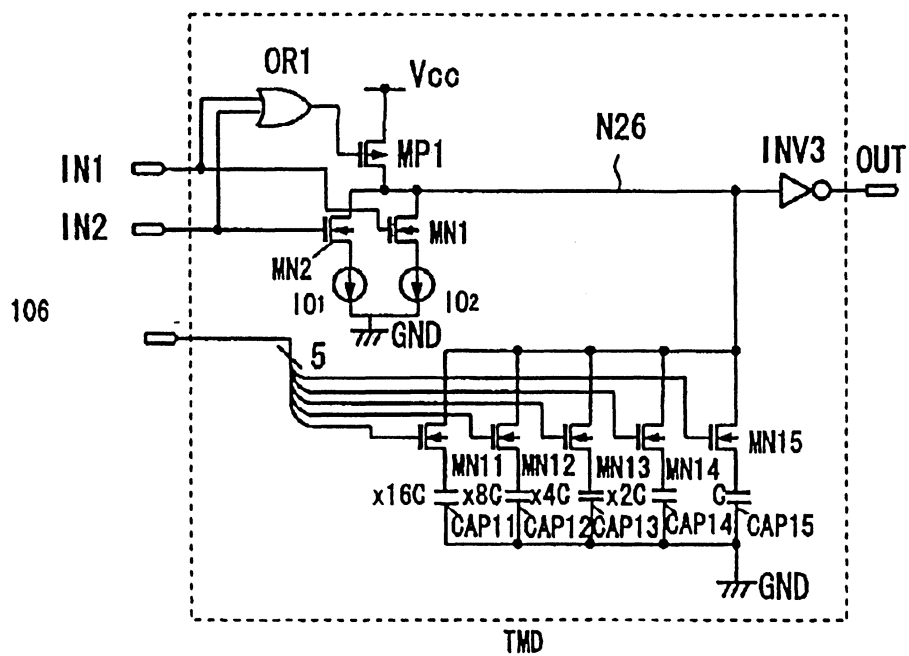
第 23 圖



第24圖

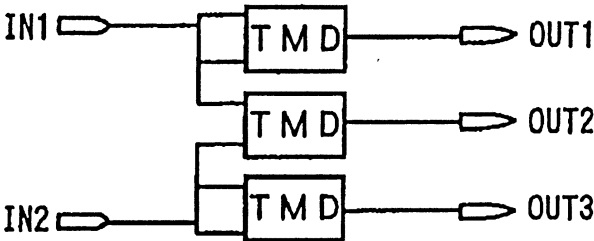


第 25 圖

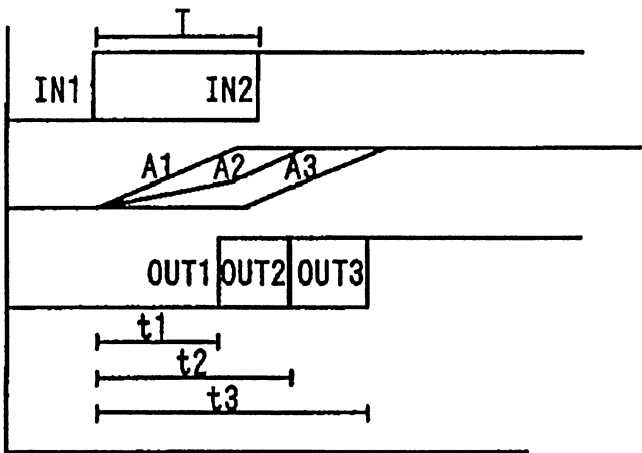


第 26 圖

(a)



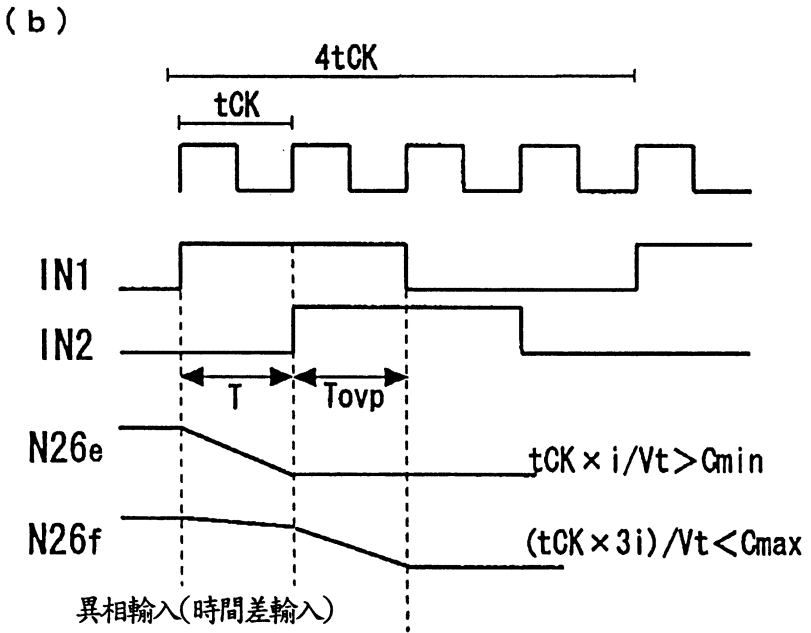
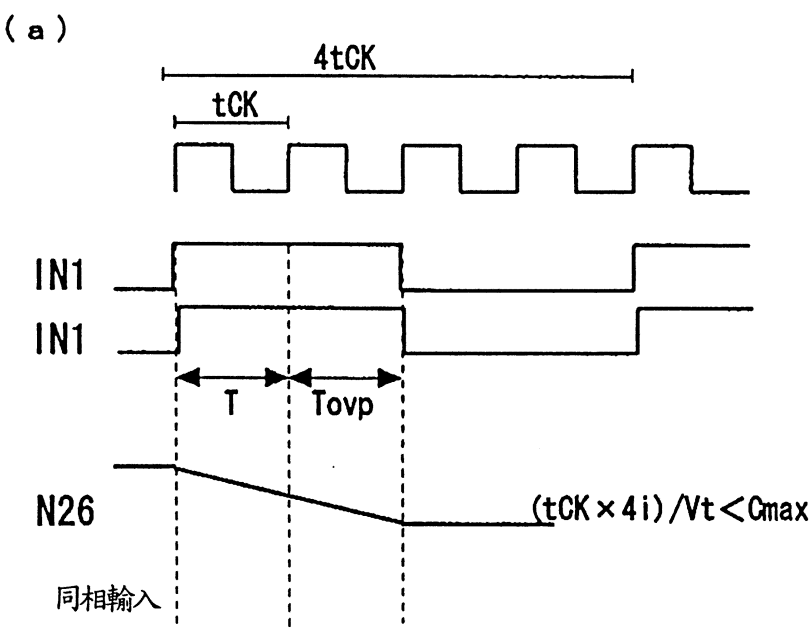
(b)



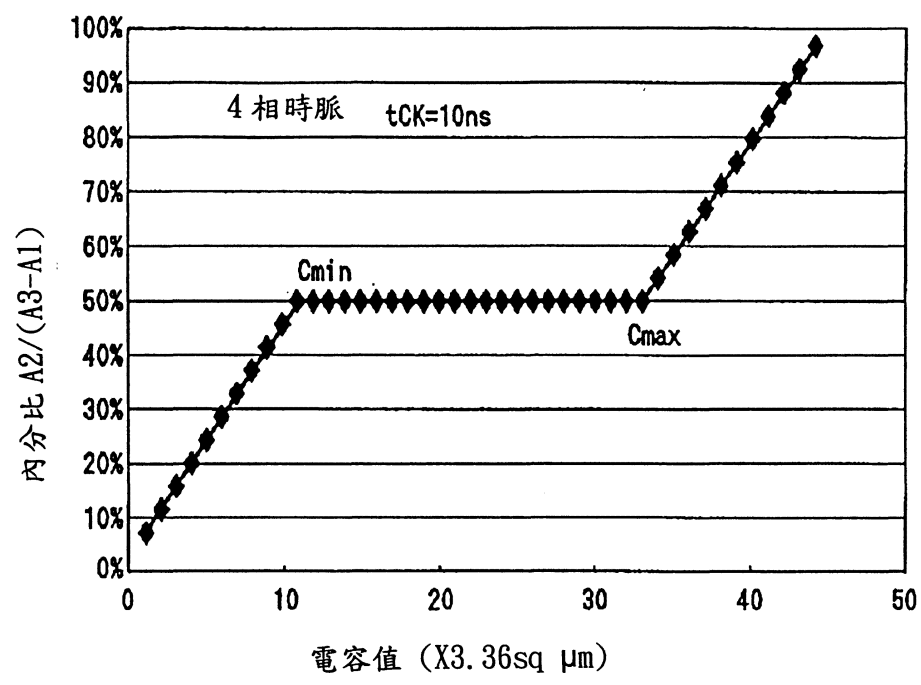
(c)

$$t_1 = CV/2I$$
$$t_2 = T + (CV - IT)/2I$$
$$t_2 = (1/2)T + t_1$$
$$t_3 = T + CV/2I = T + t_1$$

第 27 圖



第 28 圖



第 29 圖