

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】令和6年9月17日(2024.9.17)

【公開番号】特開2024-71432(P2024-71432A)
 【公開日】令和6年5月24日(2024.5.24)
 【年通号数】公開公報(特許)2024-095
 【出願番号】特願2024-40843(P2024-40843)
 【国際特許分類】

G 0 6 F 1/06(2006.01)

H 0 3 K 5/00(2006.01)

【F I】

G 0 6 F 1/06 5 1 0

H 0 3 K 5/00 S

10

【手続補正書】

【提出日】令和6年9月6日(2024.9.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電子デバイスであって、前記電子デバイスは、

第一のクロックと同期するように構成されている第一の回路構成であって、前記第一のクロックは、ある周波数で動作するように構成されている、第一の回路構成と、

前記第一のクロックに基づいて、第二のクロックと第三のクロックとを生成するように構成されている第二の回路構成と

を備え、

30

前記第二のクロックは、前記第一のクロックの前記周波数で動作するように構成されており、前記第二のクロックは、前記第一のクロックに対する第一の位相シフトを伴って動作するようにさらに構成されており、前記第三のクロックは、前記第一のクロックの前記周波数で動作するように構成されており、前記第三のクロックは、前記第一のクロックに対する第二の位相シフトを伴って動作するようにさらに構成されており、前記第二のクロックおよび前記第三のクロックは、複数のクロック候補から選択され、

前記複数のクロック候補の各クロック候補は、前記第一のクロックに対するそれぞれの位相シフトに関連付けられており、

前記複数のクロック候補から前記第二のクロックを選択することは、複数のデータビットのうち第一のデータビットに対して、第一のそれぞれの位相シフトと前記第一のクロックの遷移エッジとを比較することを含み、

40

前記複数のクロック候補から前記第三のクロックを選択することは、前記複数のデータビットのうち第二のデータビットに対して、第二のそれぞれの位相シフトと前記第一のクロックの遷移エッジとを比較することを含む、電子デバイス。

【請求項2】

前記複数のクロック候補の各クロック候補は、前記第一のクロックの前記周波数で動作するように構成されている、請求項1に記載の電子デバイス。

【請求項3】

前記第二のクロックは、前記複数のクロック候補のうち、180度に最も近いそれぞれの位相シフトを有するクロック候補であるように選択される、請求項1に記載の電子デバイ

50

ス。

【請求項 4】

前記電子デバイスは、前記第二のクロックと同期するように構成されている回路構成を備え、前記第二のクロックは、前記電子デバイスのトランジスタ共振を減少させるように選択される、請求項 1 に記載の電子デバイス。

【請求項 5】

前記電子デバイスは、ASIC を備え、前記第一の回路構成は、前記 ASIC の第一の機能ブロックを含み、前記第二の回路構成は、ディレイロックループを含み、前記電子デバイスは、前記 ASIC の第二の機能ブロックをさらに含み、前記第二の機能ブロックは、前記第三のクロックと同期するように構成されている、請求項 1 に記載の電子デバイス。

10

【請求項 6】

前記電子デバイスは、メモリをさらに備え、
前記電子デバイスは、前記メモリに対するデータ書き込み動作を実行するように構成されており、前記データ書き込み動作は、前記第一のクロックに同期されており、
前記電子デバイスは、前記メモリに対するデータ読み取り動作を実行するようにさらに構成されており、前記データ読み取り動作は、前記第二のクロックと同期されている、請求項 1 に記載の電子デバイス。

【請求項 7】

前記電子デバイスは、前記第一の回路構成と前記電子デバイスの第三の回路構成とに電子的に結合されているデータバスをさらに備え、前記第一の回路構成は、前記データバスを介して前記第三の回路構成にデータを送信するようにさらに構成されており、前記第三の回路構成は、前記第三のクロックと同期するように構成されている、請求項 1 に記載の電子デバイス。

20

【請求項 8】

前記電子デバイスは、一つ以上のラッチを備え、
前記一つ以上のラッチのうちの各ラッチは、前記データバスのそれぞれのワイヤに対応し、かつ、前記それぞれのワイヤを介してデータを受信するように構成されており、
前記一つ以上のラッチのうちの各ラッチは、前記複数のクロック候補から選択されるそれぞれのクロックと同期するように構成されており、
各それぞれのクロックは、前記データを送信する前記第一の回路構成と前記データを受信するそのそれぞれのラッチとの間のレイテンシに基づいて、前記複数のクロック候補から選択される、請求項 7 に記載の電子デバイス。

30

【請求項 9】

方法であって、前記方法は、電子デバイスにおいて、
前記電子デバイスの第一の回路構成を、ある周波数で動作する第一のクロックと同期させることと、
前記第一のクロックに基づいて、第二のクロックと第三のクロックとを生成することとを含み、
前記第二のクロックおよび前記第三のクロックは、複数のクロック候補から選択され、前記第二のクロックは、前記第一のクロックの前記周波数で動作し、前記第二のクロックは、前記第一のクロックに対する第一の位相シフトを伴ってさらに動作し、前記第三のクロックは、前記第一のクロックの前記周波数で動作し、前記第三のクロックは、前記第一のクロックに対する第二の位相シフトを伴ってさらに動作し、
前記複数のクロック候補の各クロック候補は、前記第一のクロックに対するそれぞれの位相シフトに関連付けられており、
前記複数のクロック候補から前記第二のクロックを選択することは、複数のデータビットのうちの第一のデータビットに対して、第一のそれぞれの位相シフトと前記第一のクロックの遷移エッジとを比較することを含み、
前記複数のクロック候補から前記第三のクロックを選択することは、前記複数のデータビットのうちの第二のデータビットに対して、第二のそれぞれの位相シフトと前記第一のク

40

50

ロックの遷移エッジとを比較することを含む、方法。

【請求項 10】

前記複数のクロック候補のうちの各クロック候補は、前記第一のクロックの前記周波数で動作する、請求項 9 に記載の方法。

【請求項 11】

前記第二のクロックは、前記複数のクロック候補のうち、180 度に最も近いそれぞれの位相シフトを有するクロック候補であるように選択される、請求項 9 に記載の方法。

【請求項 12】

前記電子デバイスは、前記第二のクロックと同期されている回路構成を備え、前記第二のクロックは、前記電子デバイスのトランジスタ共振を減少させるように選択される、請求項 9 に記載の方法。

10

【請求項 13】

前記第一の回路構成は、ASIC の第一の機能ブロックを含み、前記電子デバイスは、ダイレイロックループをさらに含み、前記電子デバイスは、前記 ASIC の第二の機能ブロックをさらに含み、前記第二の機能ブロックは、前記第三のクロックと同期されている、請求項 9 に記載の方法。

【請求項 14】

前記方法は、前記第一のクロックの遷移に従って、前記電子デバイスのメモリに対するデータ書き込み動作を実行することと、

20

前記第二のクロックの遷移に従って、前記メモリに対するデータ読み取り動作を実行することと

をさらに含む、請求項 9 に記載の方法。

【請求項 15】

前記電子デバイスは、前記第一の回路構成と前記電子デバイスの第二の回路構成との間に電子的に結合されているデータバスをさらに備え、前記第二の回路構成は、前記第三のクロックに同期されており、

前記方法は、前記データバスを介して前記第二の回路構成にデータを送信することをさらに含む、請求項 9 に記載の方法。

【請求項 16】

データを送信する方法であって、前記方法は、回路構成を、ある周波数で動作する第一のクロックと同期させることであって、前記第一のクロックは、第一のクロックドメインに関連付けられている、ことと、

30

複数のクロック候補を生成することであって、前記複数のクロック候補の各クロック候補は、前記第一のクロックの前記周波数で動作するように構成されており、かつ、前記第一のクロックに対するそれぞれの位相シフトを伴って動作するようにさらに構成されている、ことと、

前記回路構成を第二のクロックドメインに関連付けられている第二のクロックと同期させることであって、前記第二のクロックは、前記第二のクロックの位相シフトと前記第一のクロックの遷移エッジとを比較することに基づいて、前記複数のクロック候補から選択され、前記回路構成は、データバスに電子的に結合されている一つ以上のラッチを介して、

40

データを受信するように構成されており、前記データバスは、第一のワイヤを含む一つ以上のワイヤを含み、前記一つ以上のラッチは、前記第一のワイヤを介して前記データを受信するように構成されている第一のラッチを含む、ことと、

前記データバスと前記第一のラッチとを介して、前記データを送信することと

を含む、方法。

【請求項 17】

前記第二のクロックは、前記データを送信することと前記回路構成が前記データを受信することとの間のレイテンシにさらに基づいて、前記複数のクロック候補から選択される、請求項 16 に記載の方法。

50

【請求項 18】

前記一つ以上のラッチの各ラッチは、前記一つ以上のワイヤのそれぞれのワイヤに対応し、かつ、前記それぞれのワイヤを介して前記データを受信するように構成されており、前記方法は、

前記一つ以上のラッチの各ラッチに対して、前記データを送信することと前記回路構成が前記データを受信することとの間のレイテンシに基づいて前記複数のクロック候補からそれぞれのクロックを選択することと、前記ラッチをそのそれぞれのクロックに同期させることと

をさらに含む、請求項 16 に記載の方法。

【請求項 19】

前記第二のクロックは、前記回路構成のトランジスタ共振を減少させるように選択される、請求項 16 に記載の方法。

【請求項 20】

前記方法は、

前記第一のクロックの遷移に従って、メモリに対するデータ書き込み動作を実行することと、

前記第二のクロックの遷移に従って、前記メモリに対するデータ読み取り動作を実行することと

をさらに含む、請求項 16 に記載の方法。

10

20

30

40

50