

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7584512号
(P7584512)

(45)発行日 令和6年11月15日(2024.11.15)

(24)登録日 令和6年11月7日(2024.11.7)

(51)国際特許分類	F I		
H 0 4 L 25/03 (2006.01)	H 0 4 L 25/03	C	
H 0 4 L 27/01 (2006.01)	H 0 4 L 27/01		
H 0 4 B 3/06 (2006.01)	H 0 4 B 3/06	C	

請求項の数 18 (全22頁)

(21)出願番号	特願2022-523803(P2022-523803)	(73)特許権者	390009531
(86)(22)出願日	令和2年9月29日(2020.9.29)		インターナショナル・ビジネス・マシー
(65)公表番号	特表2023-501908(P2023-501908		ンズ・コーポレーション
	A)		INTERNATIONAL BUSI
(43)公表日	令和5年1月20日(2023.1.20)		NESS MACHINES CORPO
(86)国際出願番号	PCT/IB2020/059102		RATION
(87)国際公開番号	WO2021/084341		アメリカ合衆国10504 ニューヨー
(87)国際公開日	令和3年5月6日(2021.5.6)		ク州 アーモンク ニュー オーチャード
審査請求日	令和5年2月24日(2023.2.24)		ロード
(31)優先権主張番号	16/667,872		New Orchard Road, A
(32)優先日	令和1年10月29日(2019.10.29)		rmonk, New York 105
(33)優先権主張国・地域又は機関	米国(US)		04, United States of
			America
		(74)代理人	100112690
			弁理士 太佐 種一

最終頁に続く

(54)【発明の名称】 データ伝送システムのための時間依存ライン等化器

(57)【特許請求の範囲】

【請求項1】

クロック信号を受け取るように構成されたデータ・クロック入力部と、
前記クロック信号と同期して状態を変化させる伝送シンボルのデータ信号を受け取るよ
うに動作する入力ノードと、
前記入力ノードに結合された第1のタップと、
前記データ信号のバリエーションを受け取るように構成された第2のタップであって、
前記第1のタップの重みまたは前記第2のタップの重みの少なくとも一方が、各伝送シン
ボルと同期して繰り返す動的制御パラメータによって調整される、前記第2のタップと
を含み、
前記第1および第2のタップが、複数のタップの一部であり、
前記複数のタップのうちの少なくとも1つが、各伝送シンボルにより静的に制御される
タップ重みを有する、
データ等化システム。

【請求項2】

前記データ信号の前記バリエーションが前記データ信号の時間遅延である、請求項1に
記載のデータ等化システム。

【請求項3】

前記動的制御パラメータが、前記伝送シンボルの入力時間シーケンスの時間依存関数変
換を提供する、請求項1に記載のデータ等化システム。

【請求項 4】

前記データ等化システムがフィード・フォワード等化器（F F E）である、請求項 1 に記載のデータ等化システム。

【請求項 5】

前記データ等化システムが送信器回路の一部である、請求項 1 に記載のデータ等化システム。

【請求項 6】

前記データ等化システムが受信器回路の一部である、請求項 1 に記載のデータ等化システム。

【請求項 7】

前記動的制御パラメータが時間の軸について直線傾斜である、請求項 1 に記載のデータ等化システム。

10

【請求項 8】

前記動的制御パラメータが時間の変数について非線形関数である、請求項 1 に記載のデータ等化システム。

【請求項 9】

前記第 1 のタップが、各伝送シンボルに対して一定であるタップ重みを有するプレカーソル・タップであり、

前記第 2 のタップが、前記動的制御パラメータによって調整されるタップ重みを有する第 1 のポストカーソル・タップである、
請求項 1 に記載のデータ等化システム。

20

【請求項 10】

等化の方法であって、前記方法が、
第 1 のタップおよび第 2 のタップを有する等化システムを用意することと、
データ・クロックを受け取ることと、
前記データ・クロックと同期して状態を変化させる伝送シンボルのデータ入力を受け取ることと、

前記データ・クロックの各伝送シンボルと同期して繰り返す動的制御パラメータにより前記第 1 のタップまたは前記第 2 のタップの少なくとも一方のタップ重みを調整することと、

30

前記等化システムにおけるすべてのタップの重みを合計することと、
前記システムにおける前記すべてのタップの合計された重みに基づいて出力データを提供することと
を含み、

前記第 1 および第 2 のタップが、複数のタップの一部であり、

前記複数のタップのうちの少なくとも 1 つが、各伝送シンボルにより静的に制御されるタップ重みを有する、
方法。

【請求項 11】

前記第 2 のタップが、前記データ入力の時間遅延バージョンを受け取る、請求項 10 に記載の方法。

40

【請求項 12】

前記動的制御パラメータが、前記伝送シンボルの入力時間シーケンスの時間依存関数変換を提供する、請求項 10 に記載の方法。

【請求項 13】

前記等化システムがフィード・フォワード等化器（F F E）である、請求項 10 に記載の方法。

【請求項 14】

前記動的制御パラメータが時間の軸について直線傾斜である、請求項 10 に記載の方法。

【請求項 15】

50

前記動的制御パラメータが時間の変数について非線形関数である、請求項 10 に記載の方法。

【請求項 16】

各伝送シンボルに対して前記第 1 のタップの重みを一定に保持することと、
前記第 2 のタップの重みを前記動的制御パラメータにより調整することと
をさらに含む、請求項 10 に記載の方法。

【請求項 17】

プロセッサと、
ネットワークを介した通信を可能にするために前記プロセッサに結合されたネットワーク・インタフェースと、
前記プロセッサに結合され、請求項 10 ないし 16 のいずれか一項に記載の方法の動作を実行するように構成された等化エンジンと
を含むコンピューティング・デバイス。

【請求項 18】

実行されたとき、請求項 10 ないし 16 のいずれか一項に記載の方法をコンピュータ・デバイスに実行させるコンピュータ可読命令を有するコンピュータ可読プログラム・コードを記憶するコンピュータ可読ストレージ媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、電気通信システムに関し、より詳細には、高速データ伝送システムにおける等化に関する。

【背景技術】

【0002】

ネットワーキングおよびコンピューティング・システムの最新の電気データ伝送システムは、一般に、チャネル時間分散およびその結果として生じるシンボル間干渉 (ISI) から生じる歪みを低減するための等化技術を使用する。既知のシステムでは、これらの等化技術は、一般に、送信器デバイスまたは受信器デバイスあるいはその両方でのフィード・フォワード等化 (FFE) の使用に基づき、システムによっては、受信器連続時間等化 (CTE) および判定帰還等化 (DFE) と組み合わせられる。等化システムの目標には、受信器のデータ・サンプル時に可能な限り多くの ISI を取り除いて、回復可能なビット誤り率 (BER) を改善することが含まれる。最新のシステムのデータ・レートは 100 Gb/s 以上に上昇し続けているので、実際の実施態様で達成可能なクロック精度が、システム性能を著しく制限し始める可能性がある。これらの高データ・レートでは、完全な伝送シンボル期間は 20 ps 以下になる可能性がある。FFE / CTE / DFE の使用に基づく既知の等化システムは、この 20 ps 間隔内の 1 つの特定の時点に ISI を取り除いている。達成可能なクロック精度の事実上の制限のために、所与の受信器サンプルは、等化される特定の時点よりも遅くまたは早く等化信号をサンプリングする可能性があり、それにより、BER の劣化がもたらされ、最終的に、達成可能なクロック精度の事実上の制限に起因して達成可能な最大データ・レートが制限される。

【発明の概要】

【0003】

1 つの実施形態によれば、データ等化システムが提供される。データ・クロック入力部が、クロック信号を受け取るように構成される。クロック信号と同期して状態を変化させる伝送シンボルのデータ信号を受け取るように動作する入力ノードがある。第 1 のタップが、入力ノードに結合される。第 2 のタップが、データ信号のバリエーションを受け取るように構成される。第 1 のタップの重みまたは第 2 のタップの重みの少なくとも一方が、各伝送シンボルと同期して繰り返す制御パラメータによって動的に調整される。

【0004】

1 つの実施形態において、データ信号のバリエーションは、データ信号の時間遅延であ

10

20

30

40

50

る。

【 0 0 0 5 】

1つの実施形態において、動的制御パラメータは、伝送シンボルの入力時間シーケンスの時間依存関数変換 (time dependent functional transformation) を提供する。

【 0 0 0 6 】

1つの実施形態において、データ等化システムは、フィード・フォワード等化器 (F F E) である。

【 0 0 0 7 】

1つの実施形態において、データ等化システムは送信器回路の一部である。

【 0 0 0 8 】

1つの実施形態において、データ等化システムは受信器回路の一部である。

【 0 0 0 9 】

1つの実施形態において、動的制御パラメータは直線傾斜 (linear ramp) である。

【 0 0 1 0 】

1つの実施形態において、動的制御パラメータは非線形関数である。

【 0 0 1 1 】

1つの実施形態において、第1および第2のタップは、複数のタップの一部である。複数のタップのうちの少なくとも1つは、各伝送シンボルにより静的に制御されるタップ重みを有する。

【 0 0 1 2 】

1つの実施形態において、第1のタップは、各伝送シンボルに対して一定であるタップ重みを有するプレカーソル・タップ (precursor tap) である。第2のタップは、動的制御パラメータによって調整されるタップ重みを有する第1のポストカーソル・タップ (postcursor tap) である。

【 0 0 1 3 】

1つの実施形態において、動的制御パラメータは差動である。

【 0 0 1 4 】

様々な実施形態によれば、信号を等化するための方法、コンピューティング・デバイス、および非一過性コンピュータ可読ストレージ媒体が提供される。第1のタップおよび第2のタップを有する等化システムが提供される。データ・クロックが受け取られる。データ・クロックと同期して状態を変化させる伝送シンボルのデータ入力が受け取られる。第1のタップまたは第2のタップの少なくとも一方のタップ重みが、データ・クロックの各伝送シンボルと同期して繰り返す動的制御パラメータにより調整される。等化システムにおけるすべてのタップの重みが合計される。出力データが、システムにおけるすべてのタップの合計された重みに基づいて提供される。

【 0 0 1 5 】

1つの実施形態において、第2のタップが、データ入力の時間遅延バージョンを受け取る。

【 0 0 1 6 】

1つの実施形態において、動的制御パラメータが、伝送シンボルの入力時間シーケンス (input time sequence) の時間依存関数変換を提供する。

【 0 0 1 7 】

1つの実施形態において、データ等化システムは、フィード・フォワード等化器 (F F E) である。

【 0 0 1 8 】

1つの実施形態において、動的制御パラメータは直線傾斜である。

【 0 0 1 9 】

1つの実施形態において、動的制御パラメータは非線形関数である。

【 0 0 2 0 】

1つの実施形態において、第1および第2のタップは、複数のタップの一部であり、複

10

20

30

40

50

数のタップのうちの少なくとも1つは、各伝送シンボルにより静的に制御されるタップ重みを有する。

【0021】

1つの実施形態において、第1のタップの重みは、各伝送シンボルに対して一定に保持される。

【0022】

1つの実施形態において、第2のタップの重みが、動的制御パラメータにより調整される。

【0023】

1つの実施形態において、第1のタップまたは第2のタップの少なくとも一方の重みは、動的制御パラメータによって差動的に制御される。

10

【0024】

本明細書で論じる特徴によって、長距離(25 dB + 損失)チャネルを介した頑健な100 Gb/s 4レベル・データ伝送が、H E Y E マージンを3倍まで改善することによって提供される。100 Gb/s システムを含む様々な伝送システムが、より低いビット誤り率(BER)によりさらに確実に機能することができる。一般に、本明細書の教示は、静的等化器と比較して、H E Y E マージンを2倍、3倍、またはそれを超えて向上させる。それに加えてさらに、通信システムのジッタ許容範囲(JTOL)が改善されるとともに、システム・クロックのジッタへの要件が緩和される。

【0025】

20

これらのおよび他の特徴は、添付の図面に関連して読むことができるその例示的な実施形態の以下の詳細な説明から明らかになるであろう。

【0026】

図面は、例示的な実施形態のものである。それらは、すべての実施形態を示しているわけではない。他の実施形態が、加えてまたは代わりに使用されてもよい。明白であるかまたは不要である可能性がある詳細は、スペースを節約するために、またはより効果的な例証のために省略されることがある。いくつかの実施形態は、追加の構成要素またはステップを用いて、または図示された構成要素またはステップのすべてを用いず、あるいはその両方で実践され得る。同じ数字が異なる図面に現われる場合、それは、同じまたは同様の構成要素またはステップを指す。

30

【図面の簡単な説明】

【0027】

【図1】一実施形態と一致する、データ伝送システムのブロック図である。

【図2】図1のタップのうちの少なくとも1つの時変等化(time variant equalization)の状況におけるチャネル・ビット・パルス応答を示す図である。

【図3】異なるデータ・シンボルに対する異なるタップのタップ値の波形を示す図である。

【図4A】電流モード論理を使用する例示のフィード・フォワード等化器回路を示す図である。

【図4B】一実施形態と一致する、CMOS回路を使用する動的タップ重み発生器(dynamic tap weight generator)のハードウェア実施態様を示す図である。

40

【図4C】図4Bのタップ重み発生器回路の例示の波形を示す図である。

【図5】異なるシンボルに対する異なるタップのタップ値の波形を示す図である。

【図6A】例示の5タップFFEのプレカーソルのタップ重みを示す図である。

【図6B】例示の5タップFFEのポストカーソルのタップ重みを示す図である。

【図6C】例示の5タップFFEの第2のポストカーソルのタップ重みを示す図である。

【図6D】例示の5タップFFEの第3のポストカーソルのタップ重みを示す図である。

【図7A】タップ重みが固定されたH E Y E マーキングを示す図である。

【図7B】一実施形態により達成された改善されたH E Y E マージンを示す図である。

【図8A】タップ重みが固定された例示の時変フィード・フォワード・ライン等化器のアイ・ダイアグラムを示す図である。

50

【図 8 B】一実施形態と一致する、タップ重みが調整された例示の時変フィード・フォワード・ライン等化器のアイ・ダイアグラムを示す図である。

【図 9 A】タップ重みが固定された別の例示の時変フィード・フォワード・ライン等化器のアイ・ダイアグラムを示す図である。

【図 9 B】一実施形態と一致する、タップ重みが調整された、図 9 A で使用されたフィード・フォワード・ライン等化器のアイ・ダイアグラムを示す図である。

【図 10 A】タップ重みが固定されたさらなる別の例示の時変フィード・フォワード・ライン等化器のアイ・ダイアグラムを示す図である。

【図 10 B】例示の実施形態と一致する、タップ重みが調整された、図 10 A で使用されたフィード・フォワード・ライン等化器のアイ・ダイアグラムを示す図である。

10

【図 11】一実施形態と一致する、データ信号の等化を実行するためのプロセスを提示する図である。

【図 12】様々なネットワーク化構成要素と通信することができるコンピュータ・ハードウェア・プラットフォームのブロック図である。

【発明を実施するための形態】

【0028】

概要

以下の詳細な説明において、多数の特定の詳細が、関連する教示の完全な理解を提供するために例として記載される。しかしながら、本教示はそのような詳細なしに実践することができることが当業者には明らかであろう。他の例では、よく知られている方法、手順、構成要素、または回路、あるいはその組合せは、本教示の態様を不必要に不明瞭にしないために、詳細なしに比較的高レベルで説明されている。

20

【0029】

本明細書で使用される等化は、チャネルを通して伝送される信号によって引き起こされる歪みの除去のことを言う。本明細書の教示は、時間依存等化に基づく強化された等化システムおよび方法を提供し、等化の時間依存は、等化器が各伝送シンボルの伝送間隔の全体にわたって等化の変更を適用できるように、データ伝送間隔と同期される。本明細書で論じる等化アーキテクチャによって、ISI は、シンボル伝送期間の継続期間の間目上一定であるタップ重みを使用する既知のフィード・フォワード等化 (FFE) 技術と比較して、シンボル伝送期間内のより広い時間スパンにわたって低下する。その結果として、これにより、データ伝送システムは、一般に避けられないシステム・クロックのジッタの存在下で、より低い BER で動作することができる。現在の議論を容易にするために、フィード・フォワード等化 FFE アーキテクチャが、限定としてではなく、単に例として、説明される。

30

【0030】

例示のアーキテクチャ

図 1 を参照すると、データ伝送システム 100 は、データ・ソース 102、等化器 103、送信チャネル 116、およびデータ受信器 120 を含む。1つの実施形態では、等化器 103 は、伝送シンボル・シーケンスの時間遅延値の加重合計を作り出すトランスバーサル FFE である。等化器 103 は、データ・ソース 102 によって提供されるデータ信号の異なる段階に結合される複数のタップ 106 (0) から 106 (n) を含む。例えば、データ・ソース 102 は、クロック信号 (図示せず) と同期して状態を変化させる伝送シンボルを供給するように動作する。その信号は、信号調整要素 104 (0) から 104 (n) によって異なる段階で調整される。1つの実施形態では、信号調整要素は、受け取った信号を各々対応する期間だけ遅延させるように動作する遅延要素である。

40

【0031】

データ・ソース 102 からのデータは、(限定しないが) NRZ (非ゼロ復帰)、4 - PAM (パルス振幅変調)、8 - PAM、または 32 - QAM (直交振幅変調) などのような様々な技術を使用して、伝送シンボル上に符号化することができ、ここで、数字は、情報を搬送するために使用されるコンステレーション・ポイントの別個の数を示す。合計

50

ノード 110 は、タップ 106 (0) から 106 (n) のすべてを受け取り、出力をバッファ 112 に供給するように動作する。1つの実施形態では、電流モード論理を使用して、異なるタップ 106 (0) から 106 (n) の出力部の電流を合計する。代替として、他の既知の合計回路を使用して、異なる経路の信号の合計を実行することができる。

【0032】

重要なことには、トランスバーサル等化器 103 によって作り出される加重合計の重みのうちの1つまたは複数は、より広い時間スパンにわたる改善された等化を遂行するために、シンボル伝送間隔内で変化させることができる。概念的には、重みの変化は、図 1 に示されるように、端から端までのチャネル応答からのタップ重みに由来することが分かる。別の言い方をすれば、一定である（すなわち、シンボル伝送間隔中に変化しない）タップ重みを有する従来の FFE と異なり、タップ 106 (0) から 106 (n) のうちの少なくとも1つが、各伝送シンボルと同期して繰り返す動的制御パラメータによって調整される。したがって、既知の FFE タップ重み決定方法は、端から端までのチャネル応答の時点 t_0 で FFE タップ重みを見いだすことができるが、一方、本明細書の教示は、クロック・サイクル中時間とともに動的に変化することができる少なくとも1つのタップ重みを用意する。この概念は、以下の議論を考慮してよりよく理解することができる。

【0033】

次に、図 1 のタップ 160 (0) から 160 (n) のうちの少なくとも1つの時間依存等化の状況におけるチャネル・ビット・パルス応答 200 を示す図 2 を参照する。より広い時間間隔にわたって等化を達成するために適切なタップ重み変化を決定するのに、タップ重みを特定のタップ重みに固定する代わりに、名目上の t_0 等化点の近くの時間 ($t_0 - 2t$ 、 $t_0 - t$ 、 t_0 、 $t_0 + t$ 、 $t_0 + 2t$ など) を考慮することができ、ここで、 t は、シンボル伝送間隔の期間内の（例えば、任意の）小さい時間ステップである。これらの時間の各々において、等化 FFE 係数 c_i の新しいセットが見いだされる。次いで、改善された等化が、時間依存係数重みを FFE に適用することによって達成され、時間依存係数重みは、計算されたタップ重みを時間経過とともに経る。1つの実施形態では、時間依存等化器の実際の実現を簡単にするために、時間の関数としての係数タップ重みの変化を、ビット・パルス応答 200 に示されるような最適値を通過する直線傾斜で近似することができる。そのような実施形態において、FFE の1つまたは複数のタップは2つのパラメータ、すなわち、(i) タップ重みおよび (i i) タップ傾斜値もしくは変化率、または代わりに (i) 開始タップ重みおよび (i i) 停止タップ重みにより構成することができる。各伝送シンボルと同期して繰り返すタップ重みの調整の概念は、以下で論じるタイミング図の例示の波形を考慮してよりよく理解することができる。

【0034】

例示のタイミング図

次に、異なるデータ・シンボルに対する異なるタップのタップ値の波形を示す図 3 を参照する。限定としてではなく、単に例として、図 3 は、例示のチャネルに対して、5 タップ FFE のタップ重みが、時間とともにどのように変化するかを示しており、ここで、タップ重みプロットの x 軸は、シンボル伝送間隔の $1/32$ の時間増分に対応する単位で与えられる。本議論を容易にするために、図 3 の例では、タップ重みの線形変化率近似が使用されるが、任意の他の関数が本明細書の教示によって同様にサポートされることが理解されるであろう。波形 302 は、伝送シンボル間隔を示す。時には本明細書においてタップ重みと呼ばれるタップ値は、伝送シンボル間隔と同期する。例えば、プレカーソル・タップ値の波形 310 は、伝送シンボル 302 と同期した係数傾斜位相を有する。この係数傾斜位相 310 は、伝送シンボル 302 と同期して繰り返すタップの動的制御パラメータである。いくつかの実施形態では、動的制御パラメータは、伝送シンボル 302 間で変化する。

【0035】

すべてのタップが動的制御パラメータに従う必要があるとは限らないことに留意されたい。様々な実施形態において、1つまたは複数のタップは動的制御パラメータを有するこ

10

20

30

40

50

とができ、一方、残りのタップは、シンボル伝送間隔を通して静的または一定である。これに関して、例として、図 3 は、各伝送シンボルに対して一定であるカーソル・タップ値 3 2 0 を示す。このように、図 3 の例の F F E カーソル・タップ 3 2 0 は固定されているが、プレカーソル 3 1 0、ポストカーソル 3 3 0、第 2 のポストカーソル 3 3 0、および第 3 のポストカーソル 3 4 0 のタップ値は、データ伝送間隔 3 0 2 と時間的に同期して調整される。このようにして、より広い時間間隔にわたって改善された I S I 補償が達成される。

【 0 0 3 6 】

例示の回路図

等化システムの理論的な動作および波形の前述の説明とともに、図 1 の等化器を実現するために使用できる例示の回路図を説明することは有用であり得る。これに関して、図 4 A は、例示の実施形態と一致する、電流モード論理を使用する例示の F F E 等化器回路 4 0 0 を示す。回路 4 0 0 は、抵抗器とすることができる差動負荷 4 0 2 および 4 0 4 を含み、各々は、本例では V D D である第 1 の基準ノードに結合された第 1 のノードを有する。図 4 の例では、2 つのタップがあり、第 1 のタップは、電流源 4 2 0 に結合された差動トランジスタ 4 0 6 および 4 1 0 によって表され、第 2 のタップは、同期時間依存タップ発生器 4 4 0 に結合された差動トランジスタ 4 3 0 および 4 3 2 によって表される。

【 0 0 3 7 】

様々な実施形態において、トランジスタ 4 0 6、4 1 0、4 3 0、および 4 3 2 は、n チャンネル電界効果トランジスタ (N F E T) または p チャンネル電界効果トランジスタ (P F E T) あるいはその両方などの相補型金属酸化膜半導体 (C M O S) 技術に基づくことができる。いくつかの実施形態では、バイポーラ・トランジスタ (例えば、P N P または N P N) が、M O S トランジスタの代わりに使用されてもよい。トランジスタ対 4 0 6 および 4 1 0 は、電流源 4 2 0 に結合された共通エミッタ (またはソース) を有する。電流源は、接地 4 2 2 とすることができる第 2 の基準ノードに結合される。例えば、第 1 のトランジスタ対 4 0 6 および 4 1 0 の入力部は、それぞれ、データ信号を差動的に受け取るように動作する制御入力部 4 0 8 および 4 1 2 を (例えば、ゲート入力部またはベース入力部) 有する。例えば、入力部 4 0 8 は、データ信号 D 1 を受け取ることができ、一方、入力部 4 1 2 は、その補完 (例えば、

【 数 1 】

$\overline{D1}$

) を受け取る。1 つの実施形態では、非ゼロ復帰 (N R Z) シグナリングが使用される。図 4 A の例では、第 1 のタップは定電流源 4 2 0 を有する。別の言い方をすれば、タップ重みの大きさは、伝送シンボルの間時間とともに変化しない。入力部 4 3 4 および 4 3 6 は、データ履歴およびタップ符号に応じて、適用されるタップ重みの極性を制御する。

【 0 0 3 8 】

固定重みカーソル・タップは、データ・シンボル符号に基づく固定電流 4 2 0 を出力負荷 4 0 2 および 4 0 4 に切り替えることによって形成され、それによって、V O P 4 8 2 および V O N 4 8 4 により差動的に表される伝送出力信号 V o が形成される。1 つの実施形態では、インデックス「 i 」をもつカーソル・タップの固定重みは、インデックス「 i 」のデータ (S i) の符号によって切り替えられた固定重み電流を電流合計することにより形成される。

【 0 0 3 9 】

対照的に、第 2 のタップは、一定であるタップ重みを提供しない。むしろ、それは、各伝送シンボルの全体にわたってタップ重みを変化させることができる。その目的のために、1 つの実施形態では、同期時間依存タップ重み発生器 4 4 0 は、クロック・サイクル中の異なる時点に選択することができる複数の電流源に結合された電流補間器 4 4 2 を有することができる。例えば、第 1 の電流源 (I S T A R T) 4 4 4 および第 2 の電流源 (I S

TOP) 446 があり得る。その結果、差動出力 $V_{OP} 482$ および $V_{ON} 484$ の合計に、同期時間依存タップ重み発生器を使用する少なくとも1つの所与のタップ・インデクス「i」を有する可変重み電流が供給される。1つの実施形態では、同期動的タップ重み発生器 440 は、シンボル伝送間隔にわたって電流 $I_{START} 444$ から電流 $I_{STOP} 446$ に向かって補間することができる電流補間器 442 を使用して実現され、ここで、 $I_{START} 444$ および $I_{STOP} 446$ の値は、適応等化制御システムなどの他のシステムによってプログラマ的に事前構成されるかまたは自動的に適合されてもよく、少なくとも2つのタップ設定パラメータ（例えば、 I_{start} および I_{stop} ）を制御して、より広い時間スパンにわたってシンボル間干渉を最小にする新しい能力が与えられる。

【0040】

10

図4Bは、限定としてではなく、単に例として、CMOS回路を使用する動的タップ重み発生器のハードウェア実施態様を示す。1つの実施形態では、ハーフレートまたはC2のクロックが、クロック発生器ブロック 460 を駆動する。クロック発生器は、2つの差動出力クロック C_i （または補間器クロック）および C_m （またはマルチプレクサ・クロック）を作る。1つの実施形態では、同期時間依存タップ重み発生器 440 は、シンボル伝送間隔にわたって開始電流および停止電流の値を制御することによって傾斜勾配と傾斜オフセットの両方を構成できるようにする設定パラメータに応答する。

【0041】

例えば、カーソル・タップから取り除かれた単位シンボル間隔において、FFE回路 400Aは、FFEタップの符号にデータ（NRZ伝送の）の符号を乗じたものに基づいて、FFEタップ電流 420 を出力信号 V_{OP}/V_{ON} （482、484）に切り替える。FFE回路 400Aは、同期動的タップ重み発生器 440 を使用することによって第2のFFEタップの電流を動的に変化させる。同期動的タップ重み発生器 440 は、シンボル伝送間隔およびプログラム制御に関連する入力クロック 460 に応答し、これにより、開始電流 $I_{START} 444$ および停止電流 $I_{STOP} 446$ の構成が可能になる。1つの実施形態では、各データ伝送間隔を通して、タップ重み電流は、名目上、 $I_{START} 444$ の値で始まり、シンボル伝送間隔の終了の $I_{STOP} 446$ の値に向かって傾斜し、それにより、適用される等化の所望の変化が時間の関数として提供される。同期動的タップ重み発生器 440 は、少なくとも1つのシステム・クロックに応答して、動的タップ重み発生器 440 がデータ伝送間隔に同期した電流傾斜 438 を作ることを可能にする。図4Aは、差動アーキテクチャを有する例として回路 400 を説明しているが、シングル・エンド手法が、本明細書の教示によって同様にサポートされることが理解されるであろう。

20

30

【0042】

図4Aの回路図は、例示の波形を考慮してよりよく理解することができる。その目的のために、図5は、異なるシンボルに対する異なるタップのタップ値の波形を示す。2進値「0」および「1」によって表されるデータ・シンボルが、波形 502 によって示される。波形 520 は、データ・シンボル 502 が同期するデータ・クロックを表す。図4Aのノード 438 の動的タップ重み電流は、 I_{START} と I_{STOP} との間で変化し、データ・クロック 520 と同期する。1つの実施形態では、タップ電流は、直線傾斜 $I_{START} 532$ および $I_{STOP} 534$ である。

40

【0043】

次に、例示的な実施形態と一致する、動的タップ重み発生器回路 400Bを示す図4Bを参照する。限定としてではなく、単に例として、回路 400Bは、CMOS技術を使用して示される。タップ重み発生器回路 400Bは、電流補間器回路 415 に結合される差動出力 C_{ip}/C_{ip} の第1のセットを有するクロック発生器回路 411 を含む。クロック発生器ブロック 411 は、2:1電流マルチプレクサ 417 の差動入力に結合される差動出力 C_{mp} および C_{mn} の第2のセットを有する。

【0044】

電流補間器 415 は、第1の電流の I_{start} を供給するように動作する第1の電流源（ I_1 ）に結合された共通ソースを有する2つのPFEETS Q_1 および Q_2 を含む。

50

電流補間器は、第2の電流 I_{stop} を供給するように動作する第2の電流源 I_2 に結合された共通ソースを有する2つの $PFEET S$ Q_3 および Q_4 をさらに含む。 $PFEET S$ Q_1 および Q_4 のゲートは、正端子 Cip に結合され、一方、トランジスタ Q_2 および Q_3 のゲートは、第1の差動クロック出力の負端子 Cin に結合される。

【0045】

2:1電流マルチプレクサ回路417は、電流補間器のものと同様の構造を有しており、それゆえに、簡潔にするためにここでは繰り返されない。電流補間器回路415の(すなわち、 $PFEET S$ Q_1 および Q_3 の共通ドレインの)第1の出力は、回路417の $PFEET S$ Q_5 および Q_6 の共通ソースに結合される。電流補間器回路415の(すなわち、 $PFEET S$ Q_2 および Q_4 の共通ドレインの)第2の出力は、回路417の $PFEET S$ Q_7 および Q_8 の共通ソースに結合される。 $PFEET S$ Q_5 および Q_8 のゲートは、正端子 Cmp に結合され、一方、トランジスタ Q_6 および Q_7 のゲートは、第2の差動クロック出力の負端子 Cmn に結合される。 $PFEET S$ Q_5 および Q_7 のドレインは共通レベル(例えば、接地)に結合される。 $PFEET S$ Q_6 および Q_8 のドレインは、ゲートがドレインに結合された $NFET$ Q_9 によって表される電流源に結合される。ドライバ回路があり、それは、 $NFET$ Q_{10} で表された電流源に結合された共通ソースを有する2つの $NFET S$ Q_{11} および Q_{12} を含むフルレート・タップ重みドライバ(full-rate tap weight driver) 421であり得る。

10

【0046】

動的タップ重み発生器回路400Bの動作は、波形を考慮してよりよく理解することができる。その目的のために、図4Cは、図4Bのタップ重み発生器回路400Bの例示の波形を示す。その結果、タップ重み発生器回路400Bの動作は、図4Cの波形を参照して論じられる。

20

【0047】

図4Bの実施形態において、同期動的タップ重み発生器400Bは、シンボル伝送間隔にわたって電流 I_{start} から電流 I_{stop} に向かって補間することができる電流補間器415を使用して実現され、ここで、 I_{start} および I_{stop} の値は、以前に論じたように、プログラマ的に事前構成されるかまたは自動的に適合されてもよい。1つの実施形態では、ハーフレートまたは C_2 のクロックが、クロック発生器ブロック411を駆動する。クロック発生器ブロック411は、図4Cにおいて、それぞれ、波形471および473で示される2つの差動出力クロック、すなわち、 Ci または補間器クロック、および Cm またはマルチプレクサ・クロックを作る。1つの実施形態では、補間器クロック Ci 471は、 $PMOS$ デバイス Q_1 、 Q_2 、 Q_3 、および Q_4 を含む電流補間器回路415を駆動するのに適切な振幅(swing)をもつ、図4Bの入力 C_2 クロックと同じ周波数の三角波形である。図4Cに示された例示の波形では、補間器三角波形471は、図4Bの $PMOS$ 電流補間器デバイス Q_1 から Q_4 のゲートを駆動するために0から0.5Vまで変化する。 $PMOS$ 電流補間器415は、 $PMOS$ デバイス Q_5 、 Q_6 、 Q_7 、および Q_8 によって形成された $PMOS$ 2:1電流マルチプレクサ417に出力を供給する。

30

【0048】

波形473で示された電流補間器クロック Cm は、電流マルチプレクサ417の電流スイッチを駆動して、ゲートとドレインが一緒に結合された $NFET$ として構成された $NMOS$ キャッチ・ダイオード Q_9 に2:1多重化電流を供給し、それにより、所望のフルレート電流傾斜波形を作ってタップの重みを制御する。図4Cに示された例示の波形では、補間器クロック Cm 473は、名目上の矩形波形状により0から0.5Vまで変化して、電流マルチプレクサ417の状態を迅速に切り替える。テイル電流デバイス Q_{10} と組み合わせられたキャッチ・ダイオード Q_9 は、電流ミラーを形成して、動的タップ重み電流 $I(t)$ を作り、次いで、動的タップ重み電流 $I(t)$ は、タップ重み $Si - n$ の符号にデータ(NRZ 伝送の) $Di - n$ の符号を乗じたものに基づいて、 $NMOS$ トランジスタ Q_{11} および Q_{12} を通してライン・ドライバ端子出力483および485に切り替えられ

40

50

る。

【 0 0 4 9 】

2つの例示の動的電流発生器構成が、図4Cの波形に示されている。より詳細には、波形475は、シンボル伝送間隔を通して時間的に増加するタップ重み電流の生成を示しており、一方、波形477は、シンボル伝送間隔を通して時間的に減少するタップ重み電流の生成を示している。1つの実施形態では、クロックC i 471およびC m 473の位相を調節して、動的電流の過渡部分（動的電流がI s t o pからI s t a r tに切り替わる時）を、シンボル伝送間隔内の所望の場所に、例えば、データ波形の移行エッジの近くに集中させることができる。データ波形自体は、図4Cに示されていないが、C mクロック473と名目上同期していることが理解されるであろう。

10

【 0 0 5 0 】

メインまたはカーソル・タップが10mA固定電流によりプログラムされた一例では、正規化された動的タップ重みは、名目上、0.1から0.3まで変化する。回路の帯域幅制限のために、実際のプログラムされた開始および停止電流は、1mAおよび3mAに正確に対応しないことがあるが、シンボル伝送にわたる0.1から0.3までのタップ重みの変化に対応する電流傾斜勾配は良好な表示を提供することが理解されるであろう。

【 0 0 5 1 】

いくつかのシナリオでは、所望の傾斜勾配が、データ伝送間隔を通してタップ符号の変化を引き起こし、それが、負電流へのタップ重み構成を含むことがあり、それは、図4Bの説明された電流補間器回路で十分に提供されないことがある。1つの実施形態では、実施態様を簡単にするために、タップ重み変化がI s t a r tからI s t o pまでに符号を変化させる（すなわち、正のI s t a r tおよび負のI s t o p）場合、I s t o pは、小さい値に飽和される。代わりに、I s t o pが、絶対値でI s t a r tよりも著しく大きい場合、タップ重みS iの符号を反転させて、I s t o pを正にし、I s t a r tを小さい値に飽和させることができる。別の実施形態では、動的等化器タップと組み合わされた第2の静的等化器タップを使用することによって、極性交差を達成することができ、静的等化器タップと動的等化器タップとが、出力の反対極性に適用される。一例として、一方の極性の静的タップ値の正規化重み0.2を、他方の極性の0.1から0.3まで変化する傾斜の正規化重みと組み合わせることにより、組み合わされた静的タップと動的タップの正味の0.1から-0.1の正規化された重みがもたらされる。

20

30

【 0 0 5 2 】

例示の結果

本明細書に記載のシステムおよび方法の利点は、いくつかの実際のシミュレーション結果でよりよく理解することができる。その目的のために、異なる等化タップ波形と、対応する等化データ信号の「アイ・ダイアグラム」が、図6から図10に各々提供される。図の「アイ・ダイアグラム」は、水平アイ（H E Y E）および垂直アイ（V E Y E）動作マージン・メトリックを作るための様々な既知の統計技術を使用して分析することができる。

【 0 0 5 3 】

図6Aから図6Dは、17dBの損失チャネルを有する例示の5タップF F E 1 0 0 G b / s 4レベル伝送のプレカーソル（すなわち、図6A）、ポストカーソル（すなわち、図6B）、第2のポストカーソル（すなわち、図6C）、および第3のポストカーソル（すなわち、図6D）のタップ重みを示す。最適値（642などの実線）と直線近似（644などの破線）の両方が示される。したがって、図6Aから図6Dは、経時的なタップ重みの時間変化の計算、およびそれらのタップ重みの直線近似を示す。図7Aは、先行技術（タップ重みが固定されている）の29.7%のH E Y Eマーキングを示し、一方、図7Bは、本発明の適用により達成された、その結果の改善されたH E Y Eマージンを示す。この例では、H E Y Eは、名目上17dBの損失チャネルの4レベル・データ伝送を使用して、約30% H E Y Eから47% H E Y Eに改善した。

40

【 0 0 5 4 】

図8Aおよび図8Bは、先行技術（タップ重みが固定されている）と例示の実施形態の

50

両方について、2つのプレカーソルをもつ8タップFFE、 R_x DFE1、100Gb/s 4レベル伝送、25dB損失チャンネルを有する別の例示の時変フィード・フォワード・ライン等化器のアイ・ダイアグラムを示す。この例は、FFE等化とDFE等化の両方を使用するより高い損失のチャンネルに基づき、さらに、クロック・ジッタ（すなわち、200fs RMSのランダム・クロック・ジッタ）および振幅雑音（すなわち、3mV RMS振幅雑音）からの劣化を加えている。図8Aおよび図8Bの比較のアイ・ダイアグラム・プロットで示されるように、H E Y Eは、12.5%マージンから39%マージンに改善される（すなわち、3倍以上の改善）。

【0055】

図9Aおよび図9Bは、6レベル伝送をもたらす32QAM変調を使用する、200fs RMSクロックRJおよび5mV RMS振幅雑音をもつ15dB損失チャンネルによる200Gb/s データ伝送を有する別の例示の時変フィード・フォワード・ライン等化器のアイ・ダイアグラムを示す。この例では、BERフロアは、図9Aの先行技術の $3E-11$ から本開示の一実施形態の図9Bの $8E-15$ に改善され、 $1e-6$ 信頼度のH E Y Eは12.5%から32.7%に向上している。

【0056】

図10Aおよび図10Bは、200fs RMSクロック・ジッタおよび5mV RMS振幅雑音をもつ15dB損失チャンネルによる210Gb/s 8レベル信号伝送を有するさらなる別の例示の時変フィード・フォワード・ライン等化器のアイ・ダイアグラムを示す。この例では、リード・ソロモン誤り訂正コードを適用した後、H E Y Eは、本開示の一実施形態と一致する、時間依存等化器を使用して、12.4%（すなわち、タップ重みが固定されている図10Aの先行技術）から28.8%（すなわち、図10B）に改善されている。

【0057】

例示のプロセス

例示の等化器システム100、例示の波形302から340、および例示の回路実施態様400の前述の概要を用いて、ここで、例示のプロセスの高レベルの議論を考えることは有用であり得る。その目的のために、図11は、例示的な実施形態と一致する、データ信号の等化を実行するためのプロセス1100を提示する。プロセス1100は、論理流れ図におけるプロセスの集合として示され、各ブロックは、ハードウェア、ソフトウェア、またはそれらの組合せで実施することができる操作のシーケンスを表す。ソフトウェアのコンテキストにおいて、プロセスは、1つまたは複数のプロセッサによって実行されたとき、列挙された操作を実行するコンピュータ実行可能命令を表す。一般に、コンピュータ実行可能命令は、機能を実行するか、または抽象データ型を実施するルーチン、プログラム、オブジェクト、コンポーネント、データ構造などを含むことができる。操作が記載されている順序は、限定として解釈されることを意図しておらず、任意の数の記載されたプロセスは、任意の順序で組み合わせられてもよく、またはプロセスを実施するために並行して実行されてもよく、あるいはその両方であってもよい。議論の目的で、プロセス1100は、図4を参照して説明される。

【0058】

限定としてではなく、単に例として、データ信号を受け取るように動作する入力ノード、データ・クロック入力部、第1のタップ、および第2のタップを含むFFEシステムを考える。ブロック1104において、クロック信号が受け取られる。ブロック1106において、データ信号が、受け取ったクロック信号と同期して状態を変化させる伝送シンボルの入力ノードで受け取られる。ブロック1108において、第1のタップ重みまたは第2のタップ重みの少なくとも一方が、各伝送シンボルと同期して繰り返す動的制御パラメータによって調整される。

【0059】

例示のコンピュータ・プラットフォーム

上述で論じたように、データ信号の等化に関連する機能、ならびに本明細書で論じられ

10

20

30

40

50

る他の機能は、コントローラまたはコンピューティング・デバイスを使用することによって実行することができる。図 12 は、本明細書で論じられる 1 つまたは複数の機能ブロックを実装するために使用することができる、様々なネットワーク化構成要素と通信することができるコンピュータ・ハードウェア・プラットフォームの機能ブロック図の例である。

【0060】

コンピュータ・プラットフォーム 1200 は、中央処理装置 (CPU) 1204、ハード・ディスク・ドライブ (HDD) 1206、ランダム・アクセス・メモリ (RAM) または読出し専用メモリ (ROM) 1208、あるいはその両方、キーボード 1210、マウス 1212、ディスプレイ 1214、および通信インタフェース 1216 を含むことができ、それらは、システムバス 1202 に接続される。

10

【0061】

1 つの実施形態では、HDD 1206 は、本明細書に記載された方法で等化エンジン 1240 などの様々なプロセスを実行することができるプログラムを格納することを含む機能を有する。等化エンジン 1240 は、様々な機能を実行するように構成された様々なモジュールを有することができる。例えば、ネットワークを介して様々なソースからのデータ信号を受け取るように動作するインタラクション・モジュール (interaction module) 1242 があってもよく、ここで、データは、等化エンジン 1240 によって等化され得る。

【0062】

クロック・モジュール 1244 があってもよく、クロック・モジュール 1244 は、入力データが同期するクロック信号を受け取るかまたはそれ自体のクロック信号を生成するかあるいはその両方を行うように動作する。2 つ以上のタップがあり、例として、第 1 のタップ・モジュール 1245 および第 2 のタップ・モジュール 1248 として表される。2 つのタップ・モジュールが示されているが、様々な実施形態において、本明細書で論じられた概念によってサポートされるタップの数には制限はない。第 1 のタップ 1246 または第 2 のタップ 1248 の少なくとも一方のタップ重みを制御するように動作する制御パラメータ・モジュール 1250 があってもよい。制御パラメータ・モジュール 1250 は、クロックの各伝送シンボルと同期して繰り返す動的制御パラメータを提供することによってタップ重みを調整する。第 1 のタップおよび第 2 のタップのタップ重みを合計するように動作する合計モジュール 1250 があってもよい。

20

30

【0063】

1 つの実施形態では、Apache (商標) などのプログラムが、システムを Web サーバとして操作するために格納され得る。1 つの実施形態では、HDD 1206 は、JVM (Java (R) (商標) 仮想マシン) を実現するための Java (R) (商標) 実行時環境プログラム用のものなどの 1 つまたは複数のライブラリ・ソフトウェア・モジュールを含む実行アプリケーションを格納することができる。

【0064】

結論

様々な実施形態の記載は、例証の目的のために提示されたが、網羅的であること、または開示された実施形態に限定されることを意図していない。多くの変形および変更が、本発明の範囲から逸脱することなく、当業者には明らかであろう。本明細書で使用される用語は、本発明の原理、実際の適用、または市場で見いだされる技術を超える技術的改善を最もよく説明するように、あるいは他の当業者が本明細書で開示される実施形態を理解できるように選ばれた。

40

【0065】

前述は、最良の状態または他の例あるいはその両方であると考えられるものを説明したが、様々な変形がその中で行われてもよく、本明細書で開示された主題が様々な形態および例で実現されてもよく、教示が多数の用途に適用されてもよく、それらの一部のみが本明細書で説明されていることを理解されたい。以下の特許請求の範囲により、本教示の真の範囲内にある任意のすべての用途、変形、および変更を特許請求することが意図されて

50

いる。

【 0 0 6 6 】

本明細書で論じられた構成要素、ステップ、特徴、目的、利益、および利点は単に例示である。それらのどれも、またそれらに関連する議論も、保護の範囲を限定するように意図されていない。様々な利点が本明細書で論じられたが、すべての実施形態が必ずしもすべての利点を含むとは限らないことが理解されるであろう。特に明記しない限り、以下の特許請求の範囲を含めて本明細書に記載されるすべての測定、値、定格、位置、大きさ、サイズ、および他の仕様は、近似であり、正確ではない。それらは、それらに関連する機能と、それらに係る技術分野において慣例であるものと一致する妥当な範囲を有するように意図されている。

10

【 0 0 6 7 】

多数の他の実施形態も考慮される。これらには、より少ない、追加の、または異なる、あるいはその組合せの構成要素、ステップ、特徴、目的、利益、および利点を有する実施形態が含まれる。これらには、構成要素またはステップあるいはその両方が異なるように配列されるかまたは順序づけられるかあるいはその両方である実施形態がさらに含まれる。例えば、本明細書で論じられた任意の信号は、基礎をなす制御方法を実質的に変更することなしに、スケーリングされ、バッファされ、スケーリングおよびバッファされ、別の状態（例えば、電圧、電流、電荷、時間など）に変換され、または別の状態に（例えば、ハイからローに、およびローからハイに）変換され得る。

【 0 0 6 8 】

N F E T S および P F E T S が、本明細書の例のうちのいくつかに図示されているかまたは論じられているかあるいはその両方であるが、これらのトランジスタは、限定としてではなく、単に例として、提供された。本明細書で開示された概念に基づいて、相補型論理による他のタイプの絶縁ゲート電界効果トランジスタ（I G F E T）が、同様に使用されてもよいことが理解されるであろう。例えば、カーボン・ナノチューブ F E T S を含む周期律表の列 I I I - V からの任意の F E T S が、本明細書で説明された構造を実現するために同様に使用されてもよい。いくつかの実施形態では、バイポーラ・トランジスタ（例えば、P N P または N P N）または B i C M O S あるいはその両方が、M O S トランジスタの代わりに使用されてもよい。

20

【 0 0 6 9 】

本発明の態様は、本出願の実施形態による方法、装置（システム）、およびコンピュータ・プログラム製品の流れ図またはブロック図あるいはその両方を参照して本明細書に記載されている。流れ図またはブロック図あるいはその両方の各ブロック、および流れ図またはブロック図あるいはその両方のブロックの組合せは、コンピュータ可読プログラム命令によって実現されることが理解されるであろう。

30

【 0 0 7 0 】

これらのコンピュータ可読プログラム命令は、コンピュータまたは他のプログラマブル・データ処理装置のプロセッサを介して実行される命令が流れ図またはブロック図あるいはその両方の 1 つまたは複数のブロックにおいて指定された機能 / 動作を実施するための手段を作り出すように、汎用コンピュータ、専用コンピュータ、またはマシンを作るための他のプログラマブル・データ処理装置のプロセッサに提供され得る。これらのコンピュータ可読プログラム命令はまた、命令が格納されたコンピュータ可読ストレージ媒体が流れ図またはブロック図あるいはその両方の 1 つまたは複数のブロックにおいて指定された機能 / 動作の態様を実施する命令を含む製品を構成するように、コンピュータ、プログラマブル・データ処理装置、または他のデバイス、あるいはその組合せに、特定の方法で機能するように指示することができるコンピュータ可読ストレージ媒体に格納されてもよい。

40

【 0 0 7 1 】

コンピュータ可読プログラム命令はまた、コンピュータ、他のプログラマブル装置、または他のデバイスで実行される命令が流れ図またはブロック図あるいはその両方の 1 つまたは複数のブロックにおいて指定された機能 / 動作を実施するように、コンピュータ、他

50

のプログラマブル・データ処理装置、または他のデバイスにロードされて、一連の動作ステップをコンピュータ、他のプログラマブル装置、または他のデバイスで実行させて、コンピュータ実装プロセスを生じさせることができる。

【 0 0 7 2 】

図における流れ図およびブロック図は、本発明の様々な実施形態によるシステム、方法、およびコンピュータ・プログラム製品の可能な実施態様のアーキテクチャ、機能、および動作を示す。これに関しては、流れ図またはブロック図の各ブロックは、指定された論理機能を実施するための1つまたは複数の実行可能命令を含む命令のモジュール、セグメント、または一部を表すことができる。いくつかの代替の実施態様では、ブロックに記された機能は、図に記された順序から外れて行われてもよい。例えば、連続して示された2つのブロックは、実際には、実質的に同時に実行されてもよく、またはブロックは、時には、関連する機能に応じて逆の順序で実行されてもよい。ブロック図または流れ図あるいはその両方の各ブロック、およびブロック図または流れ図あるいはその両方のブロックの組合せは、指定された機能または動作を実行するかあるいは専用ハードウェア命令とコンピュータ命令の組合せを実行する専用ハードウェア・ベース・システムで実施され得ることに留意されたい。

10

【 0 0 7 3 】

前述は例示的な実施形態に関連して説明されたが、「例示的な」という用語は、最良または最適ではなく単に一例としてのものを意味していることを理解されたい。すぐ上に記載されている場合を除き、記載または図示されているものは、特許請求の範囲に詳述されているか否かに関係なく、いかなる構成要素、ステップ、特徴、目的、利益、利点、または等価物も一般の人々に提供することを意図したものではなく、またはそのように解釈されるべきでない。

20

【 0 0 7 4 】

本明細書で使用される用語および表現は、特定の意味が本明細書において別に記載されている場合を除いて、それらの対応する調査および研究のそれぞれの分野に関してそのような用語および表現に与えられるような通常の意味を有することが理解されるであろう。第1の、第2のなどの関係語は、そのようなエンティティまたはアクション間の実際の任意のそのような関係または順序を必ずしも必要とするかまたは意味することなく、あるエンティティまたはアクションを別のものから区別するためにもっぱら使用され得る。「備える、含む (comprises)」、「備えている、含んでいる (comprising)」という用語、またはその任意の他の変形例は、要素のリストを含むプロセス、方法、物品、または装置が、それらの要素のみを含むのではなく、そのようなプロセス、方法、物品、または装置に明確にリストされずまたは固有でない他の要素を含むことができるように、非排他的包括を包含することが意図される。「a」または「an」に続く要素は、さらなる制約なしに、その要素を含むプロセス、方法、物品、または装置における追加の同様の要素の存在を排除しない。

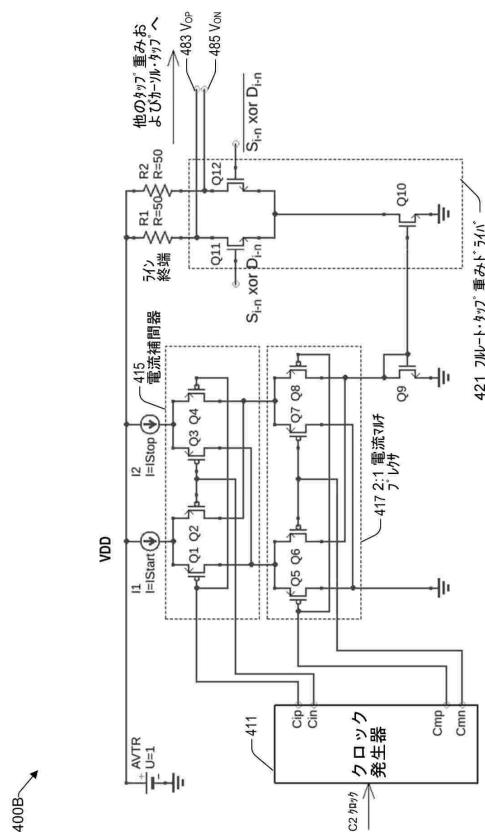
30

【 0 0 7 5 】

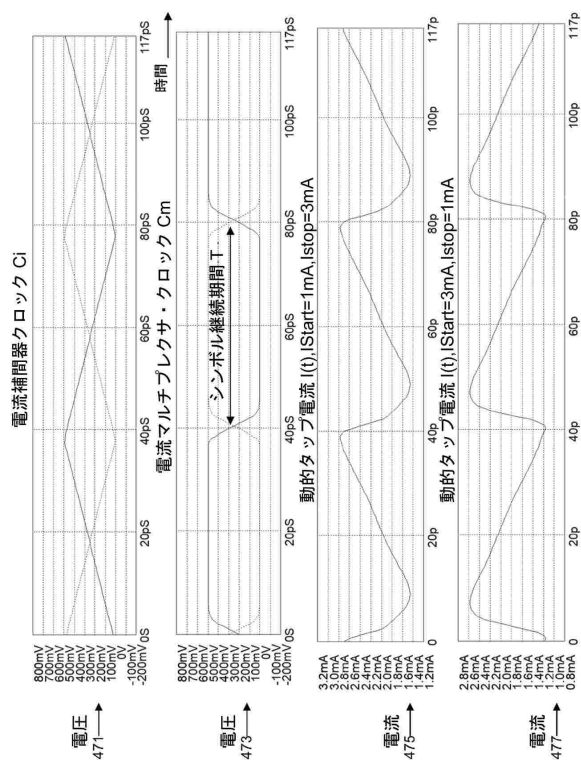
読者が技術的な開示の性質を速やかに確認できるように、「本開示の要約」が提供される。その要約は、特許請求の範囲の範囲または意味を解釈または限定するために使用されないという理解の下に提示される。加えて、前述の「詳細な説明」において、本開示を簡素化する目的で、様々な特徴が様々な実施形態において一緒にグループ化されていることを理解することができる。開示のこの方法は、特許請求される実施形態が、各請求項に明確に列挙されているものよりも多くの特徴を必要とするという意図を反映するものと解釈されるべきでない。むしろ、以下の特許請求の範囲が反映するように、発明の主題は、単一の開示された実施形態のすべての特徴よりも少ない特徴に存在する。したがって、以下の特許請求の範囲は、本明細書によって、「詳細な説明」に組み込まれ、各請求項は、別々に特許請求される主題として自立している。

40

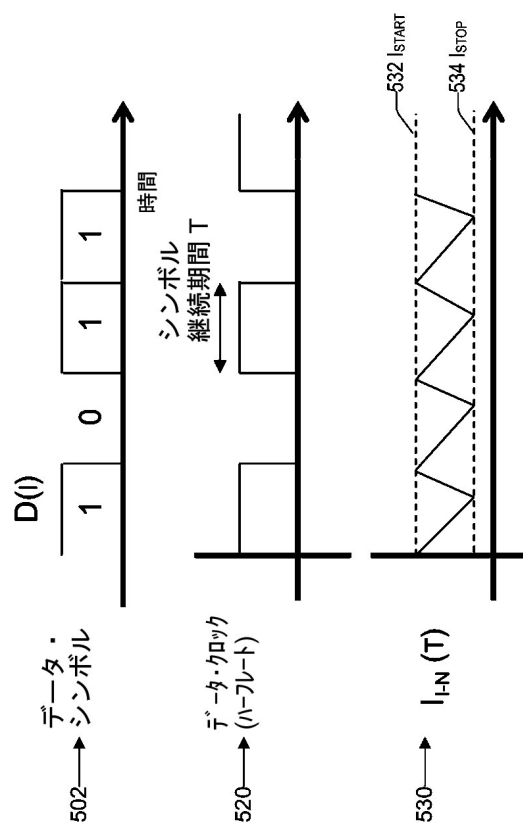
【 図 4 B 】



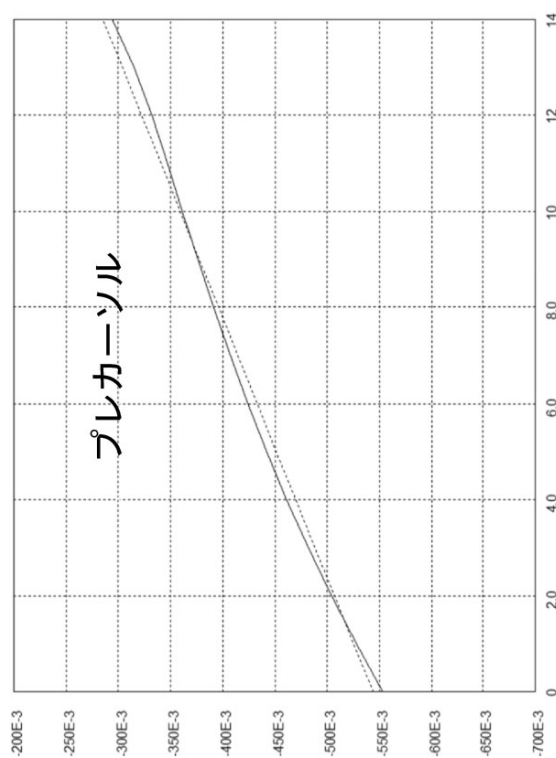
【 図 4 C 】



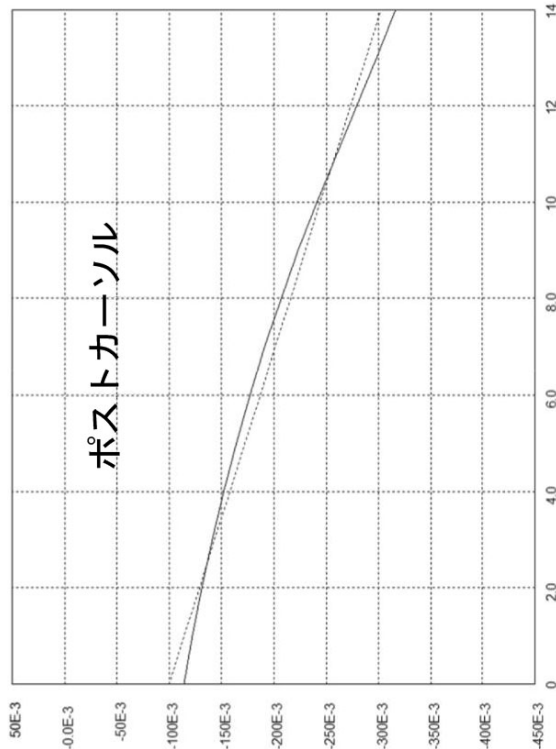
【 図 5 】



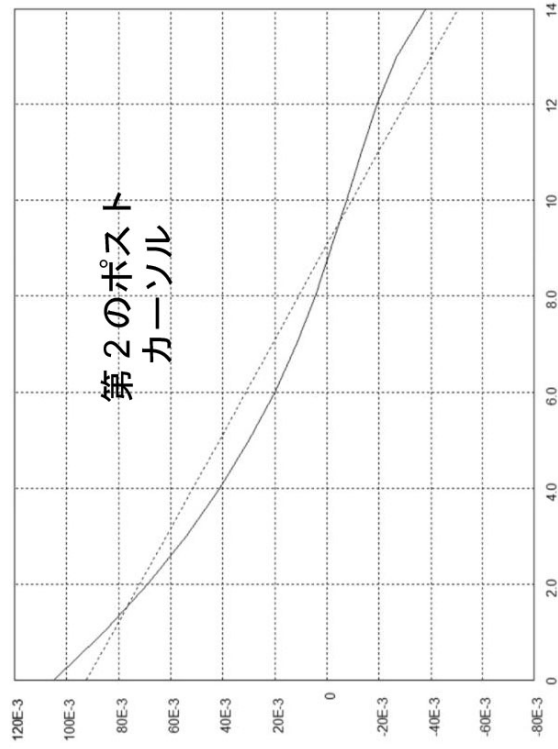
【 図 6 A 】



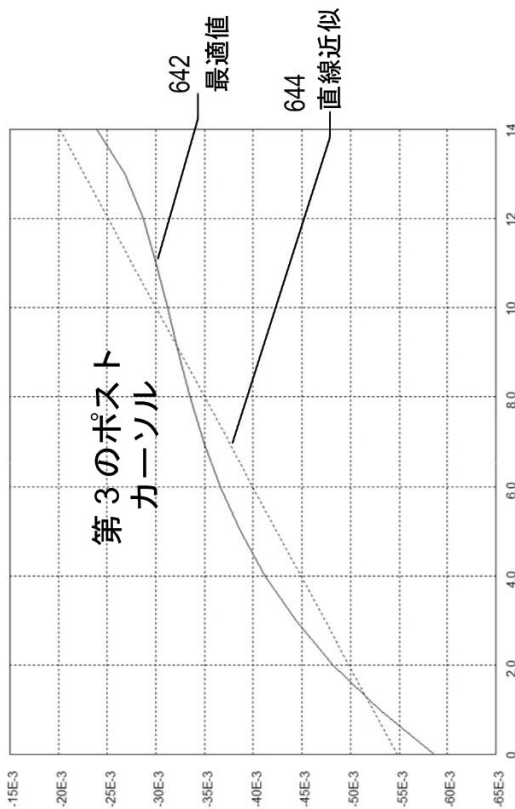
【 図 6 B 】



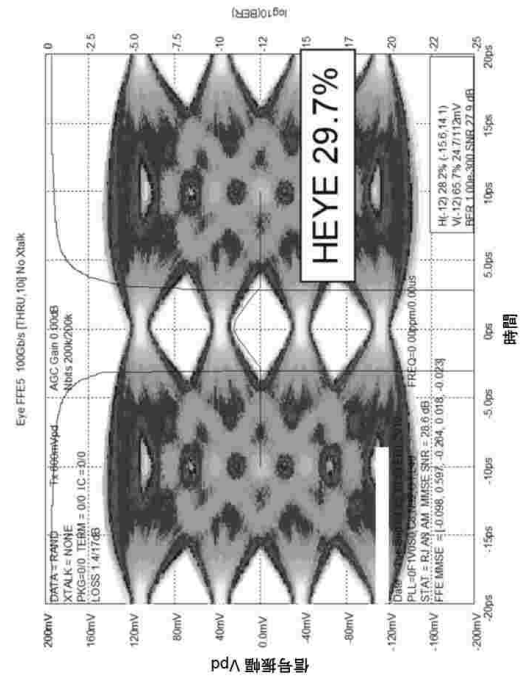
【 図 6 C 】



【 図 6 D 】

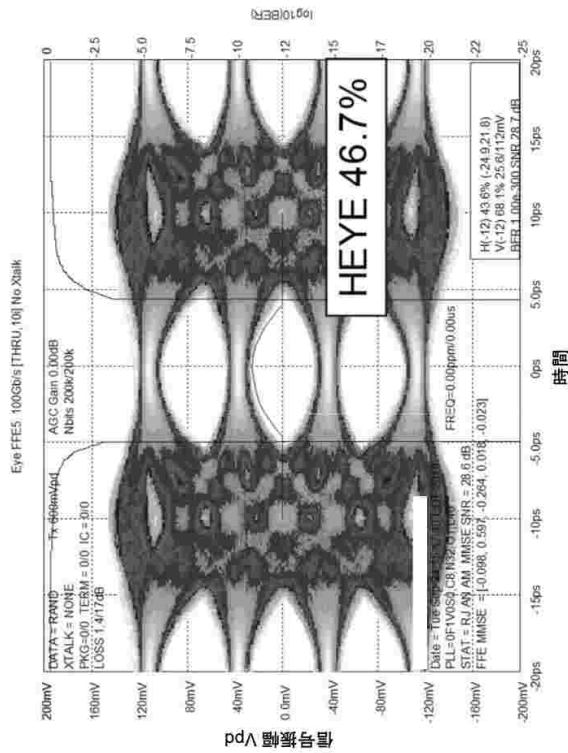


【 図 7 A 】

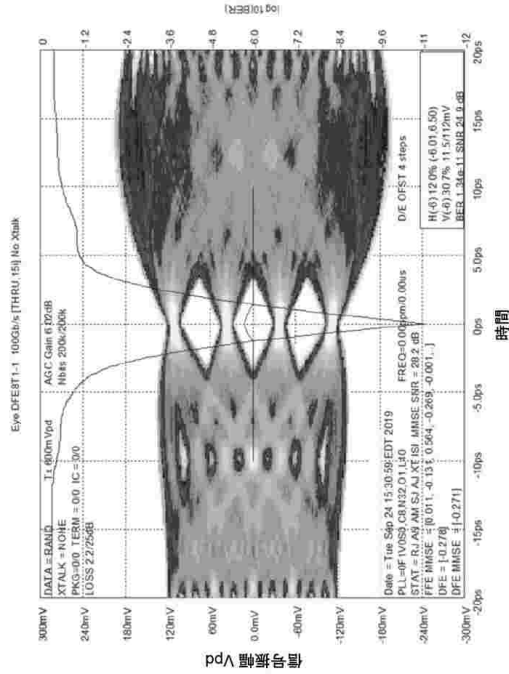


先行技術

【図 7 B】



【図 8 A】

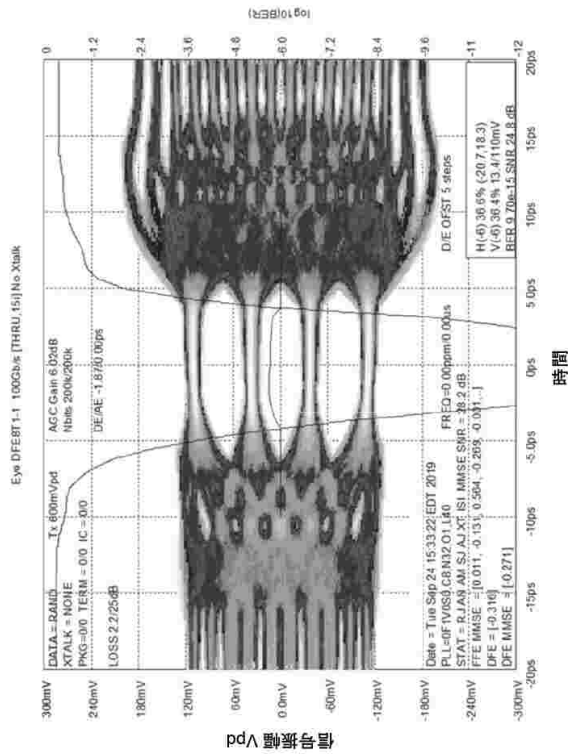


先行技術

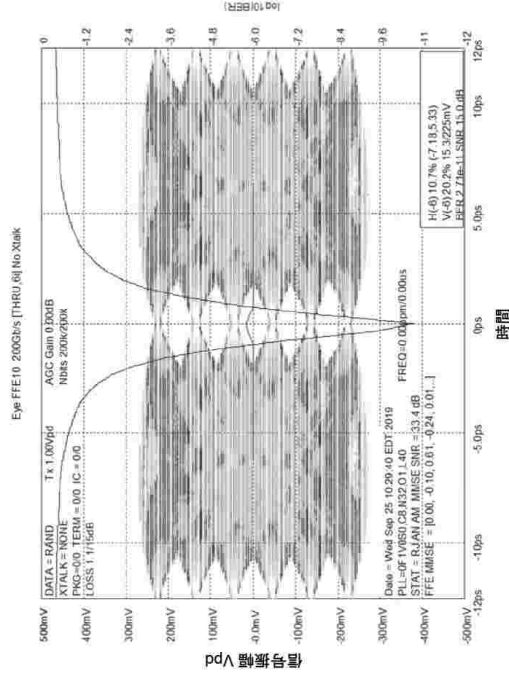
10

20

【図 8 B】



【図 9 A】



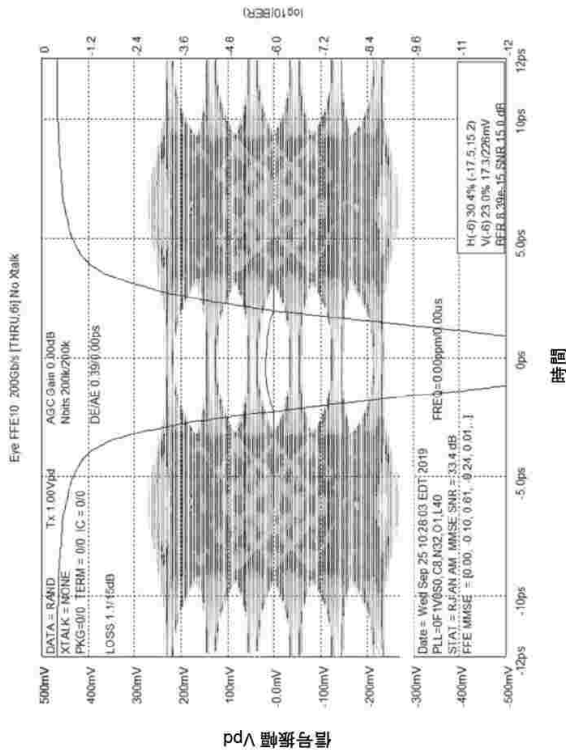
先行技術

30

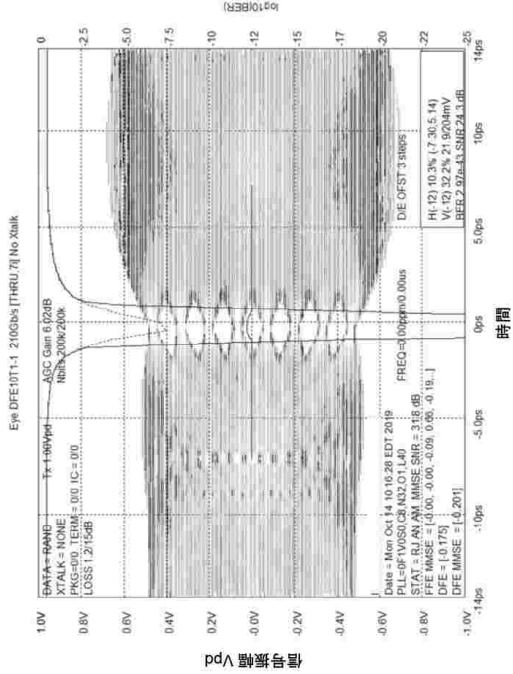
40

50

【図 9 B】

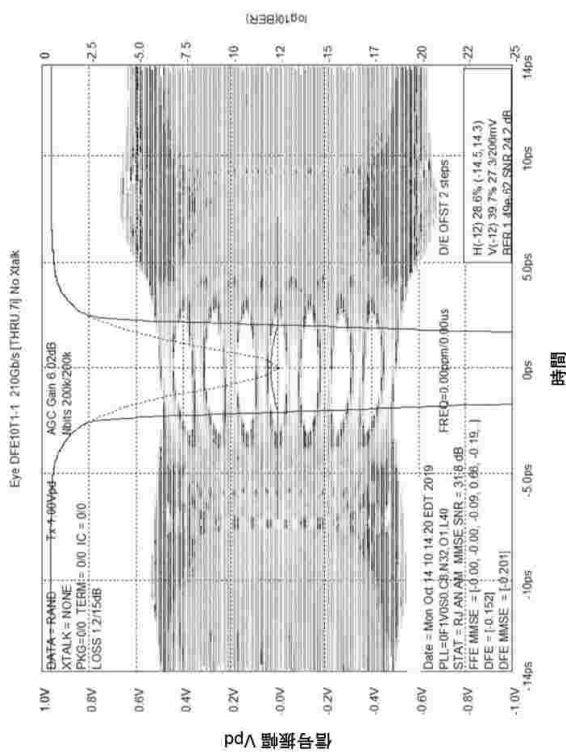


【図 10 A】

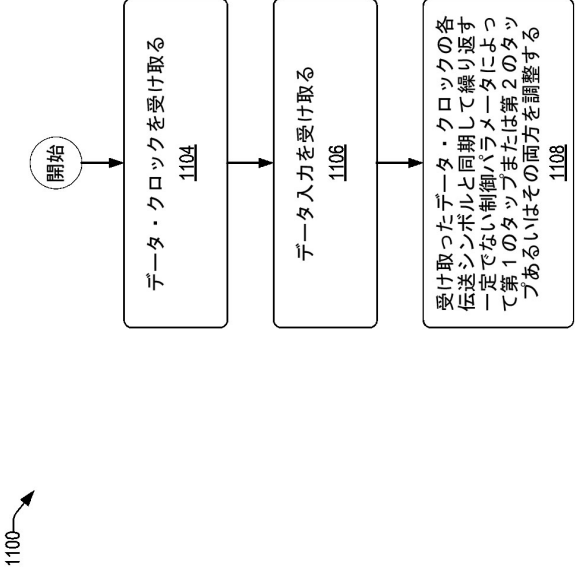


先行技術

【図 10 B】



【図 11】



10

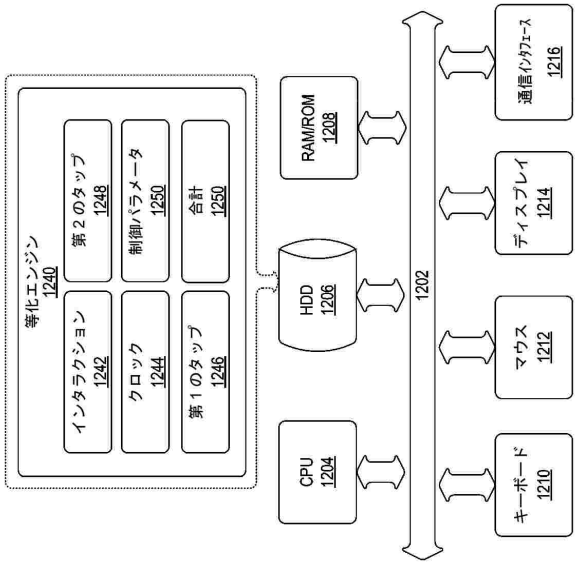
20

30

40

50

【図12】



10

20

30

40

50

フロントページの続き

(72)発明者 ブッケマ、トロイ
 アメリカ合衆国 1 0 5 9 8 ニューヨーク州ヨークタウン・ハイツ キッチャワン・ロード 1 1 0 1

審査官 川口 貴裕

(56)参考文献 特開 2 0 0 0 - 2 9 5 1 4 8 (J P , A)
 特表 2 0 0 2 - 5 1 9 8 9 5 (J P , A)
 特開 2 0 0 2 - 2 8 0 9 4 1 (J P , A)
 特開 2 0 0 8 - 2 8 8 6 5 3 (J P , A)
 特開 2 0 1 9 - 0 2 2 0 5 1 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)
 H 0 4 L 2 5 / 0 0 - 2 5 / 6 6
 H 0 4 L 2 7 / 0 1
 H 0 4 B 3 / 0 4 - 3 / 1 8