

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2017-0112254 (43) 공개일자 2017년10월12일
(51) 국제특허분류(Int. Cl.) H01L 21/768 (2006.01) H01L 21/02 (2006.01) H01L 21/28 (2006.01) H01L 21/324 (2017.01) H01L 21/67 (2006.01)		(71) 출원인 고려대학교 산학협력단 서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(52) CPC특허분류 H01L 21/76828 (2013.01) H01L 21/02255 (2013.01)		(72) 발명자 김광식 서울특별시 성북구 삼선교로 87 (삼선동4가) 801호
(21) 출원번호 10-2016-0039061		유현용 서울특별시 서초구 사평대로 240, 503동 706호 (반포동, 미도2차아파트)
(22) 출원일자 2016년03월31일 심사청구일자 2016년03월31일		
		(74) 대리인 김등용, 김홍석

전체 청구항 수 : 총 11 항

(54) 발명의 명칭 후속 열처리 공정을 이용한 반도체 소자 제조 방법 및 그에 의해 제조된 반도체 소자

(57) 요약

본 발명은 반도체층; 상기 반도체층의 상부에 형성된 유전체층; 및 상기 유전체층 상부에 형성된 금속층;을 포함하고, 상기 반도체층에서 상기 유전체층과 접합되는 표면 및 상기 유전체층이 수소(H₂) 가스를 이용하여 열처리된 것을 특징으로 하는 반도체 구조에 관한 것이다.

대표도 - 도1



100

(52) CPC특허분류

H01L 21/0228 (2013.01)

H01L 21/28194 (2013.01)

H01L 21/324 (2013.01)

H01L 21/67098 (2013.01)

H01L 2924/01001 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711026075

부처명 산업통산자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발사업(반도체공정장비)

연구과제명 10nm급 기술 노드를 위한 Ge nMOS/pMOS FinFET 기술 개발

기 여 율 1/1

주관기관 한국과학기술원

연구기간 2015.06.01 ~ 2016.05.31

명세서

청구범위

청구항 1

반도체층;

상기 반도체층의 상부에 형성된 유전체층; 및

상기 유전체층 상부에 형성된 금속층;을 포함하고,

상기 반도체층에서 상기 유전체층과 접합되는 표면 및 상기 유전체층이 수소(H₂) 가스를 이용하여 열처리된 것을 특징으로 하는 반도체 구조.

청구항 2

제1항에 있어서,

상기 반도체층이 저마늄(Ge)인 것을 특징으로 하는 반도체 구조.

청구항 3

제1항에 있어서,

상기 반도체층이 n형인 것을 특징으로 하는 반도체 구조.

청구항 4

제1항에 있어서,

상기 유전체층은 산화물층인 것을 특징으로 하는 반도체 구조.

청구항 5

제4항에 있어서,

상기 유전체층은 산소 공백(oxygen vacancy)을 포함하는 산화물층인 것을 특징으로 하는 반도체 구조.

청구항 6

제1 반도체층;

상기 제1 반도체층의 표면의 소스 및 드레인 영역에 형성된 제2 반도체층;

상기 제2 반도체층 위에 형성된 유전체층; 및

상기 유전체층 위에 형성된 금속층;을 포함하고,

상기 제2 반도체층에서 상기 유전체층과 접합되는 표면 및 상기 유전체층이 수소(H₂) 가스를 이용하여 열처리된 것을 특징으로 하는 반도체 소자.

청구항 7

제6항에 있어서,

상기 제1 반도체층 및 상기 제2 반도체층은 저마늄(Ge)이며,

상기 제2 반도체층은 n형의 불순물을 주입하여 형성된 것을 특징으로 하는 반도체 소자.

청구항 8

제6항에 있어서,

상기 유전체층은 산소 공백(oxygen vacancy)을 포함하는 산화물층인 것을 특징으로 하는 반도체 소자.

청구항 9

반도체층을 마련하는 단계;

상기 반도체층의 표면에 소스 및 드레인을 형성하는 단계;

상기 소스 및 드레인의 상부에 유전체층을 형성하는 단계;

상기 소스 및 상기 드레인의 표면 및 상기 유전체층을 수소 열처리하는 단계; 및

상기 수소 열처리된 상기 유전체층의 상부에 금속층을 증착하는 단계;를 포함하는 반도체 소자의 제조 방법.

청구항 10

제9항에 있어서,

상기 반도체층이 저마늄(Ge)으로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 11

제9항에 있어서,

상기 유전체층을 형성하는 단계는 원자층 증착 공정(ALD)을 통해 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 구조와, 이를 포함하는 반도체 소자 및 그 제조방법에 관한 것으로, 보다 구체적으로 반도체 층 위에 형성되는 유전체층을 수소(H₂)로 열처리하여 낮은 접촉 저항을 구현하는 반도체 구조와, 이를 포함하는 반도체 소자 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 반도체 CMOS(Complementary metal-oxide-semiconductor) 기술의 기본 소자가 되는 FET(Field Effect Transistor)는 스위칭 소자로서 온-오프를 위한 게이트(gate)와 전류 전달을 위한 소스(source) 및 드레인(drain)으로 구성된다.

[0003] 상기 FET 소자가 동작할 때, 높은 성능과 낮은 전력 특성을 동시에 확보하기 위해서는 소스 및 드레인이 가지는 금속 전극과 반도체 사이의 접촉 저항(Contact Resistance)을 감소시키는 것이 중요하다.

[0004] 소스 및 드레인 영역은 일반적으로 금속-반도체(metal-semiconductor) 형태로 구성되어 있으며 현재 CMOS 기술에서 주로 사용되고 있는 반도체 물질인 실리콘 (Si)의 경우 금속과 반도체의 화합물 형태인 실리사이드(silicide) 공정을 사용하여 소스/드레인의 접촉 저항을 낮출 수 있다.

[0005] 그러나 실리사이드 공정은 비교적 높은 공정 온도와 고온에서의 상변화(phase change) 문제 등으로 인해 차세대 반도체 기술인 3차원 집적화로 기술이나 저마늄(Ge) 등의 차세대 채널 물질과의 공정 호환성이 좋지 않다.

[0006] 또한, 반도체 CMOS 기술에서 현재 사용되고 있는 채널 물질인 실리콘 기반 기술의 경우, 소자의 지속적인 소형화에 따라 물리적 한계에 직면하였으며, 이를 대체할 차세대 채널 물질로 실리콘에 비해 높은 전자/정공 이동도(carrier mobility)와 실리콘 공정과의 호환성이 높은 저마늄이 각광받고 있다.

[0007] 그러나 저마늄 FET는 n형 소스/드레인 영역의 금속-반도체 접합에서 발생하는 극심한 페르미 레벨 피닝 현상으로 인하여 높은 소스/드레인 접촉 저항을 갖는 문제점이 있다.

[0008] 저마늄과 같은 반도체 물질에서 페르미 레벨 피닝 현상을 일으키는 요인은 크게 두 가지로 분류할 수 있는데 금속과의 접합 과정에서 발생하는 MIGS(Metal-Induced Gap States)와 금속-반도체 또는 유전체-반도체 계면에 존재하는 결함에 의해 생기는 경계면 상태(interface states)이다.

[0009] 따라서, 저마늄 기반의 CMOS 공정에서 MIGS 및 경계면 상태(interface states)를 감소시키고 접촉 저항을 감소시킬 수 있는 기술이 요구된다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 국내공개특허 제1996-0009067호

발명의 내용

해결하려는 과제

[0011] 본 발명의 목적은 소스 및 드레인이 형성되는 반도체층에 유전체층을 형성하고, 유전체층을 수소 열처리하여 낮은 접촉 저항을 구현하는 반도체 구조와, 이를 포함하는 반도체 소자 및 그 제조방법을 제공하는 것이다.

과제의 해결 수단

[0012] 본 발명의 실시 예에 따른 반도체 구조는 반도체층; 상기 반도체층의 상부에 형성된 유전체층; 및 상기 유전체층 상부에 형성된 금속층;을 포함하고, 상기 반도체층에서 상기 유전체층과 접합되는 표면 및 상기 유전체층이 수소(H₂) 가스를 이용하여 열처리된 것을 특징으로 한다.

[0013] 본 발명의 실시 예에 따른 반도체 소자는 제1 반도체층; 상기 제1 반도체층의 표면의 소스 및 드레인 영역에 형성된 제2 반도체층; 상기 제2 반도체층 위에 형성된 유전체층; 및 상기 유전체층 위에 형성된 금속층;을 포함하고, 상기 제2 반도체층에서 상기 유전체층과 접합되는 표면 및 상기 유전체층이 수소(H₂) 가스를 이용하여 열처리된 것을 특징으로 한다.

[0014] 본 발명의 실시 예에 따른 반도체 소자 제조 방법은 반도체층을 마련하는 단계; 상기 반도체층의 표면에 소스 및 드레인을 형성하는 단계; 상기 소스 및 드레인의 상부에 유전체층을 형성하는 단계; 상기 소스 및 상기 드레인의 표면 및 상기 유전체층을 수소 열처리하는 단계; 및 상기 수소 열처리된 상기 유전체층의 상부에 금속층을 증착하는 단계;를 포함한다.

발명의 효과

[0015] 본 발명의 일 실시예에 따르면, 반도체층 표면 및 반도체층 위에 존재하는 유전체층 내부를 수소 열처리하여 낮은 접촉 저항을 구현하는 반도체 구조를 제공할 수 있다.

[0016] 또한, 본 발명의 일 실시예에 따르면, 수소 열처리 공정을 반도체층 위에 유전체층을 증착한 후, 유전체층 위에 금속층을 증착하기 전에 수행함으로써, 반도체층(특히, 소스 및 드레인)의 표면에 존재하는 표면 결함을 감소시키고 유전체층-반도체층 계면에 존재하는 경계면 상태(interface states)를 줄여, 페르미 레벨 피닝을 완화하여 접촉 저항을 낮춤으로써 반도체 소자의 특성을 향상시킬 수 있다.

[0017] 또한, 동일한 공정을 통해 유전체층의 전기전도도를 향상하여 반도체 소자의 접촉 저항을 낮출 수 있는 효과가 있다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 일 실시예에 따른 반도체 구조를 개략적으로 도시한 단면도이다.

도 2는 금속과 반도체 사이의 MIGS(Metal Induced Gap States) 효과를 나타낸 것이다.

도 3은 금속, 유전체층, 및 반도체 구조에서의 MIGS(Metal Induced Gap States) 효과의 변화를 나타낸 것이다.

도 4는 후속 수소 열처리한 것과 후속 수소 열처리하지 않았을 때의 유전체층 및 반도체층의 XPS 분석결과를 비교하여 도시한 그래프이다.

도 5는 본 발명의 다른 실시예에 따른 반도체 소자를 개략적으로 도시한 단면도이다.

도 6은 본 발명의 일 실시예에 따른 반도체 구조 제조방법을 개략적으로 도시한 흐름도이다.

도 7은 후속 수소 열처리한 것과 후속 수소 열처리하지 않았을 때의 전압에 따른 전류 밀도의 변화를 비교하여 도시한 그래프이다.

도 8은 후속 수소 열처리한 것과 후속 수소 열처리하지 않았을 때의 접촉 저항 변화를 비교하여 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.
- [0020] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 실시 예를 상세히 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.
- [0021] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0022] 도 1은 본 발명의 일 실시예에 따른 반도체 구조를 개략적으로 도시한 단면도이다.
- [0023] 도 1을 참조하면, 본 발명의 일 실시예에 따른 반도체 구조는 반도체층(110), 유전체층(120), 및 금속층(130)을 포함한다.
- [0024] 반도체층(110)은 4족 화합물(예를 들어, 실리콘, 저마늄 등)로 형성될 수 있다. 바람직하게는 반도체층(110)은 저마늄(Ge)으로 형성될 수 있다.
- [0025] 금속층(130)은 반도체 소자의 소스 또는 드레인을 형성할 수 있다.
- [0026] 유전체층(120)은 반도체층(110)과 금속층(130) 사이에 형성되며, 유전체층(120)은 원자층 증착 공정(ALD)을 통해 형성될 수 있다. 원자층 증착 공정의 경우, 복잡한 형상의 3차원 구조에서도 뛰어난 균일도를 가지는 나노 두께의 박막 증착이 가능하기 때문에 나노급 반도체 소자 제조의 적합하다. 유전체층(120)의 두께는 1nm 내지 2nm일 수 있다.
- [0027] 금속층(130)과 반도체층(110) 사이에 유전체층(120)을 형성함으로써 금속층(130)과 반도체층(110)이 직접 접촉할 때 발생하는 문제점을 해결할 수 있다.
- [0028] 반도체층(110)에 금속층(130)을 직접 접촉하는 경우, 금속의 일함수(workfunction)와 관계없이 금속의 페르미 레벨(Fermi level)이 반도체 밴드갭(bandgap) 내의 특정 에너지 준위 근처에 고정되는 페르미 레벨 피닝(Fermi-level pinning) 현상이 발생한다.
- [0029] 도 2a를 참조하면, 예를 들어, 저마늄 반도체층(110)의 경우 페르미 레벨 피닝 현상이 심하게 발생하여 금속-저마늄 접촉에서 금속의 페르미 레벨이 저마늄의 가전자대(valence band) 끝에 고정되고, 0.55eV의 큰 전자 쇼트키 장벽(electron Schottky barrier)이 형성되어 접촉저항이 증가하는 문제점이 발생한다. 즉, 실리콘, 저마늄과 같은 반도체에서 페르미 레벨 피닝 현상에 의해 생성된 큰 쇼트키 장벽은 n형 FET의 소스/드레인 접합에서 쇼트키 접합을 형성하여 높은 소스/드레인 접촉 저항과 성능 열화를 초래한다.
- [0030] 도 2b는 금속-반도체 접촉에서 페르미 레벨 피닝 현상을 일으키는 금속 내 전자들의 파동 함수 침투로 인해 반도체 밴드갭 내에 생기는 MIGS(metal-induced gap states)를 도시한다.
- [0031] 본 발명에 따른 금속-유전체-반도체(MIS, Metal-Inter layer-Semiconductor) 구조는 실리콘, 저마늄과 같은 반도체 물질에서 페르미 레벨 피닝 현상을 일으키는 금속 내 전자들의 파동 함수 침투로 인해 반도체 밴드갭 내에 생기는 MIGS(metal-induced gap states)를 물리적으로 감소시켜 페르미 레벨 피닝 현상을 완화할 수 있는 구조이다.

- [0032] 도 3a를 참조하면, 반도체층(110)과 금속층(130) 사이에 수 nm의 두께를 갖는 유전체층(120)을 형성하는 경우, 금속 내부에 존재하는 전자의 파동 함수가 미치는 영향을 물리적으로 감소시킴으로써 MIGS를 줄이고 페르미 레벨 피닝 현상을 감소시킬 수 있다.
- [0033] 유전체층(120)은 산화물층일 수 있다. 예를 들어, 유전체층(120)은 티타늄옥사이드(TiO_2), 징크옥사이드(ZnO), 지르코늄옥사이드(ZrO_2), 실리콘옥사이드(SiO_2), 하프늄옥사이드(HfO_2), 란타늄옥사이드(La_2O_3), 알루미늄옥사이드(Al_2O_3), 이트륨옥사이드(Y_2O_3), 마그네슘옥사이드(MgO), 게르마늄옥사이드(GeO_2), 스트론튬옥사이드(SrO) 및 루테튬옥사이드(Lu_2O_3) 중에서 어느 하나의 산화물로 이루어질 수 있다.
- [0034] 바람직하게는 유전체층(120)은 반도체층(110)과의 전자 친화도(electron affinity) 값이 비슷한 물질로 구성될 수 있다. 예를 들어, 반도체층(110)이 저마늄(Ge, 전자친화도 $\sim 4.0\text{eV}$)으로 형성된 경우, 유전체층(120)은 저마늄과 전자친화도가 비슷한 물질인 티타늄옥사이드(TiO_2 , 전자친화도 $\sim 4.2\text{eV}$) 또는 징크옥사이드(ZnO , 전자친화도 $\sim 4.2\text{eV}$) 등으로 형성할 수 있다.
- [0035] 도 3b를 참조하면, 실리콘, 저마늄과의 전자 친화도 값이 비슷한 물질로 유전체층(120)을 형성하는 경우, 페르미 레벨 피닝 현상을 완화하여 쇼트키 장벽을 효과적으로 낮출 수 있을 뿐만 아니라 전자의 터널링 장벽(tunneling barrier)를 최소화하여 접촉 저항을 크게 낮출 수 있다.
- [0036] 또한, 유전체층(120)은 전기 전도도가 높은 물질로 구성될 수 있다. 예를 들어, 산화막 유전체층(120)은 산소 공백(oxygen vacancy)을 포함하는 산화물층일 수 있다. 즉, 유전체층(120)은 산소 공백을 포함하는 물질(예를 들어, TiO_{2-x} , Zn_{1-y}O 등)을 포함할 수 있다.
- [0037] 도 3c를 참조하면, 유전체층(120)의 전기 전도도가 증가할 경우, 도 3b에 비해 유전체층(120)의 터널링 두께가 현저하게 감소하는 효과가 있으며, 따라서 접촉 저항을 크게 낮출 수 있다. 또한, 유전체층(120) 내부에 발생하는 전기적 포텐셜(potential)에 의해 추가적인 쇼트키 장벽의 감소를 가져와 해당 구조의 접촉 저항을 더욱 낮출 수 있는 효과가 있다.
- [0038] 유전체층(120)은 후속 수소 열처리(post H_2 thermal annealing) 공정이 수행될 수 있다. 구체적으로 반도체층(110)에 유전체층(120, 예를 들어, TiO_2)을 증착하고, 350°C 내지 450°C , 바람직하게는 400°C 에서 수소 열처리 공정을 진행할 경우, 유전체층(120)의 전기전도도가 증가하고, 유전체층(120)과 반도체층(110) 사이에 존재하는 경계면 상태(interface state)가 감소하는 효과가 있으며, 따라서 매우 낮은 접촉 저항을 구현할 수 있다.
- [0039] H_2 의 경우 수 nm 수준으로 매우 얇은 산화막 유전체층(120, 예를 들어, TiO_2 , ZnO 등)에 침투하여 층 내부에 산소 공백(oxygen vacancy)을 만드는데, 이는 산화막 유전체층(120)에서 도너 준위(donor level)로 작용하게 된다. 도너 준위 역할을 하는 산소 공백에 의해 산화막 유전체층(120) 내부에 자유 전자가 생기게 되고 이는 유전체의 전기 전도도를 높이는 역할을 한다.
- [0040] 도 4a는 후속 H_2 열처리 공정 전과 후의 TiO_2 층의 XPS 분석 결과를 비교하여 도시한 그래프이다. 도 4a를 참조하면, H_2 열처리 공정 이후 Ti 2p 스펙트럼의 음성 편이(negative shift)를 통해 산소와의 결합이 일부 끊어진 Ti^{3+} 의 비중이 증가하는 것을 확인할 수 있으며 도너 역할을 하는 산소 공백의 존재를 확인할 수 있다.
- [0041] 반도체 표면에서 경계면 상태(interface states)를 만드는 요인은 반도체의 땀글링 본드(dangling bond) 등과 같은 표면 결함이나 산화막 형태의 유전체와 접합했을 때 형성되는 불완전한 반도체 산화막(예를 들어, GeO_x) 등이 있다. 후속 H_2 열처리 공정에서 H_2 는 유전체 층을 뚫고 들어가 유전체-반도체 사이에 존재하는 불완전한 산화 결합을 끊고 반도체 표면과 결합함으로써 유전체-반도체 계면의 경계면 상태(interface states)가 효과적으로 감소하는 효과가 있다.
- [0042] 도 4b는 후속 H_2 열처리 공정 전과 후의 반도체층(Ge 기판)의 XPS 분석 결과를 비교하여 도시한 그래프이다. 도 4b를 참조하면, H_2 열처리 공정 이후 반도체층(Ge)과 유전체층(TiO_2) 사이에 존재하던 Ge-O의 결합이 상당 부분 사라지는 것을 볼 수 있으며, 이를 통해 H_2 열처리 공정이 유전체-반도체 계면에 존재하는 경계면 상태(interface states)를 효과적으로 감소시키는 것을 확인할 수 있다.
- [0043] 반도체 FET (특히, 저마늄 기반의 n형 FET)의 소스/드레인 공정에 본 발명에서 제안하는 금속-유전체-반도체 구

조 및 후속 수소 열처리 공정을 도입할 경우 MIGS 및 경계면 상태(interface states)를 효과적으로 감소시켜 페르미 레벨 피닝 현상을 감소시킬 뿐만 아니라 유전체의 전기 전도도를 향상시켜 전자의 터널링 확률을 증가시킴으로써 저저항의 오믹 소스/드레인 형성이 가능하다.

- [0044] 도 5는 소스와 드레인에 본 발명에 따른 금속-유전체-반도체 구조를 도입한 반도체 소자(예를 들어, MOSFET)를 개략적으로 도시한 단면도이다.
- [0045] 본 발명의 실시예에 따른 금속-유전체-반도체 구조는 일반적인 MOSFET(metal-oxide-semiconductor field-effect transistor) 구조에 국한하는 것이 아니라, 소스와 드레인이 필요한 반도체 소자(예를 들면 FinFET, HEMT, JFET과 같은 트랜지스터)에 적용이 가능하다.
- [0046] 도 5를 참조하면, 본 실시예에 따른 반도체 소자는, 제1 반도체층(211) 및 제2 반도체층(212)을 포함하는 반도체층(210), 제1 반도체층 위에 형성되는 유전체층(220), 유전체층(220) 위에 형성되는 금속 전극(230), 제2 반도체층의 사이를 덮도록 형성되는 게이트 및 게이트 전극을 포함한다.
- [0047] 제2 반도체층(212)은 이온이 농도로 도핑된 소스/드레인 영역으로, 반도체층(210)의 종류 및 반도체 소자의 종류 등에 따라 다양한 불순물 이온이 도핑되어 형성될 수 있다. 본 실시예에 따른 반도체 소자의 반도체층(210)은 저마늄(Ge)을 이용할 수 있으며, 또한, 소스 및 드레인(제2 반도체층, 212)은 n형의 불순물을 주입하여 형성될 수 있다.
- [0048] 금속 전극(230)은 반도체층(210)의 상부에 절연층을 형성한 후, 일부를 식각하고 유전체층(220)을 형성한 후, 금속을 증착하여 형성될 수 있다.
- [0049] MOSFET, FinFET 등과 같은 반도체 스위칭 소자의 소스/드레인 영역에 금속-유전체-반도체 구조를 적용하고 후속 수소 열처리 공정을 도입하여, 유전체층의 전기 전도도를 향상시키고 유전체-반도체 계면의 결함을 줄임으로써 페르미 레벨 피닝 현상을 완화하고 접촉 저항을 개선할 수 있다.
- [0050] 도 6은 본 발명의 일 실시예에 따른 반도체 구조 제조 방법을 도시한 흐름도이다. 도 1 내지 도 5의 상세한 설명과 중복되는 설명은 생략한다.
- [0051] S110 단계는 반도체층 상에 유전체층을 적층하는 단계이다.
- [0052] 보다 구체적으로, 반도체층 상에 소스 또는 드레인을 형성하는 위치에 유전체층을 적층하는 단계이다. 구체적으로, 하드마스크 패턴 등을 통해 불순물 이온이 고도핑된 반도체층(소스, 드레인 영역) 위에, ALD(atomic layer deposition) 공정을 통해 반도체 위에 TiO₂, ZnO와 같은 유전체층을 수 nm 수준으로 매우 얇게 증착할 수 있다.
- [0053] 유전체층은 반도체층과 전자 친화도가 비슷한 물질로 형성될 수 있다. 또한, 유전체층은 임계치 이상의 전기 전도도를 갖는 물질로 형성될 수 있다. 유전체층은 접촉 저항이 최소가 되는 두께로 형성될 수 있으며, 상기 유전체층은 0.5 ~ 2 nm의 두께로 형성될 수 있다.
- [0054] 상기 증착 방법 외 CVD(chemical vapor deposition), LPCVD(low pressure CVD), APCVD(atmospheric Pressure CVD), LTCVD(low temperature CVD), PECVD(plasma enhanced CVD), ALCVD(atomic layer CVD) 또는 PVD(physical vapor deposition) 등 다양한 증착 방법을 이용하여 유전체층을 형성할 수 있다.
- [0055] S120 단계는 상기 유전체층에 후속 수소 열처리 공정을 수행하는 단계이다.
- [0056] 퍼니스 또는 RTA 장비 등을 이용하여 H₂ 가스를 흘려주면서 열처리 공정을 수행한다. 공정 온도는 300℃ 내지 500℃일 수 있다. 바람직하게는 공정 온도는 350℃ 내지 450℃일 수 있으며, 보다 바람직하게는 400℃의 공정 온도에서 열처리 공정을 수행할 수 있다. 수소 열처리 공정 시간은 25분 내지 35분일 수 있으며, 바람직하게는 30분일 수 있다. 본 실시예에서는 상기 범위 내에서 수소 열처리를 함으로써 유전체 층의 전기 전도도를 향상시키고 유전체-반도체 계면의 결함을 줄일 수 있으며, 따라서, 페르미 레벨 피닝 현상을 완화하고 접촉 저항을 개선시킬 수 있다.
- [0057] 상기 열처리 공정에 주입되는 가스는 수소에 한정되지 아니하며, 질소 등의 다른 가스를 이용하여 상기 열처리 공정을 수행할 수 있다.
- [0058] S130 단계는 상기 후속 수소 열처리 공정이 수행된 유전체층 상에 소스 또는 드레인을 형성하는 금속층을 적층하는 단계이다.
- [0059] 보다 구체적으로, 수소 열처리 공정이 수행된 유전체층 상에 소스 또는 드레인을 형성하는 금속층을 적층하여

반도체 소자의 소스 또는 드레인을 형성한다. 후속 H₂ 열처리 공정 이후 전자빔 증착기(e-beam evaporator), 스퍼터(sputter), CVD(chemical vapor deposition) 장비와 같은 증착 장비를 이용하여 금속층을 증착할 수 있다. 상기 금속층은 소스/드레인 전극일 수 있다.

[0060] 후속 수소 열처리가 MIS 구조의 전기적 특성 및 접촉 저항에 미치는 영향을 실험하기 위해 포토리소그래피 공정을 통해 반도체층(110)의 상부에 형성된 유전체층(120) 및 금속층을 패터닝한 후, 금속층에 전압을 인가하였다.

[0061] 도 7은 금속-반도체 구조, 후속 수소 열처리 공정을 수행하지 않은 금속-유전체 반도체 구조, 및 후속 수소 열처리 공정을 수행한 금속-유전체 반도체 구조의 전압에 따른 전류 밀도의 변화를 비교한 그래프이다. 도 7을 참조하면, 후속 H₂ 열처리 공정이 금속-유전체-반도체 구조의 역방향 전류(reverse current)를 증가시켜 �믹 접촉에 가까운 특성을 나타내는 것을 확인할 수 있다.

[0062] 도 8은 금속-반도체 구조 및 후속 수소 열처리 공정을 수행한 금속-유전체-반도체 구조의 접촉 저항을 비교한 그래프이다. 실험에 사용된 반도체 기판은 n형 Ge 기판 (도핑 농도: 10^{17} cm^{-3})으로, Ti/n-Ge는 금속(Ti)과 반도체(n-Ge)가 직접 접합한 구조, Ti/TiO₂/n-Ge w/ H₂ annealing 은 금속(Ti)-유전체(TiO₂)-반도체(n-Ge) 구조에 H₂ annealing을 적용한 구조를 의미한다. 도 8을 참조하면, 금속층 형성 전에 유전체층을 형성하고, 수소 열처리 공정을 수행하여, 금속과 저마늄 반도체층의 접합의 높은 접촉 저항 문제를 효과적으로 개선하였음을 확인할 수 있다.

[0063] 위와 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0064] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

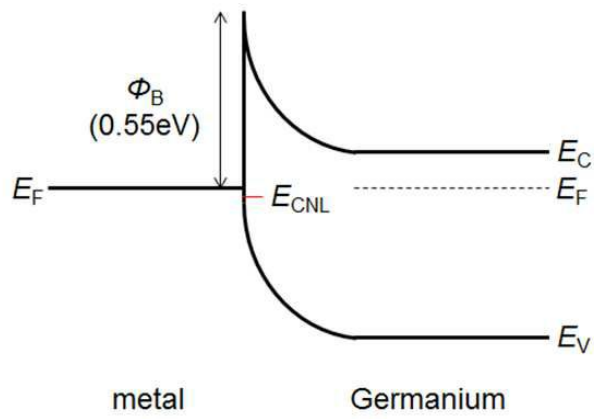
[0065] 100: 반도체 구조 110: 반도체층
120: 유전체층 130: 금속층
200: 반도체 소자 211: 제1 반도체층
212: 제2 반도체층 220: 유전체층
230: 소스/드레인 전극

도면

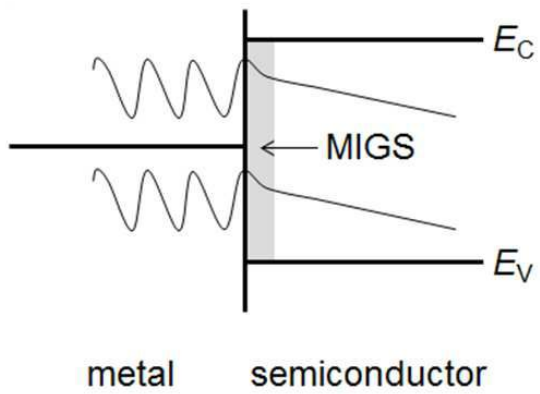
도면1



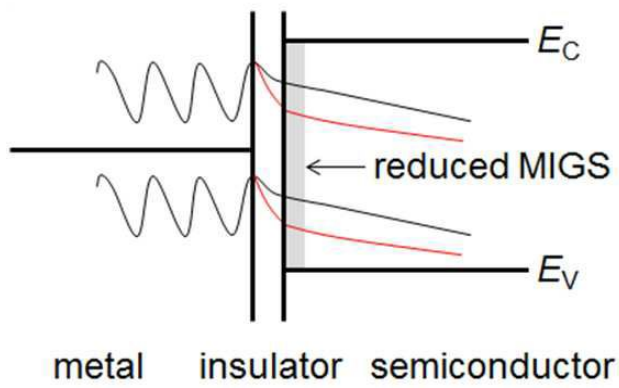
도면2a



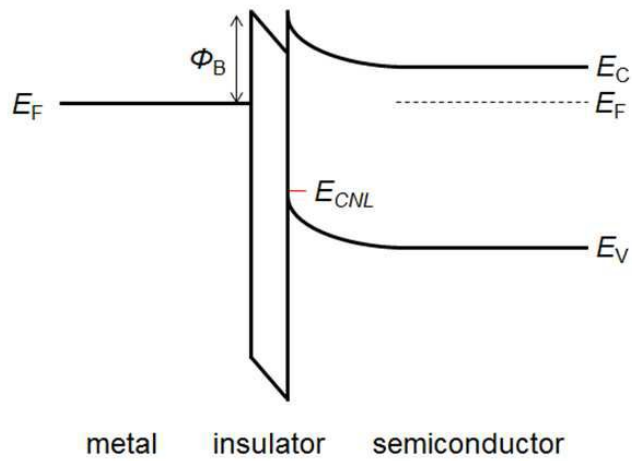
도면2b



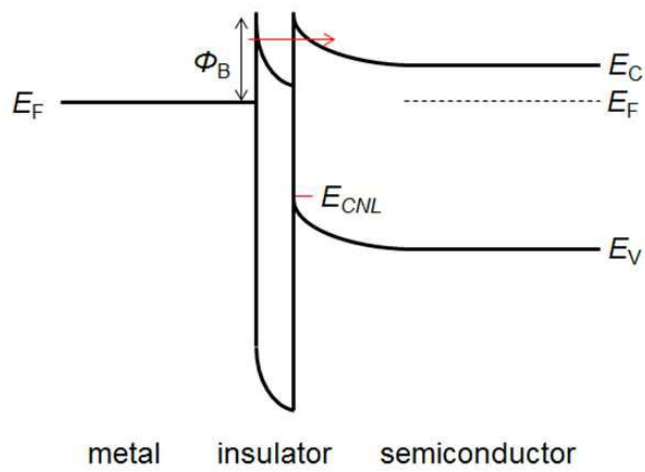
도면3a



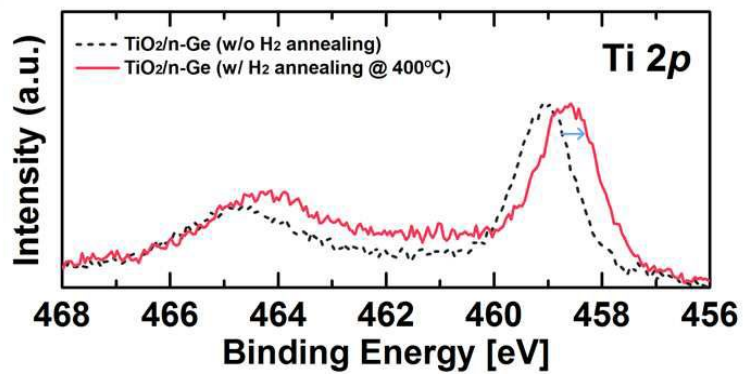
도면3b



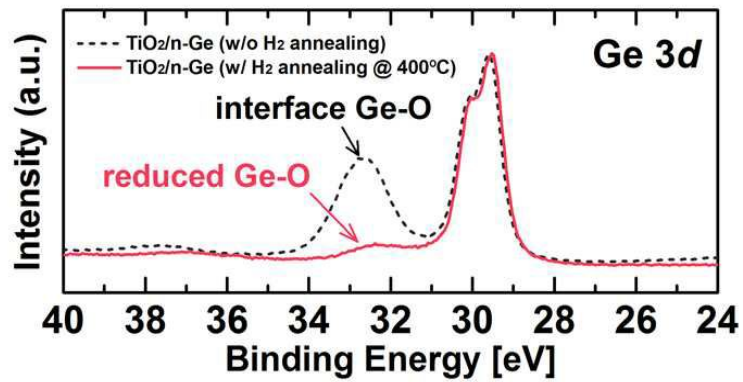
도면3c



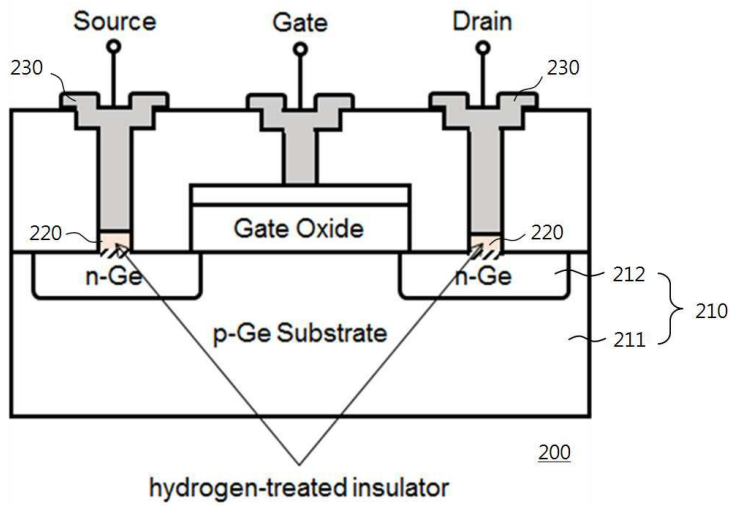
도면4a



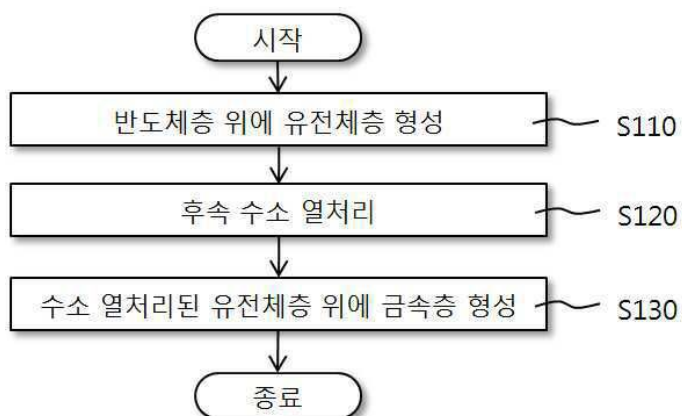
도면4b



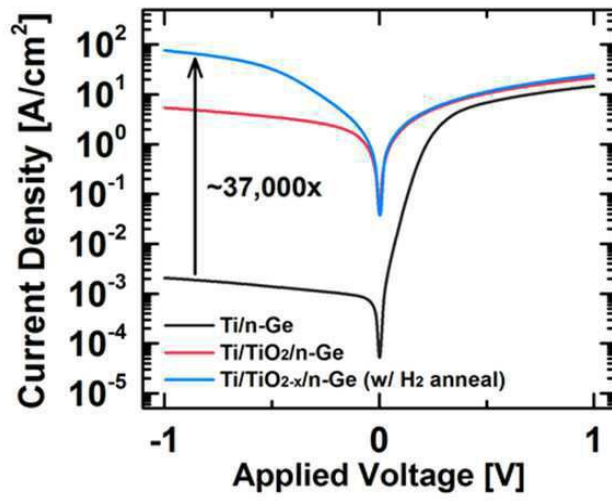
도면5



도면6



도면7



도면8

