



(12)发明专利

(10)授权公告号 CN 103219151 B

(45)授权公告日 2017. 11. 10

(21)申请号 201210371994.9

(51)Int.Cl.

(22)申请日 2012.09.28

H01G 4/005(2006.01)

H01G 4/30(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 103219151 A

审查员 朱晓岗

(43)申请公布日 2013.07.24

(30)优先权数据

10-2012-0005750 2012.01.18 KR

(73)专利权人 三星电机株式会社

地址 韩国京畿道

(72)发明人 全炳俊 李圭夏 具贤熙 金昶勋

朴明俊

(74)专利代理机构 北京铭硕知识产权代理有限公司

公司 11286

代理人 金光军 刘奕晴

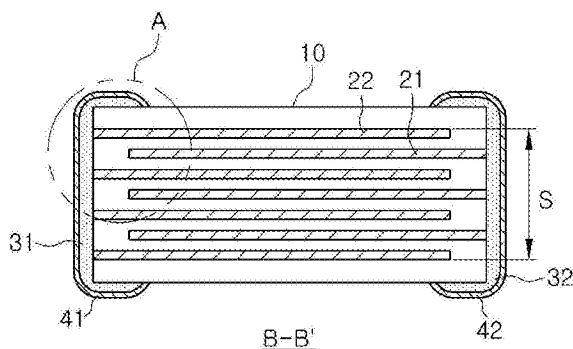
权利要求书2页 说明书9页 附图4页

(54)发明名称

多层陶瓷电子元件及其制造方法

(57)摘要

提供一种多层陶瓷电子元件,该多层陶瓷电子元件包括:陶瓷主体;多个内电极,该多个内电极层压在所述陶瓷主体内;以及外电极,该外电极形成在所述陶瓷主体的外表面上并与所述内电极电连接,其中,所述外电极的平均厚度为小于或等于10 μm,并且当所述外电极在所述陶瓷主体的中间部分沿厚度方向的厚度为Tc,且在沿厚度方向与电容形成区域的中间部分相距所述陶瓷主体的电容形成区域的厚度的25%的点处的所述外电极31和32的厚度为T1时,满足 $0.8 \leq |T1/Tc| \leq 1.0$,所述内电极在所述电容形成区域内层压以形成电容。



1. 一种多层陶瓷电子元件,该多层陶瓷电子元件包括:

陶瓷主体;

多个内电极,该多个内电极层压在所述陶瓷主体内;以及

外电极,该外电极形成在所述陶瓷主体的外表面上并与所述内电极电连接,

所述外电极的平均厚度为小于或等于 $10\mu\text{m}$,并且当在所述陶瓷主体的沿厚度方向的中间部分的所述外电极的厚度为 T_c ,且在沿厚度方向与电容形成区域的中间部分相距所述陶瓷主体的电容形成区域的厚度的25%的点处的所述外电极的厚度为 T_1 时,满足 $0.8 \leq |T_1/T_c| < 1.0$,所述内电极在所述电容形成区域内层压以形成电容;

其中,当在所述陶瓷主体的边缘部分的所述外电极的最薄点为 T_3 时,满足 $0.2 \leq |T_3/T_c| < 1.0$;

其中,当在所述陶瓷主体的沿厚度方向的中间部分的所述外电极的厚度为 T_c ,且在其中层压所述内电极以形成电容的所述陶瓷主体的最外的内电极处的所述外电极的厚度为 T_2 时,满足 $0.5 \leq |T_2/T_c| < 1.0$,

其中,所述陶瓷主体的边缘部分具有角形状,

其中,所述外电极的内部不存在边界,以及

其中,所述外电极包括小于或等于总重的60wt%的导电金属。

2. 根据权利要求1所述的多层陶瓷电子元件,其中,所述导电金属为选自由铜(Cu)、镍(Ni)、银(Ag)和银-钯(Ag-Pd)构成的组中的一者或多者。

3. 一种制作多层陶瓷电子元件的方法,该方法包括:

制备陶瓷主体,该陶瓷主体包括介电层、多个第一内电极和第二内电极,该多个第一内电极和第二内电极彼此相对地设置并使每个所述介电层插入所述第一内电极和第二内电极之间;

制备用于外电极的导电糊,该导电糊包括导电金属;

将所述用于外电极的导电糊涂覆到所述陶瓷主体的端部,以使其与所述内电极电连接;以及

烧结所述陶瓷主体,以形成外电极;

所述外电极的平均厚度为小于或等于 $10\mu\text{m}$,并且当在所述陶瓷主体的沿厚度方向的中间部分的所述外电极的厚度为 T_c ,且在沿厚度方向与电容形成区域的中间部分相距所述陶瓷主体(10)的电容形成区域的厚度的25%的点处的所述外电极的厚度为 T_1 时,满足 $0.8 \leq |T_1/T_c| < 1.0$,所述内电极在所述电容形成区域内层压以形成电容;

其中,当在所述陶瓷主体的边缘部分的所述外电极的最薄点为 T_3 时,满足 $0.2 \leq |T_3/T_c| < 1.0$;

其中,当在所述陶瓷主体的沿厚度方向的中间部分的所述外电极的厚度为 T_c ,且在其中层压所述内电极以形成电容的所述陶瓷主体的最外的内电极处的所述外电极的厚度为 T_2 时,满足 $0.5 \leq |T_2/T_c| < 1.0$,

其中,所述陶瓷主体的边缘部分具有角形状,

其中,所述外电极的内部不存在边界,以及

其中,所述外电极包括小于或等于总重的60wt%的导电金属。

4. 根据权利要求3所述的方法,其中,所述导电金属为选自由铜(Cu)、镍(Ni)、银(Ag)和

银-钯 (Ag-Pd) 构成的组中的一者或多者。

多层陶瓷电子元件及其制造方法

[0001] 相关申请交叉引用

[0002] 本申请要求于2012年1月18日向韩国知识产权局提交的韩国专利申请No.10-2012-0005750的优先权,该申请公开的内容作为参考结合于此。

技术领域

[0003] 本发明涉及具有高容量的多层陶瓷电子元件,通过降低外电极中的厚度偏差,该多层陶瓷电子元件具有良好的可靠性,同时具有更薄的外电极。

现有技术

[0004] 目前,随着电子产品的尺寸减小,多层陶瓷电子元件也被要求减小尺寸,但具有大的电容量。

[0005] 因此,已经尝试各种方法来使得介电层和内电极更薄且更加多层化,并且,近来,已经制作出了其中层压了增大的量的薄介电层的多层陶瓷电子元件。

[0006] 另外,由于还要求外电极变得更薄,这潜在地导致了电镀液穿过外电极渗入基片的缺陷,因而难以减小多层陶瓷元件的尺寸。

[0007] 具体地,当外电极的形状不均匀(uniform)时,电镀液渗入外电极的较薄部分的可能性进一步增大,导致无法获得安全的可靠性。

[0008] 因此,当大电容产品相对较小时,其外电极的形状是关键因素。

发明内容

[0009] 本发明的一个方面提供一种高容量多层陶瓷电子元件,提供减小外电极的厚度偏差,该高电容多层陶瓷电子元件具有良好可靠性,同时具有较薄的外电极。

[0010] 根据本发明的一个方面,提供一种多层陶瓷电子元件,该多层陶瓷电子元件包括:陶瓷主体;多个内电极,该多个内电极层压在所述陶瓷主体内;以及外电极,该外电极形成在所述陶瓷主体的外表面上并与所述内电极电连接,其中,所述外电极的平均厚度为小于或等于 $10\mu\text{m}$,并且当所述外电极在所述陶瓷主体的中间部分沿厚度方向的厚度为 T_c ,且在沿厚度方向与电容形成区域的中间部分相距所述陶瓷主体的电容形成区域的厚度的25%的点处的所述外电极的厚度为 T_1 时,满足 $0.8 \leq |T_1/T_c| \leq 1.0$,所述内电极在所述电容形成区域内层压以形成电容。

[0011] 当所述外电极在所述陶瓷主体的边缘部分的最薄点为 T_3 时,可以满足 $0.2 \leq |T_3/T_c| \leq 1.0$ 。

[0012] 所述外电极包括小于或等于总重的60wt%的导电金属。

[0013] 所述导电金属为选自由铜(Cu)、镍(Ni)、银(Ag)和银-钯(Ag-Pd)构成的组中的一者或多者。

[0014] 根据本发明的另一方面,提供一种多层陶瓷电子元件,该多层陶瓷电子元件包括:陶瓷主体;多个内电极,该多个内电极层压在所述陶瓷主体内;以及外电极,该外电极形成

在所述陶瓷主体的外表面上并与所述内电极电连接,其中,所述外电极的平均厚度为小于或等于 $10\mu\text{m}$,并且当所述外电极在所述陶瓷主体的中间部分的沿厚度方向的厚度为 T_c ,且所述外电极在其中层压所述内电极以形成电容的所述陶瓷主体的最外内电极处的厚度为 T_2 时,满足 $0.5 \leq |T_2/T_c| \leq 1.0$ 。

[0015] 当所述外电极在所述陶瓷主体的边缘部分的最薄点为 T_3 时,满足 $0.2 \leq |T_3/T_c| \leq 1.0$ 。

[0016] 所述外电极包括小于或等于总重的60wt%的导电金属。

[0017] 所述导电金属为选自由铜(Cu)、镍(Ni)、银(Ag)和银-钯(Ag-Pd)构成的组中的一者或多者。

[0018] 根据本发明的另一方面,提供一种多层陶瓷电子元件,该多层陶瓷电子元件包括:陶瓷主体;多个内电极,该多个内电极层压在所述陶瓷主体内;以及外电极,该外电极形成在所述陶瓷主体的外表面上并与所述内电极电连接,其中,所述外电极的平均厚度为小于或等于 $10\mu\text{m}$,并且当所述外电极在所述陶瓷主体的中间部分沿厚度方向的厚度为 T_c ,在沿厚度方向与电容形成区域的中间部分相距所述陶瓷主体的电容形成区域的厚度的25%的点处的所述外电极的厚度为 T_1 时,所述内电极在所述电容形成区域内层压以形成电容,且所述外电极在其中层压所述内电极以形成电容的所述陶瓷主体的最外内电极处的厚度为 T_2 ,满足 $0.8 \leq |T_1/T_c| \leq 1.0$ 和 $0.5 \leq |T_2/T_c| \leq 1.0$ 。

[0019] 当所述外电极在所述陶瓷主体的边缘部分的最薄点为 T_3 时,可以满足 $0.2 \leq |T_3/T_c| \leq 1.0$ 。

[0020] 所述外电极包括小于或等于总重的60wt%以下的导电金属。

[0021] 所述导电金属为选自由铜(Cu)、镍(Ni)、银(Ag)和银-钯(Ag-Pd)构成的组中的一者或多者。

[0022] 根据本发明的另一方面,提供一种制作多层陶瓷电子元件的方法,该方法包括:制备陶瓷主体,该陶瓷主体包括介电层和多个第一内电极和第二内电极,该多个第一内电极和第二内电极彼此相对地设置并使每个所述介电层插入所述第一内电极和第二内电极之间;制备用于外电极的导电糊,该导电糊包括导电金属;将所述用于外电极的导电糊涂覆到所述陶瓷主体的端部,以使所述陶瓷主体与所述内电极电连接;以及烧结所述陶瓷主体,以形成外电极;其中,所述外电极的平均厚度为小于或等于 $10\mu\text{m}$,并且当所述外电极在所述陶瓷主体的中间部分沿厚度方向的厚度为 T_c ,且在沿厚度方向与电容形成区域的中间部分相距所述陶瓷主体的电容形成区域的厚度的25%的点处的所述外电极的厚度为 T_1 时,满足 $0.8 \leq |T_1/T_c| \leq 1.0$,所述内电极在所述电容形成区域内层压以形成电容。

[0023] 当所述外电极在其中形成所述内电极的所述陶瓷主体的最外内电极处的厚度为 T_2 时,可以满足 $0.5 \leq |T_2/T_c| \leq 1.0$ 。

[0024] 当所述外电极在所述陶瓷主体的边缘部分的最薄点为 T_3 时,可以满足 $0.2 \leq |T_3/T_c| \leq 1.0$ 。

[0025] 所述导电金属为选自由铜(Cu)、镍(Ni)、银(Ag)和银-钯(Ag-Pd)构成的组中的一者或多者。

[0026] 所述外电极包括小于或等于总重的60wt%以下的导电金属。

附图说明

[0027] 通过下面参考附图的详细说明,将更清楚地理解本发明的上述和其他方面、特征和其他优点,附图中:

[0028] 图1是示意地显示根据本发明的第一实施方式到第三实施方式的多层陶瓷电容器(MLCC)的立体图;

[0029] 图2是沿图1中B-B'线截取的横截面图;

[0030] 图3是图2中“A”部的根据本发明的第一实施方式的放大图;

[0031] 图4是图2中“A”部的根据本发明的第二实施方式的放大图;

[0032] 图5是图2中“A”部的根据本发明的第三实施方式的放大图;

[0033] 图6是显示制作根据本发明的第四实施方式的MLCC的步骤的视图。

具体实施方式

[0034] 本发明的实施方式将参照附图予以详细说明。但是,本发明可以通过多种不同的形式实施而不应被理解为仅限于上述实施方式。相反地,提供这些实施方式使得公开充分且完整,并且对本领域技术人员充分地表述本发明的范围。附图中,为了清楚起见,元件的形状和尺寸可能会被放大,并且将统一使用相同的附图标记来表述相同或相似的元件。

[0035] 图1是示意地显示根据本发明的第一实施方式到第三实施方式的多层陶瓷电容器(MLCC)的立体图。

[0036] 图2是沿图1中B-B'线截取的截面图。

[0037] 图3是图2中“A”部的根据本发明的第一实施方式的放大视图。

[0038] 参照图1至图3,根据本发明的第一实施方式的多层陶瓷电子元件可以包括:陶瓷主体10;多个内电极21和22,该多个内电极21和22层压在陶瓷主体内;以及外电极31和32,该外电极31和32形成在陶瓷主体10的外表面上并与内电极21和22电连接,其中,外电极31和32的平均厚度为小于或等于 $10\mu\text{m}$,并且当外电极31和32在陶瓷主体10的中间部分沿厚度方向的厚度为 T_c ,且在沿厚度方向与电容形成区域的中间部分相距所述陶瓷主体的电容形成区域的厚度的25%的点处的所述外电极31和32的厚度为 T_1 时,满足 $0.8 \leq |T_1/T_c| \leq 1.0$,所述内电极在所述电容形成区域内层压以形成电容。

[0039] 当外电极31和32的位于陶瓷主体10的边缘部的最薄点为 T_3 时,可以满足 $0.2 \leq |T_3/T_c| \leq 1.0$ 。

[0040] 外电极31和32可以包括小于或等于总重的60wt%的导电金属。

[0041] 导电金属可以是选自由铜(Cu)、镍(Ni)、银(Ag)和银-钯(Ag-Pd)构成的组中的一者或多者。

[0042] 下文将说明根据本发明的一种实施方式的多层陶瓷电子元件,具体地,将以多层陶瓷电容器(MLCC)作为多层陶瓷电子元件的例子,但本发明不限于此。

[0043] 陶瓷主体10可以具有长方体形状。

[0044] 另外,在根据本发明的MLCC中,定义“长度方向”为图1中的“L”方向,“宽度方向”为图1中的“W”方向,“厚度方向”为图1中的“T”方向。这里,“厚度方向”可以具有与介电层堆叠的“层压方向”相同的概念。

[0045] 根据本发明的第一实施方式,用于形成陶瓷主体10的原材料不作特别限定,只要能够获得足够的容量即可。例如,原材料可以是例如钛酸钡(BaTiO₃)的粉末。

[0046] 根据本发明的目的,各种材料例如陶瓷添加剂、有机溶剂、增塑剂、结合剂(bonding agent)、分散剂等可以作为用于陶瓷主体10的材料而添加到所述粉末如钛酸钡(BaTiO₃)中。

[0047] 用于形成第一内电极21和第二内电极22的材料不作特别限定。例如,内电极21和22可以通过使用由银(Ag)、铅(Pb)、铂(Pt)、镍(Ni)和铜(Cu)中的一个或多个材料形成的导电糊(conductive paste)形成。

[0048] 根据本发明的第一实施方式的MLCC可以包括与多个内电极21和22电连接的外电极31和32。

[0049] 外电极31和32可以与内电极21和22电连接,以形成电容。

[0050] 根据本发明的第一实施方式,外电极31和32的平均厚度为小于或等于10 μ m,并且当平均厚度超过10 μ m时,由于外电极相对较厚,即使在外电极的厚度出现偏差的情况下,外电极的可靠性也不会受损。

[0051] 参考图2和图3,当外电极31和32在陶瓷主体10的中间部分沿厚度方向的厚度为T_c,且在沿厚度方向与电容形成区域的中间部分相距所述陶瓷主体的电容形成区域的厚度的25%的点处的所述外电极31和32的厚度为T₁时,满足 $0.8 \leq |T_1/T_c| \leq 1.0$,所述内电极在所述电容形成区域内层压以形成电容。

[0052] 外电极31和32在陶瓷主体10的中间部分沿厚度方向的厚度为T_c指,沿陶瓷主体10的长度方向从陶瓷主体10的沿厚度方向的中间点起始所画的虚拟线上的外电极31和32的厚度。

[0053] 另外,内电极21和22在该电容形成区域内层压以形成电容,该电容形成区域的中间部分指陶瓷主体10的沿电容形成区域中的厚度方向的中间部分。

[0054] 电容形成区域可以指内电极21和22在陶瓷主体10内层压的区域。

[0055] 厚度T₁为在沿厚度方向与电容形成区域的中间部分相距所述陶瓷主体的电容形成区域的厚度的25%的点处的所述外电极31和32的厚度,所述内电极在所述电容形成区域内层压以形成电容,该厚度T₁可以是沿陶瓷主体10的长度方向从所述位置起始所画的虚拟线上的外电极31和32的厚度。

[0056] 根据本发明的第一实施方式,T_c和T₁可以满足关系 $0.8 \leq |T_1/T_c| \leq 1.0$ 。

[0057] 由于 $|T_1/T_c|$ 的比满足 $0.8 \leq |T_1/T_c| \leq 1.0$,因而厚度T_c与厚度T₁之间的偏差得以减小,该厚度T_c为外电极31和32在陶瓷主体10的中间部分沿厚度方向的厚度,该厚度T₁为外电极31和32在与其中层压内电极21和22以用于电容形成的电容形成区域的电容形成区域的中间部分沿电容形成区域的厚度方向相距陶瓷主体10的厚度(S)的25%的位置的厚度,因而防止了可靠性下降。

[0058] 当 $|T_1/T_c|$ 的比小于0.8时,由于外电极31和32的厚度偏差相对较大,则电镀液可以渗入其较薄部分中,从而降低可靠性。

[0059] 当外电极31和32在陶瓷主体10的边缘部分的最薄点为T₃时,可以满足 $0.2 \leq |T_3/T_c| \leq 1.0$ 。

[0060] 外电极31和32在陶瓷主体10的边缘部分的最薄点的厚度T₃可以指外电极31和32

的形成在陶瓷主体10的边缘部分的区域处的区域的最薄厚度。

[0061] 由于 $|T3/Tc|$ 的比满足 $0.2 \leq |T3/Tc| \leq 1.0$,外电极31和32在陶瓷主体10的中间部分沿厚度方向的厚度 Tc 与外电极31和32在陶瓷主体10的边缘部分的最薄点的厚度 $T3$ 之间的偏差得以降低,因而防止了可靠性下降。

[0062] 当 $|T3/Tc|$ 的比小于0.2时,外电极31和32的厚度偏差相对较大,从而允许电镀液渗入较薄部分中,降低了可靠性。

[0063] 为了测量外电极31和32的厚度,如图2所示,可以通过使用扫描电子显微镜(SEM)扫描图2所示的MLCC的沿长度方向的横截面图像来进行测量。

[0064] 具体地,对于通过利用SEM如图2所示在沿宽度(W)方向截取在沿长度和厚度(L-T)方向扫描的MLCC的横截面图像所提取的外电极区域来说,可以测量外电极横截面的每个点的厚度。

[0065] 外电极31和32可以形成为包括与内电极的材料相同的导电金属,但本发明不限于此。例如,导电材料可以是选自由铜(Cu)、镍(Ni)、银(Ag)和银-钯(Ag-Pd)构成的组中的一者或多者。

[0066] 外电极31和32可以通过涂覆导电糊来形成,所述导电糊通过向导电金属添加玻璃熔块(glass frit)并随后对其进行烧结来制备,并且可以在烧结好的外电极31和32上另外形成镀层(plated layer)41和42。

[0067] 如上所述,在根据本发明的第一实施方式的MLCC中,外电极31和32可以包括含量小于或等于总重的60wt%的导电金属,从而减小外电极31和32在陶瓷主体10的沿厚度方向的中间区域的厚度 Tc 与外电极31和32的各点的厚度 $T1$ 和 $T3$ 之间的偏差。

[0068] 具体地,根据本发明的第一实施方式,由于外电极31和32包括含量小于或等于总重的60wt%的导电金属,外电极31和32的各点的厚度满足关系 $0.8 \leq |T1/Tc| \leq 1.0$ 和 $0.2 \leq |T3/Tc| \leq 1.0$ 。

[0069] 也就是说,由于在形成外电极31和32时涂覆的、包括含量小于或等于总重的60wt%的导电金属的导电糊具有相对低粘度的物理性质,可以减小涂覆的导电糊的厚度,并且可以减小在形成外电极31和32时的厚度偏差。

[0070] 当外电极31和32包括含量超过总重的60wt%的导电金属时,可以增加在形成外电极31和32时涂覆的导电糊的粘度,从而致使无法减小涂覆的导电糊的厚度,且无法减小厚度的偏差,从而降低了可靠性。

[0071] 另外,由于外电极31和32是通过使用具有低粘度的导电糊形成的,因而外电极的构造可能不均匀,这里,并不特别限定用于使外电极的构造均匀的方法。例如,通过使用能够被容易地去除的有机涂层膜(coating film)来获得均匀的外电极,可以将外电极的构造中不均匀区域的形成控制到相对来说最小。

[0072] 在上述方法中,在陶瓷主体10上形成外电极31和32之前,可以在陶瓷主体10的表面上形成能够被容易地去除的有机涂层膜。

[0073] 接下来,可以进行从陶瓷主体10的形成有外电极31和32的部分上去除有机涂层膜的步骤。

[0074] 然后,可以进行对陶瓷主体10的表面涂覆导电糊以形成外电极31和32的步骤。

[0075] 最后,可以从陶瓷主体10的形成有外电极31和32的表面去除有机涂层膜(从而去

除有机涂层膜),还包括从用于外电极的导电糊在所述陶瓷主体上流过的部分上去除有机涂层膜。

[0076] 图4是图2中“A”部的根据本发明的第二实施方式的放大图。

[0077] 参考图4,根据本发明的第二实施方式的多层陶瓷电子元件可以包括:陶瓷主体10;多个内电极21和22,该多个内电极21和22在陶瓷主体10内层压;以及外电极31和32,该外电极31和32形成在陶瓷主体10的外表面上并与内电极21和22电连接,其中,外电极31和32的平均厚度为小于或等于 $10\mu\text{m}$,并且当外电极31和32在陶瓷主体10的中间部分沿厚度方向的厚度为 T_c ,且外电极31和32在其中层压内电极21和22以形成电容的陶瓷主体10的最外(outermost)内电极处的厚度为 T_2 时,满足 $0.5 \leq |T_2/T_c| \leq 1.0$ 。

[0078] 当外电极31和32在陶瓷主体10的边缘部分的最薄点为 T_3 时,可以满足 $0.2 \leq |T_3/T_c| \leq 1.0$ 。

[0079] 外电极可以包括小于或等于总重的60wt%以下的导电金属。

[0080] 导电金属可以是选自由铜(Cu)、镍(Ni)、银(Ag)和银-钯(Ag-Pd)构成的组中的一者或多者。

[0081] 在第二实施方式的描述中,将省去对与根据本发明的第一实施方式的多层陶瓷电子元件相同的特征的描述。

[0082] 根据本发明的第二实施方式,当外电极31和32在其中形成内电极21和22的陶瓷主体10的最外内电极处的厚度为 T_2 时,满足 $0.5 \leq |T_2/T_c| \leq 1.0$ 。

[0083] 外电极31和32在其中层压内电极21和22以用于电容形成的陶瓷主体10的最外内电极处的厚度 T_2 ,该厚度 T_2 可以是沿陶瓷主体10的长度方向从其中形成内电极21和22的陶瓷主体10的最外内电极处起始所画虚拟线上的外电极31和32的厚度。

[0084] 由于 $|T_2/T_c|$ 的比满足 $0.5 \leq |T_2/T_c| \leq 1.0$,外电极31和32在陶瓷主体10的中间部分沿厚度方向的厚度 T_c 与外电极31和32在其中形成内电极21和22的陶瓷主体10的最外内电极处的厚度 T_2 之间的偏差得以减小,因而防止了可靠性下降。

[0085] 当 $|T_2/T_c|$ 的比小于0.5时,由于外电极31和32的厚度偏差相对较大,电镀液会渗入其较薄部分中,以降低可靠性。

[0086] 图5是图2中的“A”部根据本发明的第三实施方式的放大图。

[0087] 参考图5,根据本发明的第三实施方式的多层陶瓷电子元件可以包括:陶瓷主体10;多个内电极21和22,该多个内电极21和22在陶瓷主体10内层压;以及外电极31和32,该外电极31和32形成在陶瓷主体10的外表面上并与内电极21和22电连接,其中,外电极31和32的平均厚度为小于或等于 $10\mu\text{m}$,并且当外电极31和32在陶瓷主体10的中间部分沿厚度方向的厚度为 T_c ,在沿厚度方向与电容形成区域的中间部分相距所述陶瓷主体的电容形成区域的厚度的25%的点处的所述外电极31和32的厚度为 T_1 ,所述内电极在所述电容形成区域内层压以形成电容,且在其中层压所述内电极以形成电容的所述陶瓷主体的最外的内电极处的所述外电极的厚度为 T_2 时,可以满足 $0.8 \leq |T_1/T_c| \leq 1.0$ 且 $0.5 \leq |T_2/T_c| \leq 1.0$ 。

[0088] 当外电极31和32在陶瓷主体10的边缘部分的最薄点为 T_3 时,可以满足 $0.2 \leq |T_3/T_c| \leq 1.0$ 。

[0089] 外电极31和32可以包括小于或等于总重的60wt%以下的导电金属。

[0090] 导电金属看是选自由铜(Cu)、镍(Ni)、银(Ag)和银-钯(Ag-Pd)构成的组中的一者

或多者。

[0091] 图6是显示制作根据本发明的第四实施方式的MLCC的方法的图。

[0092] 参考图6,制作根据本发明的第四实施方式的MLCC的方法可以包括:制备陶瓷主体,该陶瓷主体包括介电层和多个第一内电极和第二内电极,该多个第一内电极和第二内电极彼此相对地设置,同时使每个介电层插入第一内电极和第二内电极之间;制备用于外电极的包括导电金属的导电糊;将用于外电极的导电糊涂覆到陶瓷主体的端部,从而电连接于内电极;以及烧结陶瓷主体以形成外电极,其中,外电极的平均厚度为小于或等于 $10\mu\text{m}$,并且当外电极在陶瓷主体的中间部分沿厚度方向的厚度为 T_c ,且在沿厚度方向与电容形成区域的中间部分相距所述陶瓷主体的电容形成区域的厚度的25%的点处的所述外电极31和32的厚度为 T_1 时,满足 $0.8 \leq |T_1/T_c| \leq 1.0$,所述内电极在所述电容形成区域内层压以形成电容。

[0093] 在根据本发明的制作根据本发明的第四实施方式的的多层陶瓷电子元件的方法所制作的多层陶瓷电子元件中,外电极的平均厚度为小于或等于 $10\mu\text{m}$,并且当外电极在陶瓷主体的中间部分沿厚度方向的厚度为 T_c ,且在沿厚度方向与电容形成区域的中间部分相距所述陶瓷主体的电容形成区域的厚度的25%的点处的所述外电极31和32的厚度为 T_1 时,满足 $0.8 \leq |T_1/T_c| \leq 1.0$,所述内电极在所述电容形成区域内层压以形成电容。

[0094] 因此,由于减小了外电极的厚度之间的偏差,因而即使在减小外电极的厚度的情况下,仍然可以获得具有良好可靠性的多层陶瓷电子元件。

[0095] 除了上述特征,根据本发明的第四实施方式的的多层陶瓷电子元件的其他特征与根据本发明的第一至第三实施方式的多层陶瓷电子元件的特征相同,并且制作根据本发明的第四实施方式的陶瓷电子元件的方法与通常的制作方法相同,将省略其描述。

[0096] 将通过举例更具体地说明本发明,但本发明不限于此。

[0097] 对于包括平均厚度为小于或等于 $10\mu\text{m}$ 的外电极的多层陶瓷电容器(MLCC),根据外电极的各点的厚度 T_c 、 T_1 、 T_2 和 T_3 之间的关系,实施实施例来测试高温加速老化(high temperature accelerated aging)和可靠性的提高。

[0098] 根据所述实施例的MLCC通过下述操作来制作。

[0099] 首先,在载体膜(carrier film)上涂覆包括例如钛酸钡(BaTiO_3)等粉末的浆液(slurry),然后干燥以制备多个陶瓷生片(ceramic green sheet),从而形成介电层。

[0100] 接下来,制备用于内电极的导电糊,该导电糊包括平均尺寸为 0.05 到 $0.2\mu\text{m}$ 的镍颗粒。

[0101] 通过丝网印刷方法(screen printing method)将用于内电极的导电糊涂覆到多个陶瓷生片,从而形成内电极,并且层压五十个内电极以形成层压件(laminate)。

[0102] 然后,挤压并切割所述层压件,以形成具有0603标准尺寸的基片(chip),然后在 1050°C 到 1200°C 的温度范围内并在 H_2 少于0.1%的还原气氛(reducing atmosphere)作用下烧结所述基片。

[0103] 然后,通过使用用于外电极的导电糊形成外电极,所述导电糊包括导电金属和玻璃熔块,以及然后进行例如电镀(plating)等步骤,以制作MLCC。

[0104] 另外,对比例是普通的MLCC并以同样的方式制作,区别在于外电极的各点的厚度 T_c 、 T_1 、 T_2 和 T_3 在本发明的数值范围之外。

[0105] 在下面的表1中,根据MLCC的外电极的平均厚度对可靠性进行比较。

[0106] 可靠性在温度为85℃、湿度为85%、施加的电压为1.5Vr的条件下确定,并且测试进行一个小时。O表示好,X表示差。

[0107] 表1

	外电极 的平均 厚度 (μm)	Tc (μm)	T1 (μm)	T2 (μm)	T3 (μm)	T1/Tc	T2/Tc	T3/Tc	可靠性	
[0108]	*1	10	10	7.6	3.5	1.1	0.76	0.35	0.11	X
	*2	12	12	8.2	2.9	0.9	0.68	0.24	0.08	O
	*3	14	14	9.9	2.9	1.8	0.71	0.21	0.13	O

[0109] 参考表1,样品1是外电极的平均厚度为10 μm 的情况。当样品1在本发明的数值范围之外时,由于外电极的平均厚度相对小,可靠性可能会出现问題。

[0110] 对比来说,样品2和样品3是外电极的平均厚度为大于或等于10 μm 的情况。虽然样品2和样品3在本发明的数值之外,但由于外电极的平均厚度相对较大,因而没有出现可靠性的问題。

[0111] 因此,可以看出,根据本发明的一种实施方式的多层陶瓷电子元件的外电极的平均厚度为小于或等于10 μm 时,无论是否满足本发明的数值范围,可靠性都会受到影响。

[0112] 在下面的表2中,当具有0603标准尺寸的基片的外电极的平均厚度为小于或等于10 μm 时,根据外电极的各点的厚度Tc、T1、T2和T3之间的比,对可靠性的提高进行了比较。

[0113] 表2

	外电极的 平均厚度 (μm)	Tc (μm)	T1 (μm)	T2 (μm)	T3 (μm)	T1/Tc	T2/Tc	T3/Tc	可靠性	
	4	6	5.1	3.8	1.5	0.85	0.63	0.25	O	
	5	8	6.9	4.6	2.3	0.86	0.58	0.29	O	
	6	10	8.4	5.2	3.1	0.84	0.52	0.31	O	
	7	6	4.9	3.4	1.4	0.82	0.57	0.23	O	
	8	8	6.5	4.2	1.9	0.81	0.53	0.24	O	
[0114]	9	10	8.2	4.5	2.3	0.82	0.45	0.23	O	
	10	6	4.8	3.1	1.3	0.80	0.52	0.22	O	
	11	8	6.7	4.3	2.1	0.84	0.54	0.26	O	
	12	10	8.2	4.2	2.5	0.82	0.42	0.25	O	
	*13	6	4.8	2.9	0.9	0.80	0.48	0.15	X	
	*14	8	6.0	3.2	0.9	0.75	0.40	0.11	X	
	*15	10	7.6	3.5	1.1	0.76	0.35	0.11	X	
	*16	7	5.1	3.1	0.9	0.73	0.44	0.13	X	
	*17	9	8	5.8	3.6	1.8	0.73	0.45	0.23	X

[0115] 从表2可以看出,样品4至样品12(即本发明的外电极的平均厚度为小于或等于 $10\mu\text{m}$ 且满足 $0.8 \leq |T1/Tc| \leq 1.0$ 、 $0.5 \leq |T2/Tc| \leq 1.0$ 和 $0.2 \leq |T3/Tc| \leq 1.0$ 实施例)的可靠性得到了提高。

[0116] 对比来说,样品13到样品17(即对比例)的情况下,可以看出,外电极的平均厚度为小于或等于 $10\mu\text{m}$,并且当样品13到样品17为本发明前述的数值范围之外时,可靠性降低。

[0117] 总结来说,可以看出,根据实施例,可以通过调节外电极的各点的厚度之间的偏差来提高可靠性。

[0118] 具体地,可以通过将外电极形成为满足 $0.8 \leq |T1/Tc| \leq 1.0$ 、 $0.5 \leq |T2/Tc| \leq 1.0$ 和 $0.2 \leq |T3/Tc| \leq 1.0$ 来获得具有良好稳定性的高容量多层陶瓷电子元件。

[0119] 如上所述,根据本发明的实施方式,可以通过减小外电极的厚度之间的偏差,即使在具有相对薄的外电极的情况下,也能够获得具有良好可靠性的高容量多层陶瓷电子元件。

[0120] 虽然本发明通过实施方式予以显示和描述,但对于本领域技术人员来说,显然可以在不脱离本发明的精神和由附带的权利要求限定的范围的情况下做出修改和改变。

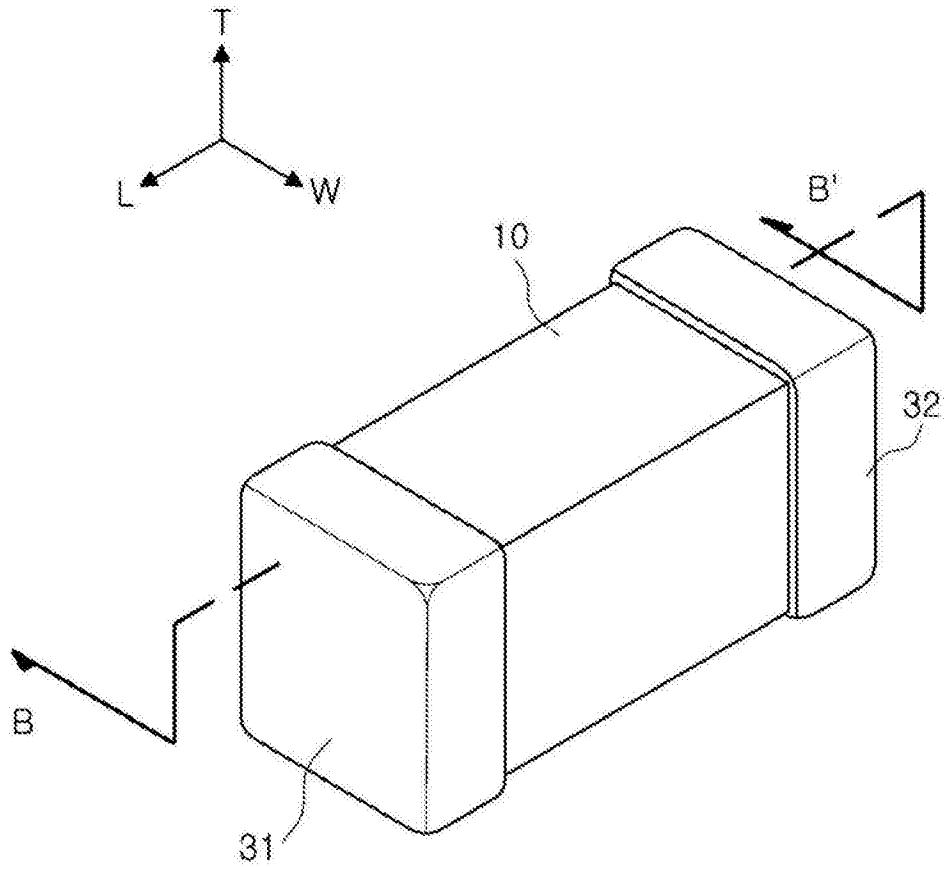


图1

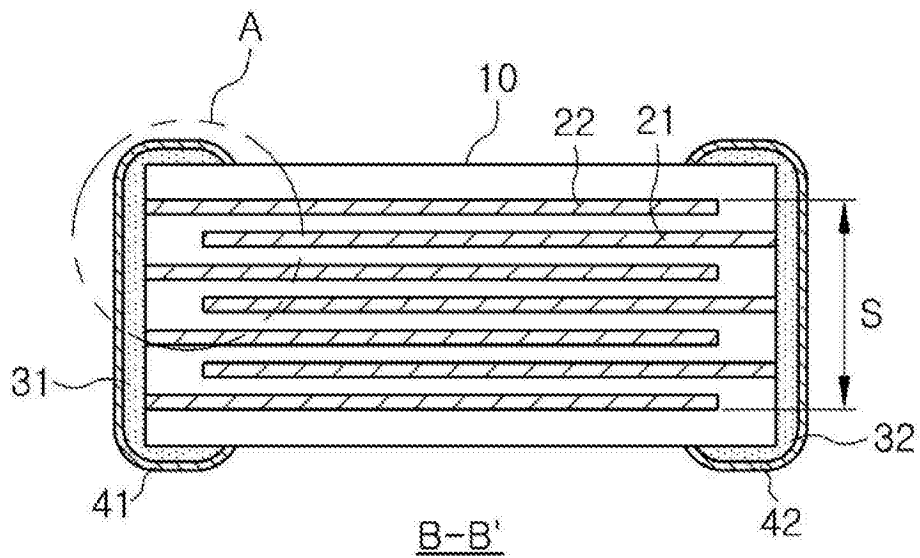
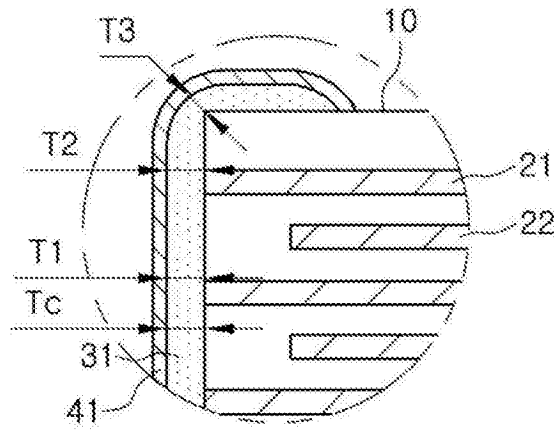
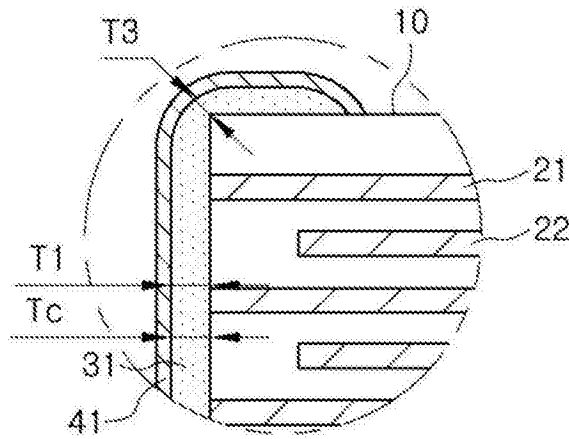


图2



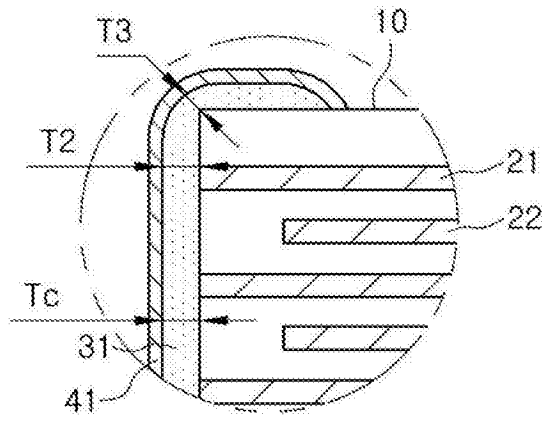
A

图3



A

图4



A

图5

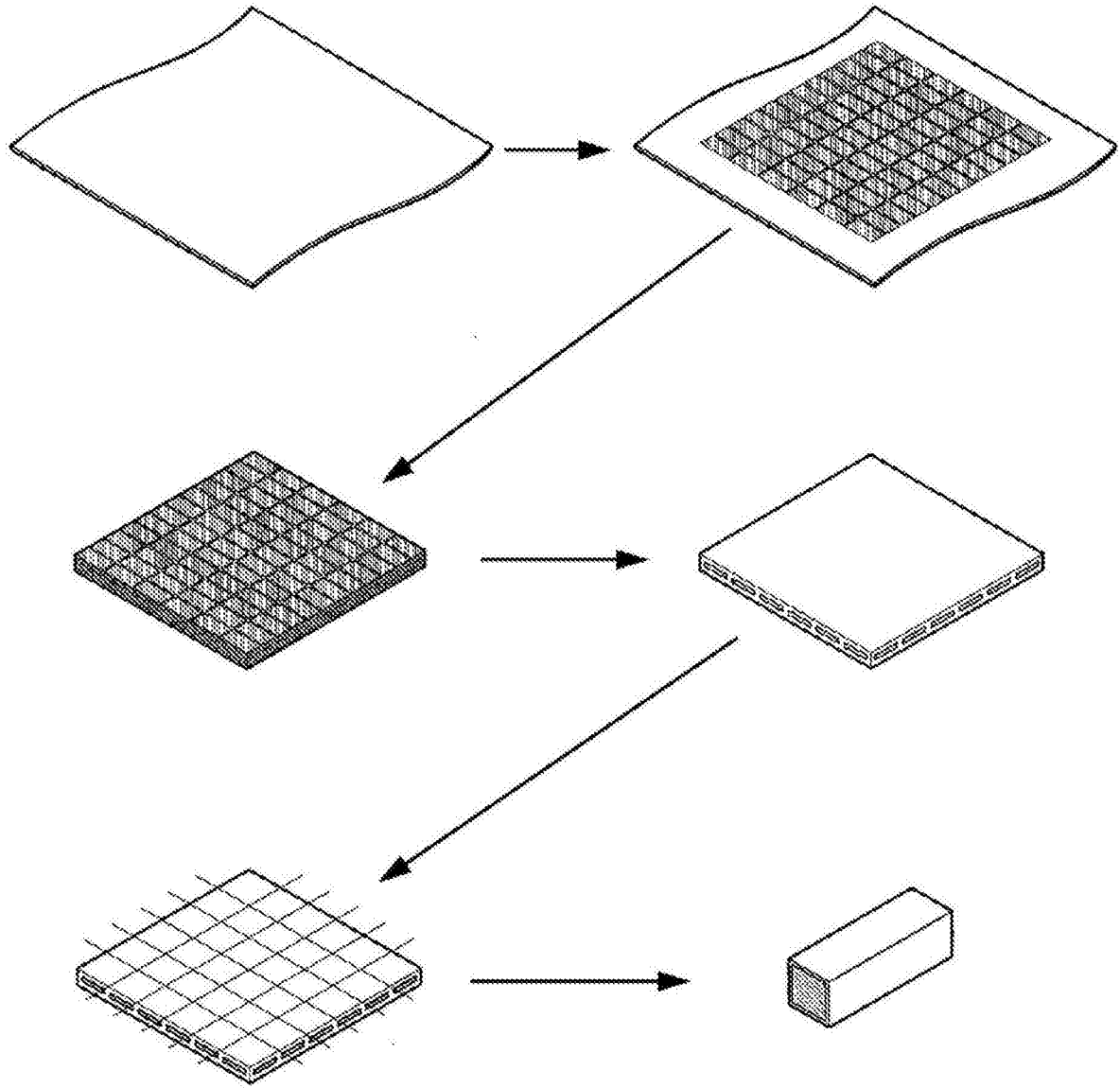


图6