

本

294802

申請日期	85.2.27
案 號	85102242
類 別	G06F 7/44, 15/38

A4
C4

Int. Cl.

(以上各欄由本局填註)

294802

發明專利說明書

一、發明名稱	中 文	用以高速循環處理之翻譯裝置及處理器
	英 文	COMPILER AND PROCESSOR FOR PROCESSING LOOPS AT HIGH SPEED
二、發明人	姓 名	(1) 高山 秀一 (2) 檜垣 信生 (3) 富永 宣輝 (4) 宮地 信哉
	國 籍	日 本
	住、居所	(1) 日本國兵庫縣寶塚市中山台1丁目22-6 (2) 日本國大阪市東淀川區小松4-15-26-2H (3) 日本國京都市伏見區東町215-1-501 (4) 日本國奈良市神功3丁目11-1
三、申請人	姓 名 (名稱)	日商・松下電器產業股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
	代 表 人 姓 名	森下洋一

294802

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期：1995.5.12 案號：特願平7-114520，☐有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

〔發明之領域〕

本發明，係關於翻譯裝置，將源程序翻譯為機器指令列，及，處理器，藉由管線處理用以實行機器指令列，特別關於用以執行高速循環處理之翻譯裝置及處理器。

〔先前之技術〕

使用 C P U (以下稱為「處理器」。)之高速處理的基本技術之一為管線處理。管線處理，係將 1 個指令之處理過程分割為多數之小處理過程 (pipe line stage)，將各過程藉由同時進行處理使處理速度提高之技術。但是，在循環處理等執行轉移指令時，則產生管線混亂，使管線處理之有效性能或為低於理想性態。將該現象，稱為轉移冒險。

使用第 1 圖及第 2 圖將轉移冒險加以說明。

第 1 圖為為了求得 3 次重覆 2 個整數之和與積之源程序之例。

第 2 圖為第 1 圖所示將源程序加以翻譯而取得機器指令列。在此所示操作數及指令之意義係如下所示。

a, b, c, d, i; 表示分配於各整數變數之寄存器。

mov 0, i ; 將 0 轉送到 i。

L: ; 標記

add a, b, c; 將 a 與 b 之和轉送到 c。

mul a, b, d; 將 a 與 b 之積轉送到 d。

add i, 1, i; 將 1 加於 i。

cmp i, 3 ; 將 i 及 3 加以比較。

五、發明說明 (2)

bcc L ; cmp之比較結果若 $i < 3$ 則轉移到 L。

在第 2 圖之指令列中，係由指令 add a,b,c 到指令 bcc L 為止之循環處理為 3 次重覆。

第 3 圖為，執行第 2 圖之指令列時使用處理器將管線之流程以每同步信號周期之表示圖。管線係由 3 個過程 (IF：指令取出，DEC：指令譯碼，EX：執行及產生有效地址) 所構成。取入於 IF 單位之指令，係在 2 同步信號同期後送到 EX 單位所執行。處理器，係在同步信號 8 藉由執行轉移指令 bcc L 而開始，其次應執行指令可知為 add a,b,c，在同步信號 9 將指令 add a,b,c 加以取出。所以，在同步信號 8 將轉移命令 bcc L 執行之後，則使 2 同步信號部分之指令執行無效化，其次將指令 add a,b,c 加以執行。如此，在完成一次循環處理時產生 2 同步信號部分之管線混亂。

以先前技術用以回避如此之轉移冒險，有以下所示之方法，(a) 稱為遲延轉移之方法，(b) 稱為重覆循環之方法及 (c) 稱為轉移目標緩衝器之方法 (譬如 David A. Patterson, John L. Hennessy 「Computer Architecture A Quantitative Approach」 Morgan Kaufmann Publishers, 1990)。

(a) 遲延轉移

在遲延轉移，係採用自動編碼器在編譯源程序時進行調度，使有效指令在觸及轉移指令之後續指令的位置 (轉移遲延裂縫) 預先移動之方法。藉此，即使有執行轉移指令時也不必將管線加以無效化。移動到轉移遲延裂縫成為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (3)

放置對象之指令，可例舉有轉移指令之先行指令，轉移目的地指令，轉移指令之後續指令 3 種。

(b) 重覆循環

在重覆循環中，採用在執行循環處理之前，將預先循環處理之入口及出口之地址與循環次數等之資訊存儲於處理器具具有之專用寄存器放置之方法。藉此，重覆循環處理時不必要將返回目的地之地址加以算出，而可以解除轉移冒險之問題。

(c) 轉移目標緩衝器

在轉移目標緩衝器中，採用處理器在新的地址初次轉移時，將轉移目的地地址及轉移目的地指令列等存儲於稱為轉移目標緩衝器之處理器具具有的專用緩衝存儲器而放著，其次在轉移於同樣地址時將存儲於轉移目標緩衝器之轉移目的地指令列取出加以執行之方法。藉此，由同一地址開始若有將指令列重覆加以執行時，則在第 2 次以後之執行，僅在處理器內部具有之轉移目標緩衝器加以存取即可，所以不必由外部存儲器將指令列加以取出，可以解除轉移冒險之問題。

可是，依據此等之先前技術方法，係有以下之問題。

(a) 遲延轉移

將轉移指令之先行指令移動到轉移遲延裂縫之方法，係在轉移指令及其先行指令之間不存在依存關係做為條件，但具有如此之條件的先行指令不一定限制要存在。又，即使，如此之先行指令存在時而靜態的調度也終了，在執

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (4)

行時，取出進入轉移遲延裂縫之指令或轉移後應執行指令時會產生等待時間。譬如，放置此等指令之外部存儲器有不能以高速動作之元件，而為了取出該命令之外部總線因為被其他處理占有時等為符合。

又，將轉移目的地指令或轉移指令之後續指令移動於轉移遲延裂縫之方法，會有性能提高依存於轉移成否之問題，或與上述同樣會產生等待時間之問題。

(b) 重覆循環

依據重覆循環方法，係在執行循環處理之前階段中，已經了解清楚循環次數做為條件。即藉由執行循環處理在初次要決定循環次數時，不能適用該方法。所以，會有限定於定型性之重覆數值演算等用途之問題。

(c) 轉移目標緩衝器

依據轉移目標緩衝器方法，係在轉移之程度，必須調查該轉移目的地地址是否存儲在轉移目標緩衝器。因此，在 1 同步信號周期中應進行處理會變多，所以會有妨礙高速同步信號速度之問題。

[發明之揭示]

因此，本發明係鑑於此等問題而創作，第 1 目的係提供一種以高速用以執行循環處理之翻譯裝置及處理器，在源程序之循環處理不會受到所使用轉移指令及其先行指令或轉移目的地指令之依存關係或外部總線動作速度之影響，並不會產生轉移冒險之問題。

本發明之第 2 目的係提供一種以高速用以執行循環處

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

理之翻譯裝置及處理器，在循環處理執行前即使未了解清楚循環次數，但在循環處理入口也不必算出轉移目的地地址之返回程度。

本發明之第3目的，係提供一種以高速用以執行循環處理之翻譯裝置及處理器。在用以執行轉移指令程度不必判斷是否可以適用高速循環處理。

用以達成上述3個目的之翻譯裝置，係以申請專利範圍第1項。

而且，藉由該翻譯裝置用以執行所產生指令列之處理器，係以申請專利範圍第3項。

由上述翻譯裝置所產生之機器指令列係使用上述處理器藉由所執行，為了重覆循環處理做為必要之地址計算，為不必新的指令取出及指令解讀。

因此，可以將申請專利範圍第2項附加於上述翻譯裝置，也可以將申請專利範圍第4項附加於上述處理器。

藉此，可以消去成為不要之轉移目的地資訊，所以如嵌套於多重之循環處理之情形，即使將多數之轉移目的地資訊登記於轉移目的地資訊記憶裝置，藉由轉移執行裝置也可以使管線控制簡單化。

又，前述轉移目的地資訊，係可以做為循環處理之先頭地址，而前述轉移執行裝置，係判斷重覆循環處理時利用其資訊也可以用以控制前述管線。

藉此，處理器，係在用以執行重覆循環處理時，則成為不必計算循環處理之先頭地址。

又，前述轉移目的地資訊，係可以做為循環處理之先

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

頭地址及由先頭之指令列，而前述轉移執行裝置，係判斷重複循環處理時藉由其資訊及第2專用轉移指令利用所指定之地址也可以控制前述管線。

藉此，處理器，係在用以執行重複循環處理時，則用以計算循環處理之先頭地址，用以取出由循環處理之先頭的指令列，之後成為不必用以計算應取出指令列的地址。

又，前述轉移目的地資訊，係可以做為循環處理之先頭地址及由先頭之指令列，而前述轉移執行裝置，係判斷重複循環處理時利用其資訊也可以控制前述管線。

藉此，處理器，係在用以執行重複循環處理時，則用以計算循環處理之先頭地址，成為不必用以取出由循環處理之先頭的指令列。

又，前述轉移目的地資訊，係可以做為表示循環處理先頭之第1地址，由先頭之指令列及應取出第2地址，而前述轉移執行裝置，係判斷重複循環處理時利用其資訊也可以控制前述管線。

藉此，處理器，係在用以執行重複循環處理時，則用以計算循環處理之先頭地址，用以取出由循環處理先頭之指令列，之後成為不必用以計算應取出指令列之地址。

又，前述轉移目的地資訊，係可以做為由循環處理先頭之指令列及在其指令列之其次放置應執行指令之地址，而前述轉移執行裝置，係判斷重複循環處理時藉由其資訊及第2專用轉移指令利用所指定之地址也可以控制前述管線。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (7)

藉此，處理器，係在用以執行重覆循環處理時，則用以計算循環處理之先頭地址，用以取出由循環處理先頭之指令列，之後成為不必用以計算應取出指令列之地址。

又，前述轉移目的地資訊，係可以做為由循環先頭之指令列及其指令列之其次放置應執行指令之地址，而前述轉移執行裝置，係判斷重覆循環處理時利用其資訊也可以控制前述管線。

藉此，處理器，係在用以執行重覆循環處理時，則用以取出由循環處理先頭之指令列，之後成為不必用以計算應取出指令列之地址。

又，前述轉移目的地資訊，係可以做為循環先頭之地址及由先頭對應於指令列之微指令列，而前述轉移執行裝置，係判斷重覆循環處理時藉由其資訊及第2專用轉移指令利用所指定之地址也可以控制前述管線。

藉此，處理器，係在用以執行重覆循環處理時，用以計算循環處理之先頭地址，用以取出解讀由循環處理先頭之指令列，之後成為不必用以計算應取出指令列之地址。

又，前述轉移目的地資訊，係可以做為循環先頭之地址及由先頭對後於指令列之微指令列，而前述轉移執行裝置，係判斷重覆循環處理時利用其資訊也可以控制前述管線。

藉此，處理器，係在用以執行重覆循環處理時，則用以計算循環處理之先頭地址，成為不必用以取出解讀由循環處理先頭之指令列。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (8)

又，前述轉移目的地資訊，係可以做為表示循環先頭之第 1 地址，由先頭對應於指令列之微指令列，在其指令列之其次放置應執行指令之第 2 地址，而前述轉移執行裝置，係判斷重覆循環處理時利用其資訊也可以控制前述管理。

藉此，處理器，係在用以執行重覆循環處理時，則用以計算循環處理之先頭地址，用以取出解讀由循環處理先頭之指令列，之後成為不必用以計算應取出指令列之地址。

又，前述轉移目的地資訊，係可以做為由循環先頭對應於指令列之微指令列及在其指令列之其次放置應執行指令之地址，而前述轉移執行裝置，係判斷重覆循環處理時藉由其資訊及第 2 專用轉移指令利用所指定之地址也可以控制前述管線。

藉此，處理器，係在用以執行重覆循環處理時，則用以計算循環處理之先頭地址，用以取出解讀由循環處理先頭之指令列，之後成為不必用以計算應取出指令列之地址。

又，前述轉移目的地資訊，係可以做為由循環先頭對應於指令列之微指令列及在其指令列之其次放置應執行指令之地址，而前述轉移執行裝置，係判斷重覆循環處理時利用其資訊也可以控制前述管線。

藉此，處理器，係在用以執行重覆循環處理時，則用以取出解讀由循環處理先頭之指令列，之後成為不必用以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (9)

計算應取出指令列之地址。

如以上，若依據上述處理器及翻譯裝置，則用以翻譯源程序時產生循環高速指令，在執行第1次循環處理時，循環處理之先頭指令或先頭地址等被登記在處理器內部之專用緩衝器上。而且，用以解讀重覆循環處理轉移指令之處理器，係由已經所登記之處理器內部的專用緩衝器可以取得轉移目的地指令或轉移目的地地址等。

所以，在重覆循環處理程度，不必要進行無效化管線，或計算轉移目的地地址，或由低速之外部存儲器取出轉移目的地指令，而可以具有以高速重覆循環處理之效果。

又，具有獨自之循環高速指令及其執行部，所以不會受到轉移命令之依存關係的影響可以將轉移目的地指令登記於專用緩衝器而放置。進而，藉由循環處理專用指令在每一次循環處理終了被判斷是否重覆循環處理，所以不必預先了解清楚循環處理次數，僅在被判斷重覆循環處理時，使用於執行登記在專用緩衝器之指令或地址。

所以，不要依存於循環處理之內容及次數之屬性，可以達成高速循環處理之效果。

〔圖式之簡單說明〕

第1圖為3次重覆求出2個整數之和及積的源程序之例。

第2圖為藉由先前之翻譯裝置，將第1圖所示源程序加以翻譯取得之機器指令列。

第3圖為表示，藉由先前之處理器，執行第2圖所示

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(10)

指令列時之管線流程圖。

第4圖為表示，有關本發明第1～第11實施例資訊處理裝置之構成方塊圖。

第5圖為表示，有關同實施例翻譯裝置102之操作順序流程圖。

第6圖為表示，有關同實施例處理器107之操作順序流程圖。

第7圖為有關同實施例機器指令列106之表。

第8圖為表示，在執行第7圖所示機器指令列時，有關第1實施例處理器107之指令管線108～10之流程圖。

第9圖為第8圖所示同步信號周期8～10中將指令管線之動向以記號展現圖。

第10圖為表示有關本發明第2實施例資訊處理裝置中，在執行循環專用轉移指令lcc時管線之動向及流程圖。

第11圖為表示有關本發明第3實施例資訊處理裝置中，在執行循環專用轉移指令lcc時管線之動向及流程圖。

第12圖為表示有關本發明第4實施例資訊處理裝置中，在執行循環專用轉移指令lcc時管線之動向及流程圖。

第13圖為表示有關本發明第5實施例資訊處理裝置中，在執行循環專用轉移指令lcc時管線之動向及流程圖。

第14圖為表示有關本發明第6實施例資訊處理裝置中，在執行循環專用轉移指令lcc時管線之動向及流程圖。

第15圖為表示有關本發明第7實施例資訊處理裝置中，在執行循環專用轉移指令lcc時管線之動向及流程圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(11)

第16圖為表示有關本發明第8實施例資訊處理裝置中，在執行循環專用轉移指令lcc時管線之動向及流程圖。

第17圖為表示有關本發明第9實施例資訊處理裝置中，在執行循環專用轉移指令lcc時管線之動向及流程圖。

第18圖為表示有關本發明第10實施例資訊處理裝置中，在執行循環專用轉移指令lcc時管線之動向及流程圖。

第19圖為表示有關本發明第11實施例資訊處理裝置中，在執行循環專用轉移指令lcc時管線之動向及流程圖。

[較佳之實施例]

以下，對於本發明之實施例使用圖面加以詳細說明。

(第1實施例)

(構成)

第4圖為表示有關本發明第1實施例資訊處理裝置之構成方塊圖。又，在第4圖為同時表示，本裝置構成之外，成為本裝置之處理對象的源程序101及藉由本裝置以中間性所產生之機器指令列106。

本裝置，大致區分由翻譯裝置102及處理器107所構成。

翻譯裝置102，係將使用高級語言所寫之源程序101翻譯成機器指令列，而做為機器指令列106加以輸出。翻譯裝置102，進而由循環檢測部103，循環資訊記憶部104及循環高速化適用部105所構成。

循環檢測部103，係用以檢測符合於存在於被設定源程序之預定條件的全部循環處理，將用以特定檢測之循環

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(12)

處理的入口及出口之位置資訊做為循環資訊而存儲於循環資訊記憶部104。茲所謂循環處理，係指有可能性進行重複處理之源程序中一部分稱之，具有1個入口及1個以上出口。所以，循環處理之間不可能有交叉。又，所謂循環處理之入口，係指在執行其循環處理時設置最初所執行指令之位置稱之，所謂循環處理之出口，係指在1次循環處理中設置最後所執行指令之位置稱之。

循環檢測部103，係源程序所使用之指令為do或while等藉由是否特定之指令而進行檢測。又，藉由解析控制之流程能用以檢測循環之眾所周知方法也可（譬如，Alfred V. Aho, Ravi Setchi, Jeffre D. Ullman「Compiler Principles, Techniques, and Tools」Addison-Wesley Publishing Company, 1985）。又，所謂符合於預定條件之全部循環處理，係指符合於以下之一的全部循環處理稱之。

(a) 與其他循環處理無包含關係獨立之循環處理。

(b) 有包含關係存在循環處理時，在此等之循環處理中由內側未超過2個循環處理。

在此，限定於有包含關係未超過最大2個循環處理，係因為由於後述之轉移資訊記憶部114之記憶容量所限制。

循環資訊記憶部104，係由RAH等所構成，將由循環檢測部103送來之循環資訊以暫時用以記憶在每個循環。循環資訊，係由用以特定對應於循環之入口及出口的源程序

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(13)

語句之位置資訊所構成。

循環高速化適用部105，係根據存儲於循環資訊記憶部104之循環資訊，而為了高速循環處理產生以下3種機器指令(以下稱為「循環高速化指令」。)具體而言，在循環入口之前將轉移目的地資訊登記指令，在循環出口之後將轉移目的地資訊消去指令，在循環之入口用以產生循環專用轉移指令於應轉移部位。在此，所謂循環出口之後，係指終了循環處理在由循環處理拔出之後設置所應執行指令之位置稱之。又，所謂應轉移於循環入口之部位，係指為了重覆循環處理在循環入口有可能性返回控制之全部部位稱之，並不限定於1部位。

又，除了循環處理之外其他全部源程序中之語句也與循環處理一樣藉由翻譯裝置翻譯或機器指令，但其操作係與通常之源程序語言翻譯裝置無異所以者略其說明。

處理器107，係由翻譯裝置102將機器指令列106設定，則由此逐一取出指令加以解釋執行。處理器107，進而由命令取出部108，命令解讀部109，執行部110，轉移目的地資訊登記部111，轉移目的地資訊消去部112，轉移執行部113及轉移目的地資訊記憶部114所構成。處理器107之各構成部，係由未圖示同步信號產生器在同步信號進行同步操作。而指令取出部108，指令解讀部109及執行部110，係構成著指令管線，在同步信號以同步依順序將指令送出到所圖示之方向。

指令取出部108，係由設置在外部存儲器之機器指令

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (14)

列 106 逐一取出指令，並以其次之同步信號周期將其指令送到指令解讀部 109。指令取出部 108，進而係由取出用計數器 108a 及取出指令緩衝器 108b 所構成。

取出用計數器 108a，係顯出著設置其次應取出指令之地址，並輸出於設置機器指令列 106 之外部存儲器。取出用計數器 108a 之值，係通常取出一終了則藉由未圖示增量器僅加 1 其次更新為應取出地址。可是，由轉移執行部 113 有指示時，則將此為優先，而取出用計數器 108a 之值，係更新為由轉移執行部 113 送來之地址。

取出指令緩衝器 108b，係由寄存器所構成，用以維持由機器指令列 106 取出之 1 個指令。

指令解讀部 109，更且由解讀指令用計數器 109a 及解讀指令緩衝器 109b 所構成，將指令加以譯碼存儲於解讀指令緩衝器 109b。其結果，存儲於解讀指令緩衝器 109b 之命令判斷為循環高速化指令之任一指令時，則指令解讀部 109，係將對應於分別指令之轉移目的地資訊登記部 111，轉移目的地資訊消去部 112 或轉移執行部 113 加以啟動。另外，存儲於解讀指令緩衝器 109b 之指令判斷為循環高速化指令之外其他指令時，則指令解讀部 109，係將其指令譯碼結果 (以下稱為「微指令」。) 送到執行部 110。

解讀指令用計數器 109a，係用以維持存儲於解讀指令緩衝器 109b 之指令設置在外部存儲器 106 上之地址。在此，則通常係存儲著由取出用計數器 108a 送來之地址，但由轉移執行部 113 有指示時，則更新為由轉移執行部 113 送來

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (15)

之地址。

解讀指令緩衝器 109b，係用以維持由取出指令緩衝器 108b 或轉移執行部 113 送來之 1 個指令。

執行部 110，更且係由執行指令用計數器 110a 及執行控制部 110b 所構成。

執行指令用計數器 110a，係用以維持執行部 110 執行符合於微指令之指令設置在外部存儲器 106 上之地址。在此，則通常係存儲著由解讀指令用計算器 109a 送來之地址，但由轉移執行部 113 有指示時，則更新為由轉移執行部 113 送來之地址。

執行控制部 110b，係由算術演算電路 (ALU) 或移位器等所構成，根據於由指令解讀部 109 或轉移執行部 113 送來之微指令用以控制處理器 107 之各構成部，或，用以進行連接於處理器之未圖示控制信號之輸出入。

轉移目的地資訊登記部 111，係存儲於解讀指令緩衝器 109 之指令被判斷為轉移目的地資訊登記指令時藉由指令解讀部 109 所啟動。所啟動之轉移目的地資訊登記部 111，係在其次之同步信號同期時將所存儲之解讀指令用計數器 109a 之地址及解讀指令緩衝器 109b 之指令讀出做為一組之轉移資訊而登記於轉移目的地資訊記憶部 114。

轉移目的地資訊消去部 112，係存儲於解讀指令緩衝器 109b 之指令被判斷為轉移目的地資訊消去指令時藉由指令解讀部 109 所啟動。所啟動之轉移目的地資訊消去部 112，係用以消去登記於轉移目的地資訊記憶部 114 最新之一

五、發明說明 (16)

組轉移目的地資訊。

轉移執行部 113，係存儲於解讀指令緩衝器 109b 之指令被判斷為循環專用轉移指令時藉由指令解讀部 109 所啟動。所啟動之轉移執行部 113，係將登記於轉移目的地資訊記憶部 114 之一組轉移目的地資訊讀出，將讀出之地址存儲於取出用計數器 108a 同時將讀出之指令在其次之同步信號周期時存儲於解讀指令緩衝器 109b。

轉移目的地資訊記憶部 114，係由 LIFO (Last In First Out) 形成之門鎖所構成，具有記憶容量用以記憶以最大 2 組之轉移目的地資訊。轉移目的地資訊，係藉由轉移目的地資訊登記部 111 寫入，而藉由轉移目的地資訊消去部 112 所消去。

(操作)

其次，對於如以上所構成之資訊處理裝置之操作依據具體例加以說明。第 5 圖及第 6 圖，為分別表示本裝置之翻譯裝置 102 及處理器 107 之操作順序流程圖。

現在，對於第 1 圖所示之源程序設定於翻譯裝置 102 之情形加以說明。

源程序輸入於翻譯裝置 102 (步驟 S201)，則循環檢測部 103，係用以檢測存在於源程序之循環處理 (步驟 S202)。在第 1 圖所示之源程序中，for 文字為循環處理，所以循環檢測部 103，係將用以特定其循環處理之入口及出口之位置資訊存儲於循環資訊記憶部 104 (步驟 S203)。

循環高速化適用部 105，係將存儲於循環資訊記憶部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(17)

104之循環資訊讀出，而在循環處理之入口之前係將轉移目的地資訊登記指令set加以輸出(步驟S204)。同樣，循環高速化適用部105，係在循環處理之出口之後係將轉移目的地資訊消去指令clr加以輸出(步驟S205)，將循環專用轉移指令lcc L加以輸出到循環處理入口之轉移(步驟S206)。又，對於除了源程序之循環處理之外其他部份，係依據通常之順序藉由翻譯裝置102使對應之執行指令輸出。

以如此，藉由翻譯裝置102所產生之機器指令列106，係照第7圖所示，此為，對應於藉由先前裝置所產生之第2圖所示機器指令列。比較兩圖明白顯示，在第7圖之機器指令列，係產生著新的轉移目的地資訊登記指令set及轉移目的地資訊消去指令clr，又取代第2圖之轉移指令bcc L產生著循環專用轉移指令lcc L。

其次，輸出於外部存儲器等之機器指令列106，係藉由處理器107所執行(步驟S301~309)。

指令取出部108，係由機器指令列106將指令逐一加以取出(步驟S301)。

所取出之指令，係在其次同步信號周期中轉送於指令解讀部109所解讀(步驟S302~307)。解讀之結果，指令在循環高速化指令set、clr、lcc之任一時，係進行對應於分別指令之處理(步驟S303，S305，S307)。指令並非循環高速化指令時，則其解讀結果，係在下次之同步信號周期中轉送於執行部110所執行(步驟S308)。

(請先閱讀背面之注意事項再填寫本頁)

訂

頁

五、發明說明 (18)

上述之處理(步驟S301~308)，係執行機器指令列106之最後指令為止所重覆著(步驟S309)。

在此，對於循環高速化指令set、clr、lcc所執行時之處理器107之各部操作加以詳細說明。

第8圖為表示第7圖所示在執行機器指令列時處理器107之指令管線108~110的流程。在此，IF、DEC、EX，係分別表示取入於指令取出部108、指令解讀部109、執行部110之指令。

在同步信號周期2所取出之轉移目的地資訊登記指令set係在同步信號周期3轉送到解讀指令緩衝器109b，則指令解讀部109，係轉送到解讀指令緩衝器109b之指令為轉移目的地資訊登記指令set加以認識，而用以啟動轉移目的地資訊登記部111。

所啟動之轉移目的地資訊登記部111，係在下次之同步信號周期轉送到解讀指令緩衝器109b及解讀指令用計數器109a之指令及地址，即將設置指令add a,b,c及其指令之外部存儲器上的地址讀出而登記於轉移目的地資訊記憶部114。尚且，轉移目的地資訊記憶部114，係具有記憶容量僅用以登記最大2組之轉移目的地資訊，所以在此由於登記1組之轉移目的地資訊，而剩餘記憶容量係成為1組部分之轉移目的地資訊。

又，在同步信號周期7所取出之循環專用轉移指令lcc係在同步信號周期8轉送到解讀指令緩衝器109b，則指令解讀部109，係轉送到解讀指令緩衝器109b之指令為循環

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(19)

專用轉移指令 lcc 加以認識，而用以啟動轉移執行部 113。

所啟動之轉移執行部 113，係在登記於轉移目的地資訊記憶部 114 之地址加上指令 add a,b,c 體積之 4 後的值，即將存儲於指令 add a,b,c 之其次的指令地址轉送到取出用計數器 108a，而在其次之同步信號循環中將登記於轉移目的地資訊記憶部 114 之地址及指令分別轉送到解讀指令用計數器 109a 及解讀指令緩衝器 109b。

其結果，同步信號周期 9 中，則在指令取出部 108 係由外部存儲器所取出指令 mul a,b,c，在指令解讀部 109 係由轉移目的地資訊記憶部 114 所存儲並解讀指令 add a,b,c 及其地址，進而在執行部所執行指令 lcc L。所執行指令 lcc L，則與指令 bcc L 進行同樣之判斷，在此，則根據在之前所執行之指令 cmp i,3 之結果，所判斷重覆循環處理。其結果，在同步信號周期 10~14 中，重覆著第 2 次之循環處理。

以上說明之同步信號周期 8~10 中將指令管線之動向以記號做表現則如第 9 圖所示之表。又，在第 9 圖下部所示之圖，係為了參考，與第 8 圖之同步信號周期 8~10 中管線之流程一樣。

第 9 圖中之 IR、IC、DR、DC、ER、EC，係如第 4 圖所示，為指令管線 108~110 之各構成部的簡稱。BR1、BR2，係登記於轉移目的地資訊記憶部 114 之內容，分別表示指令 add a,b,c 之地址及指令 add a,b,c。又，起因於循環專用轉移指令 lcc 之本裝置特徵性的操作，係以點線所包圍

(請先閱讀背面之注意事項再填寫本頁)

訂

迄

五、發明說明(20)

著。

在同步信號周期8之各記號的意義係如下所述。

[IF過程]

$IR \leftarrow (IC)$ ：表示地址IC將指令轉送到IR。

$IC \leftarrow BR1+4$ ：將加4在地址BR1之值轉送到IC。

在此，上述2個之轉送係在第9圖以2行所表示，但其意義為上段之操作係在1同步信號周期之前半時進行，另外，下段之操作係在1同步信號周期之後半時進行。所以，在此之意義，係在終了轉送 $IR \leftarrow (IC)$ 之後，進行轉送 $IC \leftarrow BR1+4$ 。

[DEC過程]

$DR \leftarrow IR$ ：將指令IR轉送到DR。

$DC \leftarrow IC$ ：將地址IC轉送到DC。

在此，上述2個之轉送，係以1行表示，所以其意義為上段之轉送 $DR \leftarrow IR$ 及下段之轉送 $DC \leftarrow IC$ 係同時進行。

[EX過程]

$ER \leftarrow DR$ ：將指令DR轉送到ER。

$EC \leftarrow DC$ ：將地址DC轉送到EC。

以上在同步信號周期8之管線動向，係與同步信號周期13及18之動向一樣。

在第8圖之同步信號周期15~18中所執行第3次之循環處理，則在同步信號周期19藉由指令lcc L之執行被判斷終了循環處理，而在同步信號周期20中在循環處理之出口之後所設置之轉移目的地資訊消去指令clr被取出。被

(請先閱讀背面之注意事項再填寫本頁)

長

訂

短

五、發明說明 (21)

取出之轉移目的地資訊消去指令 `clr`，係在其次之同步信號周期 21 中轉送到解讀指令緩衝器 109b，則指令解讀部 109，係認識到被轉送來之指令為轉移目的地資訊消去指令 `clr`，而將轉移目的地資訊消去部 112 加以啟動。

所啟動之轉移目的地資訊消去部 112，係將登記於轉移目的地資訊記憶部 114 之指令 `add a,b,c` 及其地址加以消去。又，藉由所消去 1 組之轉移目的地資訊，在該時刻之轉移目的地資訊記憶部 114 之記憶容量係返回到 2 組成分之轉移目的地資訊。

由以上之說明明白顯示，若依據本裝置，則在翻譯源程序時會產生循環高速化指令，而在執行第 1 次循環處理時，循環處理之先頭指令及其地址係登記於處理器 107 內部專用緩衝器之轉移目的地資訊記憶部 114。而且，解讀重複循環處理轉移指令之處理器 107，係不必用以計算轉移目的地地址，或不必由低速之外部存儲器用以取出轉移目的地指令，而由轉移目的地資訊記憶部 114 可以取得轉移目的地地址及轉移目的地指令。

該結果，將第 3 圖及第 8 圖所示管線之流程加以比較則明白顯示，儘管先前之裝置或本裝置皆將第 1 圖所示之源程序加以翻譯並執行，但若依據先前之裝置則在重複循環處理時產生轉移冒險，另外，若依據本裝置則不會產生轉移冒險。即，若依據本裝置，則使循環處理高速化。

(第 2 實施例)

其次，藉由僅將循環處理之先頭地址加以登記放置對

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (22)

於將循環處理高速化之有關本發明第2實施例資訊處理裝置加以說明。

在第1實施例係將循環處理之先頭地址及先頭指令登記於處理器107內部專用緩衝器之轉移目的地資訊記憶部114，但在本實施例係僅將先頭地址加以登記。

(構成)

有關本實施例資訊處理裝置之構成，係與第4圖所示第1實施例之裝置相同。但，在本裝置之轉移目的地資訊記憶部114，係僅將循環處理之先頭地址加以記憶。

(操作)

又，本裝置之操作概要，係照第5圖及第6圖所示第1實施例情形之流程圖，但在轉移目的地資訊登記指令set及循環專用指令lcc執行時只有詳細之操作與第1實施例之情形不同，所以僅就不同點加以說明。

將轉移目的地資訊登記指令set取回到解讀指令緩衝器109b並啟動轉移目的地資訊登記部111，則轉移目的地資訊登記部111，係在下次之同步信號周期轉送到解讀指令用計數器109a之地址，即將設置指令add a,b,c之外部存儲上的地址讀出並登記於轉移目的地資訊記憶部114。

另外，將循環專用轉移指令lcc取回到解譯指令緩衝器109b並啟動轉移執行部113，則轉移執行部113，係將登記於轉移目的地資訊記憶部114之地址轉送到取出用計數器108a。該結果，在下次之同步信號周期中，符合於取出用計數器108a之地址的外部存儲器106上指令，即取出指

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (23)

令 add a, b, c。

第10圖為表示在循環專用轉移指令 lcc 之執行時管線之動向及流程。第10圖，係對應於第1實施例中第9圖之圖。此在，BR1之意義，係登記於轉移目的地資訊記憶部 114 之地址。

在同步信號周期 8 之 IF 階段中，係取出指令 (IC) 之後，地址 BR1 由轉移目的地資訊記憶部 114 轉移到 IC。又，在本實施例中，係照第10圖所示，產生 1 同步信號周期成分之管線混亂，所以在同步信號周期 9 之 DEC 階段中轉移執行部 113 係將 0 轉移到 DR 及 DC，並進行管線無效化。

由以上之說明明白顯示，若依據本裝置，在翻譯源程序時產生循環高速化指令，而在執行第 1 次之循環處理時，循環處理之先頭地址係登記於處理器 107 內部專用緩衝器之轉移目的地資訊記憶部 114。而且，解譯重覆循環處理轉移指令之處理器 107，係不必用以計算轉移目的地地址，而由轉移目的地資訊記憶部 114 可以取得轉移目的地地址。

該結果，藉由先前之裝置產生 2 同步信號成分的轉移冒險，但減少為 1 同步信號周期。藉此使循環處理高速化。

(第3實施例)

其次，將循環處理之先頭地址及先頭指令加以登記放置，以循環專用轉移指令藉由使用所指令之轉移地址對於高速化循環處理之有關本發明第3實施例資訊處理裝置加

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (24)

以說明。

(構成)

有關本實施例資訊處理裝置之構成，係與第4圖所示第1實施例之裝置同樣。

(操作)

又，本裝置之操作概要，係照第5圖及第6圖所示第1實施例情形之流程圖，但在循環專用指令lcc之執行時只有詳細之操作與第1實施例之情形不同，所以僅就不同點加以說明。

將循環專用轉移指令lcc取回到解讀指令緩衝器109b並啟動轉移執行部113，則轉移執行部113，藉由指令lcc L所指定之轉移地址，即將加4於標記L之值轉送到取出用計數器108a，而在下次之同步信號周期中，將登記於轉移目的地資訊記憶部114之地址及指令add a,b,c分別轉送到解譯指令用計數器109a及解讀指令緩衝器109b。

第11圖為表示在循環專用轉移指令lcc之執行時管線之動向及流程。第11圖，係對應於第1實施例中第9圖之圖。在此，BR1及BR2，其意義分別為登記於轉移目的地資訊記憶部114之轉移目的地地址及指令add a,b,c。[DR]係指令DR之一部分，即其意義為符合於標記L之地址。

在同步信號周期8之IF階段，係取出指令(IC)之後，使加4在指令DR之一部分的標記L之值轉送到IC。更且，在同步信號周期9之DEC階段，係地址BR1及指令BR2分別由轉移目的地資訊記憶部114轉送到DC及DR。該結果，如

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (25)

第11圖之管線流程所示，成為與第1實施例同樣之操作。

由以上之說明明白顯示，若依據本裝置，則在翻譯源程序時產生循環高速化指令，而在執行第1次之循環處理時，循環處理之先頭指令及先頭地址係登記於處理器107內部專用緩衝器之轉移目的地資訊記憶部114。而且，解讀重覆循環處理轉移指令之處理器107，係不必用以計算轉移目的地地址及取出地址，或，不必由低速之外部存儲器用以取出轉移目的地指令，而由轉移目的地資訊記憶部114及循環專用轉移指令lcc L可以取得轉移目的地指令、轉移目的地地址及取出地址。

該結果，著依據本裝置，則藉由先前之裝置可以解除產生之2同步信號成分之轉移冒險。藉此，使循環處理高速化。

(第4實施例)

其次，藉由將循環處理之先頭地址及先頭指令及取出地址加以登記放置而對於將循環處理高速化之有關本發明第4實施例資訊處理裝置加以說明。

在第1實施例係將循環處理之先頭地址及先頭指令登記於處理器107內部專用緩衝器之轉移目的地資訊記憶部114，但在本實施例係進而將先頭指令之其次放置應取出指令之外部存儲器106上之地址加以登記。

(構成)

有關本實施例資訊處理裝置之構成，係與第4圖所示第1實施例之裝置相同。但，在本裝置之轉移目的地資訊

五、發明說明 (26)

記憶部 114，係用以記憶循環處理之先頭地址及先頭指令及取出地址。

(操作)

又，本裝置之操作概要，係照第 5 圖及第 6 圖所示第 1 實施情形之流程圖，但在轉移目的地資訊登記指令 set 及循環專用指令 lcc 之執行時只有詳細之操作與第 1 實施例之情形不同，所以僅就不同點加以說明。

將轉移目的地資訊登記指令 set 取回到解讀指令緩衝器 109b 並啟動轉移目的地資訊登記部 111，則轉移目的地資訊登記部 111，係在下次之同步信號周期將轉送到解讀指令用計數器 109a 及解讀指令緩衝器 109b 之地址及指令 add a, b, c 讀出，並將此等之資訊及加 4 在其地址之取出地址登記於轉移目的地資訊記憶部 114。

另外，將循環專用轉移指令 lcc 取回到解讀指令緩衝器 109b 並啟動轉移執行部 113，則轉移執行部 113，係將登記在轉移目的地資訊記憶部 114 之取出地址轉送到取出用計數器 108a，而在下次之同步信號周期將登記於轉移目的地資訊記憶部 114 之地址及指令 add a, b, c 分別轉送在解讀指令用計數器 109a 及解讀指令緩衝器 109b。

第 12 圖為表示在循環專用轉移指令 lcc 之執行時管線之動向及流程。第 12 圖係對應於第 1 實施例中第 9 圖之圖。在此，BR1、BR2 及 BR3，其意義係分別登記於轉移目的地資訊記憶部 114 之地址、指令及取出地址。

在同步信號周期 8 之 IF 階段，係在取出指令 (IC) 之後

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (27)

，地址 BR3 係由轉移目的地資訊記憶部 114 轉送到 IC。更且，在同步信號周期 9 之 DEC 階段，係指令 BR2 及地址 BR1 分別由轉移目的地資訊記憶部 114 轉送到 DR 及 DC。該結果，如第 12 圖之管線流程所示，成為與第 1 實施例同樣之操作。

由以上之說明明白顯示，若依據本裝置，則在翻譯源程序時產生循環高速化指令，而在執行第 1 次之循環處理時，循環處理之先頭指令，先頭地址及取出地址係登記於處理器 107 內部專用緩衝器之轉移目的地資訊記憶部 114。而且，解讀重覆循環處理轉移指令之處理器 107，係不必用以計算轉移目的地地址及取出地址，或，不必由低速之外部存儲器用以取出轉移目的地指令，而由轉移目的地資訊記憶部 114 可以取得轉移目的地指令，轉移目的地地址及取出地址。

該結果，若依據本裝置，則藉由先前之裝置可以解除產生之 2 同步信號成分之轉移冒險。藉此，使循環處理高速化。

(第 5 實施例)

其次，將循環處理之先頭指令及取出地址加以登記放著，以循環專用轉移指令藉由使用所指定之轉移目的地地址對於高速化循環處理之有關本發明第 5 實施例資訊處理裝置加以說明。

在第 1 實施係將循環處理之先頭地址及先頭指令登記於處理器 107 內部專用緩衝器之轉移目的地資訊記憶部 114

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(28)

，但本實施例中係將先頭指令及取出地址加以登記。

(構成)

有關本實施例資訊處理裝置之構成，係與第4圖所示第1實施例之裝置相同。但，在本裝置之轉移目的地資訊記憶部114，係將循環處理之先頭指令及取出地址加以記憶。

(操作)

又，本裝置之操作既要，係照第5圖及第6圖所示第1實施例情形之流程圖，但在轉移目的地資訊登記指令set及循環專用指令lcc之執行時只有詳細操作與第1實施例之情形不同，所以僅就不同點加以說明。

將轉移目的地資訊登記命令set取回到解讀指令緩衝器109b並啟動轉移目的地資訊登記部111，則轉移目的地資訊登記部111，係在下次之同步信號周期將轉送到解讀指令用計數器109a及解讀指令緩衝器109b之地址及指令add a,b,c讀出，將加4在其地址之取出地址及其指令add a,b,c登記在轉移目的地資訊記憶部114。

另外，將循環專用轉移指令lcc取回到解讀指令緩衝器109b並啟動轉移執行部113，則轉移執行部113，係將登記於轉移目的地資訊記憶部114之取出地址轉送到取出用計數器108a，在下次之同步信號周期中，藉由指令lcc所指定之地址，即由解讀指令緩衝器109b將標記L轉送到解讀指令用計數器109a之後將登記於轉移目的地資訊記憶部114之指令add a,b,c轉送到解讀指令緩衝器109b。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (29)

第13圖為表示在循環專用轉移指令lcc之執行時管線之動向及流程。第13圖係對應於第1實施例中第9圖之圖。在此，BR2及BR3，其意義係分別為登記於轉移目的地資訊記憶部114之指令add a,b,c及取出地址。

在同步信號周期8之IF階段，係在取出指令(IC)之後，地址BR3由轉移目的地資訊記憶部114被轉送到IC。更且，在同步信號周期9之DEC階段，係指令DR之一部分被轉送到DC之後指令BR2由轉移目的地資訊記憶部114被轉送到DR。該結果，如第13圖之管線流程所示，成為與第1實施例同樣之操作。

由以上之說明明白顯示，若依據本裝置，則在翻譯源程序時會產生循環高速化指令，而在執行第1次之循環處理時，循環處理之先頭指令及取出地址係登記於處理器107內部專用緩衝器之轉移目的地資訊記憶部114。而且，解讀重複循環處理轉移指令之處理器107，係不必用以計算轉移目的地地址及取出地址，或，不必由低速之外部存儲器用以取出轉移指令，而由轉移目的地資訊記憶部114及循環專用轉移指令lcc L可以取得轉移目的地指令、取出地址及轉移目的地地址。

該結果，若依據本裝置，則藉由先前之裝置可以解除產生2同步信號成分之轉移冒險。藉此，使循環處理高速化。

(第6實施例)

其次，將循環處理之先頭指令及取出地址加以登記放

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (30)

著，將轉移目的地地址使利預定之演算藉由求出對於高速化循環處理之有關第6實施例資訊處理裝置加以說明。

在第1實施例中係將循環處理之先頭地址及先頭指令登記於處理器107內部專用緩衝器之轉移目的地資訊記憶部114，但本實施例中係將先頭指令及取出地址加以登記。

(構成)

有關本實施例資訊處理裝置之構成，係與第4圖所示第1實施例之裝置相同。但，本裝置之轉移目的地資訊記憶部114，係將循環處理之先頭指令及取出地址加以記憶。

(操作)

又，本裝置之動作既要，係照第5圖及第6圖所示第1實施例情形之流程圖，但在轉移目的地資訊登記指令set及循環專用指令lcc之執行時只有詳細之操作與第1實施例之情形不同，所以僅就不同點加以說明。

將轉移目的地資訊登記命令set取回到解讀指令緩衝器109b並啟動轉移目的地資訊登記部111，則轉移目的地資訊登記部111，係在下次之同步信號周期將轉送到解讀指令用計數器109a及解讀指令緩衝器109b之地址及指令add a,b,c讀出，將加4在其地址之取出地址及其指令add a,b,c登記於轉移目的地資訊記憶部114。

另外，將循環專用轉移指令lcc取回到解讀指令緩衝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (31)

器 109b 並啟動轉移執行部 113，所轉移執行部 113，係將登記於轉移目的地資訊記憶部 114 之取出地址轉送到取出用計數器 108a，而在下次之同步信號周期中，將登記於轉移目的地資訊記憶部 114 之地址及指令 add a,b,c 讀出，將其地址減 4 之地址及其指令 add a,b,c 轉送到解讀命令用計數器 109a 及解讀指令緩衝器 109b。

第 14 圖為表示在循環專用轉移指令 lcc 之執行時管線動向及流程。第 14 圖係對應於第 1 實施例中第 9 圖之圖。在此，BR2 及 BR3，其意義係分別為登記於轉移目的地資訊記憶部 114 之指令 add a,b,c 及取出地址。

在同步信號周期 8 之 IF 階段，係在取出指令 (IC) 之後，將地址 BR3 由轉移目的地資訊記憶部 114 轉送到 IC。更且，在同步信號周期 9 之 DEC 階段，係由轉移目的地資訊記憶部 114 讀出指令 BR2 及取出地址 BR3，命令 BR2 係轉送到 DR，而取出地址 BR3 係減 4 並轉送到 DC。該結果，如第 14 圖之管線流程所示，成為與第 1 實施例同樣之操作。

由以上之說明明白顯示，若依據本裝置，則在翻譯源程序時產生循環高速化指令，而在執行第 1 次之循環處理時，循環處理之先頭指令及取出地址係登記於處理器 107 內部專用緩衝器之轉移目的地資訊記憶部 114。而且，解讀重覆循環處理轉移指令之處理器 107，係不必用以計算取出地址，或，不必由低速之外部存儲器用以取出轉移指令，而由轉移目的地資訊記憶部 114 可以取得轉移指令及取出地址。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (32)

該結果，若依據本裝置，則藉由先前之裝置可以解除產生 2 同步信號成分之轉移冒險。藉此，使循環處理高速化。

(第 7 實施例)

其次，藉由將循環處理之先頭地址及先頭微指令加以登記放著，並對於高速化循環處理之有關本發明第 7 實施例資訊處理裝置加以說明。

在第 1 實施例中係將循環處理之先頭地址及先頭指令登記於處理器 107 內部專用緩衝器之轉移目的地資訊記憶部 114，但在本實施例係將先頭地址及先頭指令之譯碼結果的微指令加以登記。

(構成)

有關本實施例資訊處理裝置之構成，係與第 4 圖所示第 1 實施例之裝置相同。但，在本裝置之轉移目的地資訊記憶部 114，係將循環處理之先頭地址及先頭微指令加以記憶。

(操作)

又，本裝置之操作概要，係照第 5 圖及第 6 圖所示第 1 實施例情形之流程圖，但在轉移目的地資訊登記指令 set 及循環專用指令 lcc 之執行時只有詳細之操作與第 1 實施例之情形不同，所以僅就不同點加以說明。

將轉移目的地資訊登記命令 set 取回到解讀指令緩衝器 109b 並起動轉移目的地資訊登記部 111，則轉移目的地資訊登記部 111，係在下次之同步信號周期將轉送到解讀

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (33)

指令用計數器 109a 及解讀指令緩衝器 109b 之地址及指令 add a,b,c 之譯碼結果讀出，並登記於轉移目的地資訊記憶部 114。

另外，將循環專用轉移指令 lcc 取回到解讀指令緩衝器 109b 並啟動轉移執行部 113，則轉移執行部 113，係藉由指令 lcc L 所指定之轉移地址，即將標記 L 加 4 之值轉送到取出用計數器 108a，而在下次之同步信號周期藉由將 0 轉送在解讀指令用計數器 109a 及解讀指令緩衝器 109b 使無效化，進而在下次之同步信號周期將登記於轉移目的地資訊記憶部 114 之地址及指令 add a,b,c 之譯碼結果分別轉送於執行指令用計數器 110a 及執行控制部 110b。

第 15 圖為表示在循環專用轉移指令 lcc 之執行時管線動向及流程。第 15 圖為對應於第 1 實施例中第 9 圖之圖。在此，BR1 及 BR4，其意義分別為登記於轉移目的地資訊記憶部 114 之地址及微指令。

在同步信號周期 8 之 IF 階段，係在取出指令 (IC) 之後，將指令 DR 一部分之標記 L 加 4 之值轉送到 IC。在同步信號周期 9 之 DEC 階段，將 0 轉送到 DR 及 DC。更且，在同步信號周期 10 之 EX 階段，係將指令 BR4 及地址 BR1 分別由轉移目的地資訊記憶部 114 轉送到 ER 及 EC。該結果，如第 15 圖之管線流程所示，成為與第 1 實施例同樣之操作。

由以上之說明明白顯示，若依據本裝置，則在翻譯源程序時會產生循環高速化指令，而在執行第 1 次之循環處理時，循環處理之先頭微指令及轉移目的地地址係登記於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (34)

處理器107內部專用緩衝器之轉移目的地資訊記憶部114。而且，解讀重覆循環處理轉移指令之處理器107，係不必用以計算轉移目的地地址及取出地址，或，不必由低速之外部存儲器用以取出並解讀轉移目的地指令，而由轉移目的地資訊記憶部114及循環專用轉移指令lccL可以取得轉移目的地微指令，轉移目的地地址及取出地址。

該結果，若依據本裝置，則藉由先前之裝置可以解除產生2同步信號成分之轉移冒險。藉由，使循環處理高速化。

(第8實施例)

其次，藉由將循環處理之先頭地址及先頭微指令加以登記放著而對於高速化循環處理之有關本發明第8實施例資訊處理裝置加以說明。

在第1實施例係將循環處理之先頭地址及先頭指令登記於處理器107內部專用緩衝器之轉移目的地資訊記憶部114，但在本實施例係將先頭地址及先頭指令之譯碼結果的微指令加以登記。

(構成)

有關本實施例資訊處理裝置之構成，係與第4圖所示第1實施例之裝置相同。但，在本裝置之轉移目的地資訊記憶部114，係將循環處理之先頭地址及先頭微指令加以記憶。

(操作)

又，本裝置之操作既要，係照第5圖及第6圖所示第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (35)

1 實施例情形之流程圖，但在轉移目的地資訊登記指令 set 及循環專用指令 lcc 之執行時只有詳細之操作與第 1 實施例之情形不同，所以僅就不同點加以說明。

將轉移目的地資訊登記指令 set 取回到解讀指令緩衝器 109b 並啟動轉移目的地資訊登記部 111，則轉移目的地資訊登記部 111，係在下次之同步信號周期將轉送到解讀指令用計數器 109a 及解讀指令緩衝器 109b 之地址及指令 add a, b, c 的譯碼結果讀出，並登記於轉移目的地資訊記憶部 114。

另外，將循環專用轉移指令 lcc 取回到解讀指令緩衝器 109b 並啟動轉移執行部 113，則轉移執行部 113，係在登記於轉移目的地資訊記憶部 114 之地址加 4 並轉送到取出用計數器 108a，而在下次之同步信號周期藉由將 0 轉送到解讀指令用計數器 109a 及解讀指令緩衝器 109b 使無效化，更且在下次之同步信號周期中將登記於轉移目的地資訊記憶部 114 之地址及指令 add a, b, c 的譯碼結果分別轉送在執行指令用計數器 110a 及執行控制部 110b。

第 16 圖為表示在循環專用轉移指令 lcc 之執行時管線動向及流程。第 16 圖為對應於第 1 實施例中第 9 圖之圖。在此，BR1 及 BR4，其意義係分別為登記於轉移目的地資訊記憶部 114 之地址及微指令。

在同步信號周期 8 之 IF 階段，係取出指令 (IC) 之後，在由轉移目的地資訊記憶部 114 所讀出之地址 BR1 加 4 並轉送到 IC。而在同步信號周期 9 之 DEC 階段，係將 0 轉送到 DR

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (36)

及DC。更且，在同步信號周期10之EX階段，係將指令BR4及地址BR1分別由轉移目的地資訊記憶部114轉送到ER及EC。該結果，如第16圖之管線流程所示，成為與第1實施例同樣之操作。

由以上之說明明白顯示，若依據本裝置，則在翻譯源程序時會產生循環高速化指令，而在執行第1次之循環處理時，將循環處理之先頭微指令及轉移目的地地址登記於處理器107內部專用緩衝器之轉移目的地資訊記憶部114。而且，解讀重複循環處理轉移指令之處理器107，係不必用以計算轉移目的地地址，或，不必由低速之外部存儲器用以取出並解讀轉移目的地指令，而由轉移目的地資訊記憶部114可以取得轉移目的地微指令及轉移目的地地址。

該結果，若依據本裝置，則藉由先前之裝置可以解除所產生2同步信號成分之轉移冒險。藉此，使循環處理高速化。

(第9實施例)

其次，藉由將循環處理之先頭指令及先頭微指令及取出地址加以登記並放著而對於高速化循環處理之有關本發明第9實施例資訊處理裝置加以說明。

在第1實施例係將循環處理之先頭地址及先頭指令登記於處理器107內部專用緩衝器之轉移目的地資訊記憶部114，但在本實施例係將先頭地址及先頭微指令及取出地址加以登記。

(構成)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (37)

有關本實施例資訊處理裝置之構成，係與第4圖所示第1實施例之裝置相同。但，在本裝置之轉移目的地資訊記憶部114，係將循環處理之先頭地址及先頭微指令及取出地址加以記憶。

(操作)

又，本裝置之操作既要，係照第5圖及第6圖所示第1實施例情形之流程圖，但在轉移目的地資訊登記指令set及循環專用指令lcc之執行時只有詳細之操作與第1實施例之情形不同，所以僅就不同點加以說明。

將轉移目的地資訊登記指令set取回到解讀指令緩衝器109b並啟動轉移目的地資訊登記部111，則轉移目的地資訊登記部111，係在下次之同步信號周期將轉送到解讀指令用計數器109a及解讀指令緩衝器109b之地址及指令add a,b,c的譯碼結果讀出，並將此等之資訊及其地址加4之取出地址登記在轉移目的地資訊記憶部114。

另外，將循環專用轉移指令lcc取回到解讀指令緩衝器109b並啟動轉移執行部113，所轉移執行部113，係將登記於轉移目的地資訊記憶部114之取出地址轉送在取出用計數器108a，而在下次之同步信號周期中藉由將0轉送在解讀指令用計數器109a及解讀指令緩衝器109b使無效化，更且在下次之同步信號周期中將登記於轉移目的地資訊記憶部114之地址及指令add a,b,c的譯碼結果分別轉送在執行指令用計數器110a及執行控制部110b。

第17圖為表示在循環專用轉移指令lcc之執行時管線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (38)

之動向及流程。第17圖為對應於第1實施例中第9圖之圖。在此，BR1、BR3及BR4，其意義係分別登記於轉移目的地資訊記憶部114之地址、取出地址及微指令。

在同步信號周期8之IF階段，係取出指令(IC)之後，將地址BR3係由轉移目的地資訊記憶部114轉送到IC。在同步信號周期9之DEC階段，係將0轉送到DR及DC。更且，在同步信號周期10之EX階段，係將指令BR4及地址BR1分別由轉移目的地資訊記憶部114轉送到ER及EC。該結果，如第17圖之管線流程所示，成為與第1實施例同樣之操作。

由以上之說明明白顯示，若依據本裝置，則在翻譯源程序時會產生循環高速化指令，而在執行第1次之循環處理時，將循環處理之先頭微指令、轉移目的地地址及取出地址登記於處理器107內部專用緩衝器之轉移目的地資訊記憶部114。而且，解讀重覆循環處理轉移指令之處理器107，係不必用以計算轉移目的地地址及取出地址，或，不必由低速之外部存儲器用以取出並解讀轉移目的地指令，而由轉移目的地資訊記憶部114可以取得轉移目的地微指令，轉移目的地地址及取出地址。

該結果，若依據本裝置，則藉由先前之裝置可以解除所產生之2同步信號成分之轉移冒險。藉此，使循環處理高速化。

(第10實施例)

其次，將循環處理之先頭微指令及取出地址加以登記放著，以循環專用轉移指令藉由使用所指定之轉移目的地

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (39)

地址而對於高速化循環處理之有關本發明第10實施例資訊處理裝置加以說明。

在第1實施例係將循環處理之先頭地址及先頭指令登記於處理器107內部專用緩衝器之轉移目的地資訊記憶部114，但在本實施例中係將先頭微指令及取出地址加以登記。

(構成)

有關本實施例資訊處理裝置之構成，係與第4圖所示第1實施例之裝置相同。但，在本裝置中之轉移目的地資訊記憶部114，係將循環處理之先頭微指令及取出地址加以記憶。

(操作)

又，本裝置之操作既要，係照第5圖及第6圖所示第1實施例情形之流程圖，但在轉移目的地資訊登記指令set及循環專用指令lcc之執行時只有詳細之操作與第1實施例之情形不同，所以僅就不同點加以說明。

將轉移目的地資訊登記指令set取回到解讀指令緩衝器109b並啟動轉移目的地資訊登記部111，則轉移目的地資訊登記部111，係在同步信號周期將轉送到解讀指令用計數器109a及解讀指令緩衝器109b之地址及指令add a,b,c的譯碼結果讀出，而將其地址加4之取出地址及其指令add a,b,c的譯碼結果登記於轉移目的地資訊記憶部114。

另外，將循環專用轉移指令lcc取回到解讀指令緩衝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

封

五、發明說明(40)

器 109b 並啟動轉移執行部 113，則轉移執行部 113，係將登記於轉移目的地資訊記憶部 114 之取出地址轉送到取出用計數器 108a，而在下次之同步信號周期藉由將 0 轉送在解讀指令用計數器 109a 及解讀指令緩衝器 109b 使無效化，更且在下次之同步信號周期中藉由指令 lcc 所指定之地址，即由執行控制部 110b 將標記 L 轉送到執行指令用計數器 110a 之後將登記於轉移目的地資訊記憶部 114 之指令 add a, b, c 的譯碼結果轉送在執行控制部 110b。

第 18 圖為表示在循環專用轉移指令 lcc 之執行時管線之動向及流程。第 18 圖為對應於第 1 實施例中第 9 圖之圖。在此，BR3 及 BR4，其意義係分別為登記於轉移目的地資訊記憶部 114 之取出地址及微指令。

在同步信號周期 8 之 IF 階段，係取出指令 (IC) 之後，將地址 BR3 由轉移目的地資訊記憶部 114 轉送到 IC。在同步信號周期 9 之 DEC 階段，係將 0 轉送到 DR 及 DC。更且，在同步信號周期 10 之 EX 階段，係將指令 ER 之一部分轉送到 EC 之後將指令 BR4 由轉移目的地資訊記憶部 114 轉送到 ER。該結果，如第 18 圖之管線流程所示，成為與第 1 實施例同樣之操作。

由以上之說明明白顯示，若依據本裝置，在翻譯源程序時會產生循環高速化指令，而在執行第 1 次之循環處理時，將循環處理之先頭微指令及取出地址登記於處理器 107 內部專用緩衝器之轉移目的地資訊記憶部 114。而且，解讀重覆循環處理轉移指令之處理器 107，係不必用以計算

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (41)

轉移目的地地址及取出地址，或，不必由低速之外部存儲器用以取出並解讀轉移目的地指令，而由轉移目的地資訊記憶部 114 及循環專用轉移指令 lcc L 可以取得轉移目的地指令、取出地址及轉移目的地地址。

該結果，若依據本裝置，則藉由先前之裝置可解除所產生之 2 同步信號成分之轉移冒險。藉此，使循環處理高速化。

(第 11 實施例)

其次，將循環處理之先頭微指令及取出地址加以登記放著，將轉移目的地地址利用預定之演算藉由求出而對於高速化循環處理之有關本發明第 11 實施例資訊處理裝置加以說明。

在第 1 實施例係將循環處理之先頭地址及先頭指令登記於處理器 107 內部專用緩衝器之轉移目的地資訊記憶部 114，但在本實施例中係將先頭微指令及取出地址加以登記。

(構成)

有關本實施例資訊處理裝置之構成，係與第 4 圖所示第 1 實施例之裝置相同。但，在本裝置之轉移目的地資訊記憶部 114，係將循環處理之先頭微指令及取出地址加以記憶。

(操作)

又，本裝置之操作既要，係照第 5 圖及第 6 圖所示第 1 實施例情形之流程圖，但在轉移目的地資訊登記指令 set

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (42)

及循環專用指令 lcc 之執行時只有詳細之操作與第 1 實施例之情形不同，所以僅就不同點加以說明。

將轉移目的地資訊登記指令 set 取回到解讀指令緩衝器 109b 並啟動轉移目的地資訊登記部 111，則轉移目的地資訊登記部 111，係在下次之同步信號周期將轉送到解讀指令用計數器 109a 及解讀指令緩衝器 109b 之地址及指令 add a, b, c 的譯碼結果讀出，並將其地址加 4 之取出地址及其指令 add a, b, c 的譯碼結果登記在轉移目的地資訊記憶部 114。

另外，將循環專用轉移指令 lcc 取回到解讀指令緩衝器 109b 並啟動轉移執行部 113，則轉移執行部 113，係將登記於轉移目的地資訊記憶部 114 之取出地址轉送到取出用計數器 108a，而在下次之同步信號周期中藉由將 0 轉送到解讀指令用計數器 109a 及解讀指令緩衝器 109b 使無效化，更且在下次之同步信號周期中，將登記於轉移目的地資訊記憶部 114 之地址及指令 add a, b, c 之譯碼結果讀出，並將其地址減 4 之地址及其譯碼結果轉送到執行指令用計數器 110a 及執行控制部 110b。

第 19 圖為表示在循環專用轉移指令 lcc 之執行時管線之動向及流程。第 19 圖為對應於第 1 實施例中第 9 圖之圖。在此，BR3 及 BR4，其意義係分別為登記於轉移目的地資訊記憶部 114 之取出地址及微指令。

在同步信號周期 8 之 IF 階段，係取出指令 (IC) 之後，將地址 BR3 由轉移目的地資訊記憶部 114 轉送到 IC。在同步

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (43)

信號周期 9 之 DEC 階段，係將 0 轉送在 DR 及 DC。更且，在同步信號周期 10 之 EX 階段，係將指令 BR4 及取出地址 BR3 由轉移目的地資訊記憶部 114 讀出，而指令 BR4 係轉送到 ER，取出地址 BR3 係減 4 並轉送到 EC。該結果，如第 19 圖之管線流程所示，成為與第 1 實施例同樣之操作。

由以上之說明明白顯示，若依據本裝置，則在翻譯源程序時會產生循環高速化指令，而在執行第 1 次之循環處理時，將循環處理之先頭微指令及取出地址登記於處理器 107 內部專用緩衝器之轉移目的地資訊記憶部 114。而且，解讀重覆循環處理轉移指令之處理器 107，係不必用以計算取出地址，或，不必由低速之外部存儲器用以取出並解讀轉移目的地指令，而由轉移目的地資訊記憶部 114 可以取得轉移目的地微指令及取出地址。

該結果，若依據本裝置，則藉由先前之裝置可解除所產生 2 同步信號成分之轉移冒險。藉此，使循環處理高速化。

以上，對於有關本發明資訊處理裝置，根據實施例做了說明，但本發明當然並非限定於此等實施例。換言之，

(1) 在上述實施例之翻譯裝置 102，係用以輸出 1 種之循環高速化指令 set、clr、lcc，但並非限定於此。譬如，對應於循環之位置及種類用以輸出 2 種之循環高速化指令 set1、set2、clr1、clr2、lcc1、lcc2，使其種類對應於轉移目的地資訊記憶部 114 之轉移目的地資訊的存儲場所也可。藉此，可以縮短對轉移目的地資訊記憶部 114

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (44)

之存取時間。

(2) 在上述實施例之轉移目的地資訊記憶部 114，係由 LIFO 形式之門鎖所構成，但並非限定於該形式。譬如，以環狀形式之門鎖也可。藉此，成為可以以柔軟高速之轉移目的地資訊的輸出入。

又，轉移目的地資訊記憶部 114，係用以記憶最大 2 組之轉移目的地資訊，但並非限定於記憶容量。譬如，用以記憶 1 組之轉移目的地資訊也可。在該情形，被啟動之轉移目的地資訊登記部 111 經常藉由將轉移目的地資訊上寫並登記於轉移目的地資訊記憶部 114，而成為不必設置轉移目的地資訊消去部 112。

更且，在轉移目的地資訊記憶部 114 用以記憶指令列時，則並非將用以記憶之指令個數做為固定，而將用以記憶指令之合計體積數做為固定也可。藉此，對於可變長之指令，也可以將轉移目的地資訊記憶部 114 之記憶容量有效利用。

(3) 在上述實施例之循環檢測部 103，係存在有包含關係之多數循環處理時，係在此等之循環處理中由最內側用以檢測未超過 2 個之循環處理，但並非限定於如此之條件。用以檢測最頻繁所執行之循環處理也可。

(4) 在上述實施例之指令取出部 108，係用以維持 1 個指令，但譬如，以 FIFO (First In First Out) 形式之緩衝器用以維持多數個之指令也可。

(5) 在上述實施例之處理器 107，係將循環高速化指

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (45)

令 set、clr 逐一執行，但並非限定於如此之執行形態。將此等之指令及前後之指令以並列執行也可。此等之指令 set、clr，係僅用以存取於轉移目的地資訊記憶部 114，所以不依存於其他指令可以用以獨立執行。

又，在上述實施例，係用以啟動轉移目的地資訊登記部 111、轉移目的地資訊消去部 112 及轉移執行部 113 之指令，係分別稱為 set、clr 及 lcc 之單獨指令，但，其他指令具有啟動此等之機能也可。藉此，成為可以並列執行此等之循環高速化指令及其他指令。

(6) 在第 1 及第 8 實施例，轉移執行部 113，係將登記於轉移目的地資訊記憶部 114 之地址讀出並加 4 時，轉移執行部 113 使用第 4 圖未圖示具有專用之增量器也可。

又，在第 3、第 5、第 7 及第 10 實施例中，轉移執行部 113，係在用以算出符合於標記 L 之地址時，轉移執行部 113 使用第 4 圖未圖示具有專用之演算器也可。

更且，在第 6 及第 11 實施例中，轉移執行部 113，係將登記於轉移目的地資訊記憶部 114 之地址讀出並減 4 時，轉移執行部 113 使用第 4 圖未圖示具有專用減量器也可。

轉移執行部 113 藉由具有此等專用之增量器、演算器及減量器，可以達成處理器之操作高速化。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (46)

元件標號對照

- 101....源程序
- 102....翻譯裝置
- 103....循環檢測部
- 104....循環資訊記憶部
- 105....循環高速化適用部
- 106....機器指令列
- 107....處理器
- 108....指令取出部
- 108a....取出用計數器
- 108b....取出指令緩衝器
- 109....指令解讀部
- 109a....解讀指令用計數器
- 109b....解讀指令緩衝器
- 110....執行部
- 110a....執行指令用計數器
- 110b....執行控制部
- 111....轉移目的地資訊登記部
- 112....轉移目的地資訊消去部
- 113....轉移執行部
- 114....轉移目的地資訊記憶部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

第 1 圖

```
int a,b,c,d,i ;
```

```
main ()
```

```
{
```

```
    for (i=0 ; <3 ; i++)
```

```
    {
```

```
        c=a+b ;
```

```
        d=a*b ;
```

```
    }
```

```
}
```

第 2 圖

```
mov 0, i
```

```
L:
```

```
add a, b, c
```

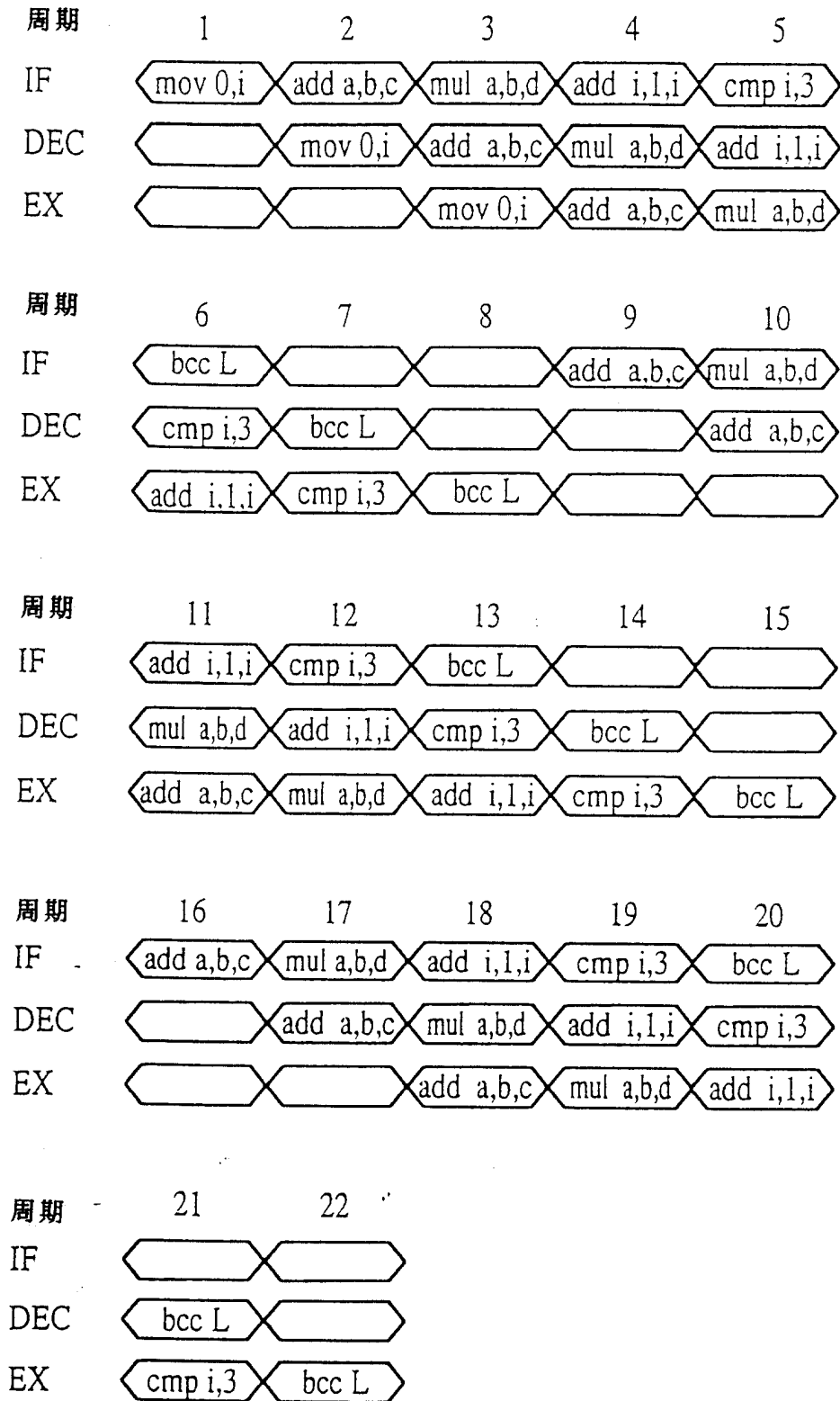
```
mul a, b, d
```

```
add i, 1, i
```

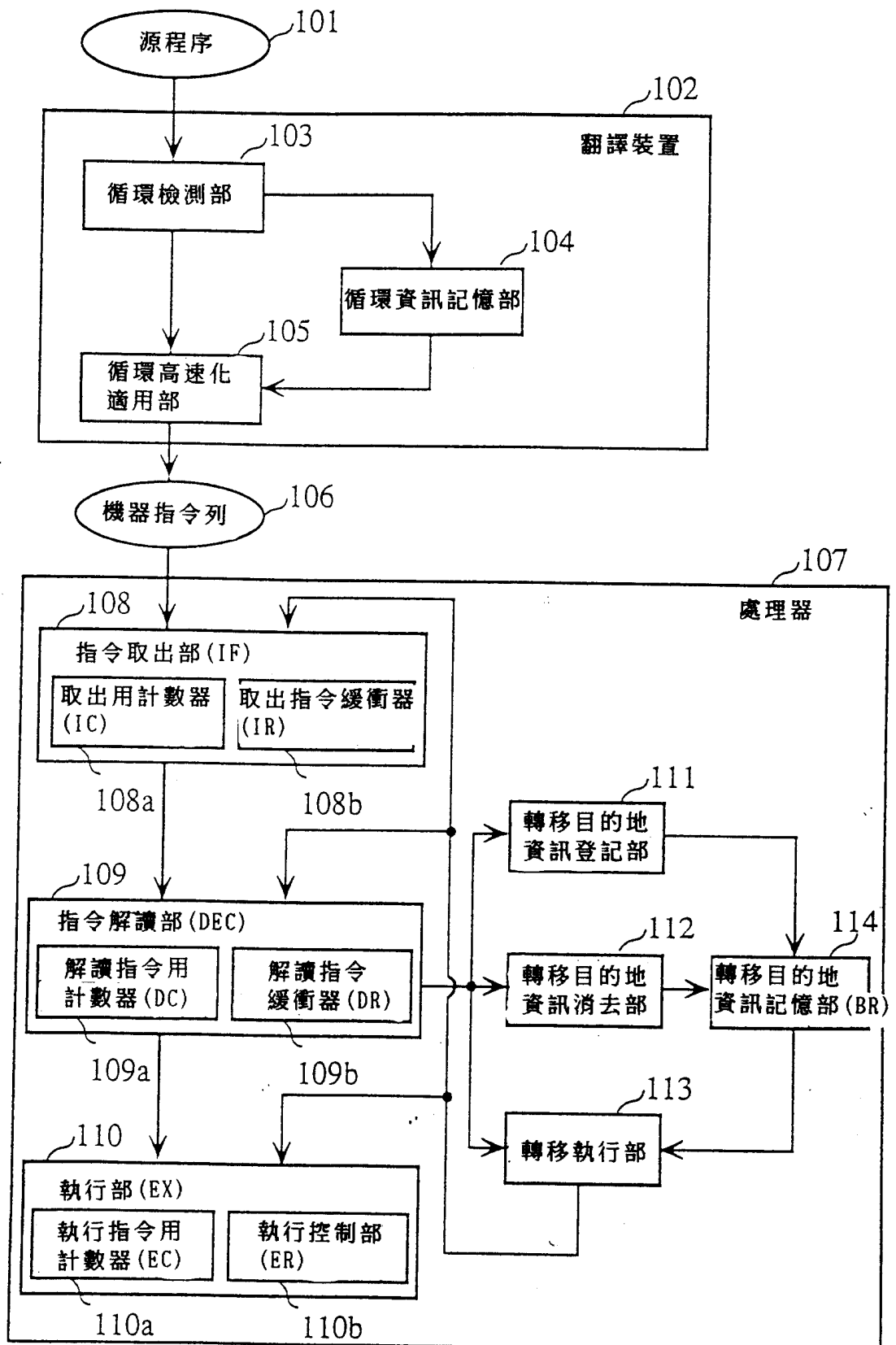
```
cmp i, 3
```

```
bcc L
```

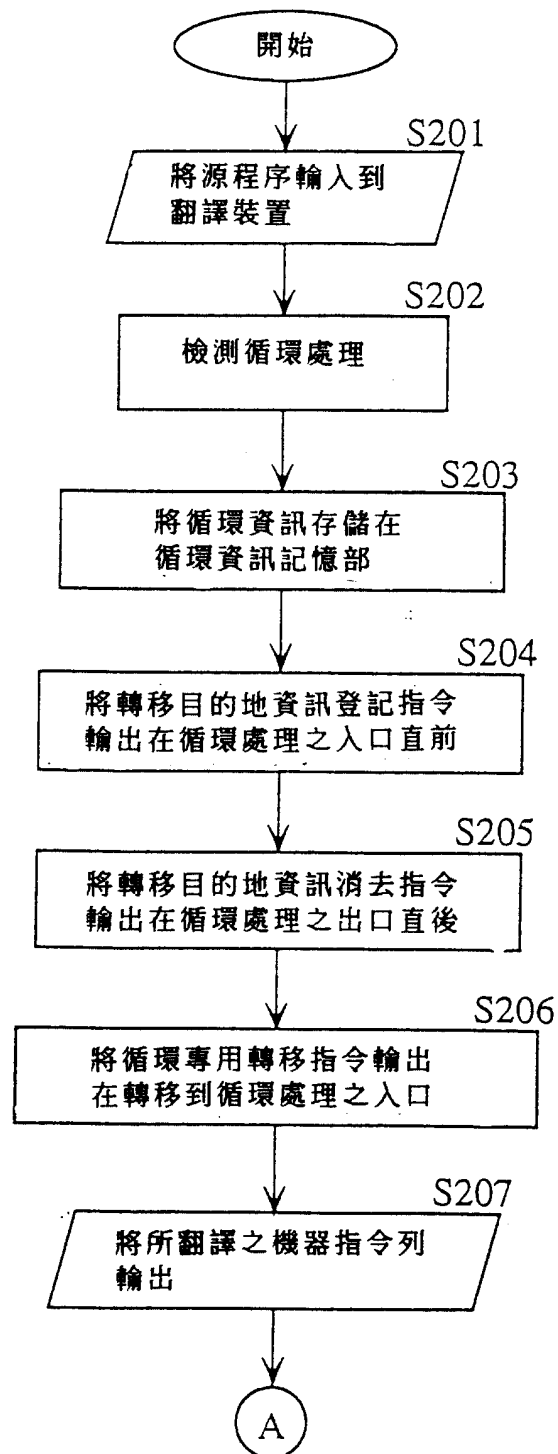
第 3 圖



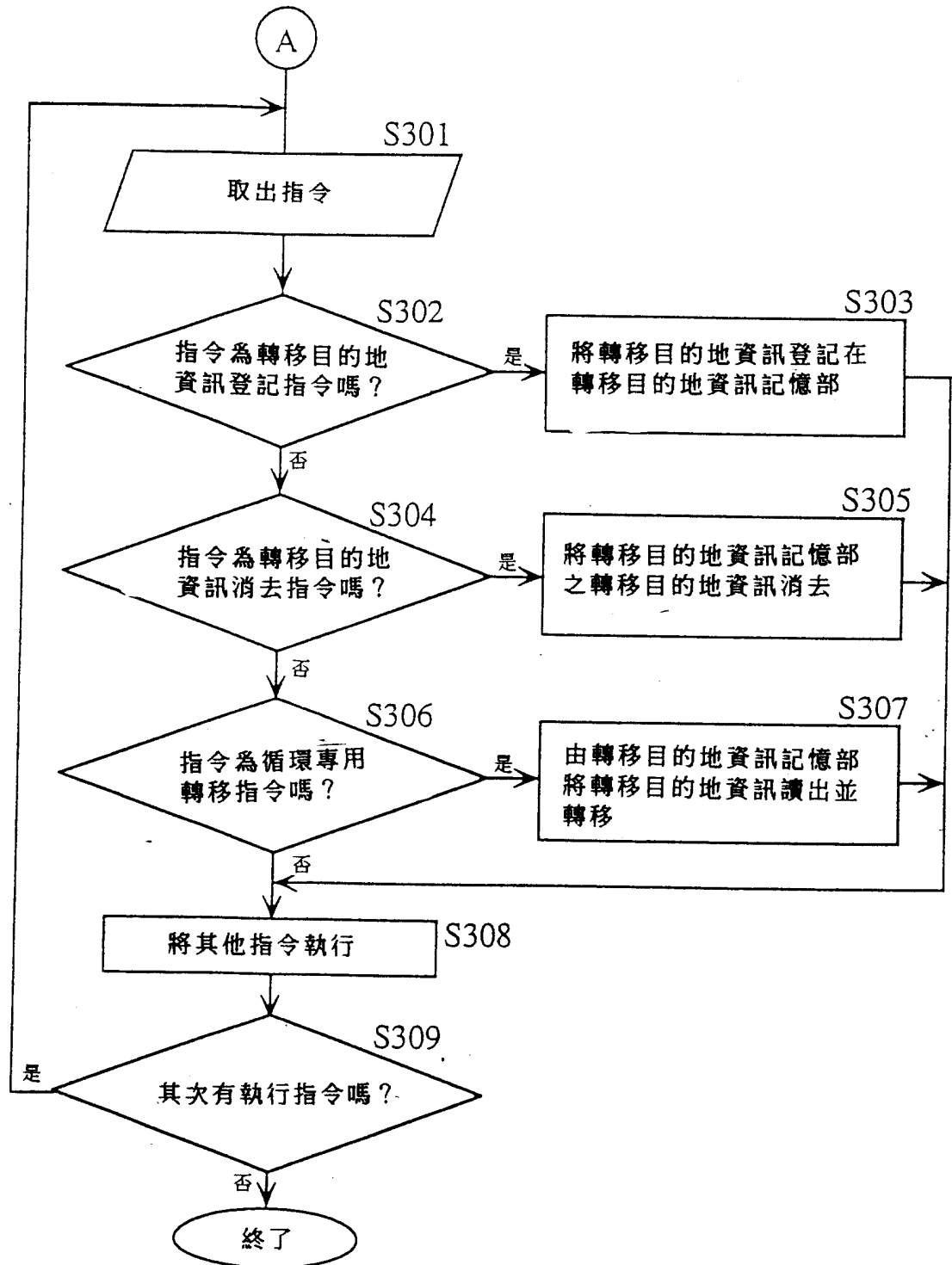
第 4 圖



第 5 圖



第 6 圖



第 7 圖

mov 0, i

set

L:

add a, b, c

mul a, b, d

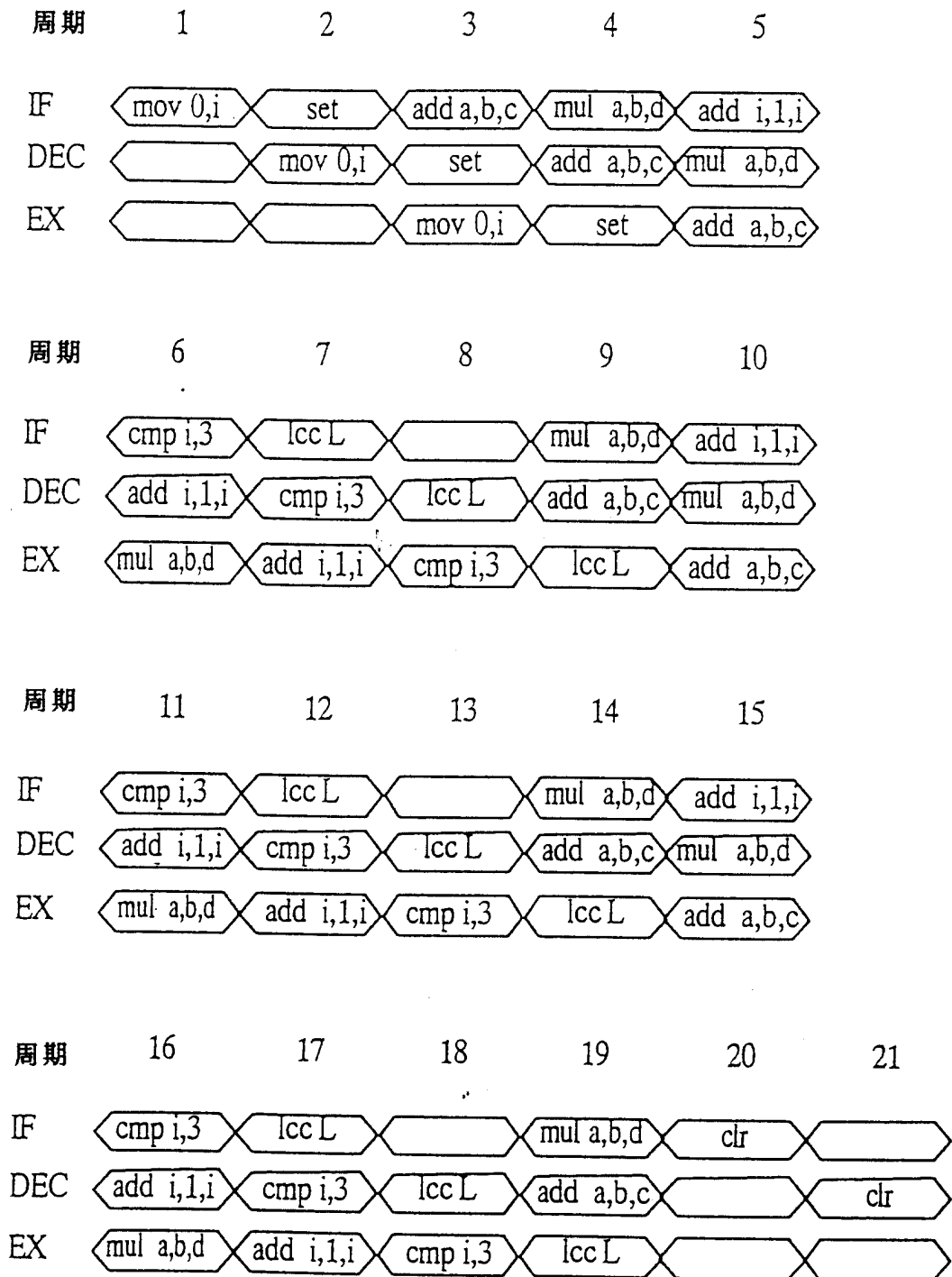
add i, 1, i

cmp i, 3

lcc L

clr

第 8 圖



第 9 圖

同步信號周期	8	9	10
IF	$IR \leftarrow (IC)$ $IC \leftarrow BR1 + 4$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$
DEC	$DR \leftarrow IR, DC \leftarrow IC$	$DR \leftarrow BR2, DC \leftarrow BR1$	$DR \leftarrow IR, DC \leftarrow IC$
EX	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow DR, EC \leftarrow DC$
IF		$mul\ a, b, d$	$add\ i, 1, i$
DEC	$lcc\ L$	$add\ a, b, c$	$mul\ a, b, d$
EX	$cmp\ i, 3$	$lcc\ L$	$add\ a, b, c$

第 10 圖

同步信號周期	8	9	10
IF	$IR \leftarrow (IC)$ $IC \leftarrow BR1$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$
DEC	$DR \leftarrow IR, DC \leftarrow IC$	$DR \leftarrow 0, DC \leftarrow 0$	$DR \leftarrow IR, DC \leftarrow IC$
EX	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow DR, EC \leftarrow DC$
IF		$add\ a, b, c$	$mul\ a, b, d$
DEC	$lcc\ L$		$add\ a, b, c$
EX	$cmp\ i, 3$	$lcc\ L$	

第 11 圖

同步信號周期	8	9	10
IF	$IR \leftarrow (IC)$ $IC \leftarrow \langle DR \rangle + 4$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$
DEC	$DC \leftarrow IC$ $DR \leftarrow IR$	$DR \leftarrow BR2, DC \leftarrow BR1$	$DR \leftarrow IR, DC \leftarrow IC$
EX	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow DR, EC \leftarrow DC$
IF		$mul\ a, b, d$	$add\ i, 1, i$
DEC	$lcc\ L$	$add\ a, b, c$	$mul\ a, b, d$
EX	$cmp\ i, 3$	$lcc\ L$	$add\ a, b, c$

第 12 圖

同步信號周期	8	9	10
IF	$IR \leftarrow (IC)$ $IC \leftarrow BR3$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$
DEC	$DR \leftarrow IR, DC \leftarrow IC$	$DR \leftarrow BR2, DC \leftarrow BR1$	$DR \leftarrow IR, DC \leftarrow IC$
EX	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow DR, EC \leftarrow DC$
IF		$mul\ a, b, d$	$add\ i, l, i$
DEC	$lcc\ L$	$add\ a, b, c$	$mul\ a, b, d$
EX	$cmp\ i, 3$	$lcc\ L$	$add\ a, b, c$

第 13 圖

同步信號周期	8	9	10
IF	$IR \leftarrow (IC)$ $IC \leftarrow BR3$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$
DEC	$DR \leftarrow IR, DC \leftarrow IC$	$DC \leftarrow \langle DR \rangle$ $DR \leftarrow BR2$	$DR \leftarrow IR, DC \leftarrow IC$
EX	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow DR, EC \leftarrow DC$
IF		$mul\ a, b, d$	$add\ i, l, i$
DEC	$lcc\ L$	$add\ a, b, c$	$mul\ a, b, d$
EX	$cmp\ i, 3$	$lcc\ L$	$add\ a, b, c$

第 14 圖

同步信號周期	8	9	10
IF	IR←(IC) IC←BR3	IR←(IC) IC←IC+4	IR←(IC) IC←IC+4
	DR←IR,DC←IC	DR←BR2,DC←BR3-4	DR←IR,DC←IC
DEC			
EX	ER←DR,EC←DC	ER←DR,EC←DC	ER←DR,EC←DC
IF		mul a,b,d	add i,l,i
DEC	lcc L	add a,b,c	mul a,b,d
EX	cmp i,3	lcc L	add a,b,c

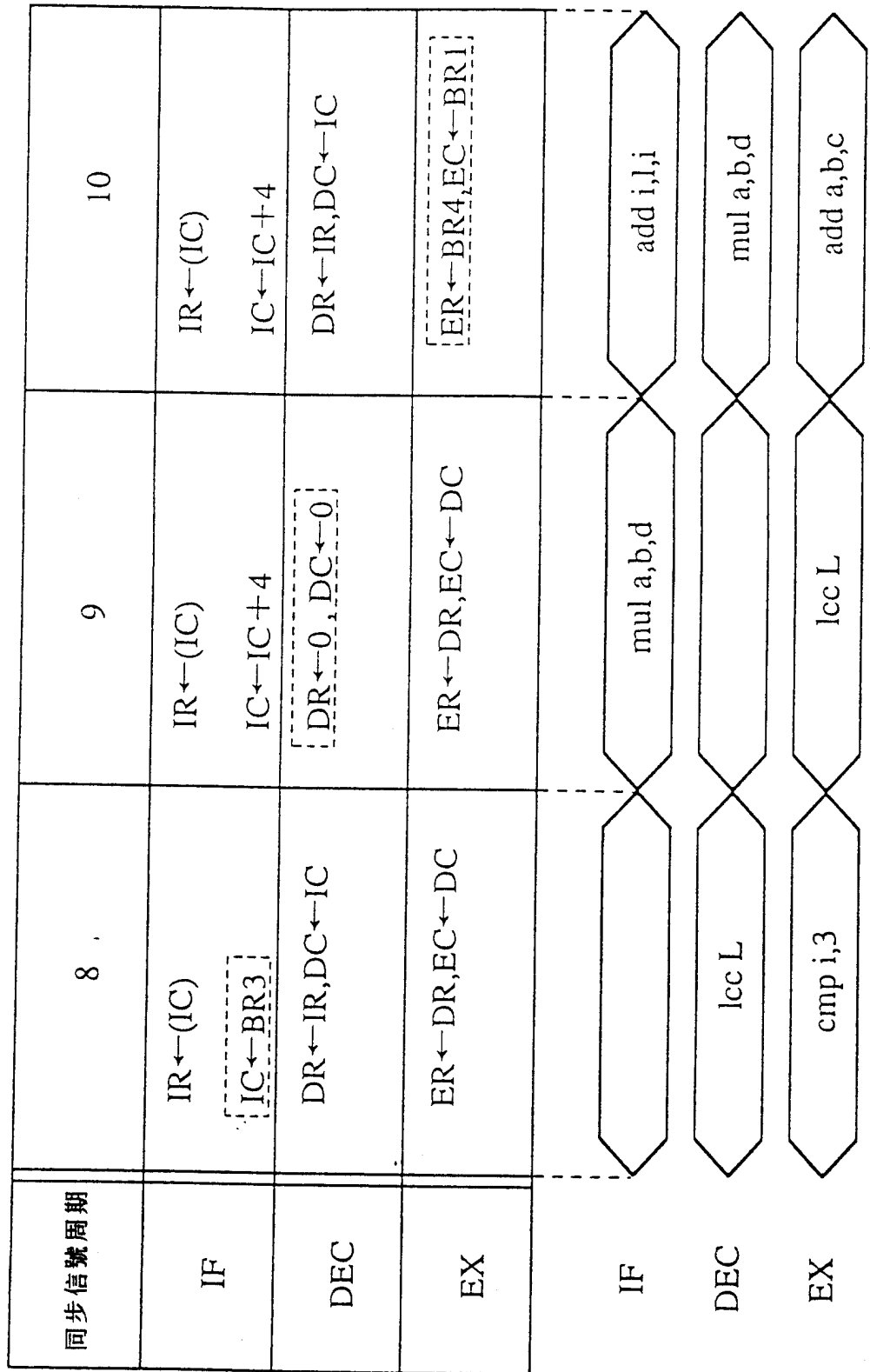
第 15 圖

同步信號周期	8	9	10
IF	$IR \leftarrow (IC)$ $IC \leftarrow (PC) + 4$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$
DEC	$DC \leftarrow IC$ $DR \leftarrow IR$	$DR \leftarrow 0, DC \leftarrow 0$	$DR \leftarrow IR, DC \leftarrow IC$
EX	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow BR4, EC \leftarrow BR1$
IF		$mul\ a, b, d$	$add\ i, l, i$
DEC	$lcc\ L$		$mul\ a, b, d$
EX	$cmp\ i, 3$	$lcc\ L$	$add\ a, b, c$

第 16 圖

同步信號周期	8	9	10
IF	$IR \leftarrow (IC)$ $IC \leftarrow BR1 + 4$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$
DEC	$DR \leftarrow IR, DC \leftarrow IC$	$DR \leftarrow 0, DC \leftarrow 0$	$DR \leftarrow IR, DC \leftarrow IC$
EX	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow BR4, EC \leftarrow BR1$
IF		$mul\ a, b, d$	$add\ i, l, i$
DEC	$lcc\ L$		$mul\ a, b, d$
EX	$cmp\ i, 3$	$lcc\ L$	$add\ a, b, c$

第 17 圖



第 18 圖

周期同步信號	8	9	10
IF	$IR \leftarrow (IC)$ $IC \leftarrow BR3$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$	$IR \leftarrow (IC)$ $IC \leftarrow IC + 4$
DEC	$DR \leftarrow IR, DC \leftarrow IC$	$DR \leftarrow 0, DC \leftarrow 0$	$DR \leftarrow IR, DC \leftarrow IC$
EX	$ER \leftarrow DR, EC \leftarrow DC$	$ER \leftarrow DR, EC \leftarrow DC$	$EC \leftarrow \langle ER \rangle$ $ER \leftarrow BR4$
IF		$mul\ a, b, d$	$add\ i, l, i$
DEC	$lcc\ L$		$mul\ a, b, d$
EX	$cmp\ i, 3$	$lcc\ L$	$add\ a, b, c$

第 19 圖

周期同步信號	8	9	10
IF	IR←(IC) IC←BR3	IR←(IC) IC←IC+4	IR←(IC) IC←IC+4
DEC	DR←IR,DC←IC	DR←0,DC←0	DR←IR,DC←IC
EX	ER←DR,EC←DC	ER←DR,EC←DC	ER←BR4,EC←BR3-4
IF		mul a,b,d	add i,l,i
DEC	lcc L		mul a,b,d
EX	cmp i,3	lcc L	add a,b,c

四、中文發明摘要(發明之名稱：

用以高速循環處理之翻譯裝置及處理器)

翻譯裝置(102)：

係具有循環檢測部(103)，用以抽出有關存在於源程序之循環處理的資訊；及，循環高速化適用部(105)，根據該資訊在循環處理之入口之前產生並配置第1專用指令，而在循環處理之入口應轉移位置產生並配置第2專用指令。

處理器(107)：

係具有管線，由指令取出部(108)，指令解讀部(109)及執行部(110)所構成；及，轉移目的地資訊記憶部(114)；及，轉移目的地資訊登記部(114)，藉由指令解讀部(108)

(接下頁)

英文發明摘要(發明之名稱：

COMPILER AND PROCESSOR FOR PROCESSING
LOOPS AT HIGH SPEED)

A compiler comprises a loop detecting unit for extracting information of loops, and a high-speed loop applying unit generating a first loop exclusive instruction, placing the instruction immediately before the entry of a loop, generating second loop exclusive instructions, and placing the instruction at each place to branch to the entry of the loop. A processor comprises: a pipeline comprising: an instruction fetching unit, an instruction decoding unit, and an executing unit; a branch target storage unit; a branch target registering unit for, after the instruction decoding unit has decoded a first loop exclusive instruction, registering branch target information of an instruction succeeding to the first loop exclusive instruction in the branch target registering unit; and a branch executing unit for, after the decoding unit has decoded a second loop exclusive instruction, judging whether to execute a loop, if judges to execute, reading the branch target information registered in the branch target storage unit, and controlling the pipeline so that the program executes the loop using the read branch target information.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要（發明之名稱：

）

（承上頁）

而前述指令為第1專用指令則被解讀時將有關後續於該指令之指令用以登記在轉移目的地資訊記憶部(114)；及，轉移執行部(113)，藉由指令解讀部(109)而前述指令為第2專用指令則被解讀時加以判斷是否應重覆循環處理，而判斷為重覆循環處理時則將登記於轉移目的地資訊記憶部(114)之轉移目的地資訊讀出並根據該資訊用以控制執行轉移處理之管線。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

英文發明摘要（發明之名稱：

）

六、申請專利範圍

JK 10 12

第85102242號申請案申請專利範圍修正本

修正日期：85年10月

1. 一種翻譯裝置，藉由翻譯源程序用以產生機器指令列，並具備以下裝置：

• 循環檢測裝置，

用以檢測存在於前述源程序之預定循環處理，並用以抽出為了特定該循環處理之資訊；

• 循環高速化適用裝置，

藉由前述循環檢測裝置根據被抽出之資訊，具有

第1專用指令產生部，用以產生表示後續之指令為循環處理的入口之第1專用指令，並用以配置在前述指令列中循環處理之入口之前，及，

第2專用指令產生部，用以產生為了轉移至循環處理之入口的第2專用指令，並用以配置在應轉移於前述指令列中循環處理的入口位置。

2. 如申請專利範圍第1項之翻譯裝置，其中循環高速化適用裝置，更且，

藉由前述循環檢測裝置根據被抽出之資訊，具有

第3專用指令產生部，用以產生表示終了循環處理之第3專用指令，並用以配置在前述指令列中循環處理之出口之後。

3. 一種處理器，用以執行包含預定之第1及第2專用指令之指令列，並具備有以下之裝置：

(請先閱讀背面之注意事項再填寫本頁)

計

六、申請專利範圍

- 管線，具有

取出部，以逐一用以取出由前述指令列之指令，
及，

解讀部，用以解讀由取出部所取出之指令，及，

執行部，用以執行以解讀部所解讀之指令；

- 轉移目的地資訊記憶裝置，

- 登記裝置，

藉由前述解讀部而前述指令為第1專用指令則被
解讀時，係將有關後續於該指令之指令的轉移目的地
資訊用以登記在前述轉移目的地資訊記憶裝置；

- 轉移執行裝置，

藉由前述解讀部而前述指令為第2專用指令則被
解讀時，係依據預定之順序用以判斷是否應重覆循環
處理，在判斷為重覆循環處理時，則將登記於前述轉
移目的地資訊記憶裝置之轉移目的地資訊讀出，並根
據該資訊用以控制執行轉移處理之前述管線。

4. 一種處理器，用以執行包含預定之第1、第2及第3
專用指令之指令列，並具備有以下之裝置：

- 管線，具有

取出部，以逐一用以取出由前述指令列之指令，
及，

解讀部，用以解讀由取出部所取出之指令，及，

執行部，用以執行以解讀部所解讀之指令；

- 轉移目的地資訊記憶裝置，

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

- 登記裝置，

藉由前述解讀部而前述指令為第 1 專用指令則被解讀時，係將有關後續於該指令之指令的轉移目的地資訊用以登記在前述轉移目的地資訊記憶裝置；

- 轉移執行裝置，

藉由前述解讀部而前述指令為第 2 專用指令則被解讀時，係依據預定之順序用以判斷是否應重覆循環處理，在判斷為重覆循環處理時，則將登記於前述轉移目的地資訊記憶裝置之轉移目的地資訊讀出，並根據該資訊用以控制執行轉移處理之前述管線。

- 消去裝置，

藉由前述解讀部而前述指令為第 3 專用指令則被解讀時，用以消去登記於前述轉移目的地資訊記憶裝置之轉移目的地資訊。

5. 如申請專利範圍第 4 項之處理器，

其中前述登記裝置，

係藉由前述解讀部而前述指令為第 1 專用指令則被解讀時，係將後續於該指令之指令所配置地址用以登記在前述轉移目的地資訊記憶裝置，

而前述轉移執行裝置，

係判斷為重覆循環處理時，則將登記於前述轉移目的地資訊記憶裝置之地址讀出，而前述取出部由該地址開始將指令列加以取出用以控制前述管線。

6. 如申請專利範圍第 4 項之處理器，

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

其中前述登記裝置，

係藉由前述解讀部而前述指令為第1專用指令則被解讀時，係將後續於該指令之指令所配置之地址及後續於該指令之預定數的指令用以登記在前述轉移目的地資訊記憶裝置，

而前述轉移執行裝置，

係判斷為重覆循環處理時，則將登記於前述轉移目的地資訊記憶裝置之地址及指令列讀出，而前述解讀部根據該地址將該指令列加以解讀，同時前述取出部依據前述第2專用指令在所指定之地址藉由進行預定之演算，由取得之地址開始將指令列加以取出用以控制前述管線。

7. 如申請專利範圍第4項之處理器，

其中前述登記裝置，

係藉由前述解讀部而前述指令為第1專用指令則被解讀時，係將後續於該指令之指令所配置之地址及後續於該指令之預定數的指令列用以登記在前述轉移目的地資訊記憶裝置，

而前述轉移執行裝置，

係判斷為重覆循環處理時，則將登記於前述轉移目的地資訊記憶裝置之地址及指令列讀出，而前述解讀部根據該地址將該指令列加以解讀，同時前述取出部藉由在該地址進行預定之演算而由取得之地址開始將指令列加以取出用以控制前述管線。

六、申請專利範圍

8. 如申請專利範圍第4項之處理器，

其中前述登記裝置，

係藉由前述解讀部而前述指令為第1專用指令則被解讀時，係將後續於該指令之指令所配置的第1地址及後續於該指令之預定數的指令列及在該指令列之下次應執行指令所配置的第2地址用以登記在前述轉移目的地資訊記憶裝置，

而前述轉移執行裝置，

係判斷為重覆循環處理時，則將登記於前述轉移目的地資訊記憶裝置之第1地址及指令列及第2地址讀出，而前述解讀部根據第1地址將該指令列加以解讀，同時前述取出部由第2地址開始將指令列加以取出用以控制前線管線。

9. 如申請專利範圍第4項之處理器，

其中前述登記裝置，

係藉由前述解讀部而前述指令為第1專用指令則被解讀時，係將後續於該指令之預定數的指令列及在該指令列之下次應執行指令所配置之地址用以登記在前述轉移目的地資訊記憶裝置，

而前述轉移執行裝置，

係判斷為重覆循環處理時，則將登記於前述轉移目的地資訊記憶裝置之指令列及地址讀出，而前述解讀部藉由前述第2專用指令根據所指定之地址將該指令列加以解讀，同時前述取出部自前述轉移目的地資

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

訊記憶裝置由讀出之地址開始將指令列加以取出用以控制前述管線。

10. 如申請專利範圍第4項之處理器，

其中前述登記裝置，

係藉由前述解讀部而前述指令為第1專用指令則被解讀時，係將後續於該指令之預定數的指令列及在該指令列之下次應執行指令所配置之地址用以登記在前述轉移目的地資訊記憶裝置，

而前述轉移執行裝置，

係判斷為重覆循環處理時，則將登記於前述轉移目的地資訊記憶裝置之指令列及地址讀出，而前述解讀部藉由在該地址進行預定之演算而根據取得之地址將該指令列加以解讀，同時前述取出部自前述轉移目的地資訊記憶裝置由讀出之地址開始將指令列加以取出用以控制前述管線。

11. 如申請專利範圍第4項之處理器，

其中前述登記裝置，

係藉由前述解讀部而前述指令為第1專用指令則被解讀時，係將後續於該指令之指令所配置之地址及將後續於該指令之預定數的指令列解讀後結果之微指令列用以登記在前述轉移目的地資訊記憶裝置，

而前述轉移執行裝置，

係判斷為重覆循環處理時，則將登記於前述轉移目的地資訊記憶裝置之地址及微指令列讀出，而前述

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

執行裝置根據該地址將該微指令列加以執行，同時前述取出部依據前述第2專用指令藉由在所指令之地址進行預定的演算由取得之地址開始將指令列加以取出用以控制前述管線。

12. 如申請專利範圍第4項之處理器，

其中前述登記裝置，

係藉由前述執行裝置而前述指令為第1專用指令則被解讀時，係將後續於該指令之指令所配置之地址及將後續於該指令之預定數的指令列解讀後結果之微指令列用以登記在前述轉移目的地資訊記憶裝置。

而前述轉移執行裝置，

係判斷為重複循環處理時，則將登記於前述轉移目的地資訊記憶裝置之地址及微指令列讀出，而前述執行裝置根據該地址將該微指令列加以執行，同時前述取出部藉由在該地址進行預定之演算由取得之地址開始將指令列加以取出用以控制前述管線。

13. 如申請專利範圍第4項之處理器，

其中前述登記裝置，

係藉由前述執行裝置而前述指令為第1專用指令則被解讀時，係將後續於該指令之指令所配置之第1地址及將後續於該指令之預定數的指令列解讀後結果之微指令列及在該指令列之下次應執行指令所配置之第2地址用以登記在前述轉移目的地資訊記憶裝置，

而前述轉移執行裝置，

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

係判斷為重覆循環處理時，則將登記於前述轉移目的地資訊記憶裝置之第1地址及微指令及第2地址讀出，而前述執行裝置根據第1地址將該微指令列加以執行，同時前述取出部由第2地址開始將指令列加以取出用以控制前述管線。

14. 如申請專利範圍第4項之處理器，

其中前述登記裝置，

係藉由前述執行裝置而前述指令為第1專用指令則被解讀時，係將後續於該指令之預定數的指令列解讀後結果之微指令列及在該指令列之下次應執行指令所配置之地址用以登記在前述轉移目的地資訊記憶裝置，

而前述轉移執行裝置，

係判斷為重覆循環處理時，則將登記於前述轉移目的地資訊記憶裝置之微指令列及地址讀出，而前述執行裝置藉由前述第2專用指令而根據所指定之地址將該微指令列加以執行，同時前述取出部自前述轉移目的地資訊記憶裝置由讀出之地址開始將指令列加以取出用以控制前述管線。

15. 如申請專利範圍第4項之處理器，

其中前述登記裝置，

係藉由前述執行裝置而前述指令為第1專用指令則被解讀時，係將後續於該指令之預定數的指令列解讀後結果之微指令列及在該指令列之下次應執行指令

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

所配置之地址用以登記在前述轉移目的地資訊記憶裝置，

而前述轉移執行裝置，

係判斷為重覆循環處理時，則將登記於前述轉移目的地資訊記憶裝置之微指令列及地址讀出，而前述執行裝置根據該地址將該微指令列加以執行，同時前述取出部自前述轉移目的地資訊記憶裝置由讀出之地址開始將指令列加以取出用以控制前述管線。

(請先閱讀背面之注意事項再填寫本頁)

訂