



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2014년09월05일
 (11) 등록번호 10-1438379
 (24) 등록일자 2014년09월01일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
- (21) 출원번호 10-2008-0026428
- (22) 출원일자 2008년03월21일
 심사청구일자 2013년01월31일
- (65) 공개번호 10-2008-0086846
- (43) 공개일자 2008년09월26일
- (30) 우선권주장
 JP-P-2007-00076908 2007년03월23일 일본(JP)
- (56) 선행기술조사문헌
 JP2002329666 A*
 JP2006229212 A*
 JP2006148086 A
 US06964831 B2
- *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
오마타 다카추구
 일본, 가나가와Ken 243-0036, 아쓰기시, 하세 398
 가부시키가이사한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
장훈

전체 청구항 수 : 총 10 항

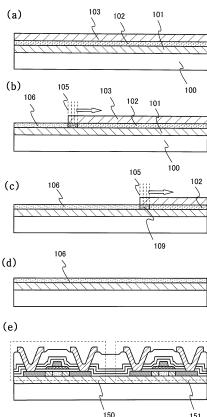
심사관 : 설관식

(54) 발명의 명칭 결정성 반도체막의 제조방법 및 박막트랜지스터의 제조방법

(57) 요약

본 발명은 반도체장치에 이용할 수 있는 다결정 반도체막을, 비정질 반도체막에 펨토초 레이저를 조사하여 결정화함으로써 제조하는 방법에 관한 것이다.

펨토초 레이저를 사용하여 레이저 결정화를 함으로써, 캡막 상면에 성막한 비정질 반도체막을 레이저 결정화할 때에, 반도체막의 결정화와 캡막의 제거를 동시에 하는 것이 가능해진다. 그 때문에, 후 공정의 캡막 제거 공정을 삭감할 수 있다.

대 표 도

특허청구의 범위

청구항 1

결정성 반도체 막을 제조하는 방법에 있어서:

기판 위에 비정질 반도체 막을 형성하는 단계;

상기 비정질 반도체 막 위에 캡 막(cap film)을 형성하는 단계; 및

상기 캡 막을 통해 상기 캡 막의 영역과 상기 캡 막의 영역 아래의 상기 비정질 반도체 막의 영역을 동시에 단일 펨토초 레이저(femtosecond laser)로 조사하는 단계를 포함하고,

상기 비정질 반도체 막의 결정화 및 상기 캡 막의 제거는 상기 단일 펨토초 레이저로 조사하는 동안 동시에 일어나는, 결정성 반도체 막 제조 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 캡 막은 SiN_xO_y ($0 \leq x \leq 4/3$, $0 \leq y \leq 2$, $0 \leq 3x+2y \leq 4$) 막인, 결정성 반도체 막 제조 방법.

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 캡 막의 두께는 200nm 이상 1000nm 이하인, 결정성 반도체 막 제조 방법.

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 결정성 반도체 막은 다결정 반도체 막인, 결정성 반도체 막 제조 방법.

청구항 9

삭제

청구항 10

제 1 항에 있어서,

상기 비정질 반도체 막을 형성하기 전에 상기 기판 위에 하지막을 형성하는 단계를 더 포함하는, 결정성 반도체 막 제조 방법.

청구항 11

박막 트랜지스터를 제조하는 방법에 있어서:

기판 위에 비정질 반도체 막을 형성하는 단계;

상기 비정질 반도체 막 위에 캡 막을 형성하는 단계;

상기 캡 막을 통해 상기 캡 막의 영역과 상기 캡 막의 영역 아래의 상기 비정질 반도체 막의 영역을 동시에 단일 펨토초 레이저로 조사하는 단계; 및

결정화된 반도체 막을 이용하여 채널 영역, 소스 및 드레인 영역을 형성하는 단계를 포함하고,

상기 비정질 반도체 막의 결정화 및 상기 캡 막의 제거는 상기 단일 펨토초 레이저로 조사하는 동안 동시에 일어나는, 박막 트랜지스터 제조 방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

제 11 항에 있어서,

상기 캡 막은 SiN_xO_y ($0 \leq x \leq 4/3$, $0 \leq y \leq 2$, $0 \leq 3x+2y \leq 4$) 막인, 박막 트랜지스터 제조 방법.

청구항 15

삭제

청구항 16

제 11 항에 있어서,

상기 캡 막의 두께는 200nm 이상 1000nm 이하인, 박막 트랜지스터 제조 방법.

청구항 17

삭제

청구항 18

제 11 항에 있어서,

상기 결정화된 반도체 막은 다결정 반도체 막인, 박막 트랜지스터 제조 방법.

청구항 19

삭제

청구항 20

제 11 항에 있어서,

상기 비정질 반도체 막을 형성하기 전에 상기 기판 위에 하지막을 형성하는 단계를 더 포함하는, 박막 트랜지스터 제조 방법.

청구항 21

삭제

청구항 22

작제

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체장치에 이용할 수 있는 결정성 반도체막을, 비정질 반도체막에 레이저 조사하여 결정화함으로써 제조하는 방법 및 이것을 이용한 박막트랜지스터의 제조방법에 관한 것이다. 또, 본 명세서 중에서 반도체장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기광학장치, 반도체회로 및 전기기기는 전부 반도체장치이다.

배경기술

[0002] 최근, 결정성 실리콘 박막트랜지스터(TFT)에 의해, 저가의 유리기판상에 구동회로를 구비한 액정표시장치를 형성하는 것이 가능하게 되었다. 결정성 실리콘 박막의 형성방법으로서는 레이저광을 조사함으로써 비정질 실리콘막을 결정화시켜 결정성 실리콘 박막을 얻는 방법이 있다.

[0003] 일반적으로, 반도체막의 결정화에 연속 발진식 레이저를 사용하면 반도체막 내에 형성되는 결정의 입경이 커지는 것이 알려져 있다. 반도체막 내의 결정 입경이 커지면, 반도체막을 사용하여 형성되는 TFT의 채널영역에 들어가는 입계의 수가 줄기 때문에 이동도가 높아지고, 반도체막을 더욱 고성능의 디바이스의 개발에 이용할 수 있다.

[0004] 기판의 스캔 속도 및 스폷 형상을 적절하게 변화시킴으로써, 펄스 발진식 레이저를 사용하여도 연속 발진식 레이저를 사용하였을 때와 같이 결정립이 큰 반도체막을 얻을 수 있다.

[0005] 레이저를 사용한 반도체막의 결정화방법에서, 예를 들면 결정화시키는 반도체막의 상층에 캡막으로서 산화규소막을 수백nm 정도 성막하여, 레이저 결정화를 하면 결정의 배향성을 갖추기 쉬워지는 것이 알려져 있다. 또한, 캡막의 존재에 의해, 막 두께가 30nm 이하의 극박막이어도 레이저 결정화가 가능하게 되는 것이 알려져 있다.

[0006] 그렇지만, 반도체막의 상층에 캡막을 성막하여 레이저 결정화를 한 경우, 레이저 결정화 공정의 후 공정에서 캡막을 제거할 필요가 있어, 공정수가 증가한다. TFT 등의 제조의 경우, 통상, 레이저 결정화 공정의 직후의 공정은 반도체막의 패터닝에 의한 아일랜드 형성이고, 캡막은 포토레지스트 등의 장해가 되기 때문에, 아일랜드 형성 전에 제거할 필요가 있다. 캡막의 제거는 에칭 공정에서 행하여지고, 웨트 에칭법의 경우는 HF 등의 약액을, 드라이 에칭법의 경우는 CF₄ 등의 에칭가스를 사용하기 때문에, 공정 증가에 의한 비용 상승이 더해지고, 약액 및 가스의 처리가 필요하게 된다(예를 들면 특허문헌 1).

[0007] [특허문헌 1] 일본 공개특허공보 2000-228360호

발명의 내용

해결 하고자하는 과제

[0008] 본 발명은 반도체막의 상층에 캡막을 성막하여 행하는 반도체막의 결정화와, 캡막의 제거 공정을 간략화하는 것 및, 결정화 및 캡막 제거 공정에 걸리는 시간을 단축하는 것을 과제로 한다.

과제 해결수단

[0009] 상기 과제를 해결하기 위해서, 본 발명의 결정성 반도체막의 제조방법은 기판상에 비정질 반도체막을 형성하는 공정과, 비정질 반도체막의 위에 캡막을 형성하는 공정과, 캡막의 위로부터 펨토초 레이저를 조사함으로써, 상기 비정질 반도체막을 결정화함과 함께 캡막을 제거하는 공정을 갖는다.

[0010] 또는 기판상에 비정질 반도체막을 형성하는 공정과, 비정질 반도체막의 위에 캡막을 형성하는 공정과, 캡막의 위로부터 제 1 레이저를 조사함으로써 상기 비정질 반도체막을 결정화하는 공정과, 캡막의 위로부터 펨토초 레이저인 제 2 레이저를 조사함으로써 캡막을 제거하는 공정을 갖고, 제 1 레이저를 조사하는 동안에, 제 2 레이

저를 조사하는 것을 특징으로 한다.

[0011] 또한, 본 발명의 박막트랜지스터의 제조방법은 기판상에 비정질 반도체막을 형성하는 공정과, 비정질 반도체막의 위에 캡막을 형성하는 공정과, 캡막의 위로부터 펨토초 레이저를 조사함으로써, 상기 비정질 반도체막을 결정화함과 함께 캡막을 제거하는 공정과, 결정성 반도체막을 사용하여 채널영역, 소스영역과 드레인영역을 형성하는 공정을 갖는다.

[0012] 또는 기판상에 비정질 반도체막을 형성하는 공정과, 비정질 반도체막의 위에 캡막을 형성하는 공정과, 캡막의 위로부터 제 1 레이저를 조사함으로써 상기 비정질 반도체막을 결정화하는 공정과, 캡막의 위로부터 펨토초 레이저인 제 2 레이저를 조사함으로써 캡막을 제거하는 공정과, 결정성 반도체막을 사용하여 채널영역, 소스영역 또는 드레인영역을 형성하는 공정을 갖고, 제 1 레이저를 조사하는 동안에, 제 2 레이저를 조사하는 것을 특징으로 한다.

[0013] 또, 본 발명의 결정성 반도체막 및 박막트랜지스터의 제조방법에서, 기판상에 비정질 반도체막을 형성하는 공정 전에, 기판상에 하지막을 형성하는 공정을 갖는 것이 바람직하다.

[0014] 또 본 발명의 결정성 반도체막 및 박막트랜지스터의 제조방법에서 캡막은 $\text{SiN}_{x}O_y$ ($0 \leq x \leq 4/3$, $0 \leq y \leq 2$, $0 \leq 3x+2y \leq 4$) 막인 것이 바람직하다. 또한, 캡막의 두께는 200nm 이상 1000nm 이하인 것이 바람직하다.

[0015] 또, 본 발명의 결정성 반도체막 및 박막트랜지스터의 제조방법에서, 결정성 반도체막은 다결정 반도체막인 것이 바람직하다.

[0016] 또, 본 발명에서, 결정성 반도체막이란 다결정 반도체막, 미결정 반도체막, 세미어몰파스 반도체막 등의, 결정화영역을 포함하는 반도체막을 가리킨다.

효과

[0017] 본 발명의 결정성 반도체막의 제조방법에 의하면, 펨토초 레이저를 사용하여 레이저 결정화를 함으로써, 캡막을 상면에 성막한 비정질 반도체막을 레이저 결정화할 때에, 반도체막의 결정화와 캡막의 제거를 동시에 하는 것이 가능해진다. 이 때문에, 후 공정의 캡막 제거 공정을 삭제할 수 있어, 비용절감에 공헌할 수 있는 것이다.

[0018] 또한, 펨토초 레이저의 에너지를 조정함으로써, 반도체막의 결정화와 캡막의 제거를 다른 공정에서 행할 수도 있고, 그 경우, 반도체막의 결정화를 한 후에, 펨토초 레이저를 사용하여 상층의 캡막만을 제거하는 것이 가능하다. 따라서, 후 공정의 캡막 에칭 공정의 필요가 없어져, 약품이나 가스를 처리하는 공정을 줄일 수 있다. 또, 이 경우, 반도체막의 결정화에는 펨토초 레이저 이외의 레이저, 예를 들면 액시머 레이저나 고체 레이저의 고조파 등을 사용하여도 좋다. 그리고, 반도체막의 결정화와 캡막의 제거를 병행하여 행할 수도 있기 때문에, 결정화 및 캡막 제거 공정에 걸리는 시간을 단축할 수 있다.

발명의 실시를 위한 구체적인 내용

[0019] 본 발명의 실시형태에 관해서, 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 일탈하지 않고 그 형태 및 상세를 여러가지로 변경할 수 있는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 개시하는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또, 이하에 설명하는 본 발명의 구성에서, 같은 것을 지시하는 부호는 다른 도면간에서 공통으로 한다.

[0020] (실시형태 1)

[0021] 이하, 본 발명의 결정성 반도체막의 제조방법 및 이것을 사용한 박막트랜지스터의 제조방법에 관해서 도면을 사용하여 설명한다.

[0022] 도 1은 본 발명의 제조방법의 공정을 도시하는 도면이다.

[0023] 우선, 도 1a에 도시하는 바와 같이, 절연 표면을 갖는 기판(100)의 한 면에, 하지막으로서 기능하는 절연막(101)을 형성한다. 하지막으로서 기능하는 절연막(101)은 두께 50nm 내지 150nm의 산화규소막, 질화규소막, 산소보다 질소의 함유량이 많은 질화산화규소막, 질소보다 산소의 함유량이 많은 산화질화규소막 등을 적절하게 이용하여 형성한다. 여기에서는 절연 표면을 갖는 기판(100)으로서, 예를 들면, 두께 0.7mm의 유리기판을 사용한다. 또한, 하지막으로서 기능하는 절연막(101)을, 두께 50nm의 질화산화규소막을 플라즈마 CVD법에 의해 형

성한 후, 두께 100nm의 산화질화규소막을 플라즈마 CVD법에 의해 형성한다.

[0024] 또, 하지막으로서 기능하는 절연막(101)은 필요에 따라서 형성하면 좋고, 기판(100)이 유리로부터의 불순물이 반도체막(102)에 확산되는 것을 방지하는 것이지만, 기판(100)으로서 석영기판을 이용한 경우는 하지막으로서 기능하는 절연막(101)을 형성하지 않아도 좋다. 또한, 절연막(101)과 기판(100)의 사이에 박리막을 형성하고, 공정 종료 후에 기판(100)으로부터 반도체 소자를 박리하여도 좋다.

[0025] 다음에, 절연막(101)상에, 반도체막(102)으로서, 10nm 이상 100nm 이하의 두께, 바람직하게는 20nm 이상 80nm 이하의 두께의 비정질 반도체막을 플라즈마 CVD법으로 성막한다.

[0026] 그 반도체막(102)에 관해서는 본 실시형태에서는 비정질규소를 사용하지만, 실리콘게르마늄($\text{Si}_{1-x}\text{Ge}_x$ ($0 < x < 0.1$)) 등도 사용할 수 있고, 또 단결정이 다이아몬드 구조인 실리콘카바이드(SiC)를 사용할 수 있다.

[0027] 또한, 그 반도체막(102)이 비정질 반도체막인 경우, 반도체막(102)을 형성한 후, 반도체막을 가열하여도 좋다. 상기 가열 처리는 비정질규소막으로부터 수소를 꺼내기 위한 처리이다. 또, 그 수소를 꺼내는 것은 레이저 빔을 조사하였을 때에 반도체막(102)으로부터 수소가스가 분출하는 것을 막기 위해서이고, 반도체막(102)에 포함되는 수소가 적으면 생략할 수 있다. 여기에서는 반도체막(102)을, 전기로 내에서 500°C, 1시간 가열한다.

[0028] 다음에, 반도체막(102)상에 캡막(103)으로서 두께 200nm 이상 1000nm 이하의 $\text{Si}_{\text{x}}\text{N}_{\text{y}}$ ($0 \leq x \leq 1.5$, $0 \leq y \leq 2$, $0 \leq 4x+3y \leq 6$)막을 형성한다.

[0029] 캡막(103)은 모노실란(SiH_4), 암모니아(NH_3) 및 아산화질소(N_2O)를 반응가스로서, 플라즈마 CVD법을 이용하여 형성할 수 있다. 또, 아산화질소(N_2O)는 산화제로서 이용하는 것으로, 그 대신에 산화작용이 있는 산소를 이용하여도 좋다. 이러한 가스를 이용하는 것으로, 질소보다 산소의 함유량이 많은 산화질화규소(이하, $\text{Si}_{\text{x}}\text{O}_{\text{y}}\text{Ny}$ ($x > y$)라고 함)막을 형성할 수 있다. 또한, 캡막(103)은 모노실란(SiH_4), 및 암모니아(NH_3)를 반응가스로서, 플라즈마 CVD법을 사용하여 형성할 수 있다. 이러한 가스를 사용하는 것으로, 산소보다 질소의 함유량이 많은 질화산화규소(이하, $\text{Si}_{\text{x}}\text{N}_{\text{y}}\text{O}_{\text{y}}$ ($x > y$)라고 함)막을 형성할 수 있다.

[0030] 캡막(103)에 관해서는 열팽창 계수 등의 열적인 값이나 연성(延性) 등의 값이 인접한 반도체막과 가까운 것이 바람직하다. 또, 캡막(103)은 후에 형성되는 박막트랜지스터의 게이트 절연막과 동등하게 단단하고, 에칭 속도가 느린 치밀한 막인 것이 바람직하다. 대표적으로는 플루오르화수소암모늄 및 플루오르화암모늄의 혼합수용액 또는 플루오르산수용액을 사용하여 20°C에서 에칭하였을 때의 에칭 속도가 1nm/분 이상 150nm/분 이하, 바람직하게는 10nm/분 이상 130nm/분 이하, 더욱 바람직하게는 10nm/분 이상 100nm/분 이하인 치밀한 막인 것이 바람직하다.

[0031] 또한, 하이드로플루오로카본 가스에 의한 드라이 에칭의 에칭 속도가 100nm/분 이상 150nm/분 이하, 바람직하게는 110nm/분 이상 130nm/분 이하인 치밀한 막인 것이 바람직하다. 이러한 단단하고 치밀한 막은 예를 들면 성막레이트를 낮게 함으로써 형성할 수 있다. 캡막(103)으로서, 치밀한 막을 형성함으로써, 열 전도율을 높일 수 있다.

[0032] 또, 캡막(103)에 수소가 많이 포함되어 있는 경우에는 반도체막(102)과 같이, 수소를 추출하기 위한 가열 처리를 한다.

[0033] 다음에, 도 1b 및 1c에 도시하는 바와 같이, 캡막(103)의 위쪽으로부터 펨토초 레이저의 레이저 빔(105)을 조사하여, 기판(100)을 주사함(레이저는 고정, 기판을 주사)으로써, 반도체막(102)을 결정화함과 함께 캡막(103)을 제거한다.

[0034] 펨토초 레이저는 펄스폭이 수 f(펨토)부터 수백 f초로 에너지 밀도 수백 mJ/cm^2 로부터 수십 J/cm^2 , 바람직하게는 500 mJ/cm^2 에서 5 J/cm^2 정도로 조사한다. 기판의 주사 속도는 수십 mm/sec 에서 수백 mm/sec 로 주사한다.

[0035] 펨토초 레이저란 펄스폭이 펨토초(10^{-15} 초)대와 극단적으로 짧은 레이저이고, 일반적으로 펄스폭이, 1f(펨토)초 이상, 1p(피코)초 미만의 레이저를 말한다. 순간적인 전장(電場) 강도는 $10\text{TW}/\text{cm}^2$ 에나 이른다. 이 레이저는 펄스 레이저이며, 레이저광이 공간, 시간영역에 국재되어 있다.

[0036] 이 때문에, 통상의 레이저에서는 1광자의 에너지가 물질의 밴드갭보다도 큰 레이저광을 조사한 경우, 1개의 광자가 흡수되어 1개의 전자가 여기상태로 천이하여, 빛과 물질은 상호 작용을 일으키는데 대하여, 펨토초 레이저를 사용한 경우는 복수의 광자가 동시에 흡수되는 다광자 흡수 반응이 초점 부근에서만 여기된다. 따라서, 통

상에서는 생각할 수 없는 반응을 일으키는 것이 가능해진다.

[0037] 결정화의 원리는 직접 반도체막(102)에 레이저가 작용하는 것이 아니라, 우선, 캡막(103)에 다광자 흡수에 의해 레이저광이 흡수되고, 캡막(103)이 가열된다. 가열이 진행되면 그 열이 반도체막(102)에 전해져 결정화된다. 또한, 동시에 캡막(103)도 가열이 진행하여 어브레이션(ablation)되어 제거된다.

[0038] 레이저 빔(105)의 조사가 끝나면, 도 1d에 도시하는 바와 같이, 반도체막(102)의 결정화해야 하는 부분은 결정화되어 결정성 반도체막(106)이 되고, 결정성 반도체막(106)의 위의 캡막(103)은 제거된다.

[0039] 여기에서, 결정성 반도체막(106)은 다결정 반도체막, 미결정 반도체막, 세미어몰퍼스 반도체막 등의, 결정화영역을 포함하는 반도체막이다. 본 실시형태에서는 결정성 반도체막은 다결정 반도체막의 구조를 취하는 것이 바람직하다.

[0040] 반도체막(102)의 일부만을 결정화하는 경우는 결정화하지 않은 반도체막(102)의 위의 캡막(103)은 필요에 따라서, 펨토초 레이저로 제거할 수 있다. 그 경우에는 펨토초 레이저의 에너지를 조정함으로써, 캡막(103)의 제거만을 행할 수 있다.

[0041] 다음에, 도 1e에 도시하는 바와 같이, 결정성 반도체막(106)을 사용하여, 채널영역과, 소스영역 및 드레인영역을 형성하고, 박막트랜지스터(150; TFT) 및 박막트랜지스터(151; TFT)를 제조할 수 있다.

[0042] 또, 박막트랜지스터의 제조 프로세스에 들어가기 전에, 반도체막(102)의 박막화를 행하여도 좋다. 구체적으로는 반도체막(102)의 두께가 10nm 이상 30nm 이하가 되도록 에칭을 하여도 좋다. 본 발명에서는 캡막(103)의 위로부터 레이저 조사를 하기 때문에, 이러한 두께가 얇은 반도체막(102)도 레이저 결정화하는 것이 가능하다. 이러한 두께가 얇은 결정성 반도체막(106)을 이용하여 박막트랜지스터를 형성하면, 완전 공핍형 박막 트랜지스터가 되기 때문에, 이동도가 높은 박막트랜지스터를 제조할 수 있다.

[0043] 이상과 같이, 캡막(103)을 성막한 기판을 레이저 결정화할 때에, 본 발명과 같이 펨토초 레이저를 이용하는 것으로, 반도체막(102)의 결정화와 캡막(103)의 제거를 동시에 하는 것이 가능해진다. 그 때문에, 후 공정의 캡막 제거 공정을 생략할 수 있어, 비용절감에 공헌할 수 있다.

[0044] 또한, 펨토초 레이저의 에너지를 조정함으로써, 반도체막(102)의 결정화와 캡막(103)의 제거를 다른 공정에서 행할 수도 있고, 그 경우, 반도체막(102)의 결정화를 한 후에, 펨토초 레이저를 이용하여 상층의 캡막(103)만을 제거하는 것이 가능하다. 따라서, 캡막 제거에 펨토초 레이저를 이용하는 것으로, 에칭 공정의 약액 및 가스를 사용할 필요가 없어져, 약품이나 가스를 처리하는 공정을 줄일 수 있다.

[0045] 다음에, 펨토초 레이저의 레이저 빔(105) 형성하기 위한 광학계를, 도 2를 사용하여 설명한다.

[0046] 도 2에서, 레이저 발진기(201)는 파장이 적외영역의 펨토초 레이저를 발진하는 레이저 발진기이다. 레이저 발진기(201)로부터 사출된 레이저 빔은 미러(202)에서 조사면인 유리기판(205)에 수직으로 레이저 빔이 도달하도록 레이저 빔의 방향을 바꾼다. 이어서, 선형 빔이 선방향으로 작용하는 실린드리컬 렌즈(203), 선형 빔의 폭 방향으로 작용하는 실린드리컬 렌즈(204)에 의해, 조사면에서 선형 빔이 형성된다.

[0047] 캡막 및 반도체막을 성막한 유리기판(205)을, XY 스테이지(206)를 사용하여 적절하게, 전후좌우로 주사를 반복하여 반도체막을 결정화시킬 수 있다.

[0048] (실시형태 2)

[0049] 이하, 본 발명의 결정성 반도체막의 제조방법 및 이것을 사용한 박막트랜지스터의 제조방법의 다른 형태에 관해서 도면을 사용하여 설명한다. 도 3은 본 발명의 제조방법의 공정을 도시하는 도면이다.

[0050] 우선, 실시형태 1에서 도 1a를 사용하여 설명한 방법으로 절연막(101), 반도체막(102), 캡막(103)을 순차적으로 형성한 기판(100)에 대하여, 도 3a에 도시하는 바와 같이, 캡막(103)의 위쪽으로부터 결정화를 하기 위한 레이저의 레이저 빔(110)을 조사하여, 기판(100)을 주사한다. 도 3b 및 3c에 도시하는 바와 같이, 레이저 빔(110)의 조사와 병행하여, 기판의 주사방향에 대하여, 결정화를 하기 위한 레이저의 레이저 빔(110)의 후방으로부터 펨토초 레이저의 레이저 빔(111)을 조사한다. 레이저 빔(110)에 의해, 반도체막(102)이 결정화되고, 결정화된 직후에 레이저 빔(111)을 조사함으로써, 캡막(103)이 제거된다.

[0051] 펨토초 레이저는 수mJ/cm²에서 수J/cm²로 조사한다. 또한, 기판의 주사 속도는 결정화의 속도와 같은 수십mm/sec에서 수백mm/sec로 주사하는 것이 바람직하다.

- [0052] 레이저 빔의 조사가 끝나면, 도 3d에 도시하는 바와 같이, 반도체막(102)의 결정화해야 하는 부분은 결정화되어 결정성 반도체막(106)이 되고, 결정성 반도체막(106)의 위의 캡막(103)은 제거된다.
- [0053] 여기에서, 결정성 반도체막(106)은 다결정 반도체막, 미결정 반도체막, 세미어몰퍼스 반도체막 등의, 결정화영역을 포함하는 반도체막이다. 본 실시형태에서는 결정성 반도체막은 다결정 반도체막의 구조를 취하는 것이 바람직하다.
- [0054] 다음에, 도 3e에 도시하는 바와 같이, 결정성 반도체막(106)을 사용하여, 통상의 프로세스에서 채널영역, 소스영역 또는 드레인영역을 형성하고, 박막트랜지스터(150; TFT) 및 박막트랜지스터(151; TFT)를 제조할 수 있다.
- [0055] 또, 박막트랜지스터의 제조 프로세스에 들어가기 전에, 반도체막(102)의 박막화를 행하여도 좋다. 구체적으로는 반도체막(102)의 두께가 10nm 이상 30nm 이하가 되도록 에칭을 하여도 좋다. 본 발명에서는 캡막(103)의 위로부터 레이저 조사를 하기 때문에, 이러한 두께가 얇은 반도체막(102)도 레이저 결정화하는 것이 가능하다. 이러한 두께가 얇은 결정성 반도체막(106)을 이용하여 박막트랜지스터를 형성하면, 완전 공핍형 박막 트랜지스터가 되기 때문에, 이동도가 높은 박막트랜지스터를 제조할 수 있다.
- [0056] 이상과 같이, 통상의 레이저에 의해 반도체막의 결정화를 한 다음, 연속하여 펨토초 레이저를 이용하여 상층의 캡막만을 제거하는 것이 가능하다. 반도체막의 결정화와 캡막의 제거를 병행함으로써, 공정에 걸리는 시간을 단축할 수 있다. 또한, 캡막 제거에 펨토초 레이저를 사용하는 것으로, 에칭 공정의 약액 및 가스를 사용할 필요가 없어져, 약품이나 가스를 처리하는 공정을 줄일 수 있다.
- [0057] 다음에, 본 실시형태에서 사용하는 장치에 관해서, 도 4를 사용하여 설명한다.
- [0058] 도 4에서, 결정화를 하는 제 1 레이저 발진기(210)는 결정화하는 반도체막에 수십% 이상 흡수되는 파장의 레이저를 사용한다. 연속 발진 레이저나 반복 주파수가 10MHz 이상인 펄스 발진 레이저를 사용하는 것이 바람직하다. 예를 들면, 기체 레이저로서는 Ar 레이저, Kr 레이저, CO₂ 레이저 등이 있다. 고체 레이저로서, YAG 레이저, YLF 레이저, YA1O₃ 레이저, GdVO₄ 레이저, KGW 레이저, KYW 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, Y₂O₃ 레이저, YVO₄ 레이저 등이 있다. 또, YAG 레이저, Y₂O₃ 레이저, GdVO₄ 레이저, YVO₄ 레이저 등의 세라믹 레이저가 있고, 금속 증기 레이저로서는 헬륨카드뮴 레이저 등을 들 수 있다.
- [0059] 또한, 레이저 빔을 TEM₀₀(싱글 횡모드)로 발진하여 사출할 수도 있고, 이와 같이 하면 피조사면에서 얻어지는 선형의 빔스폿의 에너지 균일성이 상승될 수 있기 때문에 바람직하다.
- [0060] 제 1 레이저 발진기(210)로부터 사출된 레이저 빔은 미러(202)에서 조사면인 유리기판(205)에 수직으로 레이저 빔이 도달하도록 레이저 빔의 방향을 바꾼다. 이어서, 선형 빔이 선방향으로 작용하는 실린드리컬 렌즈(203), 선형 빔의 폭방향에 작용하는 실린드리컬 렌즈(204)에 의해, 조사면에서 선형 빔이 형성된다.
- [0061] 한편, 캡막을 제거하는 제 2 레이저 발진기(211)는 파장이 적외영역의 펨토초 레이저를 발진하는 레이저 발진기이다. 레이저 발진기로부터 사출된 레이저 빔은 갈바노 스캐너(212)에서 조사면인 유리기판(205)에 조사되도록 레이저 빔의 방향을 바꾼다. 이어서, fθ 렌즈(213)에 의해, 조사면에서 집광되어 빔스폿이 형성된다.
- [0062] 캡막 및 반도체막을 성막한 유리기판(205)을, XY 스테이지(206)를 이용하여 적절하게, 전후좌우로 주사를 반복하여 반도체막을 결정화시키면서 캡막을 제거할 수 있다.
- [0063] 또한, 제 2 레이저 발진기로부터 발진된 레이저 빔은 갈바노 스캐너(212)에 의해서, 기판의 주사방향 순서로 조사하는 위치를 변경하여, 항상 제 1 레이저 빔에 의해 반도체막이 결정된 후에 제 2 레이저 빔이 조사되고, 캡막이 제거되도록 한다.
- [0064] 제 2 레이저 발진기로부터 발진된 레이저 빔의 조사면에서의 스폿은 형상에 관해서는 특별히 규정하지 않지만, 스폿 사이즈에 관해서는 제 1 레이저의 선형 빔의 길이 방향과 거의 동등해지도록 하는 것이 바람직하다.
- [0065] 실시예 1
- [0066] 본 실시예에서는 상기 발명의 실시형태 1에서 개시한 결정성 반도체박막의 제조방법에서 이용된 펨토초 레이저로, 비정질 반도체막의 결정과 캡막의 제거를 동시에 행한 예에 관해서 도면을 사용하여 설명한다.
- [0067] 우선, 샘플을 이하의 방법으로 제조하였다. 유리기판상에 하지막으로서, 두께 50nm의 질화산화규소막을 플라즈

마 CVD법에 의해 형성한 후, 두께 100nm의 산화질화규소막을 플라즈마 CVD법에 의해 형성하였다. 다음에 하지 막의 위에 비정질규소막을 플라즈마 CVD법으로 성막하고, 그 위로부터 캡막으로서 SiNO를 플라즈마 CVD법으로 300nm 성막하였다. 비정질규소막의 막 두께는 20nm, 25nm, 30nm의 3종류의 샘플을 제조하였다. SiNO의 조성은 Si:32.2%, O:5.2%, N:45.5%, H:17.2%로 한다. 또, 비교대상으로서, 비정질규소막의 막 두께가 20nm로, 캡막이 없는 샘플도 제조하였다.

[0068] 레이저 발진기로서는 파장이 795nm($\pm 15\text{nm}$)이고 펄스폭 50f(펨토)초의 레이저를 이용하였다. 광학계는 $f\Theta$ 렌즈와 갈바노 스캐너를 사용하여, 스폿 직경을 $10\mu\text{m}$ 로 하였다. 레이저의 초점은 캡막의 표면에 맞추고, 초점 심도에 캡막과 비정질 규소막이 들어가도록 하였다.

[0069] 각 샘플에 관해서, 1쇼트를 확인할 수 있도록 갈바노 스캐너의 주사 속도를 조정하여, 일정 구간, 레이저광을 조사하였다. 레이저광의 에너지 밀도는 비정질규소막의 막 두께가 20nm인 샘플에 관해서는 $2.7\text{J}/\text{cm}^2$, 25nm인 샘플에 대해서는 $2.7\text{J}/\text{cm}^2$, 30nm인 샘플에 대해서는 $3.6\text{J}/\text{cm}^2$, 캡막이 없는 샘플에 대해서는 $0.9\text{J}/\text{cm}^2$ 로 하였다.

[0070] 레이저광 조사 후의, 각 샘플에 관해서, 광학현미경으로 관찰함과 함께 라만 분광측정을 하였다. 그 결과를, 비정질규소막의 막 두께가 20nm인 샘플에 대해서는 도 5, 25nm인 샘플에 대해서는 도 6, 30nm인 샘플에 대해서는 도 7, 캡막이 없는 샘플에 대해서는 도 19에 도시한다. 각 도면에서, (a)가 광학현미경의 관찰사진이고, (b)가 라만분광측정에 의한 분석 결과로, 가로축이 파수(cm^{-1})이고, 세로축이 라만 강도를 나타낸다.

[0071] 비정질규소막의 막 두께가 20nm인 샘플의 결과인 도 5를 보면, 레이저가 조사된 부분의 중심(도 5a에서, 점 A 및 점 B)에서의 라만분광측정 결과(도 5b)에서 다결정규소의 피크(파수 520cm^{-1})가 나왔고, 그 밖의 부분(도 5a에서, 점 C 및 점 D)에서는 다결정규소의 피크가 나오지 않았다.

[0072] 이로부터, 레이저가 조사된 중심부에서 비정질규소가 결정화됨과 함께 캡막이 제거되어 있는 것을 알 수 있다.

[0073] 마찬가지로, 비정질규소막의 막 두께가 25nm인 샘플의 결과인 도 6에서도, 레이저가 조사된 부분의 중심(도 6a에서, 점 A)에서의 라만분광측정 결과(도 6b)로 다결정규소의 피크가 나왔고, 그 밖의 부분(도 6a에서, 점 B 및 점 C)에서는 다결정규소의 피크가 나오지 않은 것을 확인할 수 있다.

[0074] 비정질규소막의 막 두께가 30nm인 샘플의 결과인 도 7에서도, 레이저가 조사된 부분의 중심(도 7a에서 점 A 및 점 B)에서의 라만분광측정 결과(도 7b)에서 다결정규소의 피크가 나왔고, 이 외의 부분(도 7a에서 점 C 및 점 D)에서는 다결정규소의 피크가 나오지 않은 것을 확인할 수 있다.

[0075] 그러나, 비정질규소막의 막 두께가 20nm이고, 캡막이 없는 샘플의 결과인 도 19에서는 레이저 조사의 중심(도 19a에서, 점 E) 및 그 밖의 부분(도 19a에서, 점 F)의 양쪽에서의 라만분광측정 결과(도 19b)에서 다결정규소의 피크가 나오지 않은 것을 확인할 수 있다. 레이저 조사의 중심(도 19a에서 점 E)에서는 캡막과 비정질규소막이 어브레이션되고, 이 외의 부분(도 19a에서 점 F)에서는 레이저 조사의 중심부의 어브레이션의 영향으로 캡막과 비정질규소막이 둘째 있다고 생각된다.

[0076] 이로부터, 캡막없이 직접 비정질규소막에 레이저 조사하면, 레이저가 조사된 부분에서 비정질규소막이 결정화되지 않는 것을 알 수 있다.

0077] 실시예 2

[0078] 본 실시예에서는 상기 발명의 실시형태 1 또는 2에서 제조방법의 예를 나타낸 반도체막을 사용하여 액티브 매트릭스기판을 제조하는 방법의 예에 관해서 도면을 사용하여 설명한다. 도 8 내지 도 11이 본 실시예에서의 액티브 매트릭스기판의 제조방법의 공정도이다.

[0079] 도 8a에서, 기판(700)은 예를 들면 코닝사의 7059유리나 1737유리 등으로 대표되는 바륨붕규산유리, 또는 알루미노붕규산유리 등의 유리로 이루어진다. 또, 기판(700)으로서는 석영기판이나 실리콘기판, 금속기판 또는 스테인레스기판의 표면에 절연막을 형성한 것을 사용하여도 좋다. 또한, 본 실시예의 처리온도에 견딜 수 있는 내열성을 갖는 플라스틱기판을 사용하여도 좋다.

[0080] 이어서, 기판(700)상에 산화규소막, 질화규소막 또는 산화질화규소막 등의 절연막으로 이루어지는 하지막(701)을 형성한다. 본 실시예에서는 하지막(701)으로서 2층 구조를 사용하지만, 상기 절연막의 단층막 또는 2층 이상 적층시킨 구조를 사용하여도 좋다. 하지막(701)의 1층으로서는 플라즈마 CVD법을 이용하여, SiH_4 , NH_3 , 및

N_2O 를 반응가스로 하여 성막되는 산화질화규소막(701a)을 10 내지 200nm(바람직하게는 50 내지 100nm) 형성한다. 본 실시예에서는 막 두께 50nm의 산화질화규소막(701a; 조성비 Si=32%, O=27%, N=24%, H=17%)을 형성하였다. 이어서, 하지막(701)의 2층으로서는 플라즈마 CVD법을 이용하여, SiH_4 , 및 N_2O 를 반응가스로 하여 성막되는 산화질화규소막(701b)을 50 내지 200nm(바람직하게는 100 내지 150nm)의 두께로 적층 형성한다. 본 실시예에서는 막 두께 100nm의 산화질화규소막(701b; 조성비 Si=32%, O=59%, N=7%, H=2%)을 형성하였다.

[0081] 이어서, 하지막(701)상에 반도체막(702)을 형성한다. 반도체막(702)은 비정질 구조를 갖는 반도체막을 공자의 수단(스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등)에 의해, 20 내지 80nm의 두께로 형성한다. 반도체막의 재료에 한정은 없지만, 바람직하게는 규소 또는 규소게르마늄(SiGe)합금 등으로 형성하면 좋다. 본 실시예에서는 플라즈마 CVD법을 사용하여, 30nm의 비정질규소막을 성막한다.

[0082] 계속해서, 반도체막(702)의 위에 캡막(703)을 형성한다. 캡막(703)으로서는 $SiON$ 을 플라즈마 CVD법으로 300nm 성막한다.

[0083] 그 후 도 8b에 도시하는 바와 같이, 실시형태 1 또는 실시형태 2에서 나타낸 결정성 반도체막의 제조방법에 의해, 반도체막(702)을 결정화하여 결정성 반도체막(801)을 형성함과 함께, 캡막(703)을 제거하였다. 펨토초 레이저는 파장이 795nm($\pm 15nm$)이고 펄스폭 50f(펨토)초의 레이저광을 이용하고, 에너지 밀도는 $2.7J/cm^2$ 으로 하였다.

[0084] 이어서 도 8c에 도시하는 바와 같이, 레이저 결정화법을 행하여 얻어진 결정질 반도체막을 원하는 형상으로 패터닝하여, 반도체층(802 내지 806)을 형성한다.

[0085] 반도체층(802 내지 806)을 형성한 후, TFT의 문턱값을 제어하기 위해서 미량의 불순물원소(붕소 또는 인)의 도핑을 하여도 좋다.

[0086] 이어서, 반도체층(802 내지 806)을 덮는 게이트 절연막(807)을 형성한다. 게이트 절연막(807)은 플라즈마 CVD법 또는 스퍼터링법을 사용하여, 두께를 40 내지 150nm로 하여 규소를 포함하는 절연막으로 형성한다. 본 실시예에서는 플라즈마 CVD법에 의해 110nm의 두께로 산화질화규소막(조성비 Si=32%, O=59%, N=7%, H=2%)으로 형성하였다. 물론, 게이트 절연막은 산화질화규소막에 한정되는 것이 아니라, 다른 규소를 포함하는 절연막을 단층 또는 적층 구조로 하여 사용하여도 좋다.

[0087] 또한, 산화규소막을 이용하는 경우에는 플라즈마 CVD법으로 TEOS(Tetraethyl Orthosilicate)와 O_2 를 혼합하여, 반응압력 40Pa, 기관온도 300 내지 400°C로 하고, 고주파(13.56MHz) 전력 밀도 0.5 내지 0.8W/cm²로 방전시켜 형성할 수 있다. 이렇게 하여 제조되는 산화규소막은 그 후 400 내지 500°C에서의 열 어닐에 의해 게이트 절연막으로서 양호한 특성을 얻을 수 있다.

[0088] 이어서, 게이트 절연막(807)상에 막 두께가 20 내지 100nm인 제 1 도전막(808)과, 막 두께가 100 내지 400nm인 제 2 도전막(809)을 적층 형성한다. 본 실시예에서는 막 두께 30nm의 질화탄탈막으로 이루어지는 제 1 도전막(808)과, 막 두께 370nm의 W막으로 이루어지는 제 2 도전막(809)을 적층 형성하였다. 질화탄탈막은 스퍼터링법으로 형성하고, Ta의 타깃을 이용하여, 질소를 포함하는 분위기 내에서 스퍼터링하였다. 또한, W막은 W의 타깃을 이용한 스퍼터링법으로 형성하였다. 이 외에 6플루오르화텅스텐(WF₆)을 이용하는 열 CVD법으로 형성할 수도 있다. 어떤 경우든, 게이트 전극으로서 사용하기 위해서는 저저항화를 도모할 필요가 있고, W막의 저항율은 20 $\mu\Omega cm$ 이하로 하는 것이 바람직하다. W막은 결정립을 크게 하는 것으로 저저항율화를 도모할 수 있지만, W막 중에 산소 등의 불순물원소가 많은 경우에는 결정화가 저해되어 고저항화된다. 따라서, 본 실시예에서는 고순도의 W(순도 99.9999%)의 타깃을 이용한 스퍼터링법으로, 더욱이 성막시에 기상 중에서의 불순물의 혼입이 없도록 충분히 배려하여 W막을 형성함으로써, 저항율 9 내지 20 $\mu\Omega cm$ 을 실현할 수 있었다.

[0089] 또, 본 실시예에서는 제 1 도전막(808)을 질화탄탈, 제 2 도전막(809)을 W로 하였지만, 특별히 한정되지 않고, 모두 Ta, W, Ti, Mo, Al, Cu, Cr, Nd로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금재료 또는 화합물재료로 형성하여도 좋다. 또한, 인 등의 불순물원소를 도핑한 결정질규소막으로 대표되는 반도체막을 사용하여도 좋다. 또한, AgPdCu 합금을 사용하여도 좋다. 또한, 제 1 도전막을 탄탈(Ta)막으로 형성하고, 제 2 도전막을 W막으로 하는 조합, 제 1 도전막을 질화티타늄막으로 형성하고, 제 2 도전막을 W막으로 하는 조합, 제 1 도전막을 질화탄탈막으로 형성하고, 제 2 도전막을 Al막으로 하는 조합, 제 1 도전막을 질화탄탈막으로 형성하고, 제 2 도전막을 Cu막으로 하는 조합으로 하여도 좋다.

[0090] 다음에, 도 8d에 도시하는 바와 같이, 포토리소그래피법을 이용하여 레지스트로 이루어지는 마스크(810 내지

815)를 형성하고, 전극 및 배선을 형성하기 위한 제 1 에칭 처리를 한다. 제 1 에칭 처리에서는 제 1 및 제 2 에칭 조건으로 한다. 본 실시예에서는 제 1 에칭 조건으로서, ICP(Inductively Coupled Plasma: 유도결합형 플라즈마) 에칭법을 이용한다. 에칭용 가스에 CF_4 와 Cl_2 와 O_2 를 이용하여, 각각의 가스유량비를 25/25/10(sccm)로 하고, 1Pa의 압력으로 코일형의 전극에 500W의 RF(13.56MHz) 전력을 투입하여 플라즈마를 생성하여 에칭을 하였다. 여기에서는 마츠시타덴키산교(주)제의 ICP를 이용한 드라이 에칭장치(Model E645-□ICP)를 이용하였다. 기판측(시료 스테이지)에도 150W의 RF(13.56MHz) 전력을 투입하여, 부의 자기바이어스 전압을 인가한다. 이 제 1 에칭 조건에 따라 W막을 에칭하여 제 1 도전층의 단부를 테이퍼 형상으로 한다.

[0091] 이후, 레지스트로 이루어지는 마스크(810 내지 815)를 제거하지 않고 제 2 에칭 조건 대신에, 에칭용 가스에 CF_4 와 Cl_2 를 사용하여, 각각의 가스유량비를 30/30(sccm)로 하고, 1Pa의 압력으로 코일형의 전극에 500W의 RF(13.56MHz) 전력을 투입하여 플라즈마를 생성하여 약 30초 정도의 에칭을 하였다. 기판측(시료 스테이지)에도 20W의 RF(13.56MHz) 전력을 투입하여, 부(負)의 자기바이어스 전압을 인가한다. CF_4 와 Cl_2 를 혼합한 제 2 에칭 조건에서는 W막 및 질화탄탈막도 같은 정도로 에칭된다. 또, 게이트 절연막상에 잔사를 남기지 않고 에칭하기 위해서는 10 내지 20% 정도의 비율로 에칭시간을 증가시키면 좋다.

[0092] 상기 제 1 에칭 처리에서는 레지스트로 이루어지는 마스크의 형상을 적합한 것으로 함으로써, 기판측에 인가하는 바이어스 전압의 효과에 의해 제 1 도전층 및 제 2 도전층의 단부가 테이퍼 형상이 된다. 이 테이퍼부의 각도는 15 내지 45° 가 된다. 이와 같이 하여, 제 1 에칭 처리에 의해 제 1 도전층과 제 2 도전층으로 이루어지는 제 1 형상의 도전층(817 내지 822; 제 1 도전층(817a 내지 822a)과 제 2 도전층(817b 내지 822b))을 형성한다. 816은 게이트 절연막이고, 제 1 형상의 도전층(817 내지 822)으로 덮이지 않는 영역은 20 내지 50nm 정도에 에칭되어 얇아진 영역이 형성된다.

[0093] 그리고, 도 9a에 도시하는 바와 같이 레지스트로 이루어지는 마스크를 제거하지 않고 제 1 도핑 처리를 하여, 반도체층에 n형을 부여하는 불순물원소를 첨가한다. 도핑 처리는 이온도핑법, 또는 이온주입법으로 하면 좋다. 이온도핑법의 조건은 도즈량을 1×10^{13} 내지 $5 \times 10^{15} / \text{cm}^2$ 로 하고, 가속 전압을 60 내지 100keV로 하여 행한다. 본 실시예에서는 도즈량을 $1.5 \times 10^{15} / \text{cm}^2$ 로 하고, 가속 전압을 80keV로 하여 행하였다.

[0094] n형을 부여하는 불순물원소로서 15족에 속하는 원소, 전형적으로는 인(P) 또는 비소(As)를 사용하지만, 여기에서는 인(P)을 사용하였다. 이 경우, 도전층(817 내지 821)이 n형을 부여하는 불순물원소에 대한 마스크가 되어, 자기정합적으로 제 1 고농도 불순물영역(706 내지 710)이 형성된다. 제 1 고농도 불순물영역(706 내지 710)에는 1×10^{20} 내지 $1 \times 10^{21} / \text{cm}^3$ 의 농도범위로 n형을 부여하는 불순물원소를 첨가한다.

[0095] 이어서, 레지스트로 이루어지는 마스크를 제거하지 않고 제 2 에칭 처리를 한다. 여기에서는 에칭가스에 CF_4 와 Cl_2 와 O_2 를 이용하여, W막을 선택적으로 에칭한다. 이 때, 제 2 에칭 처리에 의해 제 2 도전층(828b 내지 833b)을 형성한다. 한편, 제 1 도전층(817a 내지 822a)은 거의 에칭되지 않고, 제 2 형상의 도전층(828 내지 833)을 형성한다.

[0096] 이어서, 레지스트로 이루어지는 마스크를 제거하지 않고, 도 9b에 도시하는 바와 같이, 제 2 도핑 처리를 한다. 이 경우, 제 1 도핑 처리보다 도즈량을 내려, 70 내지 120keV의 높은 가속 전압으로, n형을 부여하는 불순물원소를 도입한다. 본 실시예에서는 도즈량을 $1.5 \times 10^{14} / \text{cm}^2$ 로 하고, 가속 전압을 90keV로 하여 행하였다. 제 2 도핑 처리는 제 2 형상의 도전층(828 내지 833)을 마스크로서 사용하여, 제 2 도전층(828b 내지 833b)의 아래쪽에서의 반도체층에도 불순물원소가 도입되어, 새롭게 제 2 고농도 불순물영역(823a 내지 827a) 및 저농도 불순물영역(823b 내지 827b)이 형성된다.

[0097] 이어서, 레지스트로 이루어지는 마스크를 제거한 후, 새롭게 레지스트로 이루어지는 마스크(834a 및 834b)를 형성하고, 도 9c에 도시하는 바와 같이, 제 3 에칭 처리를 한다. 에칭용 가스에 SF_6 및 Cl_2 를 이용하여, 가스유량비를 5 0/10(sccm)로 하고, 1.3Pa의 압력으로 코일형의 전극에 500W의 RF(13.56MHz) 전력을 투입하여 플라즈마를 생성하여, 약 30초의 에칭 처리를 한다. 기판측(시료 스테이지)에는 10W의 RF(13.56MHz) 전력을 투입하여, 부(負)의 자기바이어스 전압을 인가한다. 이와 같이 하여, 제 3 에칭 처리에 의해, p채널형 TFT 및 화소부의 TFT(화소 TFT)의 질화탄탈막을 에칭하여, 제 3 형상의 도전층(835 내지 838)을 형성한다.

[0098] 이어서, 도 10a에 도시하는 바와 같이, 레지스트로 이루어지는 마스크를 제거한 후, 제 2 형상의 도전층(828,

830) 및 제 2 형상의 도전층(835 내지 838)을 마스크로서 사용하여, 게이트 절연막(816)을 선택적으로 제거하여 절연층(839 내지 844)을 형성한다.

[0099] 이어서, 도 10b에 도시하는 바와 같이, 새롭게 레지스트로 이루어지는 마스크(845a 내지 845c)를 형성하여 제 3 도핑 처리를 한다. 이 제 3 도핑 처리에 의해, p채널형 TFT의 활성층이 되는 반도체층에 상기 1도전형과는 반대의 도전형을 부여하는 불순물원소가 첨가된 불순물영역(846a 내지 846c 및 847a 내지 847c)과 채널 형성 영역(846d 및 847d)을 형성한다. 제 2 도전층(835a, 838a)을 불순물원소에 대한 마스크로서 사용하여, p형을 부여하는 불순물원소를 첨가하여 자기정합적으로 불순물영역을 형성한다. 본 실시예에서는 불순물영역(846a 내지 846c 및 847a 내지 847c)은 디보란(B_2H_6)을 이용한 이온도핑법으로 형성한다. 이 제 3 도핑 처리시에는 n채널형 TFT를 형성하는 반도체층은 레지스트로 이루어지는 마스크(845a 내지 845c)로 덮여 있다. 제 1 도핑 처리 및 제 2 도핑 처리에 의해서, 불순물영역(846a 내지 846c 및 847a 내지 847c)에는 각각 다른 농도로 인이 첨가되어 있다. 하지만, 그 어느쪽의 영역에서나 p형을 부여하는 불순물원소의 농도를 2×10^{20} 내지 $2 \times 10^{21}/cm^3$ 가 되도록 도핑 처리함으로써, p채널형 TFT의 소스영역 및 드레인영역으로서 기능하기 때문에 전혀 문제는 생기지 않는다. 본 실시예에서는 p채널형 TFT의 활성층이 되는 반도체층의 일부가 노정(露呈)되어 있기 때문에, 불순물원소(붕소)를 첨가하기 쉬운 이점을 갖고 있다.

[0100] 이상까지의 공정에서, 각각의 반도체층에 불순물영역이 형성된다.

[0101] 이어서, 레지스트로 이루어지는 마스크(845a 내지 845c)를 제거하여 제 1 층간 절연막(861)을 형성한다. 이 제 1 층간 절연막(861)으로서는 플라즈마 CVD법 또는 스퍼터링법을 이용하여, 두께를 100 내지 200nm로 하여 규소를 포함하는 절연막으로 형성한다. 본 실시예에서는 플라즈마 CVD법에 의해 막 두께 150nm의 산화질화규소막을 형성하였다. 물론, 제 1 층간 절연막(861)은 산화질화규소막에 한정되는 것이 아니라, 다른 규소를 포함하는 절연막을 단층 또는 적층 구조로 하여 사용하여도 좋다.

[0102] 이어서, 도 10c에 도시하는 바와 같이, 가열 처리를 하여, 반도체층의 결정성의 회복, 각각의 반도체층에 첨가된 불순물원소의 활성화를 행한다. 이 가열 처리는 퍼니스 어닐로를 사용하는 열 어닐법으로 한다. 열 어닐법으로서는 산소농도가 1ppm 이하, 바람직하게는 0.1ppm 이하의 질소 분위기 중에서 400 내지 700°C, 대표적으로는 500 내지 550°C에서 행하면 좋고, 본 실시예에서는 550°C, 4시간의 열 처리로 활성화 처리를 하였다. 또, 열 어닐법 이 외에, 레이저 어닐법, 또는 래피드 서멀 어닐법(RTA법)을 적용할 수 있다. 레이저 어닐법에 관해서는 발명의 실시형태에서 개시한 방법을 채용하여도 좋지만, 부여하는 에너지 밀도에 따라서는 게이트 등이 어브레이션 등을 일으키는 경우도 있기 때문에, 조건에는 주의할 필요가 있다.

[0103] 또한, 제 1 층간 절연막(861)을 형성하기 전에 가열 처리를 하여도 좋다. 단, 이용한 배선재료가 열에 약한 경우에는 본 실시예와 같이 배선 등을 보호하기 위해서 층간 절연막(규소를 주성분으로 하는 절연막, 예를 들면 질화규소막)을 형성한 후에 활성화 처리를 하는 것이 바람직하다.

[0104] 또, 3 내지 100%의 수소를 포함하는 분위기 중에서, 300 내지 550°C에서 1 내지 12시간의 열 처리를 하고, 반도체층을 수소화하는 공정을 한다. 본 실시예에서는 수소를 약 3% 포함하는 질소 분위기 중에서 410°C, 1시간의 열 처리를 하였다. 이 공정은 층간 절연막에 포함되는 수소에 의해 반도체층의 맹글링 본드를 종단하는 공정이다. 수소화의 다른 수단으로서, 플라즈마수소화(플라즈마에 의해 여기된 수소를 사용함)를 하여도 좋다.

[0105] 또한, 활성화 처리로서 종래의 레이저 어닐법을 사용하는 경우에는 상기 수소화를 한 후, 엑시머 레이저나 YAG 레이저 등의 레이저 빔을 조사하는 것이 바람직하다.

[0106] 이어서, 도 11에 도시하는 바와 같이, 제 1 층간 절연막(861)상에 무기절연재료 또는 유기절연물재료로 이루어지는 제 2 층간 절연막(862)을 형성한다. 본 실시예에서는 막 두께 $1.6\mu m$ 의 아크릴수지막을 형성하였지만, 점도가 10 내지 1000cp, 바람직하게는 40 내지 200cp인 것을 사용하여, 표면에 요철이 형성된 것을 사용하였다.

[0107] 본 실시예에서는 경면(鏡面) 반사를 막기 위해서, 표면에 요철이 형성된 제 2 층간 절연막을 형성함으로써 화소 전극의 표면에 요철을 형성하였다. 또한, 화소 전극의 표면에 요철을 갖게 하여 광 산란성을 도모하기 위해서, 화소 전극의 아래 쪽의 영역에 볼록부를 형성하여도 좋다. 그 경우, 볼록부의 형성은 TFT의 형성과 같은 포토 마스크로 할 수 있기 때문에, 공정수의 증가없이 형성할 수 있다. 또, 이 볼록부는 배선 및 TFT부 이외의 화소부 영역의 기판상에 적절하게 형성하면 좋다. 이와 같이 하여, 볼록부를 덮는 절연막의 표면에 형성된 요철에 따라 화소 전극의 표면에 요철이 형성된다.

- [0108] 또한, 제 2 층간 절연막(862)으로서 표면이 평탄화되는 막을 이용하여도 좋다. 그 경우는 화소 전극을 형성한 후, 공지의 샌드블라스트법이나 에칭법 등의 공정을 추가하여 표면을 요철화시켜, 경면 반사를 막아, 반사광을 산란시킴으로 백색도를 증가시키는 것이 바람직하다.
- [0109] 그리고, 구동회로(906)에서, 각 불순물영역과 각각 전기적으로 접속하는 배선(863 내지 867)을 형성한다. 또, 이들의 배선은 막 두께 50nm의 Ti막과, 막 두께 500nm의 합금막(AI과 Ti의 합금막)과의 적층막을 패터닝하여 형성한다.
- [0110] 또한, 화소부(907)에서는 화소 전극(870), 게이트 배선(869), 접속 전극(868)을 형성한다. 이 접속 전극(868)에 의해 소스 배선은 화소 TFT와 전기적인 접속이 형성된다. 또한, 게이트 배선(869)은 화소 TFT의 게이트 전극과 전기적인 접속이 형성된다. 또한, 화소 전극(870)은 화소 TFT의 드레인영역과 전기적인 접속이 형성되고, 또 유지용량을 형성하는 한쪽의 전극으로서 기능하는 반도체층과 전기적인 접속이 형성된다. 또한, 화소 전극(870)으로서는 AI 또는 Ag을 주성분으로 하는 막, 또는 이들의 적층막 등의 반사성이 우수한 재료를 사용하는 것이 바람직하다.
- [0111] 이상과 같이 하여, n채널형 TFT(901)와 p채널형 TFT(902)로 이루어지는 CMOS회로, 및 n채널형 TFT(903)를 갖는 구동회로(906)와, 화소 TFT(904), 유지용량(905)을 갖는 화소부(907)를 동일 기판상에 형성할 수 있다. 이와 같이 하여, 액티브 매트릭스기판이 완성된다.
- [0112] 구동회로(906)의 n채널형 TFT(901)는 채널 형성영역(823c), 게이트 전극의 일부를 구성하는 제 1 도전층(828a)과 겹치는 저농도 불순물영역(823b; GOLD 영역)과 소스영역 또는 드레인영역으로서 기능하는 고농도 불순물영역(823a)을 갖는다. 이 n채널형 TFT(901)와 전극(866)으로 접속하여 CMOS 회로를 형성하는 p채널형 TFT(902)에는 채널 형성영역(846d), 게이트 전극의 외측에 형성되는 불순물영역(846b, 846c), 소스영역 또는 드레인영역으로서 기능하는 고농도 불순물영역(846a)을 갖는다. 또한, n채널형 TFT(903)에는 채널 형성영역(825c), 게이트 전극의 일부를 구성하는 제 1 도전층(830a)과 겹치는 저농도 불순물영역(825b; GOLD 영역)과, 소스영역 또는 드레인영역으로서 기능하는 고농도 불순물영역(825a)을 갖는다.
- [0113] 화소부의 화소 TFT(904)에는 채널 형성영역(826c), 게이트 전극의 외측에 형성되는 저농도 불순물영역(826b; LDD 영역)과 소스영역 또는 드레인영역으로서 기능하는 고농도 불순물영역(826a)을 갖는다. 또한, 유지용량(905)의 한쪽의 전극으로서 기능하는 반도체층(847a, 847b)에는 각각 p형을 부여하는 불순물원소가 첨가되어 있다. 유지용량(905)은 절연막(844)을 유전체로 하여, 전극(838a와 838b의 적층)과, 반도체층(847a 내지 847c)으로 형성하고 있다.
- [0114] 또한, 본 실시예의 화소 구조는 블랙매트릭스를 사용하지 않고, 화소 전극간의 틈이 차광되도록, 화소 전극의 단부를 소스 배선과 겹치도록 배치 형성한다.
- [0115] 또한, 본 실시예에서 제조하는 액티브 매트릭스기판의 화소부의 상면도를 도 12에 도시한다. 또, 도 8 내지 도 11에 대응하는 부분에는 같은 부호를 사용하고 있다. 도 11 중의 쇄선 A-A'는 도 12 중의 쇄선 A-A'로 절단한 단면도에 대응하고 있다. 또한, 도 11 중의 쇄선 B-B'는 도 12 중의 쇄선 B-B'로 절단한 단면도에 대응하고 있다.
- [0116] 실시예 3
- [0117] 본 실시예에서는 실시예 2에서 제조한 액티브 매트릭스기판으로부터, 반사형 액정표시장치를 제조하는 공정을 이하에 설명한다. 설명에는 도 13을 사용한다.
- [0118] 우선, 실시예 2에 따라서, 도 11의 상태의 액티브 매트릭스기판을 얻은 후, 도 11의 액티브 매트릭스기판상, 적어도 화소 전극(870)상에 배향막(967)을 형성하여 러빙 처리를 한다. 또, 본 실시예에서는 배향막(967)을 형성하기 전에, 아크릴수지막 등의 유기수지막을 패터닝함으로써 기판 간격을 유지하기 위한 주상(柱狀)의 스페이서(972)를 원하는 위치에 형성하였다. 또한, 주상의 스페이서 대신에, 구상(球狀)의 스페이서를 기판 전면에 살포하여도 좋다.
- [0119] 이어서, 대향기판(969)을 준비한다. 이어서, 대향기판(969)상에 착색층(970, 971), 평탄화막(973)을 형성한다. 적색의 착색층(970)과 청색의 착색층(971)을 겹쳐 차광부를 형성한다. 또한, 적색의 착색층과 녹색의 착색층을 일부 겹쳐, 차광부를 형성하여도 좋다.
- [0120] 본 실시예에서는 실시예 2에 개시하는 기판을 사용하고 있다. 따라서, 실시예 2의 화소부의 상면도를 도시하는 도 12에서는 적어도 게이트 배선(869)과 화소 전극(870)의 틈과, 게이트 배선(869)과 접속 전극(868)의 틈과,

접속 전극(868)과 화소 전극(870)의 틈을 차광할 필요가 있다. 본 실시예에서는 이들의 차광해야 하는 위치에 착색층의 적층으로 이루어지는 차광부가 겹치도록 각 착색층을 배치하여, 대향기판을 접합하였다.

[0121] 이와 같이, 블랙마스크 등의 차광층을 형성하지 않고, 각 화소간의 틈을 착색층의 적층으로 이루어지는 차광부에서 차광함으로써 공정수의 저감을 가능하게 하였다.

[0122] 이어서, 평탄화막(973)상에 투명 도전막으로 이루어지는 대향 전극(976)을 적어도 화소부에 형성하고, 대향기판의 전면에 배향막(974)을 형성하여 러빙 처리를 실시하였다.

[0123] 그리고, 화소부와 구동회로가 형성된 액티브 매트릭스기판과 대향기판을 밀봉재(968)로 접합한다. 밀봉재(968)에는 충전재가 혼입되어 있고, 이 충전재와 주상 스페이서에 의해서 균일한 간격을 두고 2장의 기판이 접합된다. 그 후, 양 기판의 사이에 액정재료(975)를 주입하여, 밀봉재(도시하지 않음)에 의해서 완전히 밀봉한다. 액정재료(975)에는 공지의 액정재료를 사용하면 좋다. 이렇게 하여 도 13에 도시하는 반사형 액정표시장치가 완성된다. 그리고, 필요하다면, 액티브 매트릭스기판 또는 대향기판을 원하는 형상으로 분단한다. 또, 대향기판에만 편광판(도시하지 않음)을 접착하였다. 그리고, 공지의 기술을 사용하여 FPC를 접착하였다.

[0124] 이상과 같이 하여 제조되는 액정표시 패널은 각종 전자기기의 표시부로서 사용할 수 있다.

실시예 4

[0126] 본 실시예에서는 본 발명을 사용하여 발광장치를 제조한 예에 관해서 설명한다. 본 명세서에서, 발광장치란 기판상에 형성된 발광 소자를 상기 기판과 커버재의 사이에 봉입한 표시용 패널 및 상기 표시용 패널에 IC를 실장한 표시용 모듈을 총칭한 것이다. 또, 발광 소자는 전장을 가하는 것으로 발생하는 루미네센스(Electro Luminescence)가 얻어지는 유기 화합물을 포함하는 층(발광층)과 양극층과 음극층을 갖는다. 또한, 유기 화합물에서의 루미네센스에는 1중향 여기상태로부터 기저상태로 되돌아갈 때의 발광(형광)과 3중향 여기상태로부터 기저상태로 되돌아갈 때의 발광(인광)이 있고, 이를 중 어느 한쪽, 또는 양쪽의 발광을 포함한다.

[0127] 도 14는 본 실시예의 발광장치의 단면도이다. 도 14에서, 기판(1100)상에 형성된 스위칭 TFT(1003)는 도 11의 n채널형 TFT(903)를 사용하여 형성된다. 따라서, 그 구조는 도 11의 n채널형 TFT(903)와 같다.

[0128] 또, 본 실시예에서는 채널 형성영역이 두개 형성되는 더블 게이트 구조로 하였지만, 채널 형성영역이 하나 형성되는 싱글 게이트 구조 또는 세개 형성되는 트리플 게이트 구조이어도 좋다.

[0129] 기판(1100)상에 형성된 구동회로는 도 11의 CMOS 회로를 사용하여 형성된다. 따라서, 그 구조는 도 11의 n채널형 TFT(901)와 p채널형 TFT(902)와 같다. 또, 본 실시예에서는 싱글 게이트 구조로 하였지만, 더블 게이트 구조 또는 트리플 게이트 구조이어도 좋다.

[0130] 또한, 배선(1101, 1103)은 CMOS 회로의 소스 배선, 1102는 드레인 배선으로서 기능한다. 또한, 배선(1104)은 소스 배선(1108)과 스위칭 TFT의 소스영역을 전기적으로 접속하는 배선으로서 기능하고, 배선(1105)은 드레인 배선(1109)과 스위칭 TFT의 드레인영역을 전기적으로 접속하는 배선으로서 기능한다.

[0131] 또, 전류 제어 TFT(1004)는 도 11의 p채널형 TFT(902)를 사용하여 형성된다. 따라서, 그 구조는 도 11의 p채널형 TFT(902)와 같다. 또, 본 실시예에서는 싱글 게이트 구조로 하였지만, 더블 게이트 구조 또는 트리플 게이트 구조이어도 좋다.

[0132] 또한, 배선(1106)은 전류 제어 TFT(1004)의 소스 배선(전류공급선에 상당함)이고, 배선(1107)은 화소 전극(1110)상에 겹치는 것으로 화소 전극(1110)과 전기적으로 접속하는 전극이다.

[0133] 또, 화소 전극(1110)은 투명 도전막으로 이루어지는 화소 전극(발광 소자의 양극)이다. 투명 도전막으로서는 산화인듐과 산화주석의 화합물, 산화인듐과 산화아연의 화합물, 산화아연, 산화주석 또는 산화인듐을 이용할 수 있다. 또한, 상기 투명 도전막에 갈륨을 첨가한 것을 이용하여도 좋다. 화소 전극(1110)은 상기 배선을 형성하기 전에 평탄한 충간 절연막(1111)상에 형성한다. 본 실시예에서는 수지로 이루어지는 충간 절연막(1111)을 이용하여 TFT에 의한 단차를 평탄화하는 것은 대단히 중요하다. 후에 형성되는 발광층은 대단히 얇기 때문에, 단차가 존재함으로써 발광 불량을 일으키는 경우가 있다. 따라서, 발광층을 가능한 한 평탄면에 형성할 수 있도록 화소 전극을 형성하기 전에 평탄화하여 두는 것이 바람직하다.

[0134] 배선(1101 내지 1107)을 형성한 후, 도 14에 도시하는 바와 같이 격벽(1112)을 형성한다. 격벽(1112)은 100 내지 400nm의 규모를 포함하는 절연막 또는 유기수지막을 패터닝하여 형성하면 좋다.

- [0135] 또, 격벽(1112)은 절연막이기 때문에, 성막시에서의 소자의 정전파괴에는 주의가 필요하다. 본 실시예에서는 격벽(1112)의 재료가 되는 절연막 중에 카본 입자나 금속입자를 첨가하여 저항율을 내려, 정전기의 발생을 억제한다. 이 때, 저항율은 1×10^6 내지 1×10^{12} Ωm (바람직하게는 1×10^8 내지 1×10^{10} Ωm)가 되도록 카본 입자나 금속입자의 첨가량을 조절하면 좋다.
- [0136] 화소 전극(1110)의 위에는 발광층(1113)이 형성된다. 또, 도 14에서는 1화소밖에 도시하지 않았지만, 본 실시예에서는 R(빨강), G(초록), B(파랑)의 각 색에 대응한 발광층을 분리하여 만들었다. 또한, 본 실시예에서는 중착법에 의해 저분자계 유기발광재료를 형성하고 있다. 구체적으로는 정공 주입층으로서 20nm 두께의 동프탈로시아닌(CuPc)막을 형성하고, 그 위에 발광층으로서 70nm 두께의 트리스-8-퀴놀리노레이토알루미늄착체(Alq₃)막을 형성한 적층 구조로 하고 있다. Alq₃에 퀴나크리돈 또는 DCM1과 같은 형광색소를 첨가하는 것으로 발광색을 제어할 수 있다.
- [0137] 단, 이상의 예는 발광층으로서 사용할 수 있는 유기발광재료의 일례이고, 이것에 한정할 필요는 전혀 없다. 발광층, 전하수송층 또는 전하주입층을 자유롭게 조합하여 발광층(발광 및 이를 위한 캐리어를 이동시키기 위한 층)을 형성하면 좋다. 예를 들면, 본 실시예에서는 저분자계 유기발광재료를 발광층으로서 채용하는 예를 개시하였지만, 고분자계 유기발광재료를 채용하여도 좋다. 또한, 전하수송층이나 전하주입층으로서 탄화규소 등의 무기재료를 이용하는 것도 가능하다. 이들의 유기발광재료나 무기재료는 공지의 재료를 사용할 수 있다.
- [0138] 다음에, 발광층(1113)의 위에는 도전막으로 이루어지는 음극(1114)이 형성된다. 본 실시예의 경우, 도전막으로서 알루미늄과 리튬의 합금막을 사용한다. 물론, 공지의 MgAg막(마그네슘과 은의 합금막)을 사용하여도 좋다. 음극재료로서는 주기표의 1족 또는 2족에 속하는 원소로 이루어지는 도전막 또는 이들의 원소를 첨가한 도전막을 사용하면 좋다.
- [0139] 이 음극(1114)까지 형성된 시점에서 발광 소자(1115)가 완성된다. 또, 여기에서 말하는 발광 소자(1115)는 화소 전극(1110; 양극), 발광층(1113) 및 음극(1114)으로 형성된 다이오드를 가리킨다.
- [0140] 발광 소자(1115)를 완전히 덮도록 하여 패시베이션막(1116)을 형성하는 것은 유효하다. 패시베이션막(1116)으로서는 탄소막, 질화규소막 또는 질화산화규소막을 포함하는 절연막으로 이루어지고, 상기 절연막을 단층 또는 조합한 적층으로 사용한다.
- [0141] 이 때, 커버리지가 좋은 막을 패시베이션막으로서 사용하는 것이 바람직하고, 탄소막, 특히 DLC(다이아몬드 라이크 카본)막을 사용하는 것은 유효하다. DLC막은 실온으로부터 100°C 이하의 온도범위로 성막 가능하기 때문에, 내열성이 낮은 발광층(1113)의 위쪽에도 용이하게 성막할 수 있다. 또한, DLC막은 산소에 대한 블로킹 효과가 높고, 발광층(1113)의 산화를 억제하는 것이 가능하다. 그 때문에, 이후에 계속되는 밀봉 공정을 하는 동안에 발광층(1113)이 산화된다는 문제를 방지할 수 있다.
- [0142] 또, 패시베이션막(1116)상에 밀봉재(1117)를 형성하고, 커버재(1118)를 접합한다. 밀봉재(1117)로서는 자외선 경화수지를 사용하면 좋고, 내부에 흡습 효과를 갖는 물질 또는 산화 방지 효과를 갖는 물질을 형성하는 것은 유효하다. 또한, 본 실시예에서 커버재(1118)는 유리기판이나 석영기판이나 플라스틱기판(플라스틱필름도 포함함)의 양면에 탄소막(바람직하게는 다이아몬드 라이크 카본막)을 형성한 것을 사용한다.
- [0143] 이와 같이 하여 도 14에 도시하는 바와 같은 구조의 발광장치가 완성된다. 또, 격벽(1112)을 형성한 후, 패시베이션막(1116)을 형성할 때까지의 공정을 멀티 챔버 방식(또는 in-line 방식)의 성막장치를 사용하여, 대기에 노출시키지 않고 연속적으로 처리하는 것은 유효하다. 또한, 또 발전시켜 커버재(1118)를 접합하는 공정까지 대기에 노출시키지 않고 연속적으로 처리하는 것도 가능하다.
- [0144] 이와 같이 하여, 기판(1100)상에 n채널형 TFT(1001), p채널형 TFT(1002), 스위칭 TFT(1003; n채널형 TFT) 및 전류 제어 TFT(1004; n채널형 TFT)가 형성된다. 여기까지의 제조 공정에서 필요로 한 마스크수는 일반적인 액티브 매트릭스형 발광장치보다도 적다.
- [0145] 즉, TFT의 제조 공정이 대폭적으로 간략화되어 있고, 제품 비율의 향상 및 제조비용의 절감을 실현할 수 있다.
- [0146] 또, 도 14를 사용하여 설명한 바와 같이, 게이트 전극에 절연막을 통해서 겹치는 불순물영역을 형성함으로써 핫캐리어 효과에 기인하는 열화에 강한 n채널형 TFT를 형성할 수 있다. 그 때문에, 신뢰성이 높은 발광장치를 실현할 수 있다.

- [0147] 또한, 본 실시예에서는 화소부와 구동회로의 구성만 개시하였지만, 본 실시예의 제조 공정에 따르면, 이 외에도 신호분할회로, D/A컨버터, OP 앰프, y 보정회로 등의 논리회로를 동일한 절연체상에 형성 가능하고, 또 메모리나 마이크로프로세서도 형성할 수 있다.
- [0148] 또, 발광 소자를 보호하기 위한 밀봉(또는 봉입) 공정까지 행한 후의 본 실시예의 발광장치에 관해서 도 15를 사용하여 설명한다. 또, 필요에 따라서 도 14에서 사용한 부호를 인용한다.
- [0149] 도 15a는 발광 소자의 밀봉까지를 한 상태를 도시하는 상면도, 도 15b는 도 15a를 A-A'로 절단한 단면도이다. 도 15a에서, 점선으로 도시된 1201은 소스측 구동회로, 1206은 화소부, 1207은 게이트측 구동회로이다. 또한, 1301은 커버재, 1302는 제 1 밀봉재, 1303은 제 2 밀봉재이고, 제 1 밀봉재(1302)로 둘러싸인 내측에는 밀봉재(1307)가 형성된다.
- [0150] 또, 1304는 소스측 구동회로(1201) 및 게이트측 구동회로(1207)에 입력되는 신호를 전송하기 위한 배선이고, 외부입력단자가 되는 FPC(1305; 플렉시블프린트회로)로부터 비디오 신호나 클록 신호를 받아들인다. 또, 여기에서는 FPC밖에 도시되어 있지 않지만, 이 FPC에는 프린트 배선기반(PWB)이 장착되어 있어도 좋다. 본 명세서에서의 발광장치에는 발광장치 본체뿐만 아니라, 이것에 FPC 또는 PWB가 장착된 상태도 포함한다.
- [0151] 다음에, 단면 구조에 관해서 도 15b를 사용하여 설명한다. 기판(1100)의 위쪽에는 화소부(1206), 게이트측 구동회로(1207)가 형성되어 있고, 화소부(1206)는 전류 제어 TFT(1004)와 그 드레인에 전기적으로 접속된 화소 전극(1110)을 포함하는 복수의 화소에 의해 형성된다. 또한, 게이트측 구동회로(1207)는 n채널형 TFT(1001)와 p 채널형 TFT(1002)를 조합한 CMOS 회로(도 11 참조)를 사용하여 형성된다.
- [0152] 화소 전극(1110)은 발광 소자의 양극으로서 기능한다. 또한, 화소 전극(1110)의 양단에는 격벽(1112)이 형성되고, 화소 전극(1110)상에는 발광층(1113) 및 발광 소자의 음극(1114)이 형성된다.
- [0153] 음극(1114)은 전체 화소에 공통의 배선으로서도 기능하여, 접속 배선(1304)을 경유하고 FPC(1305)에 전기적으로 접속되어 있다. 또, 화소부(1206) 및 게이트측 구동회로(1207)에 포함되는 소자는 모두 음극(1305)에 전기적으로 접속되어 있다. 또, 화소부(1206) 및 게이트측 구동회로(1207)에 포함되는 소자는 모두 음극(1114) 및 패시베이션막(1116)으로 덮여 있다.
- [0154] 또한, 제 1 밀봉재(1302)에 의해 커버재(1301)가 접합되어 있다. 또, 커버재(1301)와 발광 소자의 간격을 확보하기 위해서 수지막으로 이루어지는 스페이서를 형성하여도 좋다. 그리고, 제 1 밀봉재(1302)의 내측에는 밀봉재(1307)가 충전되어 있다. 또, 제 1 밀봉재(1302), 밀봉재(1307)로서는 애흑시계 수지를 사용하는 것이 바람직하다. 또한, 제 1 밀봉재(1302)는 가능한 한 수분이나 산소를 투과하지 않는 재료인 것이 바람직하다. 또, 밀봉재(1307)의 내부에 흡습 효과를 갖는 물질이나 산화방지 효과를 갖는 물질을 함유시켜도 좋다.
- [0155] 발광 소자를 덮도록 하여 형성된 밀봉재(1307)는 커버재(1301)를 접착하기 위한 접착제로서도 기능한다. 또한, 본 실시예에서는 커버재(1301)를 구성하는 플라스틱기판의 재료로서 FRP(Fiberglass-Reinforced Plastics), PVF(폴리비닐플로라이드), 폴리에스테르 또는 아크릴을 사용할 수 있다.
- [0156] 또한, 밀봉재(1307)를 사용하여 커버재(1301)를 접착한 후, 밀봉재(1307)의 측면(노출면)을 덮도록 제 2 밀봉재(1303)를 형성한다. 제 2 밀봉재(1303)는 제 1 밀봉재(1302)와 같은 재료를 사용할 수 있다.
- [0157] 이상과 같은 구조로 발광 소자를 밀봉재(1307)에 봉입함으로써, 발광 소자를 외부로부터 완전히 차단할 수 있고, 외부로부터 수분이나 산소 등의 발광층의 산화에 의한 열화를 촉진하는 물질이 침입하는 것을 막을 수 있다. 따라서, 신뢰성이 높은 발광장치를 얻을 수 있다.
- [0158] 실시예 5
- [0159] 본 실시예에서는 본 발명의 TFT 회로에 의한 액티브 매트릭스형 표시장치를 내장한 반도체장치에 관해서 도면으로 설명한다.
- [0160] 이러한 반도체장치에는 휴대정보단말(전자수첩, 모바일컴퓨터, 휴대전화 등), 비디오카메라, 스틸카메라, 퍼스널컴퓨터, 텔레비전 등을 들 수 있다. 이들의 일례를 도 16, 도 17 및 도 18에 도시한다.
- [0161] 도 16a는 휴대전화로, 본체(2001), 음성출력부(2002), 음성입력부(2003), 표시장치(2004), 조작 스위치(2005), 안테나(2006)로 구성되어 있다.
- [0162] 본원발명은 음성출력부(2002), 음성입력부(2003), 및 액티브 매트릭스기판을 구비한 표시장치(2004)에 적용할

수 있다.

[0163] 도 16b는 비디오카메라로, 본체(2101), 표시장치(2102), 음성입력부(2103), 조작 스위치(2104), 배터리(2105), 수상부(2106)로 이루어져 있다. 본원발명은 음성입력부(2103), 및 액티브 매트릭스기판을 구비한 표시장치(2102), 수상부(2106)에 적용할 수 있다.

[0164] 도 16c는 모바일컴퓨터 또는 휴대형정보단말로, 본체(2201), 카메라부(2202), 수상부(2203), 조작 스위치(2204), 표시장치(2205)로 구성되어 있다. 본원발명은 수상부(2203), 및 액티브 매트릭스기판을 구비한 표시장치(2205)에 적용할 수 있다.

[0165] 도 16d는 고글형 디스플레이로, 본체(2301), 표시장치(2302), 암(arm)부(2303)로 구성된다. 본원발명은 표시장치(2302)에 적용할 수 있다. 또한, 표시되어 있지 않지만, 그 밖의 신호 제어용회로에 사용할 수도 있다.

[0166] 도 16e는 휴대서적으로, 본체(2501), 표시장치(2502, 2503), 기억매체(2504), 조작 스위치(2505), 안테나(2506)로 구성되어 있고, 미니디스크(MD)나 DVD(Digital Versatile Disc)에 기억된 데이터나, 안테나로 수신한 데이터를 표시하는 것이다. 표시장치(2502, 2503)는 직시형 표시장치이고, 본원발명은 이들에 적용할 수 있다.

[0167] 도 17a는 프로그램을 기록한 기록매체(이하, 기록매체라고 부른다)를 이용하는 플레이어로, 본체(2601), 표시장치(2602), 스피커부(2603), 기록매체(2604), 조작 스위치(2605)로 구성된다. 또, 이 장치는 기록매체로서 DVD, CD 등을 이용하여, 음악감상이나 영화감상이나 게임이나 인터넷을 할 수 있다. 본원발명은 표시장치(2602)에 적용할 수 있다.

[0168] 도 17b는 텔레비전으로, 본체(2701), 지지대(2702), 표시부(2703)로 구성된다. 본원발명은 표시부(2703)에 적용할 수 있다.

[0169] 도 17c는 퍼스널 컴퓨터로, 본체(2801), 화상입력부(2802), 표시장치(2803), 키보드(2804)로 구성된다. 본원발명은 표시장치(2803)에 적용할 수 있다.

[0170] 도 18a는 프론트형 프로젝터로, 투사장치(2901), 스크린(2902)으로 구성된다. 본원발명은 투사장치나 그 밖의 신호 제어회로에 적용할 수 있다.

[0171] 도 18b는 리어형 프로젝터로, 본체(3001), 투사장치(3002), 미러(3003), 스크린(3004)으로 구성된다. 본원발명은 투사장치나 그 밖의 신호 제어회로에 적용할 수 있다.

[0172] 또, 도 18c는 도 18a 및 도 18b 중에서의 투사장치(2901, 3002)의 구조의 일례를 도시한 도면이다. 투사장치(2901, 3002)는 광원광학계(3101), 미러(3102, 3104 내지 3106), 디아크로익미러(3103), 프리즘(3107), 액정표시장치(3108), 위상차판(3109), 투사광학계(3110)로 구성된다. 투사광학계(3110)는 투사렌즈를 포함하는 광학계로 구성된다. 본 실시예는 3판식 예를 나타냈지만, 특별히 한정되지 않고, 예를 들면 단판식이어도 좋다. 또한, 도 18c 중에 있어서 화살표시로 도시한 광로에 실시자가 적절하게, 광학렌즈나, 편광 기능을 갖는 필름이나, 위상차를 조절하기 위한 필름, IR 필름 등의 광학계를 형성하여도 좋다.

[0173] 또한, 도 18d는 도 18c 중에서의 광원광학계(3101)의 구조의 일례를 도시한 도면이다. 본 실시예에서는 광원광학계(3101)는 반사경(3111), 광원(3112), 렌즈 어레이(3113, 3114), 편광 변환 소자(3115), 집광렌즈(3116)로 구성된다. 또, 도 18d에 도시한 광원광학계는 일례이며 특별히 한정되지 않는다. 예를 들면, 광원광학계에 실시자가 적절하게, 광학렌즈나, 편광 기능을 갖는 필름이나, 위상차를 조절하는 필름, IR 필름 등의 광학계를 형성하여도 좋다.

[0174] 또한, 본 발명은 이 외에도, 발광형 표시 소자에 적용하는 것도 가능하다. 이와 같이, 본원발명의 적용범위는 대단히 넓고, 모든 분야의 전자기기에 적용하는 것이 가능하다.

도면의 간단한 설명

[0175] 도 1은 본 발명의 제 1 실시형태에서의 반도체장치의 제조방법의 공정을 도시하는 도면.

[0176] 도 2는 동 제 1 실시형태에서의 반도체장치의 제조방법에서 사용하는 광학장치를 도시하는 도면.

[0177] 도 3은 동 제 2 실시형태에서의 반도체장치의 제조방법의 공정을 도시하는 도면.

[0178] 도 4는 동 제 3 실시형태에서의 반도체장치의 제조방법에서 사용하는 광학장치를 도시하는 도면.

[0179] 도 5는 본 발명의 제 1 실시예에서의 샘플의 관찰 결과를 도시하는 도면.

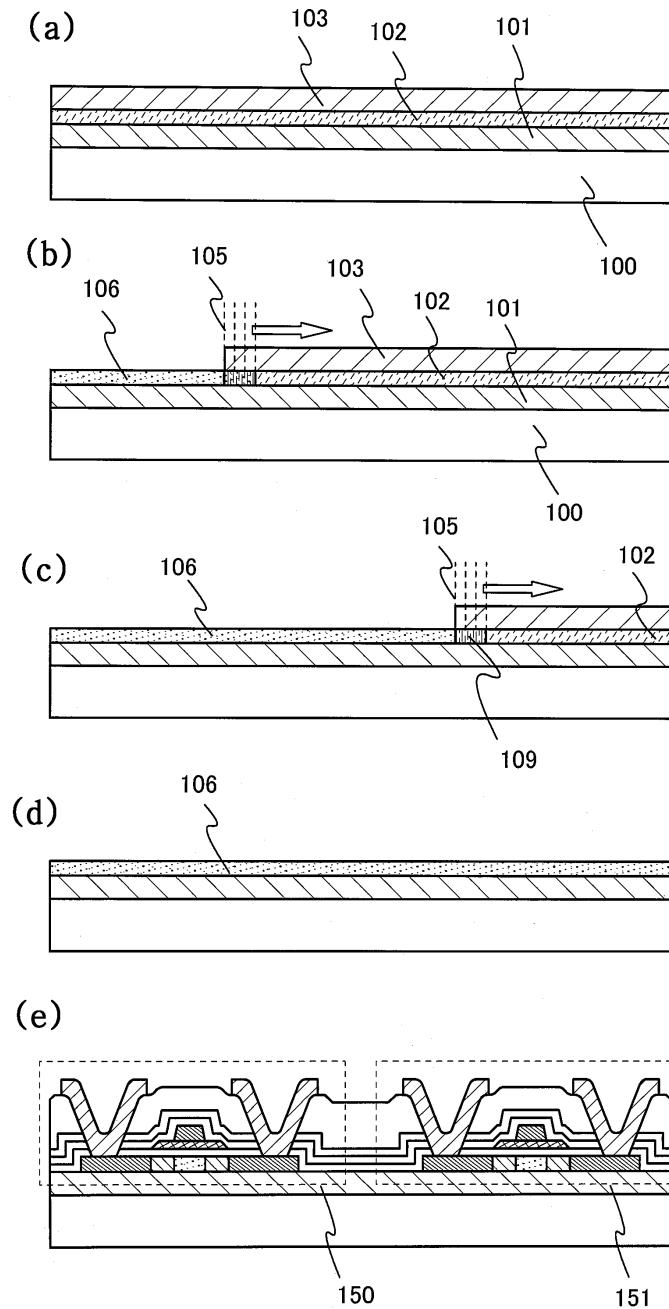
- [0180] 도 6은 동 제 1 실시예에서의 샘플의 관찰 결과를 도시하는 도면.
- [0181] 도 7은 동 제 1 실시예에서의 샘플의 관찰 결과를 도시하는 도면.
- [0182] 도 8은 동 제 2 실시예에서의 액티브 매트릭스기판의 제조 공정을 도시하는 단면도.
- [0183] 도 9는 동 제 2 실시예에서의 액티브 매트릭스기판의 제조 공정을 도시하는 단면도.
- [0184] 도 10은 동 제 2 실시예에서의 액티브 매트릭스기판의 제조 공정을 도시하는 단면도.
- [0185] 도 11은 동 제 2 실시예에서의 액티브 매트릭스기판의 제조 공정을 도시하는 단면도.
- [0186] 도 12는 동 제 2 실시예에서의 액티브 매트릭스기판의 화소부의 상면도.
- [0187] 도 13은 동 제 3 실시예에서의 액티브 매트릭스형 액정표시장치의 제조 공정을 도시하는 단면도.
- [0188] 도 14는 동 제 4 실시예에서의 발광장치의 구동회로 및 화소부의 단면 구조도.
- [0189] 도 15는 동 제 4 실시예에서의 발광장치의 구동회로 및 화소부를 도시하는 도면.
- [0190] 도 16은 동 제 5 실시예에서의 반도체장치의 예를 도시하는 도면.
- [0191] 도 17은 동 제 5 실시예에서의 반도체장치의 예를 도시하는 도면.
- [0192] 도 18은 동 제 5 실시예에서의 반도체장치의 예를 도시하는 도면.
- [0193] 도 19는 동 제 1 실시예에서의 샘플의 관찰 결과를 도시하는 도면.

* 도면의 주요 부분에 대한 부호의 설명 *

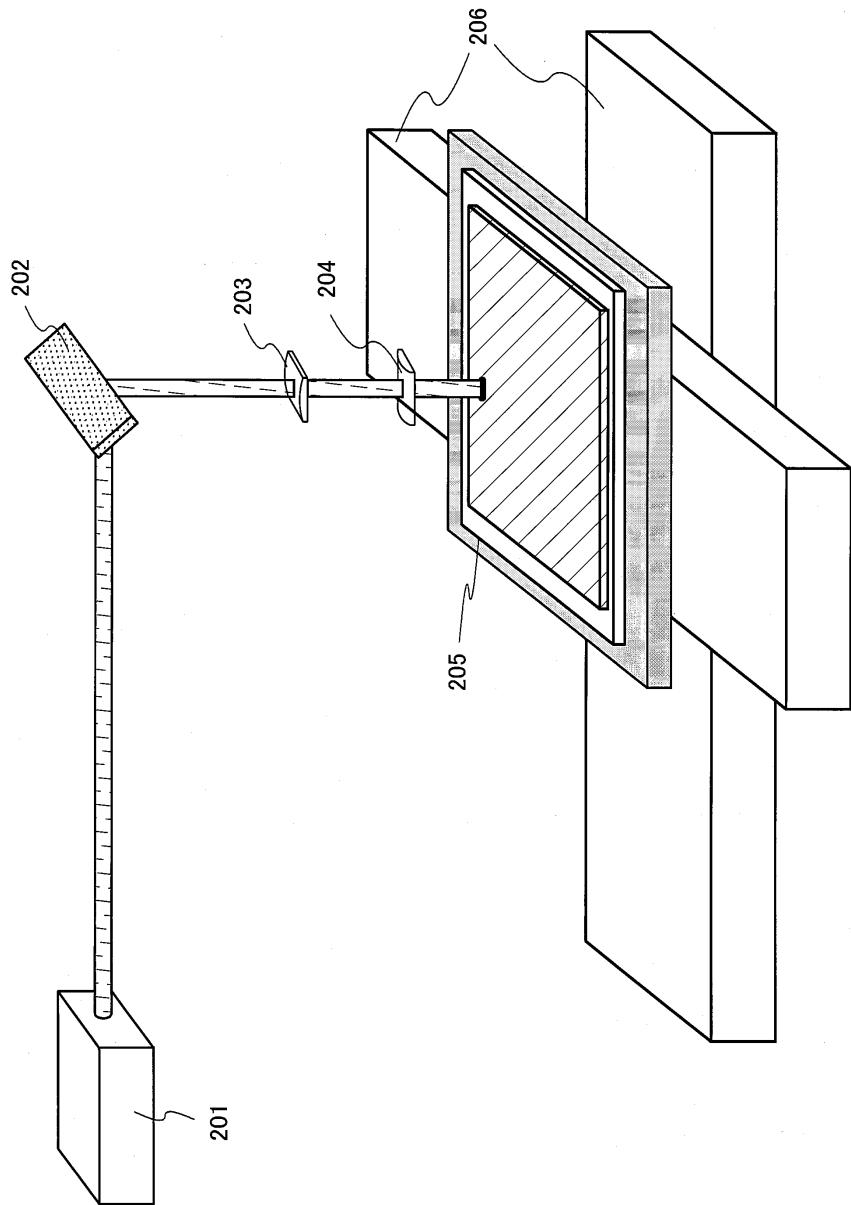
100 : 기판, 101 : 절연막, 102 : 반도체막, 103 : 캡막, 105 : 레이저 범, 106 : 결정성 반도체막, 110 : 레이저 범, 111 : 레이저 범, 150 : 박막트랜지스터(TFT), 151 : 박막트랜지스터(TFT), 201 : 레이저 발진기, 202 : 미러, 203 : 실린드리컬 렌즈, 204 : 실린드리컬 렌즈, 205 : 유리기판, 206 : XY 스테이지, 210 : 레이저 발진기, 211 : 레이저 발진기, 212 : 갈바노 스캐너, 213 : $f\theta$ 렌즈, 505 : 유지용량, 700 : 기판, 701 : 하지막, 702 : 반도체막, 703 : 캡막, 706 : 고농도 불순물 영역, 801 : 결정성반도체막, 802 : 반도체막, 807 : 게이트 절연막, 808;809 : 도전막, 810 : 마스크, 816 : 게이트 절연막, 817;828;835 : 도전층, 839 : 절연층, 844 : 절연막, 846 : 불순물 영역, 861;862 : 충간절연막, 863 : 배선, 866 : 전극, 868 : 접속 전극, 869 : 게이트배선, 870 : 화소전극, 901;903 : n 채널형 TFT, 902 : p 채널형 TFT, 904 : 화소 TFT, 905 : 유지용량, 906 : 구동회로, 907 : 화소부, 967 : 배향막, 968 : 밀봉재, 969 : 대향기판, 970;971 : 착색층, 972 : 스페이서, 973 : 평탄화막, 974 : 배향막, 975 : 액정 재료, 976 : 대향전극, 1001 : n 채널형 TFT, 1002 : p 채널형 TFT, 1003 : 스위칭 TFT, 1004 : 전류제어 TFT, 1100 : 기판, 1101;1104;1105;1106;1107 : 배선, 1108 : 소스 배선, 1109 : 드레인 배선, 1110 : 화소전극, 1111 : 충간 절연막, 1112 : 격벽, 1113 : 발광층, 1114 : 음극, 1115 : 발광소자, 1116 : 패시베이션막, 1117 : 밀봉재, 1118 : 커버재, 1201 : 소스측 구동회로, 1206 : 화소부, 1207 : 게이트측 구동회로, 1301 : 커버재, 1302;1303 : 밀봉재, 1304 : 접속배선, 1305 : FPC, 1307 : 밀봉재, 2001 : 본체, 2002 : 음성출력부, 2003 : 음성입력부, 2004 : 표시장치, 2005 : 조작 스위치, 2006 : 안테나, 2101 : 본체, 2102 : 표시장치, 2103 : 음성입력부, 2104 : 조작 스위치, 2105 : 배터리, 2106 : 수상부, 2201 : 본체, 2202 : 카메라부, 2203 : 수상부, 2204 : 조작 스위치, 2205 : 표시장치, 2301 : 본체, 2302 : 표시장치, 2303 : 암(arm)부, 2501 : 본체, 2502 : 표시장치, 2504 : 기억매체, 2505 : 조작 스위치, 2506 : 안테나, 2601 : 본체, 2602 : 표시장치, 2603 : 스파커부, 2604 : 기록매체, 2605 : 조작 스위치, 2701 : 본체, 2702 : 지지대, 2703 : 표시부, 2801 : 본체, 2802 : 화상입력부, 2803 : 표시장치, 2804 : 키보드, 2901 : 투사장치, 2902 : 스크린, 3001 : 본체, 3002 : 투사장치, 3003 : 미러, 3004 : 스크린, 3101 : 광원광학계, 3102 : 미러, 3103 : 다이크로익미러, 3107 : 프리즘, 3108 : 액정표시장치, 3109 : 위상차판, 3110 : 투사광학계, 3111 : 반사경, 3112 : 광원, 3113 : 렌즈 어레이, 3115 : 편광변환 소자, 3116 : 접광렌즈, 3601 : 투사장치, 701a;701b : 산화질화규소막, 817a;817b : 도전층, 823a : 고농도 불순물 영역, 823b : 저농도 불순물 영역, 823c : 채널 형성 영역, 825a : 고농도 불순물 영역, 825b : 저농도 불순물 영역, 825c : 채널 형성 영역, 826a : 고농도 불순물 영역, 826b : 저농도 불순물 영역, 826c : 채널 형성 영역, 828a;828b;830a : 도전층, 834a : 마스크, 835a : 도전층, 845a : 마스크, 846a : 고농도 불순물 영역, 846b : 불순물 영역, 846d : 채널 형성 영역, 847a : 반도체 층

도면

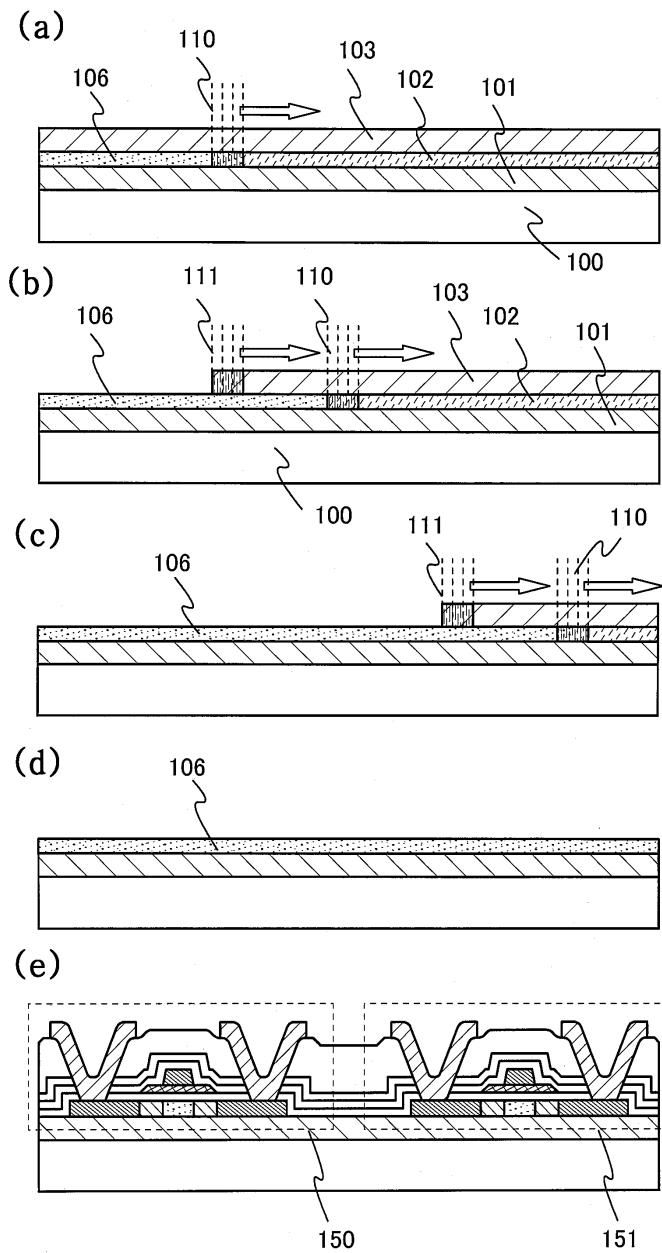
도면1



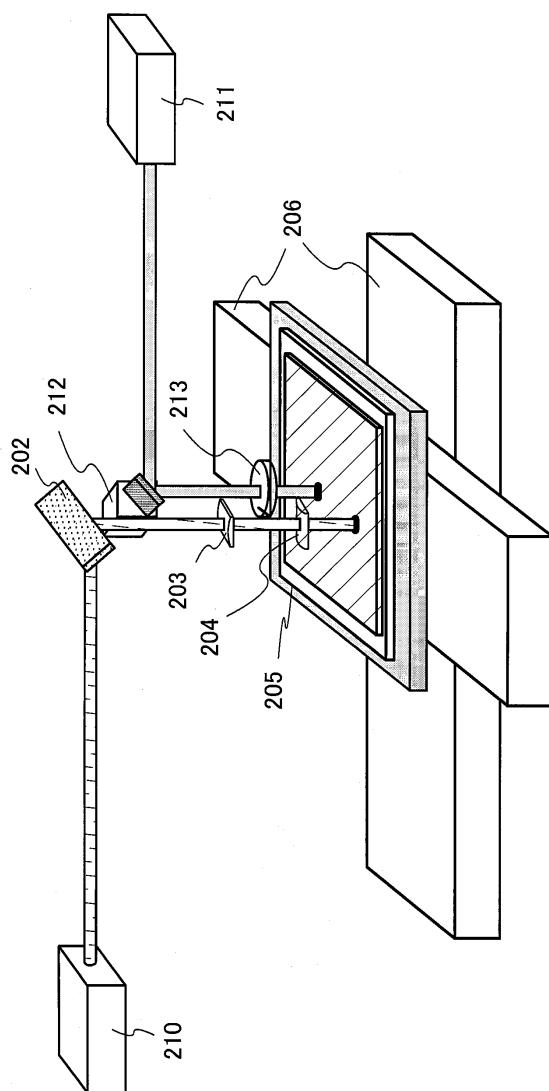
도면2



도면3

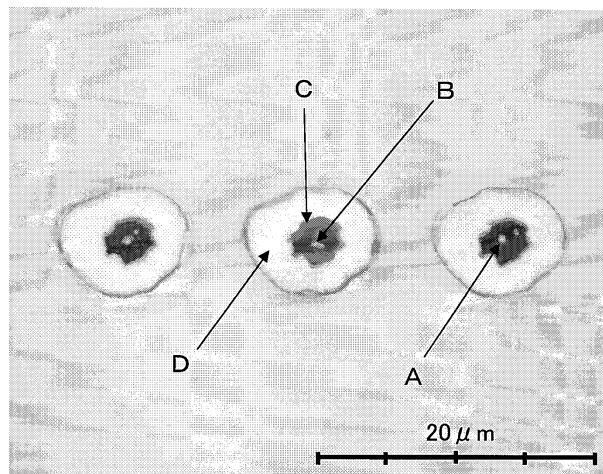


도면4

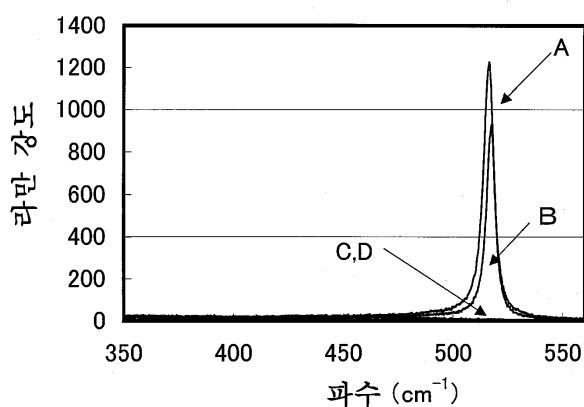


도면5

(a)

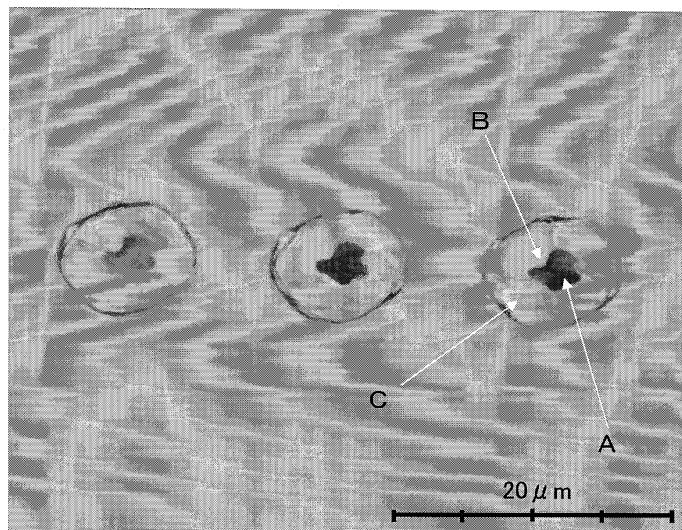


(b)

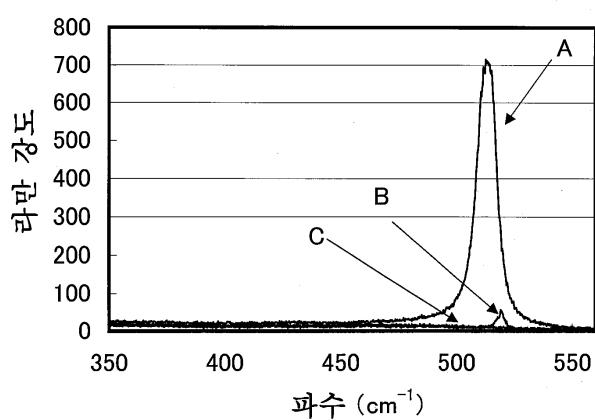


도면6

(a)

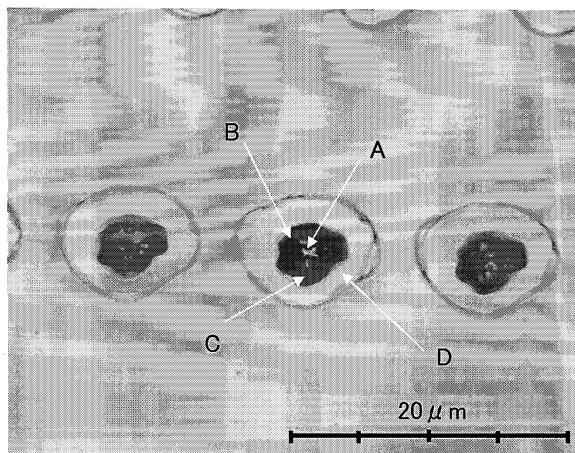


(b)

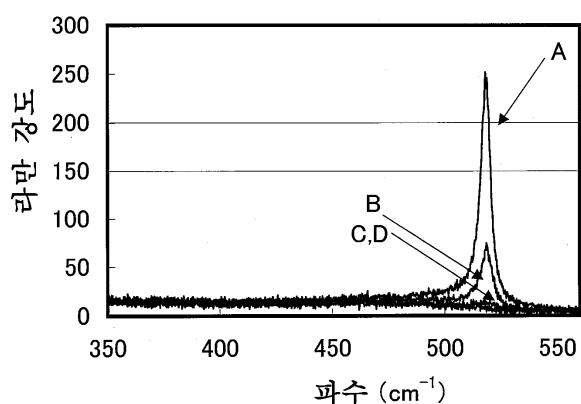


도면7

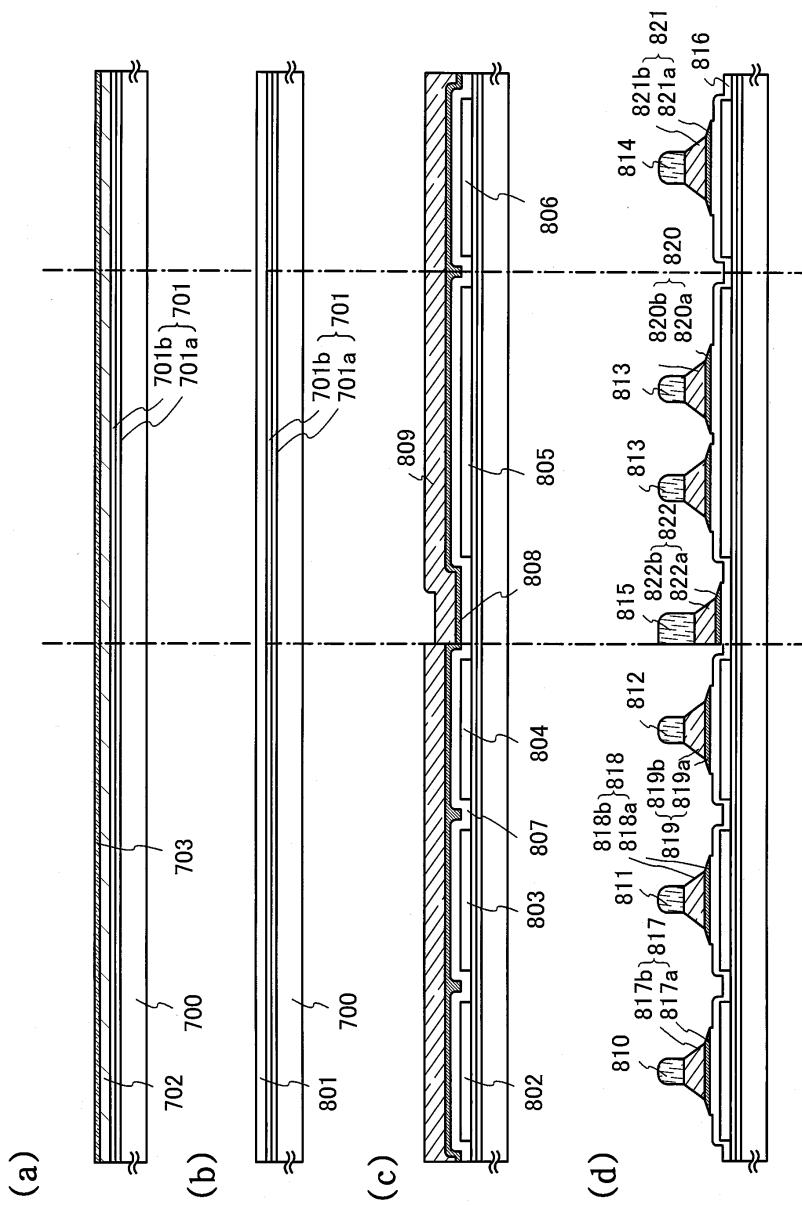
(a)



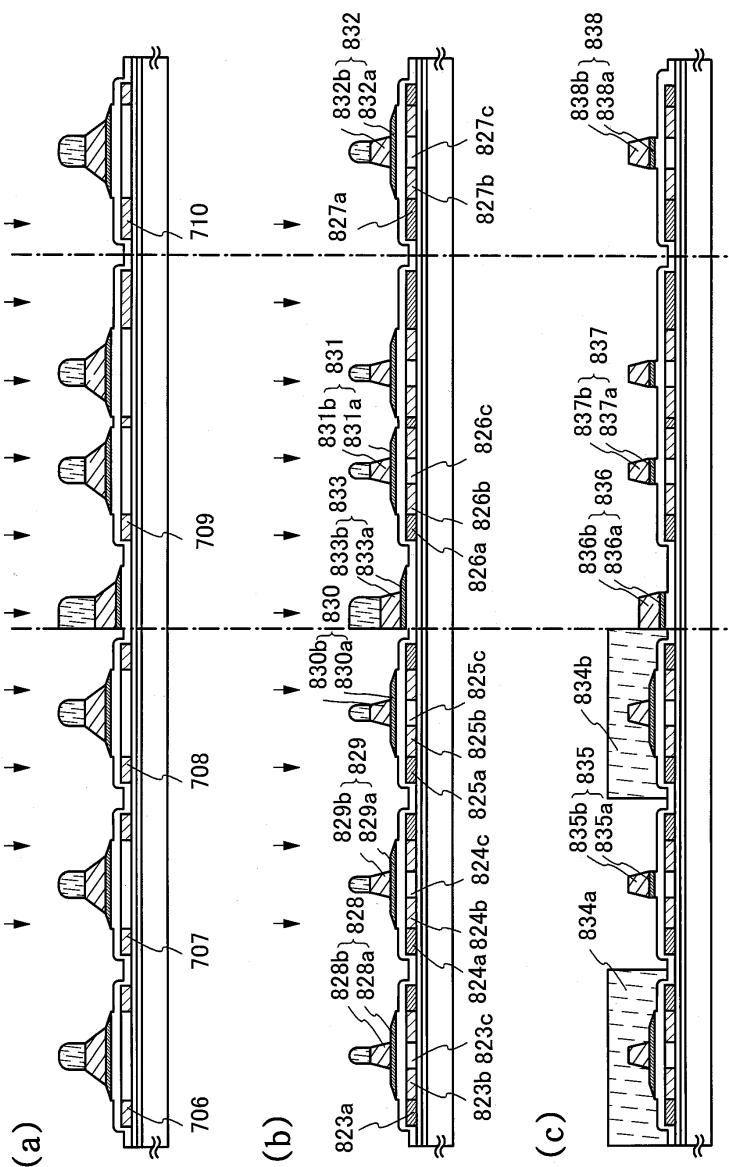
(b)



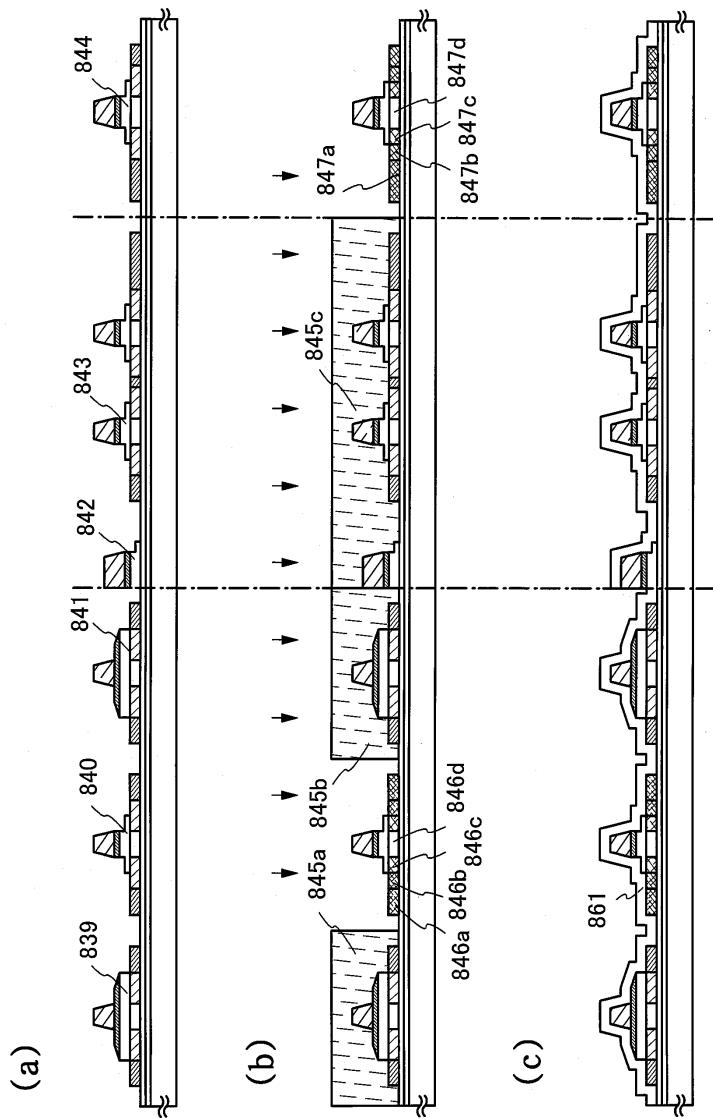
도면8



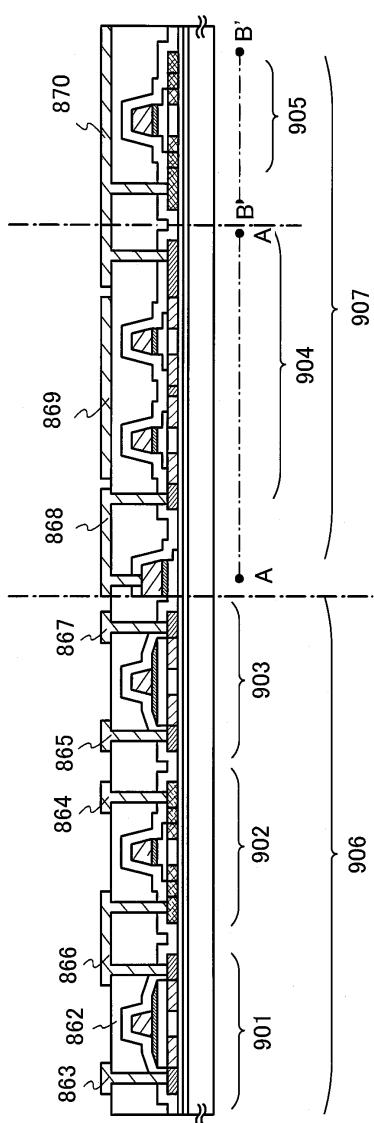
도면9



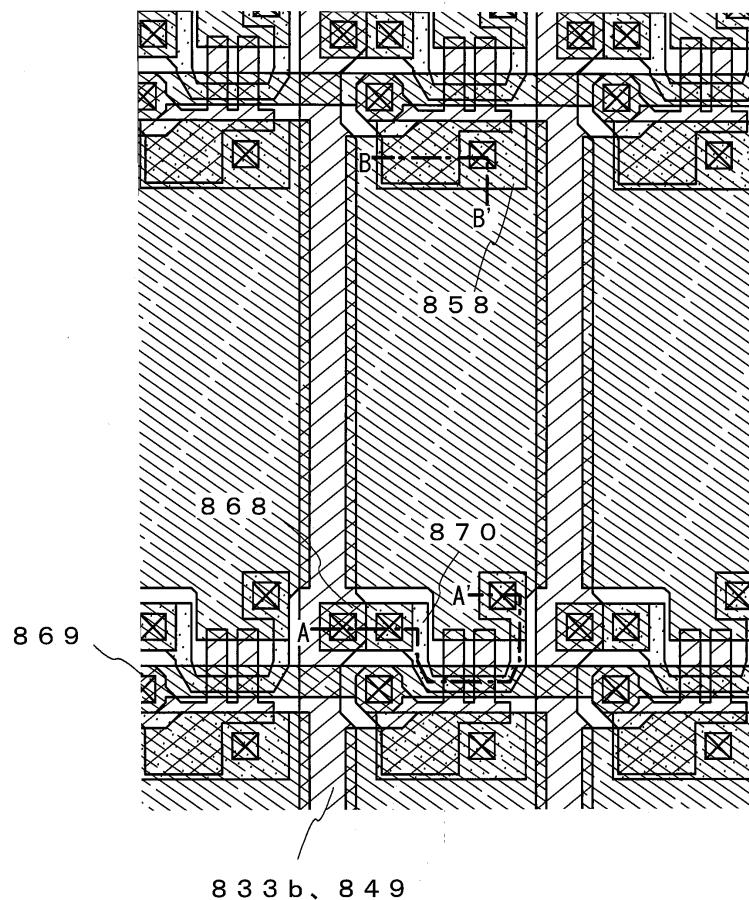
도면10



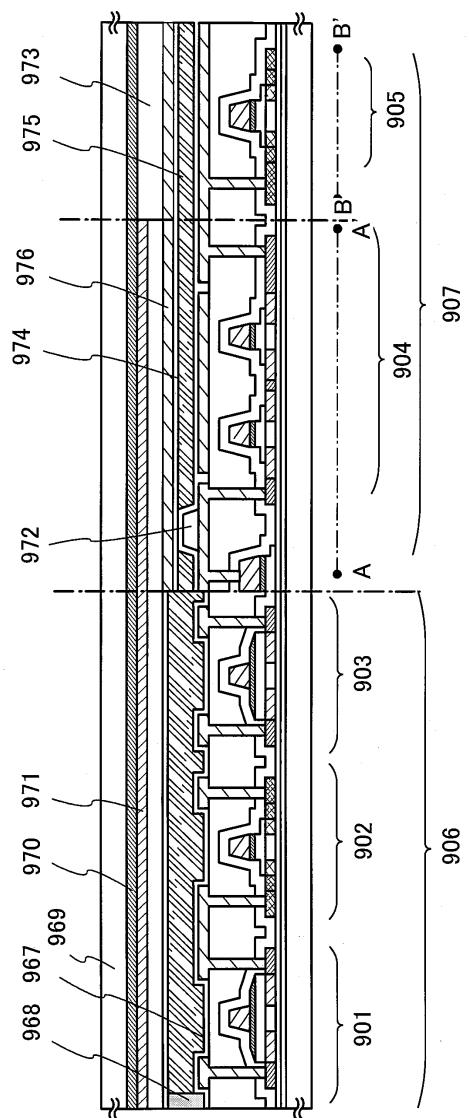
도면11



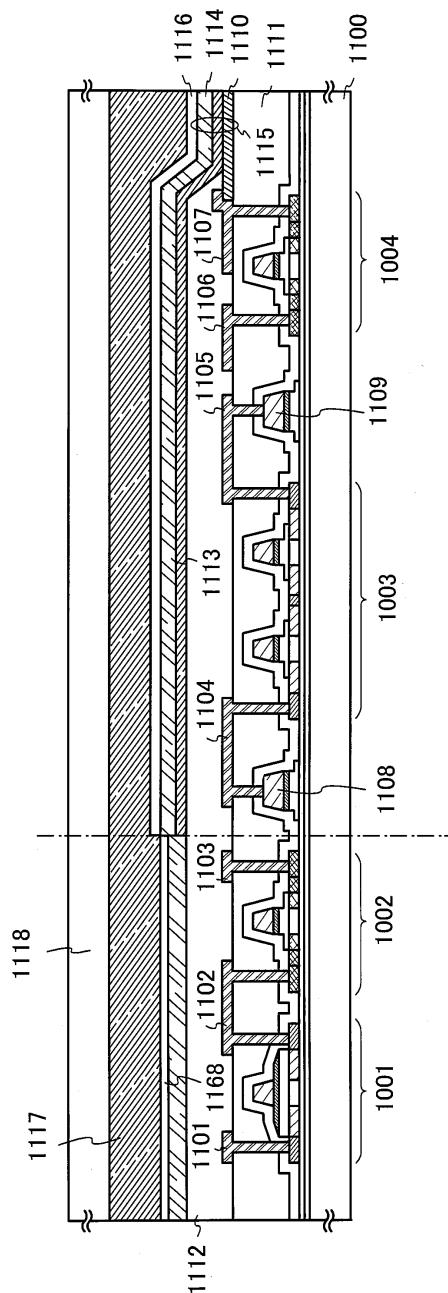
도면12



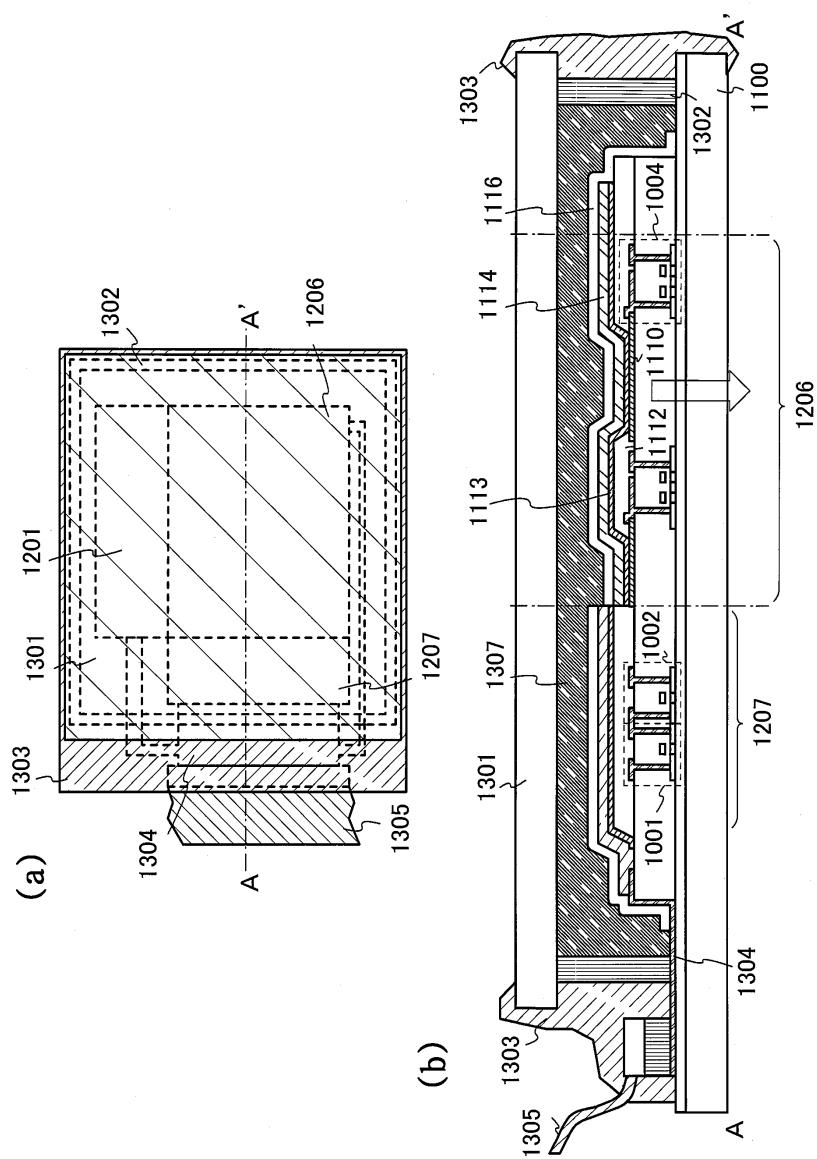
도면13



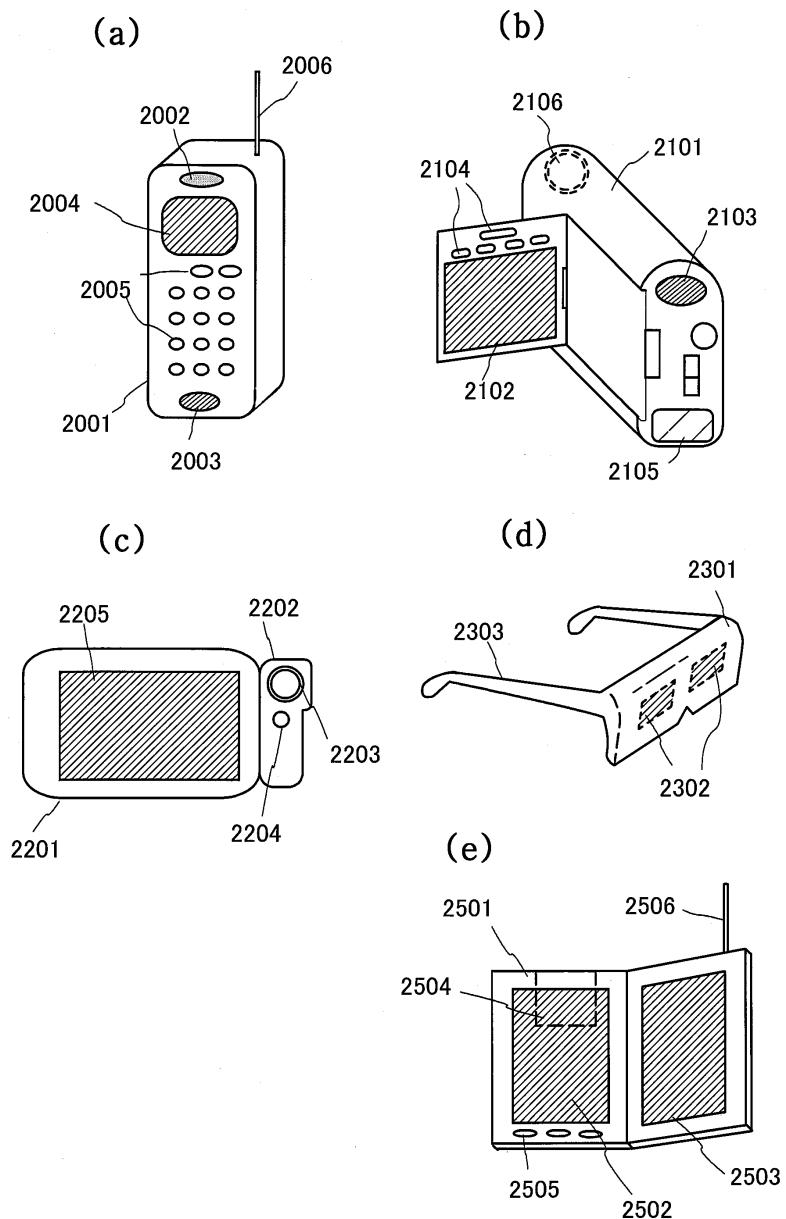
도면14



도면15

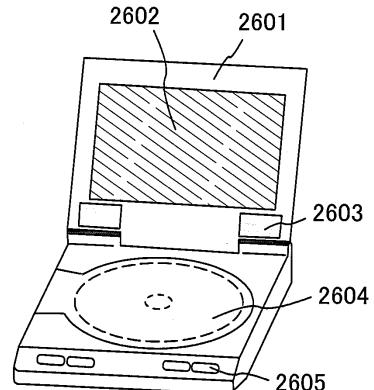


도면16

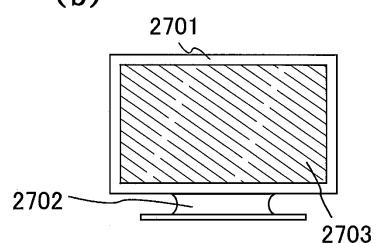


도면17

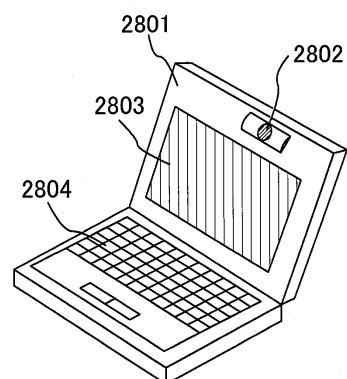
(a)



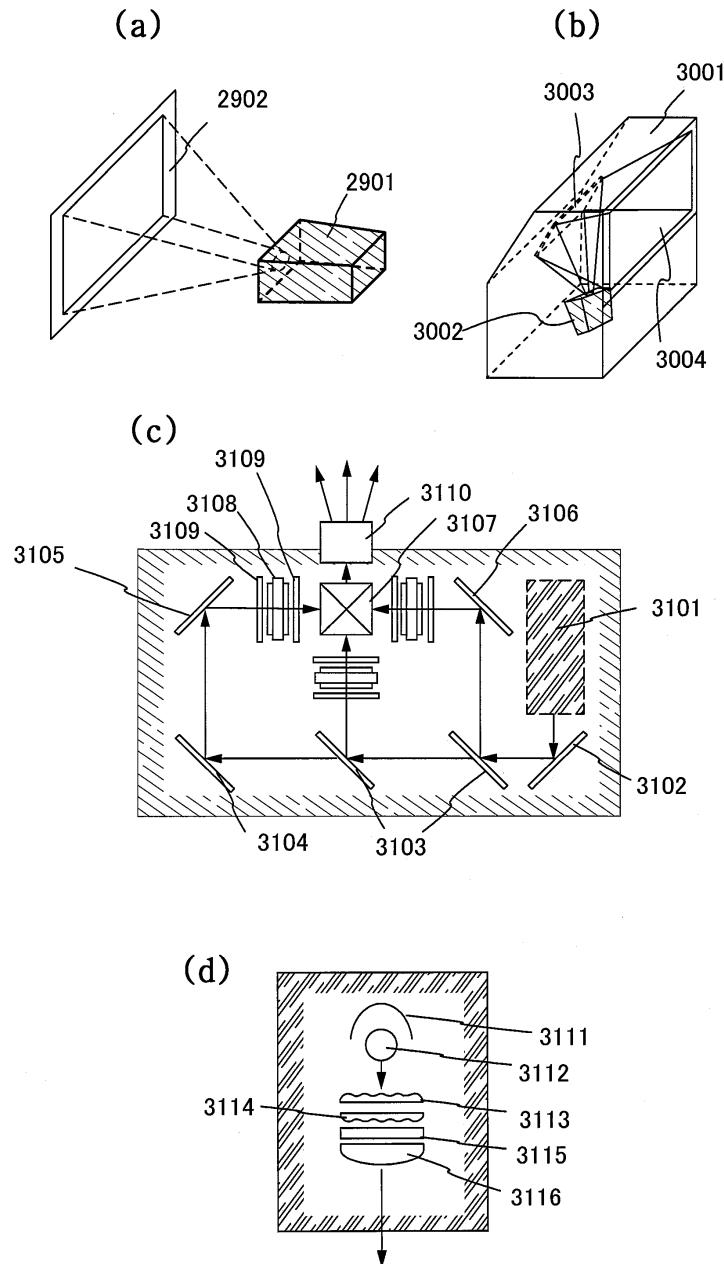
(b)



(c)

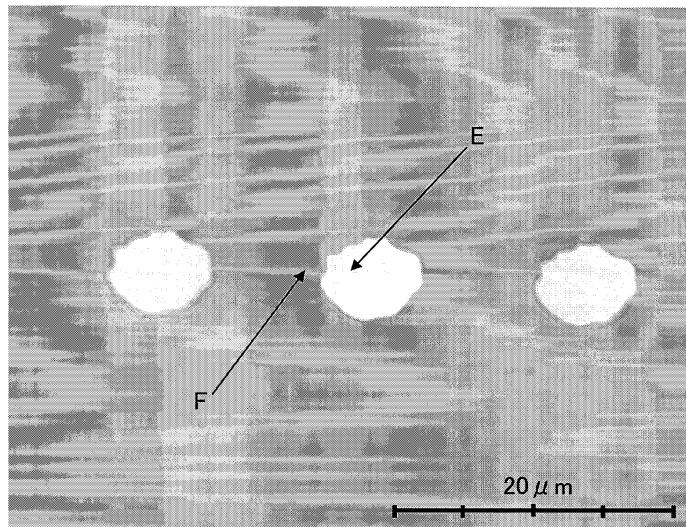


도면18



도면19

(a)



(b)

