



(12) 发明专利

(10) 授权公告号 CN 117912397 B

(45) 授权公告日 2024. 10. 25

(21) 申请号 202211238316.5

G09G 3/3266 (2016.01)

(22) 申请日 2022.10.11

G09G 3/36 (2006.01)

(65) 同一申请的已公布的文献号
申请公布号 CN 117912397 A

(56) 对比文件

CN 107967888 A, 2018.04.27

CN 113362761 A, 2021.09.07

(43) 申请公布日 2024.04.19

审查员 贺轶

(73) 专利权人 荣耀终端有限公司
地址 518040 广东省深圳市福田区香蜜湖
街道红荔西路8089号深业中城6号楼A
单元3401

(72) 发明人 韩林宏

(74) 专利代理机构 北京润泽恒知识产权代理有
限公司 11319

专利代理师 王洪

(51) Int. Cl.

G09G 3/32 (2016.01)

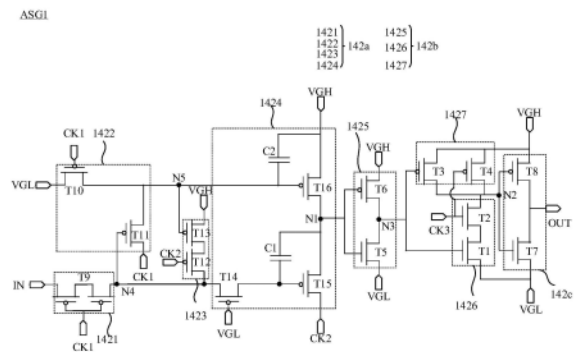
权利要求书5页 说明书19页 附图12页

(54) 发明名称

显示面板和电子设备

(57) 摘要

本申请提供一种显示面板和电子设备。局部刷新时,行与行之间波形丢失问题可解决,显示面板包括级联的扫描驱动单元,扫描驱动单元包括移位模块,接收触发信号输入端的移位信号、第一电平信号接收端接收的第一电平信号、第二电平信号接收端接收的第二电平信号、第一时钟信号接收端接收的第一时钟信号和第二时钟信号接收的第二时钟信号,并响应于第一电平信号、第一时钟信号和第二时钟信号而控制第一节点处的信号;选通逻辑模块,接收第一电平信号和第二电平信号,并响应于第一节点处的信号和区域选通控制端接收的区域选通信号而控制第二节点处的信号;输出模块,接收第一电平信号或第二电平信号,并响应于第二节点处的信号,控制驱动信号输出端输出的信号。



1. 一种显示面板,其特征在于,包括扫描驱动电路,所述扫描驱动电路包括N个级联设置的扫描驱动单元,其中,N为大于或等于2的正整数;

各级所述扫描驱动单元包括:

移位模块,与触发信号输入端、第一时钟信号端、第二时钟信号端、第一电平信号接收端、第二电平信号接收端和第一节点电连接;

选通逻辑模块,与所述第一节点、所述第一电平信号接收端、所述第二电平信号接收端、区域选通控制端和第二节点电连接;

输出模块,与所述第二节点、所述第一电平信号接收端、所述第二电平信号接收端和驱动信号输出端电连接;

所述移位模块用于接收所述触发信号输入端的移位信号、所述第一电平信号接收端接收的第一电平信号、所述第二电平信号接收端接收的第二电平信号、所述第一时钟信号端接收的第一时钟信号和所述第二时钟信号端接收的第二时钟信号,并响应于所述第一电平信号接收端接收的第一电平信号、所述第一时钟信号端接收的第一时钟信号和所述第二时钟信号端接收的第二时钟信号而控制所述第一节点的信号;其中,第一级扫描驱动单元的触发信号输入端与触发信号线电连接,其余级的所述扫描驱动单元的触发信号输入端与上一级的所述扫描驱动单元的第一节点电连接,所述移位信号为上一级所述扫描驱动单元的第一节点处的信号,且所述第一节点的信号为所述第二电平信号或所述第二时钟信号;

所述选通逻辑模块用于接收所述第一电平信号接收端接收的第一电平信号和所述第二电平信号接收端接收的第二电平信号,并响应于所述第一节点处的信号和所述区域选通控制端接收的区域选通信号而控制所述第二节点的信号;

所述输出模块用于接收所述第一电平信号接收端接收的第一电平信号,并响应于所述第二节点的信号,控制所述驱动信号输出端输出的信号;或者,所述输出模块用于接收所述第二电平信号接收端接收的第二电平信号,并响应于所述第二节点的信号,控制所述驱动信号输出端输出的信号;其中,所述第一电平信号和所述第二电平信号中的一者为高电平信号,另一者为低电平信号。

2. 根据权利要求1所述的显示面板,其特征在于,所述选通逻辑模块包括:

第一反相单元,与所述第一节点、所述第一电平信号接收端、所述第二电平信号接收端和第三节点电连接;

第一区域选通单元,与所述第三节点、所述区域选通控制端、所述第一电平信号接收端和所述第二节点电连接;

第二区域选通单元,与所述第三节点、所述区域选通控制端、所述第二电平信号接收端和所述第二节点电连接;

所述第一反相单元用于接收所述第一电平信号接收端接收的第一电平信号和所述第二电平信号接收端接收的第二电平信号,并响应于所述第一节点处的信号而控制所述第三节点的信号;

所述第一区域选通单元用于接收所述第一电平信号接收端接收的第一电平信号,并响应于所述第三节点处的信号和所述区域选通控制端接收的区域选通信号而控制所述第二节点的信号;或者,所述第二区域选通单元用于接收所述第二电平信号接收端接收的第二电平信号,并响应于所述第三节点处的信号和所述区域选通控制端接收的区域选通信号而

控制所述第二节点的信号。

3. 根据权利要求1所述的显示面板,其特征在于,所述选通逻辑模块包括:

第一区域选通单元,与所述第一节点、所述区域选通控制端、所述第一电平信号接收端和所述第二节点电连接;

第二区域选通单元,与所述第一节点、所述区域选通控制端、所述第二电平信号接收端和所述第二节点电连接;

所述第一区域选通单元用于接收所述第一电平信号接收端接收的第一电平信号,并响应于所述第一节点处的信号和所述区域选通控制端接收的区域选通信号而控制所述第二节点的信号;或者,所述第二区域选通单元用于接收所述第二电平信号接收端接收的第二电平信号,并响应于所述第一节点处的信号和所述区域选通控制端接收的区域选通信号而控制所述第二节点的信号。

4. 根据权利要求2或3所述的显示面板,其特征在于,所述第一区域选通单元包括至少两个串联的晶体管,所述第二区域选通单元包括至少两个并联的晶体管,所述第二区域选通单元中的晶体管并联后与所述第一区域选通单元中的晶体管串联,且耦合于所述第二节点;

当所述第一区域选通单元中的晶体管均导通时,所述第二区域选通单元中的晶体管均关断,以使与所述第一区域选通单元电连接的所述第一电平信号接收端接收的第一电平信号写入至所述第二节点;

当所述第一区域选通单元中的至少一个晶体管关断时,所述第二区域选通单元中的至少一个晶体管开启,以使与所述第二区域选通单元电连接的所述第二电平信号接收端接收的第二电平信号写入至所述第二节点。

5. 根据权利要求4所述的显示面板,其特征在于,所述第一区域选通单元包括第一晶体管和第三晶体管;所述第二区域选通单元包括第二晶体管和第四晶体管;

所述第一晶体管的第一极和所述第一电平信号接收端电连接;

所述第一晶体管的第二极与所述第二晶体管的第一极电连接;

所述第二晶体管的第二极、所述第三晶体管的第一极以及所述第四晶体管的第一极均耦合于所述第二节点;

所述第三晶体管的第二极和所述第四晶体管的第二极均与所述第二电平信号接收端电连接;

所述第一晶体管的栅极与所述第三晶体管的栅极相耦合,所述第二晶体管的栅极与所述第四晶体管的栅极相耦合;

所述选通逻辑模块包括第一反相单元、第一区域选通单元和第二区域选通单元,或者,所述选通逻辑模块包括第一区域选通单元和第二区域选通单元;

当所述选通逻辑模块包括第一反相单元、第一区域选通单元和第二区域选通单元时,第一反相单元与所述第一节点、所述第一电平信号接收端、所述第二电平信号接收端和第三节点电连接;第一区域选通单元与所述第三节点、所述区域选通控制端、所述第一电平信号接收端和所述第二节点电连接;第二区域选通单元与所述第三节点、所述区域选通控制端、所述第二电平信号接收端和所述第二节点电连接;所述第一晶体管的栅极与所述第三晶体管的栅极耦合于所述第三节点,且所述第二晶体管的栅极与所述第四晶体管的栅极耦

合于区域选通控制端,或者,所述第一晶体管的栅极与所述第三晶体管的栅极耦合于所述区域选通控制端,且所述第二晶体管的栅极与所述第四晶体管的栅极耦合于所述第三节点;

当所述选通逻辑模块包括第一区域选通单元和第二区域选通单元时,第一区域选通单元与所述第一节点、所述区域选通控制端、所述第一电平信号接收端和所述第二节点电连接;第二区域选通单元与所述第一节点、所述区域选通控制端、所述第二电平信号接收端和所述第二节点电连接;所述第一晶体管的栅极与所述第三晶体管的栅极耦合于所述第一节点,且所述第二晶体管的栅极与所述第四晶体管的栅极耦合于区域选通控制端,或者,所述第一晶体管的栅极与所述第三晶体管的栅极耦合于所述区域选通控制端,且所述第二晶体管的栅极与所述第四晶体管的栅极耦合于所述第一节点。

6. 根据权利要求5所述的显示面板,其特征在于,所述第一晶体管和所述第二晶体管均为P型晶体管,以及所述第三晶体管和所述第四晶体管均为N型晶体管;或者,

所述第一晶体管和所述第二晶体管均为N型晶体管,以及所述第三晶体管和所述第四晶体管均为P型晶体管。

7. 根据权利要求2所述的显示面板,其特征在于,所述第一反相单元包括第五晶体管和第六晶体管;

所述第五晶体管的栅极和所述第六晶体管的栅极均与所述第一节点电连接,所述第五晶体管的第一极与所述第一电平信号接收端电连接,所述第五晶体管的第二极与所述第六晶体管的第一极均与所述第三节点电连接;

所述第六晶体管的第二极与所述第二电平信号接收端电连接。

8. 根据权利要求1所述的显示面板,其特征在于,所述显示面板包括第一显示区和第二显示区,所述区域选通信号包括第一区域选通信号和第二区域选通信号;

与所述第一显示区内的像素连接的所述扫描驱动单元接收所述第一区域选通信号,与所述第二显示区的像素连接的所述扫描驱动单元接收所述第二区域选通信号;

其中,所述第一区域选通信号和所述第二区域选通信号中的一者为高电平信号,另一者为低电平信号,以使与所述第一显示区内的像素连接的所述扫描驱动单元的第二节点处的信号为第一电平信号和第二电平信号中的一者,与所述第二显示区的像素连接的所述扫描驱动单元的第二节点处的信号为一电平信号和第二电平信号中的另一者。

9. 根据权利要求1所述的显示面板,其特征在于,所述显示面板还包括区域选通信号线,所述区域选通信号线用于传输所述区域选通信号;

各所述扫描驱动单元的区域选通控制端电连接同一区域选通信号线。

10. 根据权利要求1所述的显示面板,其特征在于,当所述第一节点的信号为所述第二时钟信号时,相邻两个扫描驱动单元的第一节点处的信号不交叠。

11. 根据权利要求1所述的显示面板,其特征在于,所述输出模块包括第二反相单元,所述第二反相单元包括第七晶体管和第八晶体管;

所述第七晶体管的栅极和所述第八晶体管的栅极均与所述第二节点电连接,所述第七晶体管的第一极与所述第一电平信号接收端电连接,所述第七晶体管的第二极与所述第八晶体管的第一极均与所述驱动信号输出端电连接;

所述第八晶体管的第二极与所述第二电平信号接收端电连接。

12. 根据权利要求1所述的显示面板,其特征在于,所述移位模块包括:

输入单元,与所述触发信号输入端、所述第一时钟信号端和第四节点电连接;

第一控制单元,与所述第一时钟信号端、所述第一电平信号接收端、所述第四节点和第五节点电连接;

第二控制单元,与所述第二电平信号接收端、所述第二时钟信号端、所述第四节点和第五节点电连接;

输出单元,与所述第一电平信号接收端、所述第二电平信号接收端、所述第二时钟信号端、所述第四节点、所述第五节点和所述第一节点电连接;

所述输入单元用于接收所述触发信号输入端的移位信号,并响应于所述第一时钟信号端接收的第一时钟信号而控制所述第四节点的信号;

所述第一控制单元用于接收所述第一时钟信号端接收的第一时钟信号、所述第一电平信号接收端接收的第一电平信号,并响应于所述第四节点处的信号、所述第一时钟信号端接收的第一时钟信号而控制第五节点的信号;

所述第二控制单元用于接收所述第二电平信号接收端接收的第二电平信号,并响应于所述第五节点处的信号、所述第二时钟信号端接收的第二时钟信号而改变所述第四节点的信号;

所述输出单元用于接收所述第二电平信号接收端接收的第二电平信号,并响应于所述第五节点的信号,控制所述第一节点的信号;或者,所述输出模块用于接收所述第二时钟信号端接收的第二时钟信号,并响应于所述第四节点的信号,控制所述第一节点的信号。

13. 根据权利要求12所述的显示面板,其特征在于,所述输入单元包括第九晶体管;

所述第九晶体管的栅极与所述第一时钟信号端电连接,所述第九晶体管的第一极与所述触发信号输入端电连接,所述第九晶体管的第二极与所述第四节点电连接。

14. 根据权利要求12所述的显示面板,其特征在于,所述第一控制单元包括第十晶体管和第十一晶体管;

所述第十晶体管的栅极与所述第一时钟信号端电连接,所述第十晶体管的第一极与所述第一电平信号接收端电连接,所述第十晶体管的第二极和所述第十一晶体管的第二极均与所述第五节点电连接;

所述第十一晶体管的栅极与所述第四节点电连接,所述第十一晶体管的第一极与所述第一时钟信号端电连接。

15. 根据权利要求12所述的显示面板,其特征在于,所述第二控制单元包括第十二晶体管和第十三晶体管;

所述第十二晶体管的栅极与所述第二时钟信号端电连接,所述第十二晶体管的第一极与所述第四节点电连接,所述第十二晶体管的第二极与所述第十三晶体管的第一极电连接;

所述第十三晶体管的栅极与所述第五节点电连接,所述第十三晶体管的第二极与所述第二电平信号接收端电连接。

16. 根据权利要求12所述的显示面板,其特征在于,所述输出单元包括第十四晶体管、第十五晶体管、第十六晶体管、第一电容和第二电容;

所述第十四晶体管的栅极与所述第一电平信号接收端电连接,所述第十四晶体管的第

一极与所述第四节点电连接,所述第十四晶体管的第二极分别与所述第一电容的第一极和所述第十五晶体管的栅极电连接;

所述第一电容的第二极、所述第十五晶体管的第二极、所述第十六晶体管的第一极均与所述第一节点电连接;

所述第十五晶体管的第一极与所述第二时钟信号端电连接;

所述第十六晶体管的栅极和所述第二电容的第一极均与所述第五节点电连接,所述第十六晶体管的第二极和所述第二电容的第二极均与所述第二电平信号接收端电连接。

17.根据权利要求1所述的显示面板,其特征在于,所述显示面板还包括第一时钟信号线和第二时钟信号线;

奇数级扫描驱动单元的第一时钟信号端与所述第一时钟信号线电连接,奇数级扫描驱动单元的第二时钟信号端与所述第二时钟信号线电连接;偶数级扫描驱动单元的第一时钟信号端与所述第二时钟信号线电连接,偶数级扫描驱动单元的第二时钟信号端与所述第一时钟信号线电连接。

18.一种电子设备,其特征在于,包括如权利要求1-17任一项所述的显示面板。

显示面板和电子设备

技术领域

[0001] 本申请涉及显示技术领域,尤其涉及一种显示面板和电子设备。

背景技术

[0002] 电子设备实现显示功能的主要部件是显示面板。显示面板包括显示区和非显示区,显示区包括多个阵列排布的像素。每个像素包括像素驱动电路和发光元件,像素驱动电路用于驱动发光元件发光,以显示图像;非显示区设置有扫描驱动电路,用于为像素驱动电路提供扫描信号,以使发光元件在像素驱动电路的驱动下逐行点亮。

[0003] 目前的电子设备在显示图像时,一般所有区域的画面刷新频率相同,即所有行的扫描信号都以相同的频率刷新,这使得显示面板的功耗相对较高,不利于提升电子设备的续航能力,降低用户体验。

发明内容

[0004] 为了解决上述技术问题,本申请提供一种显示面板和电子设备。

[0005] 第一方面,本申请实施例提供一种显示面板,该显示面板包括扫描驱动电路,扫描驱动电路包括N个级联设置的扫描驱动单元,其中,N为大于或等于2的正整数;各级扫描驱动单元包括:移位模块,与触发信号输入端、第一时钟信号端、第二时钟信号端、第一电平信号接收端、第二电平信号接收端和第一节点电连接;选通逻辑模块,与第一节点、第一电平信号接收端、第二电平信号接收端、区域选通控制端和第二节点电连接;输出模块,与第二节点、第一电平信号接收端、第二电平信号接收端和驱动信号输出端电连接;移位模块用于接收触发信号输入端的移位信号、第一电平信号接收端接收的第一电平信号、第二电平信号接收端接收的第二电平信号、第一时钟信号端接收的第一时钟信号和第二时钟信号端接收的第二时钟信号,并响应于第一电平信号接收端接收的第一电平信号、第一时钟信号端接收的第一时钟信号和第二时钟信号端接收的第二时钟信号而控制第一节点的信号;其中,触发信号输入端与上一级的扫描驱动单元的第一节点电连接,移位信号为上一级所述扫描驱动单元的第一节点处的信号,且第一节点的信号为第二电平信号或第二时钟信号;选通逻辑模块用于接收第一电平信号接收端接收的第一电平信号和第二电平信号接收端接收的第二电平信号,并响应于第一节点处的信号和区域选通控制端接收的区域选通信号而控制第二节点的信号;输出模块用于接收第一电平信号接收端接收的第一电平信号,并响应于第二节点的信号,控制驱动信号输出端输出的信号;或者,输出模块用于接收第二电平信号接收端接收的第二电平信号,并响应于第二节点的信号,控制驱动信号输出端输出的信号;其中,第一电平信号和第二电平信号中的一者为高电平信号,另一者为低电平信号。

[0006] 由于时钟信号为方波信号,其中,方波信号是有周期的,在一个周期内,包括高电平和低电平两种信号,因此,当第一节点的信号为第二时钟信号时,且该第二时钟信号(高电平信号或低电平信号)为有效电平信号(有效电平信号即为该信号经过选通逻辑欧快和

输出模块后可以使得与其对应的像素中的部分晶体管开启)时,可以通过设置相邻两行的有效信号不交叠,使得相邻两个扫描驱动单元的驱动信号输出端输出的信号不交叠。进一步地,选通逻辑模块的设置可以对第一节点处的信号选择处理,进而可以控制驱动信号输出端输出的信号,使得与其对应的像素中的部分晶体管的开启或关闭,当晶体管开启时,该像素可以得到刷新,当晶体管关闭时,该像素无法得到刷新,如此一来,完成对该像素的刷新频率的控制。综上,移位模块、选通逻辑模块和输出模块的共同作用可以使得显示面板不同区域的刷新频率不同,且可以避免行与行之间的波形丢失的问题,保证刷新频率不同的两个区域的交界处的显示效果。

[0007] 此外,相比于现有技术的扫描驱动电路,本申请实施例提供的扫描驱动电路的信号端较少,相应的,为信号端提供信号的信号线较少,结构简单,占用非显示区的区域较少,有利于显示面板的窄边框设计,且成本低。

[0008] 示例性的,该扫描驱动电路可以为驱动复位晶体管和阈值补偿晶体开启或关闭的第一扫描驱动电路。可以理解的是,该扫描驱动电路包括但不限于驱动复位晶体管和阈值补偿晶体开启或关闭的驱动电路,本领域技术人员可以根据实际情况选择该扫描驱动电路的应用场景。

[0009] 根据第一方面,选通逻辑模块包括:第一反相单元,与第一节点、第一电平信号接收端、第二电平信号接收端和第三节点电连接;第一区域选通单元,与第三节点、区域选通控制端、第一电平信号接收端和第二节点电连接;第二区域选通单元,与第三节点、区域选通控制端、第二电平信号接收端和第二节点电连接;第一反相单元用于接收第一电平信号接收端接收的第一电平信号和第二电平信号接收端接收的第二电平信号,并响应于第一节点处的信号而控制第三节点的信号;第一区域选通单元用于接收第一电平信号接收端接收的第一电平信号,并响应于第三节点处的信号和区域选通控制端接收的区域选通信号而控制第二节点的信号;或者,第二区域选通单元用于接收第二电平信号接收端接收的第二电平信号,并响应于第三节点处的信号和区域选通控制端接收的区域选通信号而控制第二节点的信号。

[0010] 第一反相单元对第一节点处的信号做反相,使得第三节点处的信号与第一节点处的信号相位相反,第一区域选通单元和第二区域选通单元的共同作用可以对第三节点处的信号选择处理,使得显示面板不同区域的刷新频率不同。当然,选通逻辑模块的具体结构并不限于此,本领域技术人员可以根据实际情况设置。

[0011] 根据第一方面,选通逻辑模块包括:第一区域选通单元,与第一节点、区域选通控制端、第一电平信号接收端和第二节点电连接;第二区域选通单元,与第一节点、区域选通控制端、第二电平信号接收端和第二节点电连接;第一区域选通单元用于接收第一电平信号接收端接收的第一电平信号,并响应于第一节点处的信号和区域选通控制端接收的区域选通信号而控制第二节点的信号;或者,第二区域选通单元用于接收第二电平信号接收端接收的第二电平信号,并响应于第一节点处的信号和区域选通控制端接收的区域选通信号而控制第二节点的信号。

[0012] 第一区域选通单元和第二区域选通单元的共同作用可以对第一节点处的信号选择处理,使得显示面板不同区域的刷新频率不同。当然,选通逻辑模块的具体结构并不限于此,本领域技术人员可以根据实际情况设置。

[0013] 根据第一方面,或者以上第一方面的任意一种实现方式,第一区域选通单元包括至少两个串联的晶体管,第二区域选通单元包括至少两个并联的晶体管,第二区域选通单元中的晶体管并联后与第一区域选通单元中的晶体管串联,且耦合于第二节点;当第一区域选通单元中的晶体管均导通时,第二区域选通单元中的晶体管均关断,以使与第一区域选通单元电连接的第一电平信号接收端接收的第一电平信号写入至第二节点;当第一区域选通单元中的至少一个晶体管关断时,第二区域选通单元中的至少一个晶体管开启,以使与第二区域选通单元电连接的第二电平信号接收端接收的第二电平信号写入至第二节点。第一区域选通单元和第二区域选通单元的逻辑简单,方便控制,使得电路的稳定性较高。

[0014] 示例性的,第一区域选通单元包括两个串联的晶体管、三个串联的晶体管或四个串联的晶体管等,本申请实施例对第一区域选通单元中晶体的数量不进行限定。第二区域选通单元包括两个并联的晶体管、三个并联的晶体管或四个并联的晶体管等,本申请实施例对第二区域选通单元中晶体的数量不进行限定。

[0015] 根据第一方面,或者以上第一方面的任意一种实现方式,第一区域选通单元包括第一晶体管和第二晶体管;第二区域选通单元包括第三晶体管和第四晶体管;第一晶体管的第一极和第一电平信号接收端电连接;第一晶体管的第二极与第二晶体管的第一极电连接;第二晶体管的第二极、第三晶体管的第一极以及第四晶体管的第一极均耦合于第二节点;第三晶体管的第二极和第四晶体管的第二极均与第二电平信号接收端电连接;第一晶体管的栅极与第三晶体管的栅极相耦合,第二晶体管的栅极与第四晶体管的栅极相耦合,当选通逻辑模块包括第一反相单元、第一区域选通单元和第二区域选通单元时,其中一者耦合于第三节点,另一者耦合于区域选通控制端;当选通逻辑模块包括第一区域选通单元和第二区域选通单元时,其中一者耦合于第一节点,另一者耦合于区域选通控制端。即第一区域选通单元包括两个串联的晶体管,第二区域选通单元包括两个并联的晶体管,这样设置,第一区域选通单元和第二区域选通单元的结构简单,进而使得扫描驱动单元的结构简单,有利于显示面板的窄边框设计。

[0016] 示例性的,当选通逻辑模块包括第一反相单元、第一区域选通单元和第二区域选通单元时,第一晶体管的栅极与第三晶体管的栅极相耦合,且耦合于第一节点,第二晶体管的栅极与第四晶体管的栅极相耦合,且耦合于区域选通控制端;或者,第一晶体管的栅极与第三晶体管的栅极相耦合,且耦合于区域选通控制端,第二晶体管的栅极与第四晶体管的栅极相耦合,且耦合于第一节点。

[0017] 示例性的,当选通逻辑模块包括第一区域选通单元和第二区域选通单元时,第一晶体管的栅极与第三晶体管的栅极相耦合,且耦合于第一节点,第二晶体管的栅极与第四晶体管的栅极相耦合,且耦合于区域选通控制端;或者,第一晶体管的栅极与第三晶体管的栅极相耦合,且耦合于区域选通控制端,第二晶体管的栅极与第四晶体管的栅极相耦合,且耦合于第一节点。

[0018] 根据第一方面,或者以上第一方面的任意一种实现方式,第一晶体管和第二晶体管均为P型晶体管,以及第三晶体管和第四晶体管均为N型晶体管;或者,第一晶体管和第二晶体管均为N型晶体管,以及第三晶体管和第四晶体管均为P型晶体管,N型晶体管和P型晶体管的结合,将有效减少扫描驱动单元所需的薄膜晶体管个数,使得扫描驱动单元的结构更加的简单,有利于实现更窄边框的面板设计。

[0019] 根据第一方面,或者以上第一方面的任意一种实现方式,第一反相单元包括第五晶体管和第六晶体管;第五晶体管的栅极和第六晶体管的栅极均与第一节点电连接,第五晶体管的第一极与第一电平信号接收端电连接,第五晶体管的第二极与第六晶体管的第一极均与第三节点电连接;第六晶体管的第二极与第二电平信号接收端电连接。即第一反相单元的结构简单,进而使得扫描驱动单元的结构简单,有利于显示面板的窄边框设计。

[0020] 根据第一方面,或者以上第一方面的任意一种实现方式,显示面板包括第一显示区和第二显示区,区域选通信号包括第一区域选通信号和第二区域选通信号;与第一显示区内的像素连接的扫描驱动单元接收第一区域选通信号,与第二显示区的像素连接的扫描驱动单元接收第二区域选通信号;其中,第一区域选通信号和第二区域选通信号中的一者为高电平信号,另一者为低电平信号,以使与第一显示区内的像素连接的扫描驱动单元的第二节点处的信号为第一电平信号和第二电平信号中的一者,与第二显示区的像素连接的扫描驱动单元的第二节点处的信号为一电平信号和第二电平信号中的另一者,进而使得第一显示区的像素刷新频率和第二显示区的像素刷新频率不同,以满足不同显示区对于画面刷新频率的不同需求。

[0021] 示例性的,第一区域选通信号为高电平信号,第二区域选通信号为低电平信号;或者,第二区域选通信号为高电平信号,第一区域选通信号为低电平信号。

[0022] 示例性的,第一显示区的像素刷新频率为1Hz或10Hz,第二显示区的像素刷新频率为60Hz;或者,第二显示区的像素刷新频率为1Hz或10Hz,第一显示区的像素刷新频率为60Hz。

[0023] 根据第一方面,或者以上第一方面的任意一种实现方式,显示面板还包括区域选通信号线,区域选通信号线用于传输区域选通信号;各扫描驱动单元的区域选通控制端电连接同一区域选通信号线。无需为每个扫描驱动单元设置单独的区域选通信号线,减少区域选通信号线的数量,结构简单。

[0024] 根据第一方面,或者以上第一方面的任意一种实现方式,当第一节点的信号为所述第二时钟信号时,相邻两个扫描驱动单元的第一节点处的信号不交叠,当该扫描驱动电路应用到局部刷新技术时,可以保证刷新频率不同的两个区域的交界处的显示效果。

[0025] 根据第一方面,或者以上第一方面的任意一种实现方式,输出模块包括第二反相单元,第二反相单元包括第七晶体管和第八晶体管;第七晶体管的栅极和第八晶体管的栅极均与第二节点电连接,第七晶体管的第一极与第一电平信号接收端电连接,第七晶体管的第二极与第八晶体管的第一极均与驱动信号输出端电连接;第八晶体管的第二极与第二电平信号接收端电连接。通过两个晶体管即可实现对第一节点的信号的控制,输出模块的结构简单,进而使得扫描驱动单元的结构简单。

[0026] 根据第一方面,或者以上第一方面的任意一种实现方式,移位模块包括:输入单元,与触发信号输入端、第一时钟信号端和第四节点电连接;第一控制单元,与第一时钟信号端、第一电平信号接收端、第四节点和第五节点电连接;第二控制单元,与第二电平信号接收端、第二时钟信号端、第四节点和第五节点电连接;输出单元,与第一电平信号接收端、第二电平信号接收端、第二时钟信号端、第四节点、第五节点和第一节点电连接;输入单元用于接收所述触发信号输入端的移位信号,并响应于第一时钟信号端接收的第一时钟信号而控制第四节点的信号;第一控制单元用于接收第一时钟信号端接收的第一时钟信号、第

一电平信号接收端接收的第一电平信号,并响应于第四节点处的信号、第一时钟信号端接收的第一时钟信号而控制第五节点的信号;第二控制单元用于接收第二电平信号接收端接收的第二电平信号,并响应于第五节点处的信号、第二时钟信号端接收的第二时钟信号而改变第四节点的信号;输出单元用于接收第二电平信号接收端接收的第二电平信号,并响应于第五节点的信号,控制第一节点的信号;或者,输出模块用于接收第二时钟信号端接收的第二时钟信号,并响应于第四节点的信号,控制第一节点的信号。

[0027] 本申请实施例提供的移位模块的信号端较少,相应的,为信号端提供信号的信号线较少,结构简单,进而使得扫描驱动单元的结构简单,有利于显示面板的窄边框设计,且成本低。

[0028] 根据第一方面,或者以上第一方面的任意一种实现方式,输入单元包括第九晶体管;第九晶体管的栅极与第一时钟信号端电连接,第九晶体管的第一极与触发信号输入端电连接,第九晶体管的第二极与第四节点电连接。通过一个晶体管即可实现对第四节点信号的控制,输入单元的结构简单,进而使得扫描驱动单元的结构简单。

[0029] 根据第一方面,或者以上第一方面的任意一种实现方式,第一控制单元包括第十晶体管和第十一晶体管;第十晶体管的栅极与第一时钟信号端电连接,第十晶体管的第一极与第一电平信号接收端电连接,第十晶体管的第二极和第十一晶体管的第二极均与第五节点电连接;第十一晶体管的栅极与第四节点电连接,第十一晶体管的第一极与第一时钟信号端电连接。通过两个晶体管即可实现对第五节点信号的控制,第一控制单元的结构简单,进而使得扫描驱动单元的结构简单。

[0030] 根据第一方面,或者以上第一方面的任意一种实现方式,第二控制单元包括第十二晶体管和第十三晶体管;第十二晶体管的栅极与第二时钟信号端电连接,第十二晶体管的第一极与第四节点电连接,第十二晶体管的第二极与第十三晶体管的第一极电连接;第十三晶体管的栅极与第五节点电连接,第十三晶体管的第二极与第二电平信号接收端电连接。第二控制单元的结构简单,进而使得扫描驱动单元的结构简单。

[0031] 根据第一方面,或者以上第一方面的任意一种实现方式,输出单元包括第十四晶体管、第十五晶体管、第十六晶体管、第一电容和第二电容;第十四晶体管的栅极与第一电平信号接收端电连接,第十四晶体管的第一极与第四节点电连接,第十四晶体管的第二极分别与第一电容的第一极和第十五晶体管的栅极电连接;第一电容的第二极、第十五晶体管的第二极、第十六晶体管的第一极均与第一节点电连接;第十五晶体管的第一极与第二时钟信号端电连接;第十六晶体管的栅极和第二电容的第一极均与第五节点电连接,第十六晶体管的第二极和第二电容的第二极均与第二电平信号接收端电连接。输出单元的结构简单,进而使得扫描驱动单元的结构简单,且电容的设置,使得第十五晶体管和第十六晶体管的栅极的信号更加的稳定。

[0032] 根据第一方面,或者以上第一方面的任意一种实现方式,显示面板还包括第一时钟信号线和第二时钟信号线;奇数级扫描驱动单元的第一时钟信号端与第一时钟信号线电连接,奇数级扫描驱动单元的第二时钟信号端与第二时钟信号线电连接;偶数级扫描驱动单元的第一时钟信号端与第二时钟信号线电连接,偶数级扫描驱动单元的第二时钟信号端与第一时钟信号线电连接。无需为每个扫描驱动单元设置单独的第一时钟信号线和第二时钟信号线,减少时钟信号线的数量,结构简单。

[0033] 第二方面,本申请实施例还提供一种电子设备,该电子设备包括第一方面以及第一方面的任意一种实现方式的显示面板,第二方面与第一方面以及第一方面的任意一种实现方式相对应。第二方面所对应的技术效果可参见上述第一方面以及第一方面的任意一种实现方式所对应的技术效果,此处不再赘述。

附图说明

- [0034] 图1为本申请实施例提供的一种电子设备的应用场景之一;
- [0035] 图2为本申请实施例提供的一种电子设备的结构示意图;
- [0036] 图3为本申请实施例提供的一种显示面板的结构示意图;
- [0037] 图4为本申请实施例提供的一种像素驱动电路的结构示意图;
- [0038] 图5为本申请实施例提供的又一种显示面板的结构示意图;
- [0039] 图6为本申请实施例提供的一种第二扫描驱动单元的结构示意图;
- [0040] 图7为本申请实施例提供的一种第二扫描驱动单元的时序示意图;
- [0041] 图8为本申请实施例提供的又一种显示面板的结构示意图;
- [0042] 图9为本申请实施例提供的一种第一扫描驱动单元的结构示意图;
- [0043] 图10为本申请实施例提供的一种第一扫描驱动单元的时序示意图;
- [0044] 图11为本申请实施例提供的又一种显示面板的结构示意图;
- [0045] 图12为本申请实施例提供的又一种第一扫描驱动单元的结构示意图;
- [0046] 图13为本申请实施例提供的又一种第一扫描驱动单元的时序示意图;
- [0047] 图14为本申请实施例提供的一种第一扫描驱动电路的时序示意图;
- [0048] 图15为本申请实施例提供的又一种第一扫描驱动单元的结构示意图;
- [0049] 图16为本申请实施例提供的又一种第一扫描驱动单元的时序示意图;
- [0050] 图17为本申请实施例提供的又一种第一扫描驱动电路的时序示意图。

具体实施方式

[0051] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0052] 本文中术语“和/或”,仅仅是一种描述关联对象的关联关系,表示可以存在三种关系,例如,A和/或B,可以表示:单独存在A,同时存在A和B,单独存在B这三种情况。

[0053] 本申请实施例的说明书和权利要求书中的术语“第一”和“第二”等是用于区别不同的对象,而不是用于描述对象的特定顺序。例如,第一目标对象和第二目标对象等是用于区别不同的目标对象,而不是用于描述目标对象的特定顺序。

[0054] 在本申请实施例中,“示例性的”或者“例如”等词用于表示作例子、例证或说明。本申请实施例中被描述为“示例性的”或者“例如”的任何实施例或设计方案不应被解释为比其它实施例或设计方案更优选或更具优势。确切而言,使用“示例性的”或者“例如”等词旨在以具体方式呈现相关概念。

[0055] 在本申请实施例的描述中,除非另有说明,“多个”的含义是指两个或两个以上。例

如,多个处理单元是指两个或两个以上的处理单元;多个系统是指两个或两个以上的系统。

[0056] 图1为示例性示出的应用场景示意图。如图1所示,电子设备100通过显示面板显示各种内容。在图1(1)中,在101区域和103区域显示文字内容或图片,在102区域显示动态内容;或者,在101区域和103区域的显示静态内容,在102区域的显示动态内容。在图1(2)中,在主区域显示电子设备的主界面,在小窗口104区域进行视频播放。

[0057] 在类似图1所示的情形中,如果采用相同的刷新率对所有区域的显示内容进行刷新,会导致显示面板功耗相对较高,但对显示质量并无显著提升。

[0058] 基于此,本申请实施例提出一种显示面板以及应用该显示面板的电子设备,其中,电子设备可以是手机、平板电脑、笔记本电脑、个人数字助理(personal digital assistant,简称PDA)、车载电脑、智能穿戴式设备、智能家居设备等包括显示面板的智能终端,本申请实施例对上述电子设备的具体形式不作限定。

[0059] 通过对显示内容不变的区域或者显示文字和图片等静态内容的区域,以相对较低的刷新频率刷新显示内容,对于显示内容实时变化或者显示视频等动态内容的区域,以相对较高的刷新频率刷新显示内容。换言之,根据不同区域显示内容的不同,选择不同的刷新频率刷新显示内容,这样使得诸如显示内容不变的区域或者显示文字和图片等静态内容的区域刷新频率相对较低,由于这些区域显示内容不变或者显示文字和图片等静态内容,虽然刷新频率降低,但其显示质量无明显影响,从而使得显示面板在保持显示质量的同时,功耗降低,进而提升电子设备的续航能力。

[0060] 下面结合电子设备对本申请实施例提供的显示面板内的各个结构以及不同区域可以实现不同的刷新频率的原理进行介绍,其中,参见图2,以电子设备是手机为例进行说明。

[0061] 如图2所示,手机100包括显示面板10、后壳20和中框30。显示面板10、后壳20和中框30可以围成容纳腔体。容纳腔体内设置有印刷电路板、电池和功能器件(图中未示出)等结构。功能器件例如包括显示驱动芯片和处理器等。处理器向显示驱动芯片发送相应的信号,以使显示驱动芯片驱动显示面板10进行显示。

[0062] 后壳20的材料例如可以包括塑料、素皮、玻璃纤维等不透光材料;也可以包括玻璃等透光材料。本申请实施例对后壳20的材料不进行限定。

[0063] 显示面板10例如包括液晶显示(Liquid Crystal Display,LCD)面板、有机发光二极管(Organic Light Emitting Diode,OLED)显示面板和LED显示面板等,其中,LED显示面板例如包括Micro-LED显示面板、Mini-LED显示面板等。本申请实施例对显示面板10的类型不进行限定。下面以显示面板10为OLED显示面板为例进行说明。

[0064] 如图3所示,显示面板10包括显示区AA和非显示区NAA,非显示区NAA位于显示区AA的至少一侧,其中,图3以非显示区NAA环绕显示区AA设置为例进行的说明。显示面板10的显示区AA中设置有阵列排布的多个像素11、多个扫描线组12和多条数据线13。每个像素11包括像素驱动电路111和显示单元(也称为发光元件)112。多条数据线13与多列像素11中像素驱动电路111一一对应,即一列像素11中的像素驱动电路111对应一条数据线13。多个扫描线组12与多行像素11的像素驱动电路111一一对应,即一行像素11中的像素驱动电路111对应一个扫描线组12。

[0065] 结合图4,像素驱动电路111例如包括7T1C(7个晶体管和1个存储电容),即该像素

驱动电路111可以包括驱动晶体管M1、数据写入晶体管M2、阈值补偿晶体管M3、复位晶体管M4和M5、发光控制晶体管M6和M7、以及存储电容Cst。

[0066] 可以理解的是,像素驱动电路111的具体结构包括但不限于上述示例,在其他可选的实施例中,像素驱动电路111还可以是其他设置方式,只要可以驱动显示单元112发光即可。

[0067] 在一些实施例中,上述复位晶体管M4和阈值补偿晶体管M3是以氧化物半导体材料,例如铟镓锌氧化物(indium gallium zinc oxide,IGZO),作为有源层的晶体管,且该晶体管例如为N型晶体管;驱动晶体管M1、数据写入晶体管M2、复位晶体管M5、发光控制晶体管M6和M7是以硅,可选为多晶硅,例如为低温多晶硅(Low Temperature Poly-Silicon,LTPS)材料,作为有源层的晶体管,且该晶体管例如为P型晶体管,即将LTPS晶体管和IGZO晶体管集成在一个基板上,形成低温多晶氧化物(LTPO,Low Temperature Polycrystalline Oxide)显示面板10。

[0068] 低温多晶硅晶体管具有载流子迁移率高、响应快、和功耗小等的优点,氧化物半导体晶体管具有漏流小的优点,所以当像素驱动电路111同时包括LTPS材料作为有源层的晶体管以及IGZO材料作为有源层的晶体管时,可以保证像素驱动电路111具有较佳的性能。例如,氧化物半导体晶体管具有漏流小的优点,因此,在低频刷新时,可以保持驱动晶体管M1的栅极电位稳定不被漏掉,从而保持画面在低频下不闪烁。

[0069] 此外,N型晶体管和P型晶体管的结合,将有效减少像素驱动电路111所需的薄膜晶体管个数,使得像素驱动电路111的结构更加的简单。

[0070] 继续参见图4,像素驱动电路111还包括初始化信号端Vref、第一电源端PVDD、第二电源端PVEE、数据信号端Data、第一扫描信号端Scan1、第二扫描信号端Scan2、第三扫描信号端Scan3、第四扫描信号端Scan4和发光控制信号端Emit。发光控制晶体管M6的第一极与第一电源端PVDD电连接,数据写入晶体管M2的第一极与数据信号端Data电连接,数据写入晶体管M2的栅极与第四扫描信号端Scan4电连接,阈值补偿晶体管M3的栅极与第三扫描信号端Scan3电连接,复位晶体管M4和M5的第一极分别与初始化信号端Vref电连接(两者对应的初始化信号端可以相同,也可以不同),复位晶体管M4的栅极可以与第一扫描信号端Scan1电连接,复位晶体管M5的栅极可以与第二扫描信号端Scan2电连接,发光控制晶体管M6和M7的栅极可以分别与发光控制信号端Emit电连接,发光控制晶体管M7与第一发光元件112的阳极电连接,第一发光元件112的阴极与第二电源端PVEE电连接。

[0071] 相应的,继续参见图3,每个扫描线组12包括第一扫描信号线121、第二扫描信号线122和发光控制信号线123。

[0072] 相应的,上述所述的一列像素11中的像素驱动电路111对应一条数据线13即为同一列的各像素11的像素驱动电路111中的数据信号端Data与同一条数据线13电连接。一行像素11中的像素驱动电路111对应一个扫描线组12即为同一行的各像素11的像素驱动电路111中的第一扫描信号端Scan1与该行对应的第一扫描信号线121电连接,同一行的各像素11的像素驱动电路111中的第二扫描信号端Scan2与该行对应的第二扫描信号线122电连接,同一行的各像素11的像素驱动电路111中的第三扫描信号端Scan3与其它行(具体行本领域技术人员可以根据实际情况设置)对应的第一扫描信号线121电连接,同一行的各像素11的像素驱动电路111中的第四扫描信号端Scan4与其它行(具体行本领域技术人员可以根

据实际情况设置)对应的第二扫描信号线122电连接,同一行的各像素11的像素驱动电路111中的发光控制信号端Emit与同一条发光控制信号线123电连接。

[0073] 需要说明的是,为了保证电路的简洁清楚,图3中并未示出同一行的各像素11的像素驱动电路111中的第三扫描信号端Scan3与其它行对应的第一扫描信号线121电连接,同一行的各像素11的像素驱动电路111中的第四扫描信号端Scan4与其它行对应的第二扫描信号线122电连接。

[0074] 也就是说,运用LTP0工艺的像素驱动电路111通常需要三种栅极控制信号,一是发光控制信号线123传输的发光控制信号,即发光控制信号线123传输的发光控制信号可以控制发光支路上的发光控制晶体管M6和M7的开启或关断;二是第一扫描信号线121传输的第一扫描信号,即第一扫描信号线121传输的第一扫描信号可以控制有源层为IGZO的复位晶体管M4和阈值补偿晶体管M3的开启或关断,亦即复位晶体管M4所在行对应的第一扫描信号线121传输的第一扫描信号可以控制复位晶体管M4的开启或关断,通过其它行对应的第一扫描信号线121传输的第一扫描信号控制阈值补偿晶体管M3的开启或关断;三是第二扫描信号线122传输的第二扫描信号,即第二扫描信号线122传输的第二扫描信号可以控制有源层为LTPS的复位晶体管M5和数据写入晶体管M2的开启或关断,亦即复位晶体管M5所在行对应的第二扫描信号线122传输的第二扫描信号可以控制复位晶体管M5的开启或关断,通过其它行对应的第二扫描信号线122传输的第二扫描信号控制数据写入晶体管M2的开启或关断。

[0075] 当第一扫描信号线121、第二扫描信号线122向对应行的像素11提供第一扫描信号、第二扫描信号时,可以选择需要刷新的像素11。数据线13向对应列的像素驱动电路111提供数据信号,对通过第一扫描信号、第二扫描信号选择的像素11刷新数据信号。发光控制信号线向对应行的像素11提供发光控制信号,以控制像素11的发光时间。像素驱动电路111在第一扫描信号、第二扫描信号、发光控制信号和数据信号等作用下产生驱动电流以驱动显示单元112发光。像素驱动电路111基于发光控制信号、第一扫描信号、第二扫描信号等产生驱动电流以驱动显示单元112发光的具体原理与现有技术中的7T1C的像素驱动电路产生驱动电流以驱动显示单元发光的原理类似,在此不再赘述。

[0076] 上述所述的对显示面板不同的区域进行刷新,即为对显示面板的不同区域内的像素11进行刷新,亦即向该区域内的像素11的像素驱动电路111提供新的数据信号,从而使像素驱动电路111中的数据信号得到更新(也即驱动晶体管M1的栅极的电位得到刷新),从而驱动晶体管M1的驱动电流得到刷新。当不对像素11进行刷新时,像素11的像素驱动电路111中的数据信号保持为上一帧的数据信号,在发光时驱动电流保持为上一帧的驱动电流。不对像素11进行刷新时,相应晶体管保持关断,无电流流过,因而功耗降低。

[0077] 继续参见图3,显示面板10的非显示区NAA中设置有驱动电路14,其中,驱动电路14例如可以包括第一扫描驱动电路、第二扫描驱动电路和发光控制驱动电路。第一扫描驱动电路包括多个第一扫描信号输出端,第二扫描驱动电路包括多个第二扫描信号输出端,发光控制驱动电路包括多个发光控制信号输出端。第一扫描驱动电路的多个第一扫描信号输出端与显示区AA的多条第一扫描信号线121一一对应电连接,第二扫描驱动电路的多个第二扫描信号输出端与显示区AA的多条第二扫描信号线122一一对应电连接,以及,发光控制驱动电路的多个发光控制信号输出端与显示区AA的发光控制信号线123一一对应电连接。

第一扫描驱动电路通过第一扫描信号输出端向第一扫描信号线121传输上述第一扫描信号,第二扫描驱动电路通过第二扫描信号输出端向第二扫描信号线122传输上述第二扫描信号,发光控制驱动电路通过发光控制信号输出端向发光控制信号线123传输上述发光控制信号。

[0078] 需要说明的是,驱动电路14(第一扫描驱动电路、第二扫描驱动电路和/或发光控制驱动电路)可以设置于显示区AA的一侧,也可以设置于显示区AA相对的两侧(即显示区AA的相对两侧均设置有驱动电路14)。示例性的,当驱动电路14中的第一扫描驱动电路设置于显示区AA相对的两侧(即显示区AA相对的两侧均设置有第一扫描驱动电路)时,两个第一扫描驱动电路的第一扫描信号输出端均与一条第一扫描信号线121电连接,以均为第一扫描信号线121提供第一扫描信号,如此设置,可以降低压降。本申请实施例均以驱动电路14设置于显示区AA的一侧为例进行的说明。

[0079] 参见图5,第二扫描驱动电路142(为像素11提供第二扫描信号的驱动电路)包括N个级联的扫描驱动单元ASG2,例如可以包括N个扫描驱动单元ASG21~ASG2n, $N \geq 2$,N的具体取值本领域技术人员可根据实际情况设置,此处不作限定。

[0080] 每级扫描驱动单元ASG2包括第一时钟信号端CK1、第二时钟信号端CK2、触发信号输入端IN、第一电平信号接收端VGL、第二电平信号接收端VGH和第一节点N1,第一节点N1作为输出端,为第二扫描信号线122提供第二扫描信号,以通过第二扫描信号线122向像素11提供第二扫描信号。除最后一级扫描驱动单元ASG2n外,其余每级扫描驱动单元ASG2的第一节点N1与其相邻的下一级的扫描驱动单元ASG2的触发信号输入端IN电连接,第一级扫描驱动单元ASG21的触发信号输入端IN与触发信号线STV电连接,接收触发信号线STV发出的触发信号。

[0081] 扫描驱动单元ASG2根据第一时钟信号端CK1输入的第一时钟信号、第二时钟信号端CK2输入的第二时钟信号、触发信号输入端IN输入的触发信号、第一电平信号接收端VGL输入的第一电平信号以及第二电平信号接收端VGH输入的第二电平信号通过第一节点N1向第二扫描信号线122发送第二扫描信号。

[0082] 第二扫描驱动电路142还包括位于非显示区NAA的第一时钟信号线CKL1、第二时钟信号线CKL2、第一电平信号线VGLL和第二电平信号线VGHL,且第一时钟信号线CKL1输出的时钟信号和第二时钟信号线CKL2输出的时钟信号为两个互为相反的时钟信号。第二扫描驱动电路142中的各扫描驱动单元ASG2的第一电平信号接收端VGL电连接同一第一电平信号线VGLL,第二扫描驱动电路142中的各扫描驱动单元ASG2的第二电平信号接收端VGH电连接同一第二电平信号线VGHL。奇数级扫描驱动单元ASG2的第一时钟信号端CK1与第一时钟信号线CKL1电连接,奇数级扫描驱动单元ASG2的第二时钟信号端CK2与第二时钟信号线CKL2电连接;偶数级扫描驱动单元ASG2的第一时钟信号端CK1与第二时钟信号线CKL2电连接,偶数级扫描驱动单元ASG2的第二时钟信号端CK2与第一时钟信号线CKL1电连接。如图5所示,第一级扫描驱动单元ASG21和第三级扫描驱动单元ASG23的第一时钟信号端CK1与第一时钟信号线CKL1电连接,第一级扫描驱动单元ASG21和第三级扫描驱动单元ASG23的第二时钟信号端CK2与第二时钟信号线CKL2电连接,第二级扫描驱动单元ASG22和第四级扫描驱动单元ASG24的第一时钟信号端CK1与第二时钟信号线CKL2电连接,第二级扫描驱动单元ASG22和第四级扫描驱动单元ASG24的第二时钟信号端CK2与第一时钟信号线CKL1电连接。

[0083] 结合图6,第二扫描驱动电路142的扫描驱动单元ASG2还包括:输入单元1421、第一控制单元1422、第二控制单元1423和输出单元1424。输入单元1421包括第九晶体管T9,第九晶体管T9的栅极与第一时钟信号端CK1电连接,第九晶体管T9的第一极与触发信号输入端IN电连接,第九晶体管T9的第二极与第四节点N4电连接。第一控制单元1422包括第十晶体管T10和第十一晶体管T11,第十晶体管T10的栅极与第一时钟信号端CK1电连接,第十晶体管T10的第一极与第一电平信号接收端VGL电连接,第十晶体管T10的第二极和第十一晶体管T11的第二极均与第五节点N5电连接,第十一晶体管T11的栅极与第四节点N4电连接,第十一晶体管T11的第一极与第一时钟信号端CK1电连接。第二控制单元1423包括第十二晶体管T12和第十三晶体管T13,第十二晶体管T12的栅极与第二时钟信号端CK2电连接,第十二晶体管T12的第一极与第四节点N4电连接,第十二晶体管T12的第二极与第十三晶体管T13的第一极电连接,第十三晶体管T13的栅极与第五节点N5电连接,第十三晶体管T12的第二极与第二电平信号接收端VGH电连接。输出单元1424包括第十四晶体管T14、第十五晶体管T15、第十六晶体管T16、第一电容C1和第二电容C2,第十四晶体管T14的栅极与第一电平信号接收端VGL电连接,第十四晶体管T14的第一极与第四节点N4电连接,第十四晶体管T14的第二极分别与第一电容C1的第一极和第十五晶体管T15的栅极电连接,第一电容C1的第二极、第十五晶体管T15的第二极、第十六晶体管T16的第一极均与第一节点N1电连接,第十五晶体管T15的第一极与第二时钟信号端CK2电连接,第十六晶体管T16的栅极和第二电容C2的第一极均与第五节点N5电连接,第十六晶体管T16的第二极和第二电容C2的第二极与第二电平信号接收端VGH电连接。

[0084] 以上对第二扫描驱动电路142的扫描驱动单元ASG2的结构进行了具体介绍,下面对第二扫描驱动电路142的扫描驱动单元ASG2的工作过程进行介绍。

[0085] 图7示出了第二扫描驱动电路的扫描驱动单元中各信号的时序图。下面结合该时序图,对图6所示的第二扫描驱动电路的扫描驱动单元的工作过程进行说明。其中,以第九晶体管T9、第十晶体管T10、第十一晶体管T11、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14、第十五晶体管T15和第十六晶体管T16为P型晶体管,且第一电平信号接收端VGL接收的第一电平信号为低电平信号,第二电平信号接收端VGH接收的第二电平信号为高电平信号为例进行的说明。

[0086] 在第一阶段 t_1 ,即触发信号低电平输入阶段:第一时钟信号端CK1接收的第一时钟信号由高电平变低电平,第二时钟信号端CK2接收的第二时钟信号由低电平变高电平,第九晶体管T9和第十晶体管T10打开,将触发信号输入端IN接收的输入信号的低电平写入第四节点N4,第四节点N4被拉低,第十一晶体管T11打开,第五节点N5处为低电平。第十二晶体管T12被关闭,高电平无法通过第十二晶体管T12写入至第四节点N4处。第四节点N4处的低电平使得第十五晶体管T15打开,以及第五节点N5处的低电平使得第十六晶体管T16打开,第一节点N1输出的第二扫描信号此时为高电平。

[0087] 在第二阶段 t_2 ,即输出端(第一节点N1)输出低电平阶段:第一时钟信号端CK1接收的第一时钟信号由低电平变高电平,第二时钟信号端CK2接收的第二时钟信号由高电平变低电平,第九晶体管T9和第十晶体管T10被关闭,第四节点N4维持低电平,第十一晶体管T11继续打开,第一时钟信号的高电平写入到第五节点N5。第四节点N4的低电平使得第十五晶体管T15打开,第五节点N5的高电平使得第十六晶体管T16关断,第二时钟信号的低电平通

过第十五晶体管T15传输至第一节点N1,即第一节点N1输出的第二扫描信号此时为低电平,以驱动相应像素行(与该级扫描驱动单元ASG2电连接的第二扫描信号线122对应的行)的像素驱动电路111中的P型晶体管(复位晶体管M5和数据写入晶体管M2)开启(即工作)。

[0088] 在第三阶段t3,即输出端(第一节点N1)输出高电平阶段:第一时钟信号端CK1接收的第一时钟信号由高电平变低电平,第二时钟信号端CK2接收的第二时钟信号由低电平变高电平,第九晶体管T9打开,第十晶体管T10打开,将触发信号输入端IN接收的输入信号STV的高电平写入第四节点N4,第十一晶体管T11被关断,将第一电平信号接收端VGL接收的低电平写入至第五节点N5。第十二晶体管T12被关闭,高电平无法通过第十二晶体管T12写入至第四节点N4处。第四节点N4处的高电平使得第十五晶体管T15关断,以及第五节点N5处的低电平使得第十六晶体管T16打开,第一节点N1输出的第二扫描信号此时为高电平,此时,相应像素行的像素驱动电路111中的P型晶体管(复位晶体管M5和数据写入晶体管M2)关断。

[0089] 综上,上述八个晶体管和两个电容组成的第二扫描驱动电路142通过第二扫描信号线122向像素驱动电路111中的P型晶体管(复位晶体管M5和数据写入晶体管M2)提供第二扫描信号,以控制复位晶体管M5和数据写入晶体管M2的开启或关断,结构简单,且由于时钟信号为方波信号,其中,方波信号是有周期的,在一个周期内,包括高电平和低电平两种信号,因此,当第一节点的信号为第二时钟信号时,且该第二时钟信号(高电平信号或低电平信号)为有效电平信号(有效电平信号即为该信号经过选通逻辑欧快和输出模块后可以使得与其对应的像素中的部分晶体管开启)时,可以通过设置相邻两行的有效信号不交叠,使得相邻两个扫描驱动单元的第一节点输出的信号不交叠,即输出至相应像素行的第二扫描信号不交叠。当该第二扫描驱动电路142应用到局部刷新技术时,可以保证刷新频率不同的两个区域的交界处的显示效果。

[0090] 以上对第二扫描驱动电路142(即驱动像素驱动电路111中的P型晶体管开启或关断的驱动电路)的具体结构以及控制P型晶体管(复位晶体管M5和数据写入晶体管M2)的开启或关断的原理进行了介绍,下面对第一扫描驱动电路141(即驱动像素驱动电路111中的N型晶体管开启或关断的驱动电路)的结构以及实现N型晶体管(复位晶体管M4和阈值补偿晶体管M3)的开启或关断的原理进行介绍。

[0091] 参见图8和图9,第一扫描驱动电路141包括N个级联的扫描驱动单元ASG1,例如可以包括N个扫描驱动单元ASG11~ASG1n, $N \geq 2$,N的具体取值本领域技术人员可根据实际情况设置,此处不作限定。

[0092] 与第二扫描驱动电路142不同的是,第一扫描驱动电路141中每级扫描驱动单元ASG1不仅包括第一时钟信号端CK1、第二时钟信号端CK2、触发信号输入端IN、第一电平信号接收端VGL、第二电平信号接收端VGH和第一节点N1,还包括第三节点N3,其中,第三节点N3作为输出端,为第一扫描信号线121提供第一扫描信号。且,除最后一级扫描驱动单元ASG1n外,其余每级扫描驱动单元ASG1的第一节点N1与其相邻的下一级的扫描驱动单元ASG1的触发信号输入端IN电连接,第一级扫描驱动单元ASG11的触发信号输入端IN与触发信号线STV电连接,接收触发信号线STV发出的触发信号。

[0093] 结合图9,第一扫描驱动电路141的扫描驱动单元ASG1不仅包括:输入单元1421、第一控制单元1422、第二控制单元1423和输出单元1424,其中,输入单元1421、第一控制单元1422、第二控制单元1423和输出单元1424的具体结构可以参考上述内容,此处不再赘述。还

包括第一反相单元1425,第一反相单元1425包括第五晶体管T5和第六晶体管T6,第五晶体管T5和第六晶体管T6的类型不同,示例性的,第五晶体管T5为N型晶体管,第六晶体管T6为P型晶体管。第五晶体管T5的栅极和第六晶体管T6的栅极均与第一节点N1电连接,第五晶体管T5的第一极与第一电平信号接收端VGL电连接,第五晶体管T5的第二极与第六晶体管T6的第一极均与第三节点N3电连接,第六晶体管T6的第二极与第二电平信号接收端VGH电连接。

[0094] 也就是说,第一扫描驱动电路141的扫描驱动单元ASG1是在第二扫描驱动电路142的扫描驱动单元ASG2的基础上设置了第一反相单元1425,以对第一节点N1处的信号进行反相,使得第三节点N3输出的第一扫描信号与第二扫描信号相反,进而使得相应像素行的像素驱动电路中的N型晶体管(复位晶体管M4和阈值补偿晶体管M3)开启或关断。

[0095] 以上对第一扫描驱动电路141的扫描驱动单元ASG1的结构进行了具体介绍,下面对第一扫描驱动电路141的扫描驱动单元ASG1的工作过程进行介绍。

[0096] 图10示出了第一扫描驱动电路的扫描驱动单元中各信号的时序图。下面结合第一扫描驱动电路的扫描驱动单元中各信号的时序图,对图9所示的扫描驱动单元的扫描驱动单元的工作过程进行说明。其中,以第九晶体管T9、第十晶体管T10、第十一晶体管T11、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14、第十五晶体管T15、第十六晶体管T16、第六晶体管T6为P型晶体管,第五晶体管T5为N型晶体管,且第一电平信号接收端VGL接收的第一电平信号为低电平信号,第二电平信号接收端VGH接收的第二电平信号为高电平信号为例进行的说明。

[0097] 在第一阶段t1,即触发信号低电平输入阶段:第一时钟信号端CK1接收的第一时钟信号由高电平变低电平,第二时钟信号端CK2接收的第二时钟信号由低电平变高电平,第九晶体管T9打开,第十晶体管T10打开,将触发信号输入端IN接收的输入信号STV的低电平写入第四节点N4,第四节点N4被拉低,第十一晶体管T11打开,第五节点N5处为低电平。第十二晶体管T12被关闭,高电平无法通过第十二晶体管T12写入至第四节点N4处。第四节点N4处的低电平使得第十五晶体管T15打开,以及第五节点N5处的低电平使得第十六晶体管T16打开,第一节点N1处的信号为高电平。高电平使得第五晶体管T5打开,第六晶体管T6被关断,第一电平信号接收端VGL接收的第一电平信号通过第五晶体管T5传输至第三节点N3处,使得第三节点N3输出的第一扫描信号为低电平。

[0098] 在第二阶段t2,即输出端(第三节点N3)输出高电平阶段:第一时钟信号端CK1接收的第一时钟信号由低电平变高电平,第二时钟信号端CK2接收的第二时钟信号由高电平变低电平,第九晶体管T9和第十晶体管T10被关闭,第四节点N4维持低电平,第十一晶体管T11继续打开,第一时钟信号的高电平写入到第五节点N5。第四节点N4的低电平使得第十五晶体管T15打开,第五节点N5的高电平使得第十六晶体管T16关断,第二时钟信号的低电平通过第十五晶体管T15传输至第一节点N1,即第一节点N1处为低电平。低电平使得第六晶体管T6打开,第五晶体管T5被关断,第二电平信号接收端VGH接收的第二电平信号通过第六晶体管T6传输至第三节点N3处,使得第三节点N3输出的第一扫描信号为高电平,以驱动相应像素行(与该级扫描驱动单元ASG1电连接的第一扫描信号线121对应的行)的像素驱动电路111中的N型晶体管(复位晶体管M4和阈值补偿晶体管M3)开启(即工作)。

[0099] 在第三阶段t3,即输出端(第三节点N3)输出低电平阶段:第一时钟信号端CK1接收

的第一时钟信号由高电平变低电平,第二时钟信号端CK2接收的第二时钟信号由低电平变高电平,第九晶体管T9打开,第十晶体管T10打开,将触发信号输入端IN接收的输入信号STV的高电平写入第四节点N4,第十一晶体管T11被关断,将第一电平信号接收端VGL接收的低电平写入至第五节点N5。第十二晶体管T12被关闭,高电平无法通过第十二晶体管T12写入至第四节点N4处。第四节点N4处的高电平使得第十五晶体管T15关断,以及第五节点N5处的低电平使得第十六晶体管T16打开,第一节点N1处的信号为高电平。高电平使得第五晶体管T5打开,第六晶体管T6被关断,第一电平信号接收端VGL接收的第一电平信号通过第五晶体管T5传输至第三节点N3处,使得第三节点N3输出的第一扫描信号为低电平,此时,相应像素行的像素驱动电路111中的N型晶体管(复位晶体管M4和阈值补偿晶体管M3)关断。

[0100] 综上,提供第一扫描信号(该信号可以控制复位晶体管M4和阈值补偿晶体管M3开启或关断)的第一扫描驱动电路141的扫描驱动单元ASG1采用是提供第二扫描信号(该信号可以控制复位晶体管M5和数据写入晶体管M2开启或关断)的第二扫描驱动电路142的扫描驱动单元ASG2和反相单元,以此代替现有的扫描驱动单元ASG1,由于现有的扫描驱动单元ASG1一般为13T3C(即十三个晶体管和三个电容)或16T3C(即十六个晶体管和三个电容),结构较为复杂,占用非显示区的区域较大,不利于显示面板的窄边框设计,而本申请实施例的扫描驱动单元ASG1和第一扫描驱动电路141结构简单,节省空间,有利于显示面板的窄边框设计。此外,本申请实施例提供的第一扫描驱动电路中,相邻两个扫描驱动单元ASG1输出的第一扫描信号不交叠。当该扫描驱动电路应用到局部刷新技术时,可以保证刷新频率不同的两个区域的交界处的显示效果。

[0101] 需要说明的是,图5、图6和图7仅示出一种提供第二扫描信号的第二扫描驱动电路,但是,提供第二扫描信号的扫描驱动电路并不限于此,本领域技术人员可以根据实际情况进行设置,只要可以提供第二扫描信号,进而可以控制像素驱动电路111中的P型晶体管(复位晶体管M5和数据写入晶体管M2)开启或关断即可。相应的,也可以通过其他第二扫描驱动电路和反相单元形成本申请的第一扫描驱动电路,即只要是采用通过提供第二扫描信号的扫描驱动电路和反相单元形成的提供第一扫描信号的第一扫描驱动电路均在本申请的保护范围内。

[0102] 在此情况下,为了实现对显示面板不同区域的刷新频率的控制,本申请实施例还提供了一种第一扫描驱动电路,参见图11和图12,第一扫描驱动电路141包括N个级联的扫描驱动单元ASG1,例如可以包括N个扫描驱动单元ASG11~ASG1n, $N \geq 2$,N的具体取值本领域技术人员可根据实际情况设置,此处不作限定。

[0103] 与图8和图9所示的第一扫描驱动电路141不同的是,第一扫描驱动电路141中每级扫描驱动单元ASG1不仅包括第一时钟信号端CK1、第二时钟信号端CK2、触发信号输入端IN、第一电平信号接收端VGL、第二电平信号接收端VGH、第一节点N1和第三节点N3(图11中未示出),还包括区域选通控制端CK3和驱动信号输出端OUT,驱动信号输出端OUT作为输出端,为第一扫描信号线121提供第一扫描信号,区域选通控制端CK3接收的区域选通信号可以控制第一扫描驱动电路141输出的第一扫描信号是否作用于对应行的像素11。除最后一级扫描驱动单元ASG1n外,其余每级扫描驱动单元ASG1的第一节点N1与其相邻的下一级的扫描驱动单元ASG1的触发信号输入端IN电连接,第一级扫描驱动单元ASG11的触发信号输入端IN与触发信号线STV电连接,接收触发信号线STV发出的触发信号。

[0104] 结合图12,第一扫描驱动电路141的扫描驱动单元ASG1不仅包括:输入单元1421、第一控制单元1422、第二控制单元1423、输出单元1424和第一反相单元1425,其中,输入单元1421、第一控制单元1422、第二控制单元1423、输出单元1424和第一反相单元1425的具体结构可以参考上述内容,此处不再赘述。还包括第一区域选通单元1426和第二区域选通单元1427,其中,输入单元1421、第一控制单元1422、第二控制单元1423和输出单元1424构成移位模块142a,第一反相单元1425、第一区域选通单元1426和第二区域选通单元1427构成选通逻辑模块142b。第一扫描驱动电路141的扫描驱动单元ASG1还包括输出模块142c。

[0105] 第一区域选通单元1426包括第一晶体管T1和第二晶体管T2;第二区域选通单元1427包括第三晶体管T3和第四晶体管T4,第一晶体管T1的第一极和第一电平信号接收端VGL电连接,第一晶体管T1的第二极与第二晶体管T2的第一极电连接,第二晶体管T2的第二极、第三晶体管T3的第一极以及第四晶体管T4的第一极均耦合于第二节点N2,第三晶体管T3的第二极和第四晶体管T4的第二极均与第二电平信号接收端VGH电连接。第一晶体管T1的栅极与第三晶体管T3的栅极相耦合,第二晶体管T2的栅极与第四晶体管T4的栅极相耦合,且其中一者耦合于第三节点N3,另一者耦合于区域选通控制端CK3,示例性的,第一晶体管T1的栅极与第三晶体管T3的栅极耦合于第三节点N3,第二晶体管T2的栅极与第四晶体管T4的栅极耦合于区域选通控制端CK3。示例性的,第一晶体管T1和第二晶体管T2均为N型晶体管,以及第三晶体管T3和第四晶体管T4均为P型晶体管。

[0106] 输出模块142c包括第二反相单元,第二反相单元包括第七晶体管T7和第八晶体管T8,第七晶体管T7和第八晶体管T8的类型不同,示例性的,第七晶体管T7为N型晶体管,第八晶体管T8为P型晶体管。第七晶体管T7的栅极和第八晶体管T8的栅极均与第二节点N2电连接,第七晶体管T7的第一极与第一电平信号接收端VGL电连接,第七晶体管T7的第二极与第八晶体管T8的第一极均与驱动信号输出端OUT电连接,第八晶体管T8的第二极与第二电平信号接收端VGH电连接。

[0107] 也就是说,图12所示的扫描驱动单元ASG1是在图9所示的扫描驱动单元ASG1的基础上设置了第一区域选通单元1426、第二区域选通单元1427和输出模块142c,以对第三节点N3处的信号进行逻辑处理,控制第三节点N3处的信号是否作用于对应行的像素11。当确定对应行的像素11需要刷新数据信号后,通过第一区域选通单元1426、第二区域选通单元1427和输出模块142c的控制可以使第一扫描驱动单元ASG1输出的第一扫描信号提供至需要刷新的像素11中的N型晶体管,而不进行刷新的像素11则不被提供第一扫描信号。

[0108] 以上对第一扫描驱动电路141(可以实现显示面板不同区域的刷新频率的控制)的扫描驱动单元ASG1的结构进行了具体介绍,下面对第一扫描驱动电路141的扫描驱动单元ASG1的工作过程进行介绍。

[0109] 图13示出了第一扫描驱动电路的扫描驱动单元中各信号的时序图。下面结合第一扫描驱动电路的扫描驱动单元中各信号的时序图,对图12所示的扫描驱动单元的工作过程进行说明。其中,以第九晶体管T9、第十晶体管T10、第十一晶体管T11、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14、第十五晶体管T15、第十六晶体管T16、第六晶体管T6、第三晶体管T3、第四晶体管T4、第八晶体管T8为P型晶体管,第一晶体管T1、第二晶体管T2、第五晶体管T5和第七晶体管T7为N型晶体管,且第一电平信号接收端VGL接收的第一电平信号为低电平信号,第二电平信号接收端VGH接收的第二电平信号为高电平信号为例进行的说

明。

[0110] 在第一阶段 t_1 ,即触发信号低电平输入阶段:第一时钟信号端CK1接收的第一时钟信号由高电平变低电平,第二时钟信号端CK2接收的第二时钟信号由低电平变高电平,第九晶体管T9打开,第十晶体管T10打开,将触发信号输入端IN接收的输入信号STV的低电平写入第四节点N4,第四节点N4被拉低,第十一晶体管T11打开,第五节点N5处为低电平。第十二晶体管T12被关闭,高电平无法通过第十二晶体管T12写入至第四节点N4处。第四节点N4处的低电平使得第十五晶体管T15打开,以及第五节点N5处的低电平使得第十六晶体管T16打开,第一节点N1处的信号为高电平。高电平使得第五晶体管T5打开,第六晶体管T6被关断,第一电平信号接收端VGL接收的低电平通过第五晶体管T5传输至第三节点N3处,低电平使得第一晶体管T1被关断,第三晶体管T3开启。此外,由于此时区域选通信号为低电平,低电平使得第二晶体管T2被关断,第四晶体管T4开启。第二电平信号接收端VGH接收的第二电平信号通过第三晶体管T3和第四晶体管T4写入到第二节点N2。第二节点N2处的高电平使得第七晶体管T7导通,第八晶体管T8被关断,驱动信号输出端OUT输出低电平。如果此时第三节点N3的电平为高电平,则经过第一反相单元1425、第一区域选通单元1426、第二区域选通单元1427和第二反相单元142c之后,驱动信号输出端OUT输出的电平仍为低电平,也就是说,在第一阶段 t_1 无论第三节点N3处的信号是高电平还是低电平,当区域选通控制端CK3的区域选通信号保持低电平信号,驱动信号输出端OUT则输出低电平,这样驱动信号输出端OUT无法对像素111中的N型晶体管(复位晶体管M4和阈值补偿晶体管M3)进行扫描驱动,进而无法进行刷新。

[0111] 在第二阶段 t_2 ,即输出端(第三节点N3)输出高电平阶段:第一时钟信号端CK1接收的第一时钟信号由低电平变高电平,第二时钟信号端CK2接收的第二时钟信号由高电平变低电平,第九晶体管T9和第十晶体管T10被关闭,第四节点N4维持低电平,第十一晶体管T11继续打开,第一时钟信号的高电平写入到第五节点N5。第四节点N4的低电平使得第十五晶体管T15打开,第五节点N5的高电平使得第十六晶体管T16关断,第二时钟信号的低电平通过第十五晶体管T15传输至第一节点N1,即第一节点N1处为低电平。低电平使得第六晶体管T6打开,第五晶体管T5被关断,第二电平信号接收端VGH接收的高电平通过第六晶体管T6传输至第三节点N3处,高电平使得第一晶体管T1开启,第三晶体管T3被关断。此外,由于此时区域选通信号为高电平,高电平使得第二晶体管T2开启,第四晶体管T4被关断。第一电平信号接收端VGL接收的低电平信号通过第一晶体管T1和第二晶体管T2写入到第二节点N2。第二节点N2处的低电平使得第七晶体管T7被关断,第八晶体管T8导通,驱动信号输出端OUT输出高电平,以对像素111中的N型晶体管(复位晶体管M4和阈值补偿晶体管M3)进行扫描驱动,进而实现刷新。

[0112] 在第三阶段 t_3 ,即输出端(第三节点N3)输出低电平阶段:第一时钟信号端CK1接收的第一时钟信号由高电平变低电平,第二时钟信号端CK2接收的第二时钟信号由低电平变高电平,第九晶体管T9打开,第十晶体管T10打开,将触发信号输入端IN接收的输入信号STV的高电平写入第四节点N4,第十一晶体管T11被关断,将第一电平信号接收端VGL接收的低电平写入至第五节点N5。第十二晶体管T12被关闭,高电平无法通过第十二晶体管T12写入至第四节点N4处。第四节点N4处的高电平使得第十五晶体管T15关断,以及第五节点N5处的低电平使得第十六晶体管T16打开,第一节点N1处的信号为高电平。高电平使得第五晶体管

T5打开,第六晶体管T6被关断,第一电平信号接收端VGL接收的第一电平信号通过第五晶体管T5传输至第三节点N3处,低电平使得第一晶体管T1被关断,第三晶体管T3开启。此外,由于此时区域选通信号为低电平,低电平使得第二晶体管T2被关断,第四晶体管T4开启。第二电平信号接收端VGH接收的第二电平信号通过第三晶体管T3和第四晶体管T4写入到第二节点N2。第二节点N2处的高电平使得第七晶体管T7导通,第八晶体管T8被关断,驱动信号输出端OUT输出低电平。驱动信号输出端OUT输出的低电平无法驱动像素111中的N型晶体管(复位晶体管M4和阈值补偿晶体管M3),复位晶体管M4和阈值补偿晶体管M3刷新完成。

[0113] 结合图11和图14,图14示出的是区域选通信号、各行像素对应的第一扫描驱动单元中第一节点处的信号和各行像素对应的驱动信号输出端OUT输出的第一扫描信号的时序图。区域选通控制端CK3的区域选通信号在 t_1 、 t_2 时刻为高电平。这样,第一扫描驱动电路141中第一级扫描驱动单元AGS11的驱动信号输出端OUT输出的第一扫描信号与第一扫描驱动电路141中第一级扫描驱动单元AGS11内第一节点N1处的信号波形相反,即驱动信号输出端OUT输出的信号为高电平,以驱动第一行的像素111中的N型晶体管(复位晶体管M4和阈值补偿晶体管M3)开启,复位晶体管M4和阈值补偿晶体管M3刷新完成,以及,第一扫描驱动电路141中第二级扫描驱动单元AGS12的驱动信号输出端OUT输出的第一扫描信号与第一扫描驱动电路141中第二级扫描驱动单元AGS12内第一节点N1处的信号波形相反,以驱动第二行的像素111中的N型晶体管(复位晶体管M4和阈值补偿晶体管M3)开启,复位晶体管M4和阈值补偿晶体管M3刷新完成。而区域选通控制端CK3的区域选通信号在 t_3 至 t_n 时刻为低电平。这样,第一扫描驱动电路141中第三级扫描驱动单元AGS13至第n级扫描驱动单元AGS1n的驱动信号输出端OUT输出的第一扫描信号为低电平,无法驱动第一行的像素111中的N型晶体管(复位晶体管M4和阈值补偿晶体管M3)开启,复位晶体管M4和阈值补偿晶体管M3无法得到刷新。因此,第一行像素11在第一级扫描驱动单元AGS11输出的第一扫描信号(高电平)作用下刷新数据信号,第二行像素11在第二级扫描驱动单元AGS12输出的第一扫描信号(高电平)作用下刷新数据信号,第三行像素11至第n行像素11在第三级扫描驱动单元AGS13至第n级扫描驱动单元AGS1n输出的第一扫描信号(低电平)作用下无法刷新数据信号,仍然保持上一帧的数据信号。这样一来,使得第一、第二行像素11与第三至第n行像素11的刷新率不同。

[0114] 应当理解的是,图14仅是示例性说明如何通过区域选通信号控制各行像素11是否刷新进而控制各行像素的刷新率。在实际应用中,图14中的各信号的波形和时序不限于图14所示。

[0115] 可见,本申请实施例提供的第一扫描驱动电路在第二扫描驱动电路的基础上对每个扫描驱动单元设置选通逻辑模块和输出模块,结构简单,节省空间,有利于显示面板的窄边框设计。此外,本申请实施例提供的第一扫描驱动电路,通过移位模块、选通逻辑模块和输出模块的共同作用可以使得显示面板不同区域的刷新频率不同,且可以避免行与行之间的波形丢失的问题,保证刷新频率不同的两个区域的交界处的显示效果。

[0116] 需要说明的是,选通逻辑模块的结构并不限于上述示例,本领域技术人员可以根据实际情况设置选通逻辑模块,只要是通过在第二扫描驱动电路的基础上设置其他的结构形成的第一扫描驱动电路均在本申请的保护范围内,其中,该第一扫描驱动电路可以实现显示面板不同区域的刷新频率的控制。

[0117] 在本申请的其他可选实施例中,选通逻辑模块还可以仅包括第一区域选通单元和

第二区域选通单元。示例性的,参见图15,第一区域选通单元1426包括第一晶体管T1和第二晶体管T2;第二区域选通单元1427包括第三晶体管T3和第四晶体管T4,第一晶体管T1的第一极和第一电平信号接收端VGL电连接,第一晶体管T1的第二极与第二晶体管T2的第一极电连接,第二晶体管T2的第二极、第三晶体管T3的第一极以及第四晶体管T4的第一极均耦合于第二节点N2,第三晶体管T3的第二极和第四晶体管T4的第二极均与第二电平信号接收端VGH电连接。第一晶体管T1的栅极与第三晶体管T3的栅极相耦合,第二晶体管T2的栅极与第四晶体管T4的栅极相耦合,且其中一者耦合于第三节点N3,另一者耦合于区域选通控制端CK3,示例性的,第一晶体管T1的栅极与第三晶体管T3的栅极耦合于区域选通控制端CK3,第二晶体管T2的栅极与第四晶体管T4的栅极耦合于第一节点N1。示例性的,第一晶体管T1和第二晶体管T2均为P型晶体管,以及第三晶体管T3和第四晶体管T4均为N型晶体管。

[0118] 图16示出了区域选通信号、第一节点处的信号和第一扫描信号的时序图。下面结合该时序图,对图14所示的第一扫描驱动单元的工作过程进行说明。其中,以第九晶体管T9、第十晶体管T10、第十一晶体管T11、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14、第十五晶体管T15、第十六晶体管T16、第一晶体管T1、第二晶体管T2、第八晶体管T8为P型晶体管,第三晶体管T3、第四晶体管T4和第七晶体管T7为N型晶体管,且第一电平信号接收端VGL接收的第一电平信号为低电平信号,第二电平信号接收端VGH接收的第二电平信号为高电平信号为例进行的说明。

[0119] 在t11时间段,区域选通控制端CK3的区域选通信号为低电平信号,第一晶体管T1开启,第三晶体管T3被关断。当第一节点N1的信号为低电平时,第二晶体管T2开启,第四晶体管T4被关断,第二节点N2处的信号为低电平,经过第二反相单元142c后,第二晶体管T2开启,驱动信号输出端OUT输出的信号为高电平;当第一节点N1的信号为高电平时,第四晶体管T4开启,第二晶体管T2被关断,第二节点N2处的信号为高电平,经过第二反相单元142c后,第二晶体管T2开启,驱动信号输出端OUT输出的信号为低电平,也就是说,可以通过对区域选通信号的设置,使得驱动信号输出端OUT输出的信号的波形与第一节点N1处的信号的波形正好相反,即区域选通信号选中的区域的像素驱动电路111中的N型晶体管(复位晶体管M4和阈值补偿晶体管M3)开启(即工作),从而使得像素11得到刷新。

[0120] 结合图11和图17,图17示出的是区域选通信号、各行像素对应的第一扫描驱动单元中第一节点处的信号和各行像素对应的驱动信号输出端OUT输出的第一扫描信号的时序图。区域选通控制端CK3的区域选通信号在t1、t2时刻为低电平。这样,第一扫描驱动电路141中第一级扫描驱动单元AGS11的驱动信号输出端OUT输出的第一扫描信号与第一扫描驱动电路141中第一级扫描驱动单元AGS11内第一节点N1处的信号波形相反,即驱动信号输出端OUT输出的信号为高电平,以驱动第一行的像素111中的N型晶体管(复位晶体管M4和阈值补偿晶体管M3)开启,复位晶体管M4和阈值补偿晶体管M3刷新完成,以及,第一扫描驱动电路141中第二级扫描驱动单元AGS12的驱动信号输出端OUT输出的第一扫描信号与第一扫描驱动电路141中第二级扫描驱动单元AGS12内第一节点N1处的信号波形相反,以驱动第二行的像素111中的N型晶体管(复位晶体管M4和阈值补偿晶体管M3)开启,复位晶体管M4和阈值补偿晶体管M3刷新完成。而区域选通控制端CK3的区域选通信号在t3至tn时刻为高电平。这样,第一扫描驱动电路141中第三级扫描驱动单元AGS13至第n级扫描驱动单元AGS1n的驱动信号输出端OUT输出的第一扫描信号为低电平,无法驱动第一行的像素111中的N型晶体管

(复位晶体管M4和阈值补偿晶体管M3)开启,复位晶体管M4和阈值补偿晶体管M3无法得到刷新。因此,第一行像素11在第一级扫描驱动单元AGS11输出的第一扫描信号(高电平)作用下刷新数据信号,第二行像素11在第二级扫描驱动单元AGS12输出的第一扫描信号(高电平)作用下刷新数据信号,第三行像素11至第n行像素11在第三级扫描驱动单元AGS13至第n级扫描驱动单元AGS1n输出的第一扫描信号(低电平)作用下无法刷新数据信号,仍然保持上一帧的数据信号。这样一来,使得第一、第二行像素11与第三至第n行像素11的刷新率不同。

[0121] 可见,增加选通逻辑模块142b后通过区域选通信号便可以控制第一扫描驱动单元AGS1输出的第一扫描信号是否作用于对应行的像素11。也即,通过区域选通信号可以控制第一扫描驱动单元AGS1是否向对应行的像素11提供第一扫描信号。这样,当确定各行像素11是否需要刷新数据信号后,通过选通逻辑模块的控制可以使第一扫描驱动单元AGS1输出的第一扫描信号提供至需要刷新的像素11中的P型晶体管,而不进行刷新的像素11则不被提供扫描信号。

[0122] 应当理解的是,图17仅是示例性说明如何通过区域选通信号控制各行像素11是否刷新进而控制各行像素的刷新率。在实际应用中,图17中的各信号的波形和时序不限于图17所示。

[0123] 综上所述,在图5和图6所示的显示面板900中,在第一扫描驱动电路141中的每一级扫描驱动电路AGS1中增加选通逻辑模块142b和输出模块142c后形成第一扫描驱动电路141,通过区域选通信号便可控制第一扫描驱动电路141产生的第一扫描信号是否提供至对应行的第一扫描信号线121和像素11,从而控制各行的像素11是否刷新数据信号。如果当前行的像素11不进行刷新,则通过区域选通信号控制第一扫描驱动电路141产生的第一扫描信号不提供至该行的第一扫描信号线121和像素11,该行的像素11保持上一帧的数据信号。如果当前行的像素11进行刷新,则通过区域选通信号控制第一扫描驱动电路141产生的第一扫描信号提供至该行的第一扫描信号线121和像素11,该行的像素11便刷新为当前帧的数据信号。这样使得显示面板10不同区域的像素11可以不同的刷新率刷新数据信号,也即显示面板10不同区域以不同的刷新率刷新显示内容。对于显示图片/文字等不变的区域,可以以较低的刷新率刷新显示内容,例如以1Hz或10Hz的刷新率刷新显示内容。对于显示视频等实时变化的区域,可以以较高的刷新率刷新显示内容,例如以60Hz的刷新率刷新显示内容。这样由于显示面板10分区域的刷新率降低,因此使得显示面板的功耗降低。

[0124] 以上所述,以上实施例仅用以说明本申请的技术方案,而非对其限制;尽管参照前述实施例对本申请进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

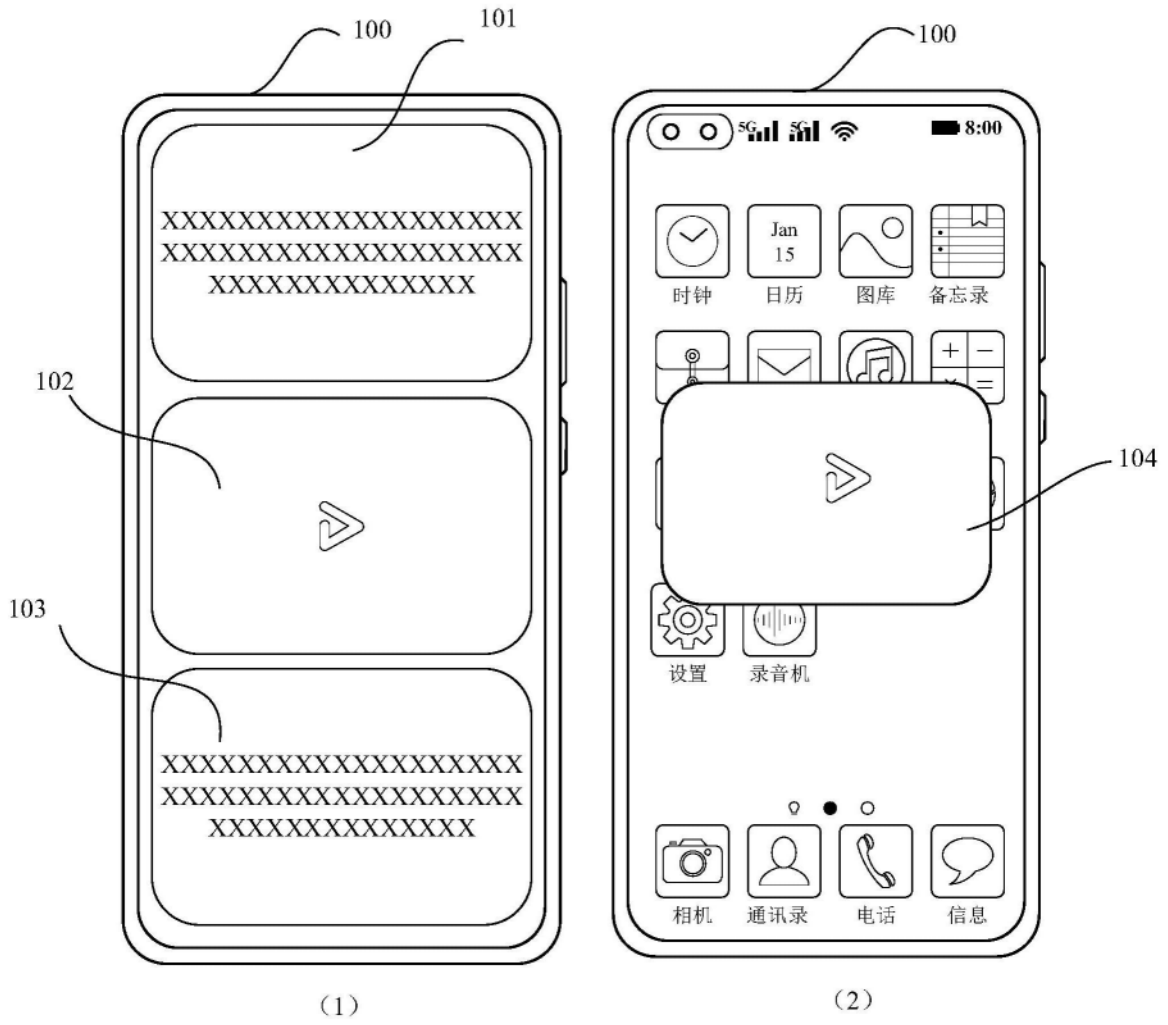


图1

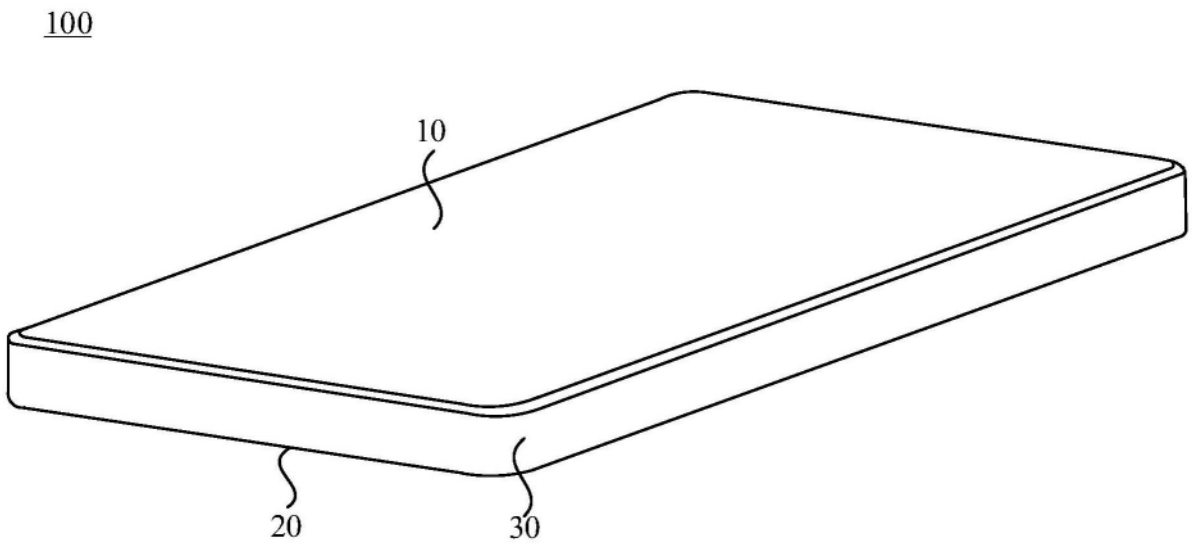


图2

10

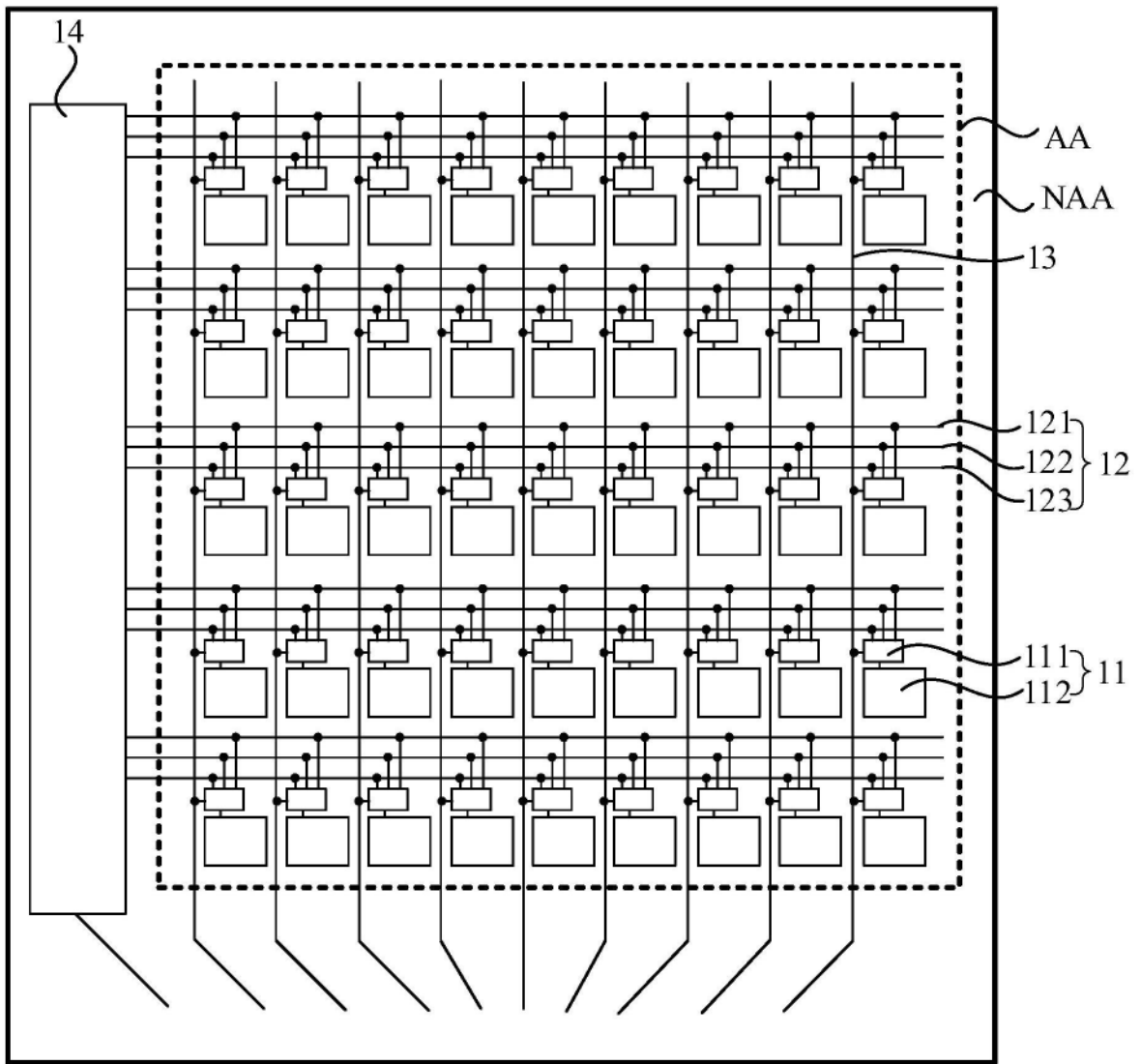


图3

111

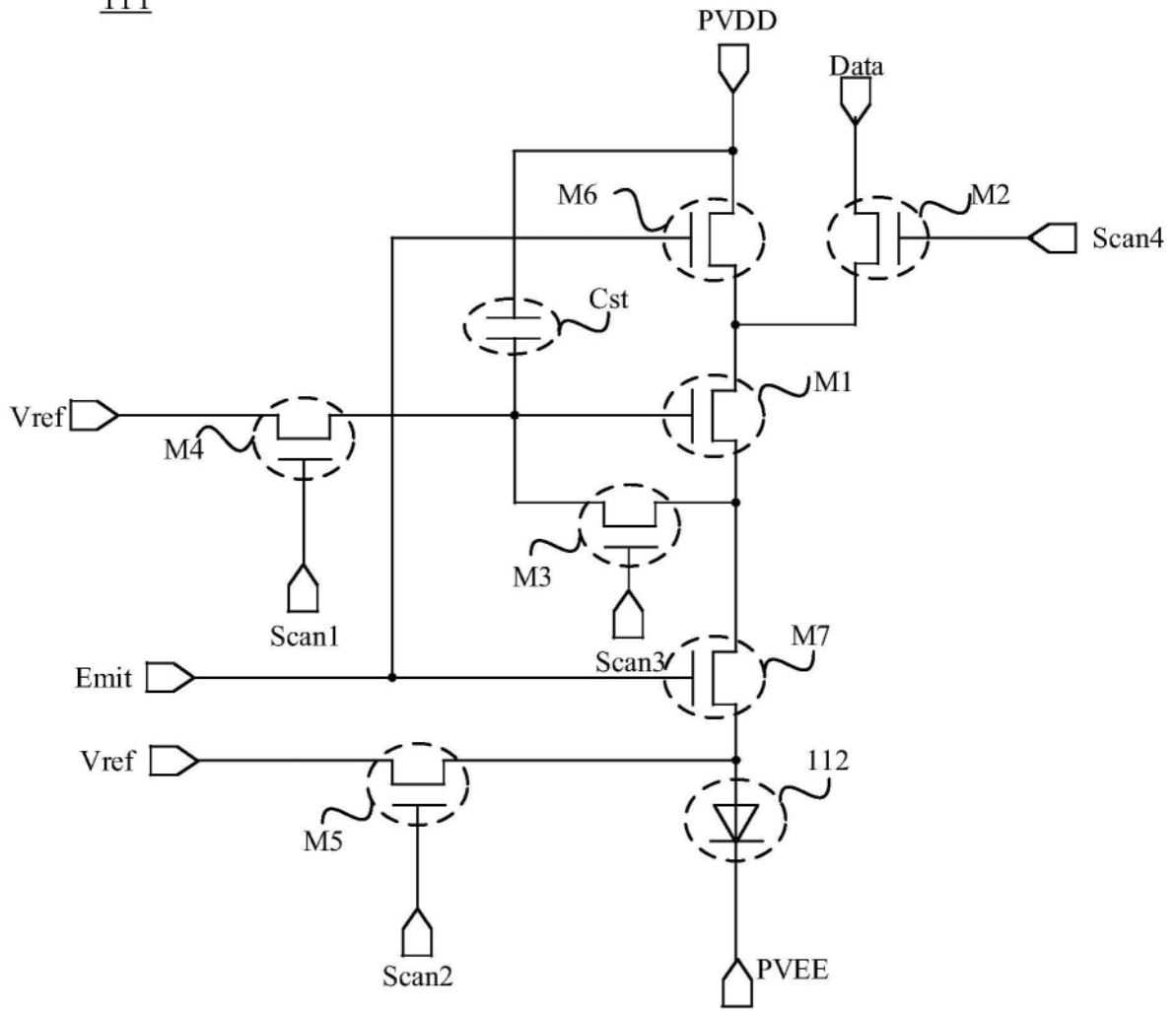


图4

10

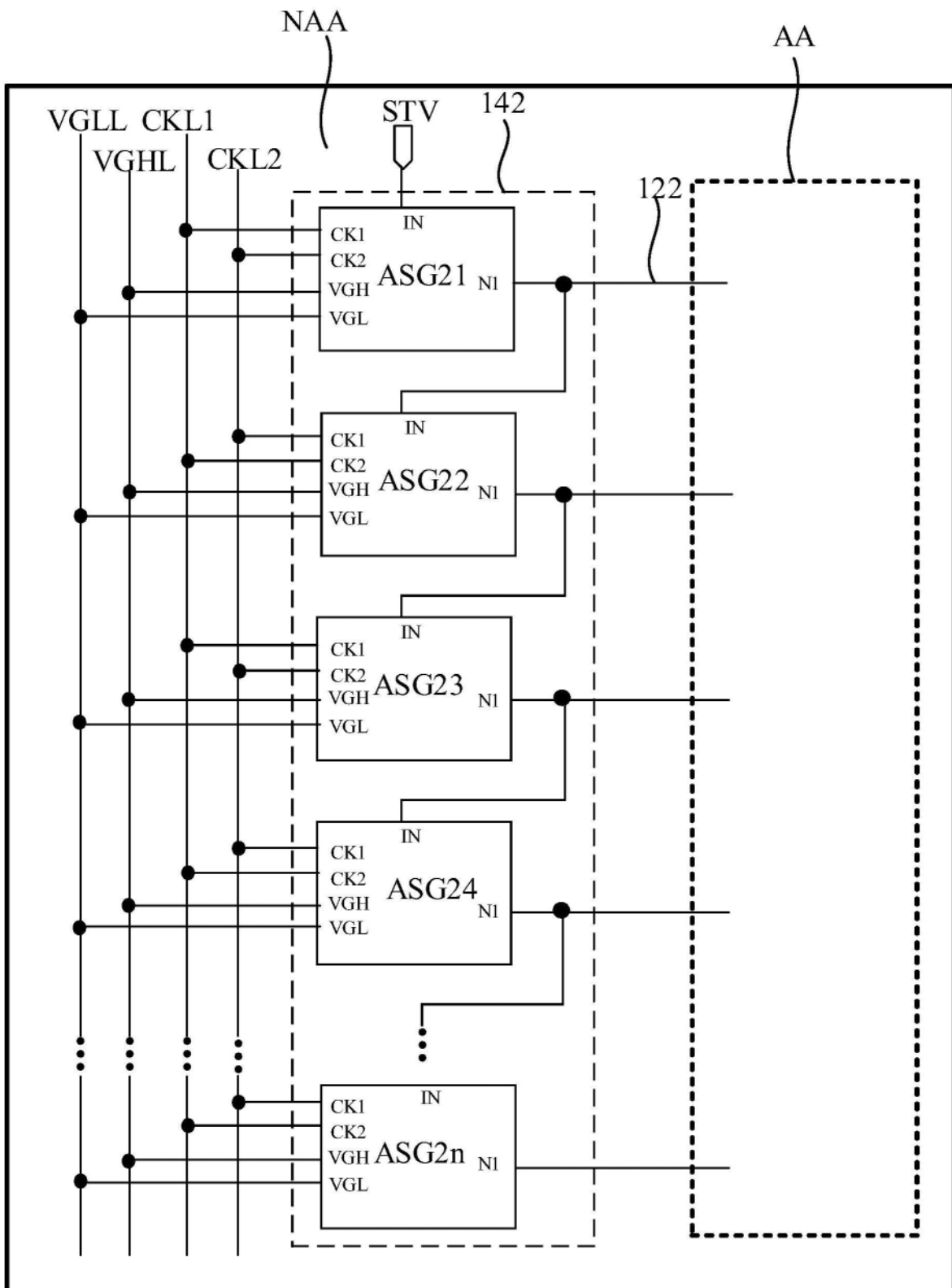


图5

ASG2

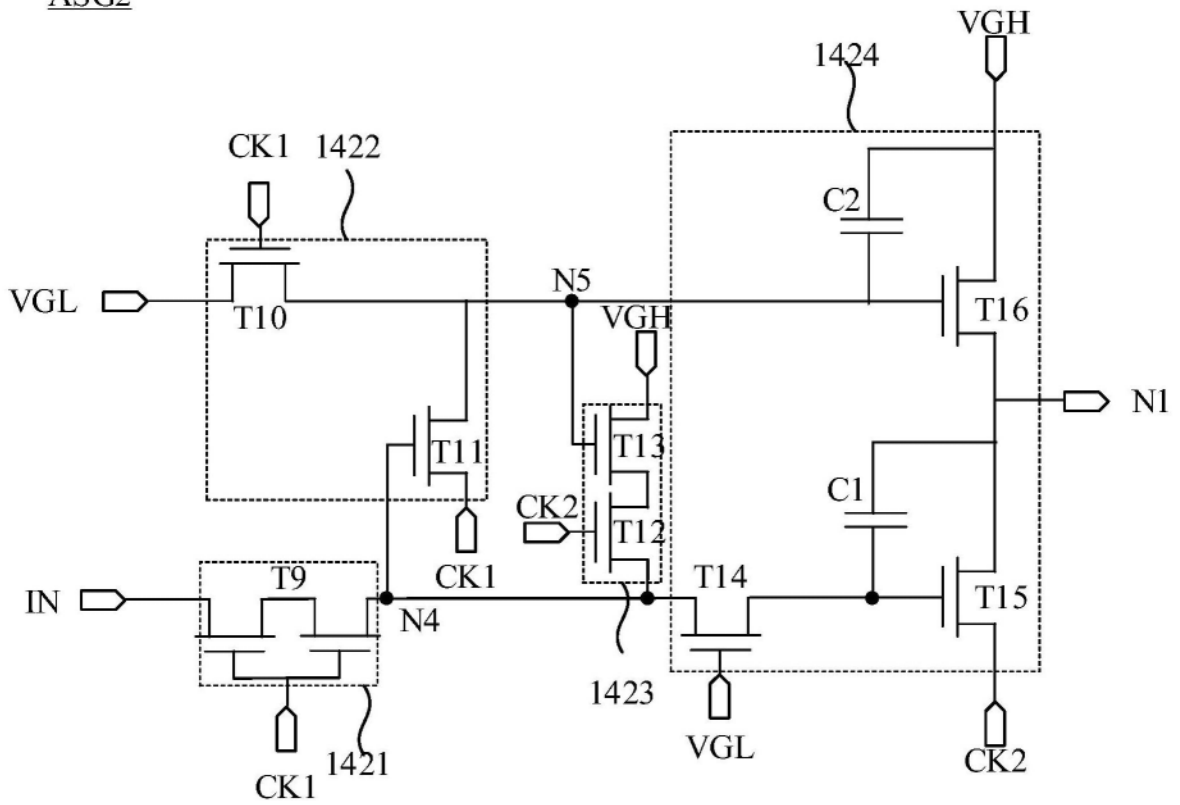


图6

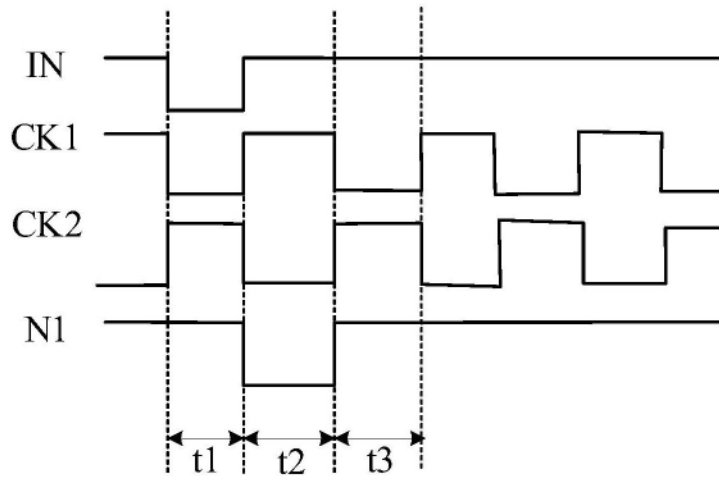


图7

10

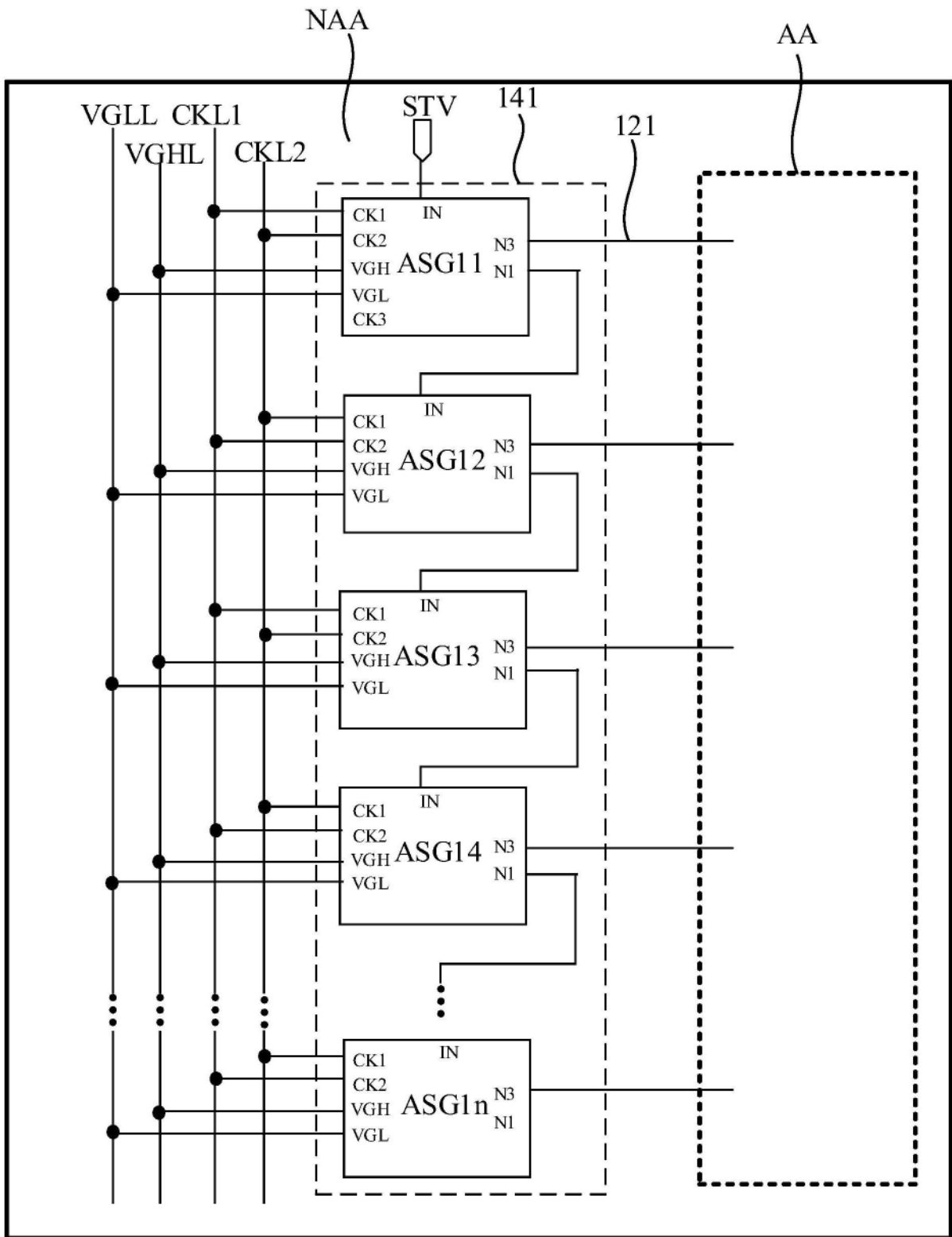


图8

ASG1

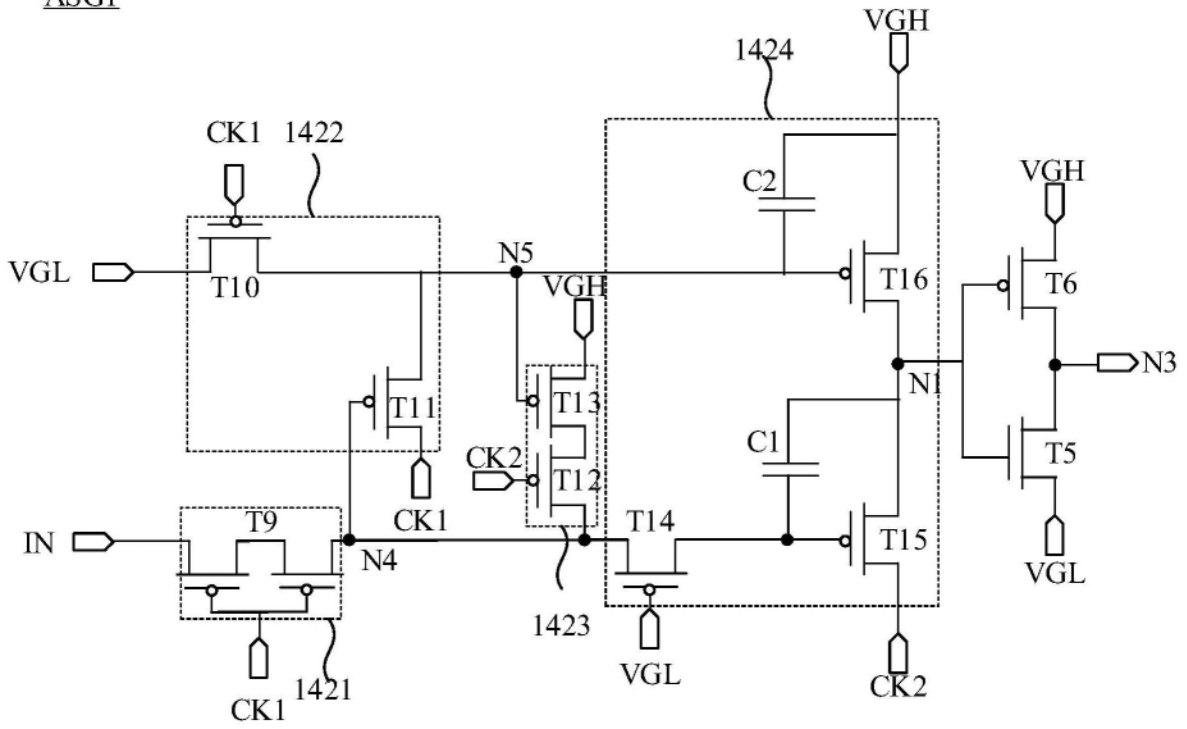


图9

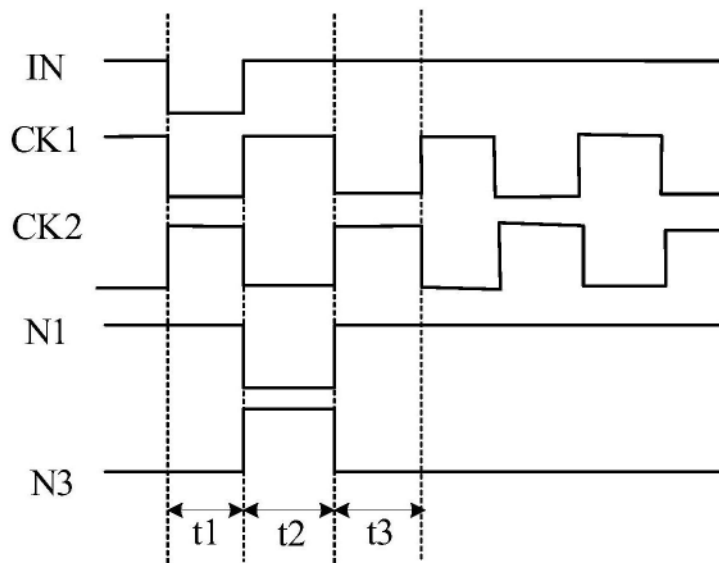


图10

10

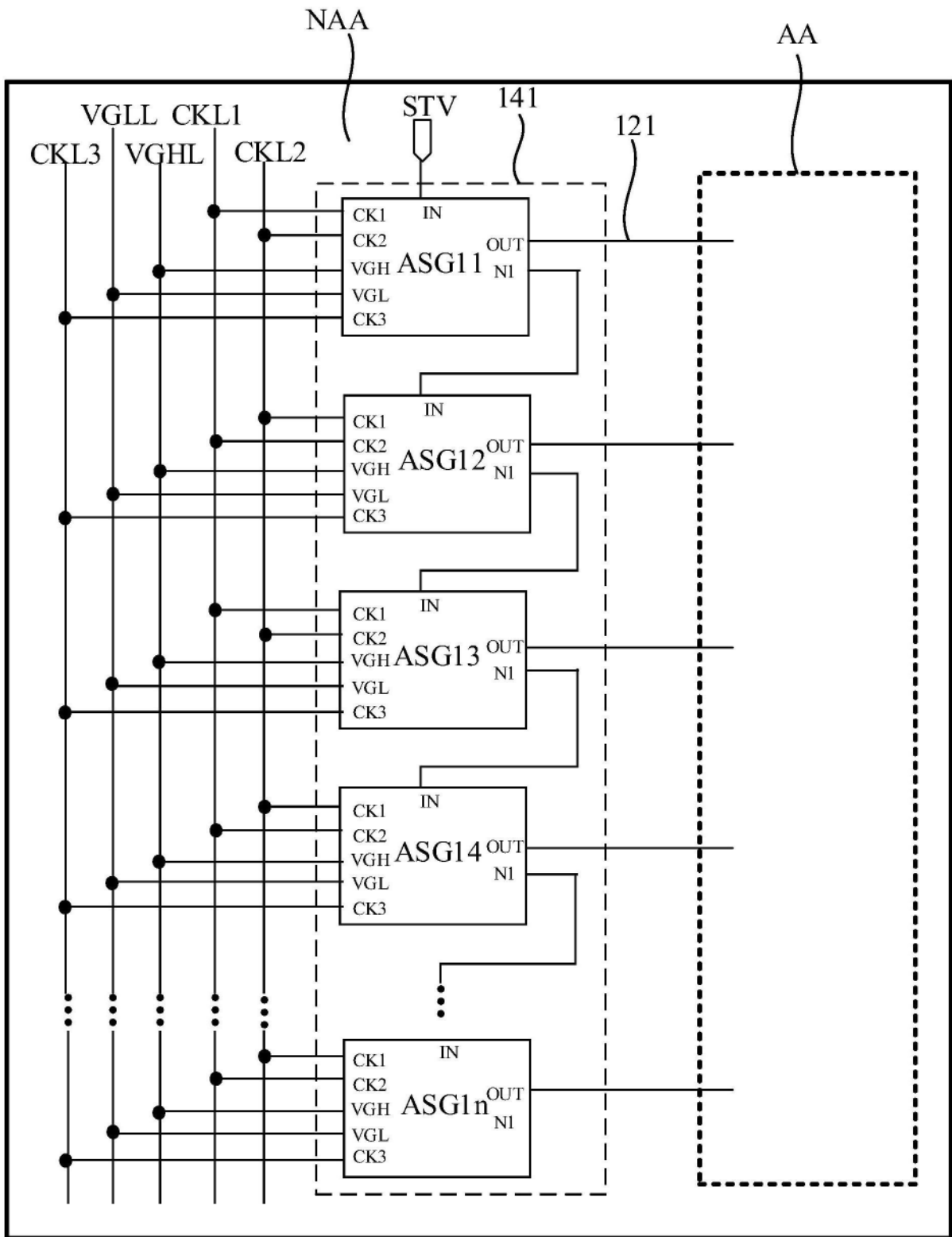


图11

ASGL

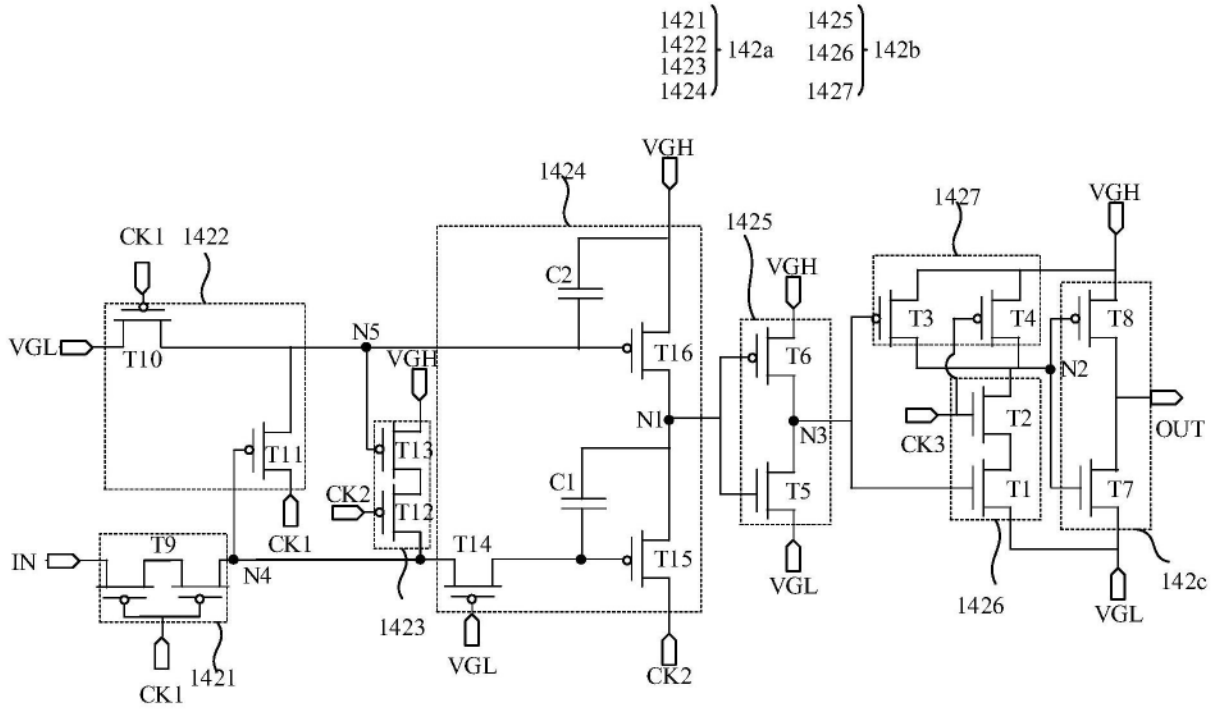


图12

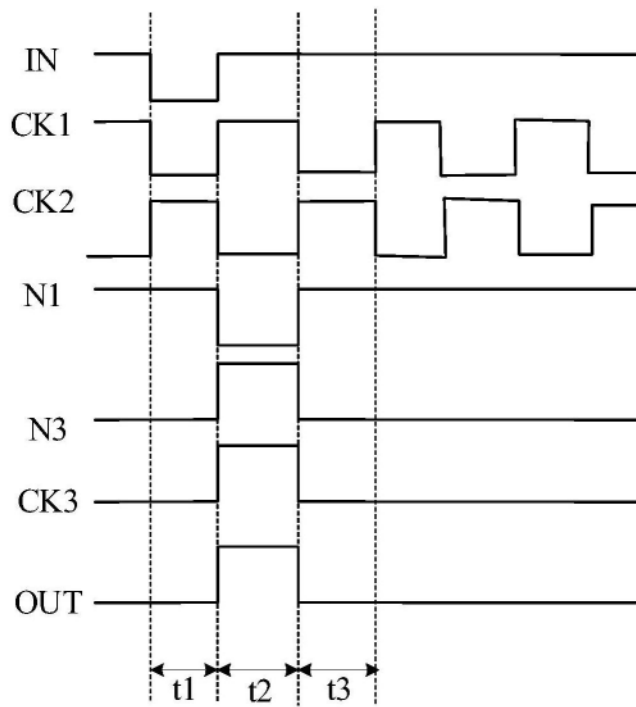


图13

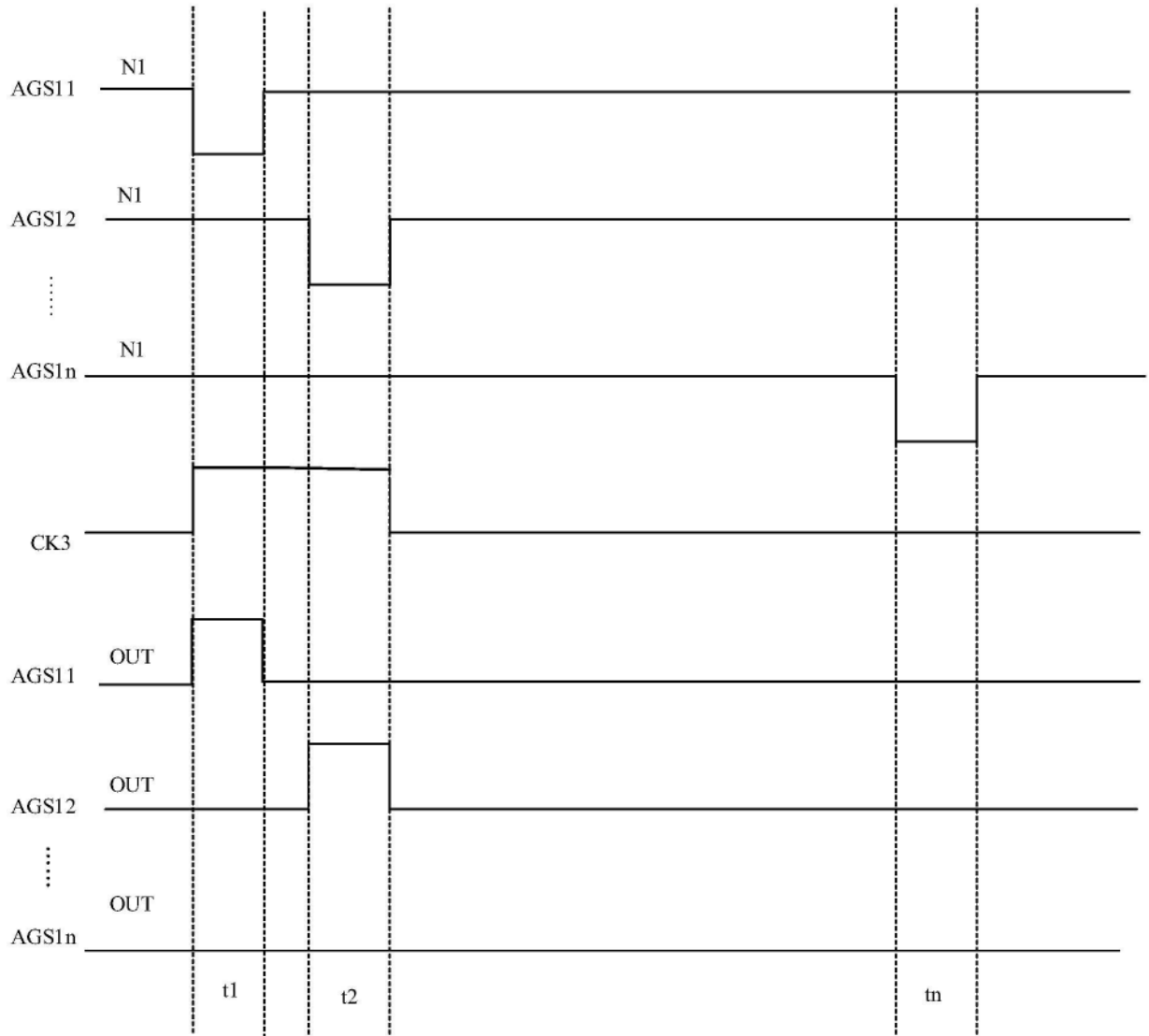


图14

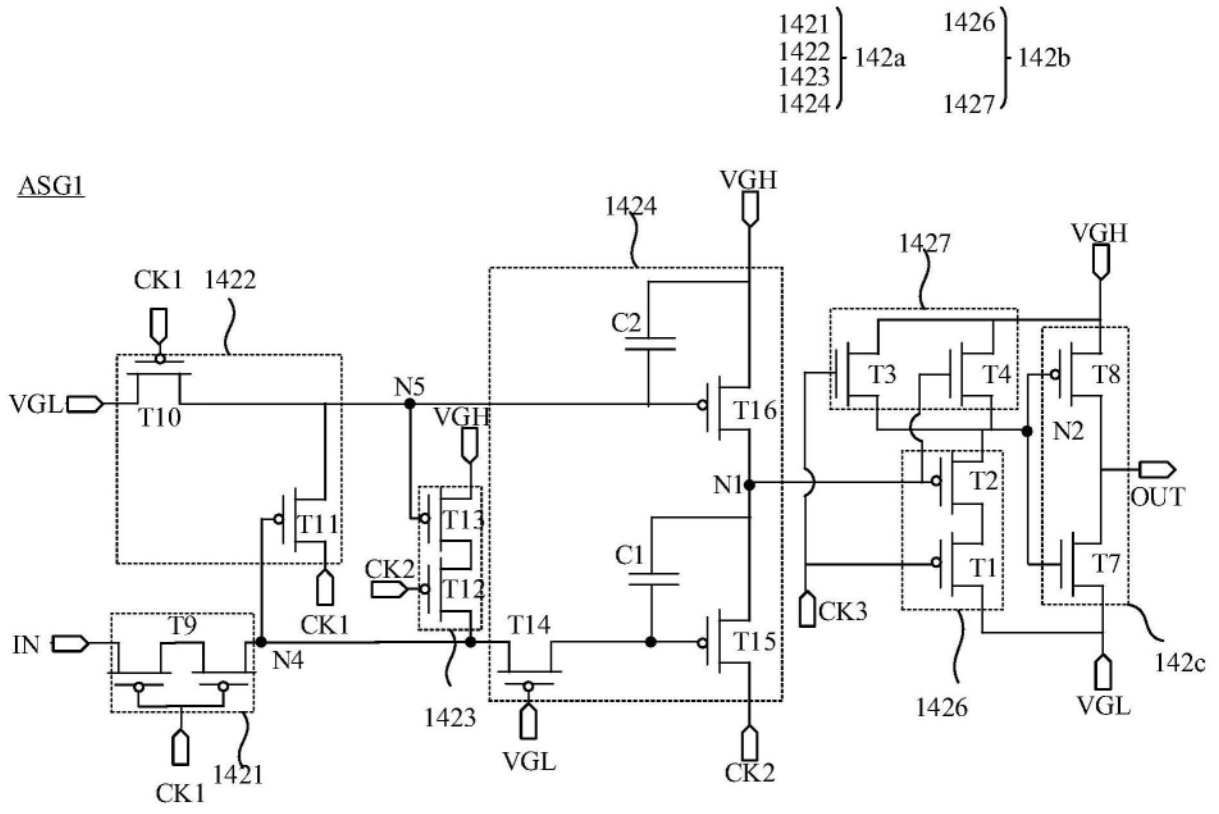


图15

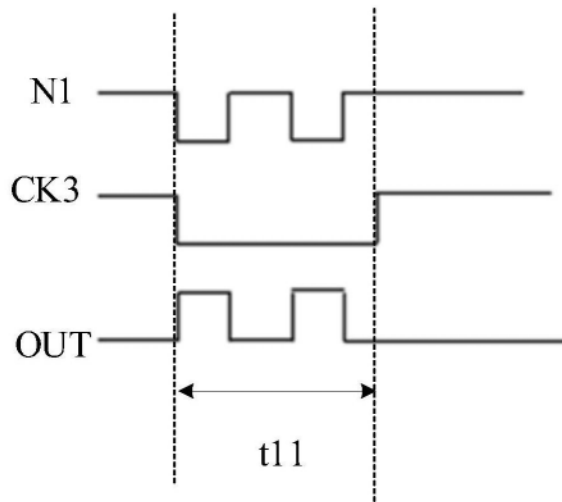


图16

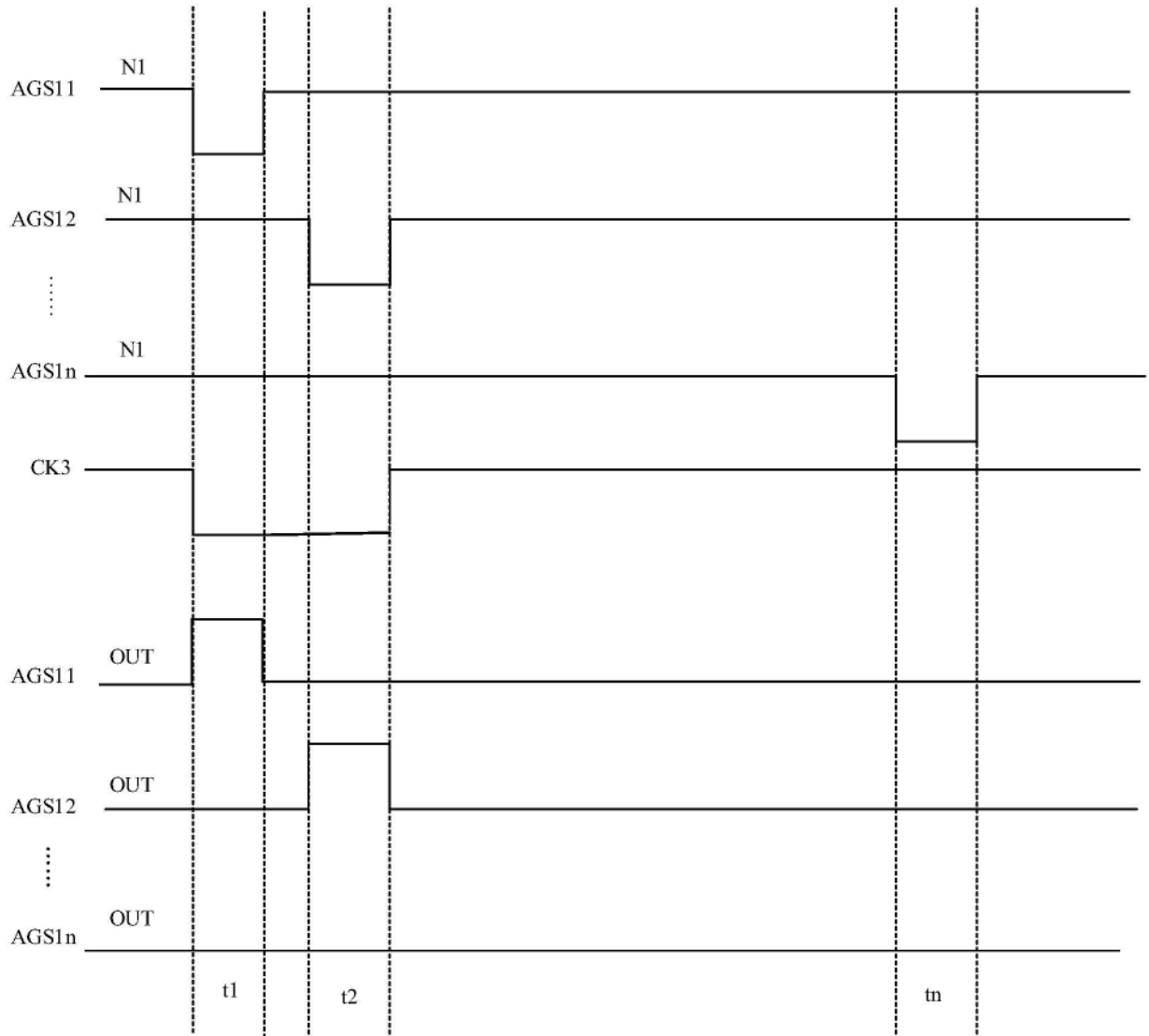


图17