

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 11 月 17 日(17.11.2016)



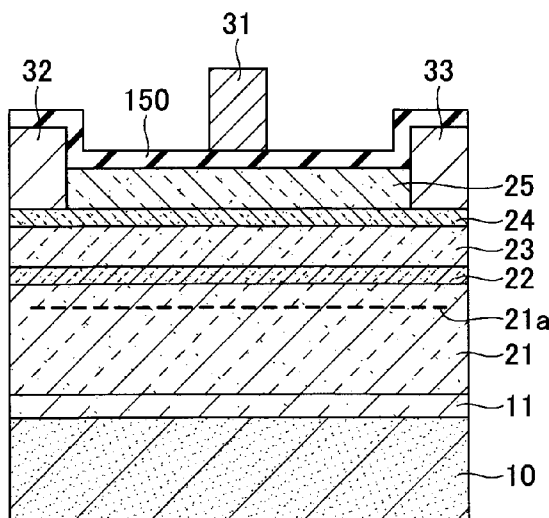
(10) 国際公開番号
WO 2016/181441 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) *H01L 29/812* (2006.01)
H01L 29/778 (2006.01)
- (21) 国際出願番号: PCT/JP2015/063361
- (22) 国際出願日: 2015 年 5 月 8 日(08.05.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 富士通株式会社 (FUJITSU LIMITED)
[JP/JP]; 〒2118588 神奈川県川崎市中原区上小田
中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 中村 哲一 (NAKAMURA, Norikazu); 〒
2118588 神奈川県川崎市中原区上小田中 4 丁目
1 番 1 号 富士通株式会社内 Kanagawa (JP). 小谷
淳二 (KOTANI, Junji); 〒2118588 神奈川県川崎市
中原区上小田中 4 丁目 1 番 1 号 富士通株式会
社内 Kanagawa (JP).
- (74) 代理人: 伊東 忠重, 外 (ITOH, Tadashige et al.); 〒
1000005 東京都千代田区丸の内二丁目 1 番 1 号
丸の内 M Y P L A Z A (明治安田生命ビ
ル) 16 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置及び半導体装置の製造方法

[図8]



(57) Abstract: The present invention solves the problem by means of a semiconductor device characterized by having: on a substrate, a first semiconductor layer formed of a nitride semiconductor; on the first semiconductor layer, a second semiconductor layer formed of a material containing InAlN or InAlGa_N; on the second semiconductor layer, a third semiconductor layer formed of a material containing AlN; on the third semiconductor layer, a fourth semiconductor layer formed of a material containing GaN; a gate electrode formed on the fourth semiconductor layer; and a source electrode and a drain electrode, which are formed on any one of the second semiconductor layer, the third semiconductor layer, and the fourth semiconductor layer.

(57) 要約: 【解決手段】基板の上に、窒化物半導体により形成された第1の半導体層と、前記第1の半導体層の上に、InAlNまたはInAlGa_Nを含む材料により形成された第2の半導体層と、前記第2の半導体層の上に、AlNを含む材料により形成された第3の半導体層と、前記第3の半導体層の上に、GaNを含む材料により形成された第4の半導体層と、前記第4の半導体層の上に形成されたゲート電極と、前記第2の半導体層、前記第3の半導体層、前記第4の半導体層のう

ちのいずれかの上に形成されたソース電極及びドレイン電極と、を有することを特徴とする半導体装置により上記課題を解決する。

明 細 書

発明の名称：半導体装置及び半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置及び半導体装置の製造方法に関するものである。

背景技術

[0002] 窒化物半導体であるGa₂N、AlN、InNまたは、これらの混晶からなる材料等は、広いバンドギャップを有しており、高出力電子デバイスまたは短波長発光デバイス等として用いられている。例えば、窒化物半導体であるGa₂Nは、バンドギャップが3.4 eVであり、Siのバンドギャップ1.1 eV、GaAsのバンドギャップ1.4 eVよりも大きい。

[0003] このような高出力電子デバイスとしては、電界効果型トランジスタ（FET：Field effect transistor）、特に、高電子移動度トランジスタ（HEMT：High Electron Mobility Transistor）がある（例えば、特許文献1）。窒化物半導体を用いたHEMTは、高出力・高効率増幅器、大電力スイッチングデバイス等に用いられる。具体的には、AlGa₂Nを電子供給層、Ga₂Nを電子走行層に用いたHEMTでは、AlGa₂NとGa₂Nとの格子定数差による歪みによりAlGa₂Nにピエゾ分極等が生じ、高濃度の2DEG（Two-Dimensional Electron Gas：2次元電子ガス）が発生する。このため、高電圧における動作が可能であり、高効率スイッチング素子、電気自動車用等における高耐圧電力デバイスに用いることができる。

[0004] ところで、窒化物半導体を用いた超高周波用デバイスにおいては、デバイスの高出力化を実現するために、電子供給層をAlGa₂Nに代えて、高い自発分極を有するInAlNが用いられているものがある。InAlNは薄くても高濃度の2次元電子ガスを誘起できることから高出力性と高周波性を併せ持つ材料として注目されている。

[0005] このような電子供給層にInAlNを用いたHEMTにおいても、電子供給層にAlGa₂Nを用いたHEMTの場合と同様に、電子供給層の上には、

モフォロジーの改善や表面酸化の防止等のため、Ga_{0.9}N_{0.1}キャップ層を形成する場合がある。このようなGa_{0.9}N_{0.1}キャップ層を形成することにより、半導体装置の信頼性を高めることができる。

先行技術文献

特許文献

[0006] 特許文献1：特開2013-77620号公報

特許文献2：特開2013-207107号公報

発明の概要

発明が解決しようとする課題

[0007] ところで、電子供給層にInAlNを用いたHEMTの場合、電子供給層の上に形成されるGa_{0.9}N_{0.1}キャップ層の好ましい成長温度が、電子供給層となるAlGa_{0.9}Nの好ましい成長温度と異なる。このため、InAlNからなる電子走行層の上に、Ga_{0.9}N_{0.1}キャップ層を形成した場合、半導体装置の特性が低下してしまう。尚、電子供給層にAlGa_{0.9}Nを用いたHEMTの場合、電子供給層の上に形成されるGa_{0.9}N_{0.1}キャップ層の好ましい成長温度と電子供給層となるAlGa_{0.9}Nの好ましい成長温度は同じであるため、上記のような問題は生じない。

[0008] よって、電子供給層をInAlNにより形成し、電子供給層の上にGa_{0.9}N_{0.1}によりキャップ層を形成した構造のHEMTにおいて、良好な特性が得られるものが求められている。

課題を解決するための手段

[0009] 本実施の形態の一観点によれば、基板の上に、窒化物半導体により形成された第1の半導体層と、前記第1の半導体層の上に、InAlNまたはInAlGa_{0.9}Nを含む材料により形成された第2の半導体層と、前記第2の半導体層の上に、AlNを含む材料により形成された第3の半導体層と、前記第3の半導体層の上に、Ga_{0.9}N_{0.1}を含む材料により形成された第4の半導体層と、前記第4の半導体層の上に形成されたゲート電極と、前記第2の半導体層

、前記第3の半導体層、前記第4の半導体層のうちのいずれかの上に形成されたソース電極及びドレイン電極と、を有することを特徴とする。

発明の効果

[0010] 開示の半導体装置によれば、電子供給層をInAlNにより形成し、電子供給層の上にGaNによりキャップ層を形成した構造のHEMTにおいて、良好な特性を得ることができる。

図面の簡単な説明

[0011] [図1]電子供給層にInAlNを用いた半導体装置の構造図
[図2]第1の実施の形態における半導体装置の構造図
[図3]第1の実施の形態における半導体装置の製造方法の工程図(1)
[図4]第1の実施の形態における半導体装置の製造方法の工程図(2)
[図5]図1に示される半導体装置のI-V特性図
[図6]第1の実施の形態における半導体装置のI-V特性図
[図7]第1の実施の形態における他の半導体装置の構造図
[図8]第2の実施の形態における半導体装置の構造図
[図9]第2の実施の形態における半導体装置の製造方法の工程図(1)
[図10]第2の実施の形態における半導体装置の製造方法の工程図(2)
[図11]第2の実施の形態における半導体装置の製造方法の工程図(3)
[図12]第2の実施の形態における他の半導体装置の構造図
[図13]第3の実施の形態における半導体デバイスの説明図
[図14]第3の実施の形態におけるPFC回路の回路図
[図15]第3の実施の形態における電源装置の回路図
[図16]第3の実施の形態における高出力増幅器の構造図

発明を実施するための形態

[0012] 実施するための形態について、以下に説明する。尚、同じ部材等については、同一の符号を付して説明を省略する。

[0013] [第1の実施の形態]

最初に、電子供給層にInAlNを用いた半導体装置であるHEMTにつ

いて、図1に基づき説明する。電子供給層にInAlNを用いた半導体装置は、図1に示すように、基板910の上に、不図示の核形成層、バッファ層911、電子走行層921、スペーサ層922、電子供給層923、キャップ層925が順に積層されている。基板910には、シリコン(Si)基板が用いられており、核形成層はAlNにより形成されている。バッファ層911はAlGaNにより形成されており、高抵抗化のために、不純物元素としてFeが約 $3 \times 10^{17} \text{ atoms/cm}^3$ の濃度でドーピングされている。電子走行層921はGaNにより形成されており、スペーサ層922はAlNにより形成されており、電子供給層923はInAlNにより形成されており、キャップ層925はGaNにより形成されている。これにより、電子走行層921において、電子走行層921とスペーサ層922との界面近傍には、2DEG921aが生成される。また、キャップ層925の上には、ゲート電極931が形成されており、スペーサ層922の上には、ソース電極932及びドレイン電極933が形成されている。

[0014] 図1に示される半導体装置においては、窒化物半導体層は、MOVPE (Metal Organic Vapor Phase Epitaxy: 有機金属気相成長) によるエピタキシャル成長により形成される。即ち、不図示の核形成層、バッファ層911、電子走行層921、スペーサ層922、電子供給層923、キャップ層925は、MOVPEによるエピタキシャル成長により形成される。MOVPEによりAlN、AlGaN、GaNを形成する際の好ましい成長温度は、略同じであり、約1000℃である。これに対し、InAlNの場合、エピタキシャル成長させる際の温度が高いと蒸気圧の高いInが抜けて欠陥となるため、MOVPEによりInAlNを形成する際の好ましい成長温度は740℃であり、GaN等を形成する際の好ましい成長温度よりも低い。

[0015] ところで、電子供給層923を形成する際の成長温度と同じ温度で、電子供給層923の上にキャップ層925を形成する場合、即ち、InAlNを形成する際の成長温度と同じ740℃で、InAlNの上にGaNを形成する場合について考える。この場合、キャップ層925として形成されるGa

Nは、本来のGaNの成長温度よりも低い温度で成長させるため、キャップ層925となるGaNの内部にC（炭素）が多く取り込まれてしまう。これは、MOVPEにおいては、原料ガスとして有機金属ガスを用いており、成長温度が低いと、膜中に炭素成分が多く取り込まれてしまうからである。このように、キャップ層925となるGaNの内部にC（炭素）が多く取り込まれてしまうと、キャップ層925内における欠陥が多くなり、この欠陥に電子がトラップされるため、電流コラプス現象の原因となる。

[0016] また、電子供給層923を形成する際の成長温度よりも高い、本来の成長温度で電子供給層923の上にキャップ層925を形成する場合、即ち、InAlNを形成する際の成長温度よりも高い1000℃で、InAlNの上にGaNを形成する場合について考える。この場合、キャップ層925として形成されるGaNは、本来のGaNの成長温度で結晶成長させるため、GaNの内部に取り込まれるCは少なくなるが、GaNを成長させる直前等において、温度を上昇させるため、InAlNの表面よりInが脱離してしまう。このように、InAlNの表面のInが脱離してしまうと、この部分が欠陥となり電子がトラップされるため、電流コラプス現象の原因となる。

[0017] 以上のように、InAlNにより形成されている電子供給層923の上に、GaNからなるキャップ層925を形成する場合、キャップ層925となるGaNの成長温度が高くても低くても、半導体装置において電流コラプス現象が発生してしまう。このような電流コラプス現象が発生すると、オン抵抗が高くなり、半導体装置の特性が低下するため好ましくない。

[0018] 従って、電子走行層がInAlNにより形成されており、キャップ層がGaNにより形成されている半導体装置において、電流コラプス現象が発生しにくく、良好な特性が得られる半導体装置が求められている。尚、半導体装置において、GaNによるキャップ層を形成する理由は、成膜されたAlGaN、InAlN、AlN等の膜の表面はあまり平坦ではないのに対し、GaNは横方向に成長するため、膜の表面が平坦な膜を形成することができるからである。このように、窒化物半導体層の表面にGaNの膜を形成するこ

とにより、半導体装置における窒化物半導体層の表面を平坦にすることができ、半導体装置における耐圧の向上、歩留まりの向上、特性の均一化等させることができる。

[0019] (半導体装置)

次に、本実施の形態における半導体装置について説明する。本実施の形態における半導体装置は、図2に示されるように、基板10の上に、不図示の核形成層、バッファ層11、電子走行層21、スペーサ層22、電子供給層23、脱離防止層24、キャップ層25が順に積層されている。キャップ層25の上には、ゲート電極31が形成されており、スペーサ層22の上には、ソース電極32及びドレイン電極33が形成されている。尚、ソース電極32及びドレイン電極33は、電子供給層23の上に形成してもよく、脱離防止層24の上に形成してもよく、キャップ層25の上に形成してもよい。よって、脱離防止層24は、ソース電極32とドレイン電極33との間の領域に設けられていてもよい。尚、本願においては、電子走行層21を第1の半導体層、スペーサ層22を第5の半導体層、電子供給層23を第2の半導体層、脱離防止層24を第3の半導体層、キャップ層25を第4の半導体層と記載する場合がある。

[0020] 基板10には、シリコン基板が用いられており、核形成層はAlNにより形成されている。バッファ層11はAlGaInにより形成されており、高抵抗化のために、不純物元素としてFeが $3 \times 10^{17} \text{ atoms/cm}^3$ の濃度でドーピングされていてもよい。電子走行層21はGaNにより形成されており、スペーサ層22はAlNにより形成されており、電子供給層23はInAlNにより形成されており、脱離防止層24はAlNにより形成されており、キャップ層25はGaNにより形成されている。これにより、電子走行層21において、電子走行層21とスペーサ層22との界面近傍には、2DEGが生成される。

[0021] 本実施の形態における半導体装置においては、窒化物半導体層である不図示の核形成層、バッファ層11、電子走行層21、スペーサ層22、電子供

給層 23、脱離防止層 24、キャップ層 25は、MOVPEによるエピタキシャル成長により形成される。

[0022] 上述のとおり、MOVPEによりAlN、AlGa_N、Ga_Nを形成する際の好ましい成長温度は、略同じであり、約1000℃である。これに対し、InAlNの場合、エピタキシャル成長させる際の温度が高いと蒸気圧の高いInが抜けて欠陥となるため、MOVPEによりInAlNを形成する際の好ましい成長温度は740℃である。

[0023] 本実施の形態においては、InAlNにより電子供給層23を形成した後、電子供給層23を形成する際の温度と同じ温度、即ち、約740℃で、極めて薄いAlNにより脱離防止層24を形成する。このように、InAlNにより形成された電子供給層23の上に、AlNにより脱離防止層24を形成することにより、キャップ層25を形成する際に、約1000℃まで温度を上昇させても、InAlNの表面からInが脱離することを防ぐことができる。これにより、キャップ層25となるGa_Nを好ましい成長温度である約1000℃で形成することができるため、Cの濃度の低いキャップ層25を形成することができる。よって、本実施の形態における半導体装置においては、電子供給層23においても欠陥がなく、キャップ層25においても、欠陥がないため、これらの半導体層において、電子がトラップされることはなく、電流コラプスが発生しにくい。従って、電子供給層23がInAlNにより形成されており、キャップ層25がGa_Nにより形成されている半導体装置においても、良好な特性を得ることができる。

[0024] 基板10には、シリコン基板の他、Ga_N基板、サファイア基板、SiC基板等を用いてもよい。尚、基板10にシリコン基板を用いた場合には、基板10の上には上記のようなバッファ層11を形成することが好ましい。

[0025] また、電子供給層23には、InAlNの他、InAlGa_Nを用いてもよい。また、脱離防止層24として形成されるAlNの膜厚は、0.2nm以上、2nm以下、更には、0.2nm以上、1nm以下であることが好ましい。脱離防止層24は、薄すぎるとInAlNからのInの脱離を十分に

防ぐことができず、厚すぎると脱離防止層 24 にクラックが発生し、同様に InAlN からの In の脱離を防ぐことができないからである。

[0026] また、キャップ層 25 に含まれる炭素濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下、更には、 $5 \times 10^{16} \text{ atoms/cm}^3$ 以下であることが好ましい。キャップ層 25 における炭素濃度が高いと電流コラプス現象が発生しやすくなるため、キャップ層 25 における炭素濃度は低い方が好ましい。

[0027] (半導体装置の製造方法)

次に、本実施の形態における半導体装置の製造方法について、図 3 及び図 4 に基づき説明する。

[0028] 最初に、図 3 (a) に示すように、基板 10 の上に、MOVPE によるエピタキシャル成長により、不図示の核形成層、バッファ層 11、電子走行層 21、スペーサ層 22 を順に形成する。

[0029] 具体的には、基板 10 にはシリコン基板を用いる。不図示の核形成層は、MOVPE のチャンバー内に、トリメチルアルミニウム (TMA) 及び NH_3 を原料ガスとして供給し、成長温度 1000°C 、成長圧力 20 kPa の条件で AlN 膜を成膜することにより形成する。

[0030] バッファ層 11 は、MOVPE のチャンバー内に、トリメチルガリウム (TMG)、TMA 及び NH_3 を原料ガスとして供給し、成長温度 1000°C 、成長圧力 20 kPa の条件で AlGaIn 膜を成膜することにより形成する。バッファ層 11 は、組成比の異なる 3 層の AlGaIn 膜を積層することにより形成されており、具体的には、核形成層の上に、 $\text{Al}_{0.8}\text{Ga}_{0.2}\text{N}$ 膜、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 膜、 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 膜の順に形成されている。このように、組成比の異なる AlGaIn 膜は、チャンバー内に供給される TMA と TMG の供給比を変えて成膜することにより形成することができる。また、バッファ層 11 には、Fe が約 $3 \times 10^{17} \text{ atoms/cm}^3$ の濃度でドーピングされている。Fe をドーピングするためには、シクロペンタンジエニル鉄 ($\text{Cp}^*\text{2Fe}$) を成膜の際に併せて供給してもよい。

[0031] 電子走行層 21 は、MOVPE のチャンバー内に、TMG 及び NH_3 を原料

ガスとして供給し、成長温度 1000°C 、成長圧力 20 kPa の条件で膜厚が約 $1\text{ }\mu\text{m}$ の GaN 膜を成膜することにより形成する。

[0032] スペーサ層22は、MOVPEのチャンバー内に、TMA及び NH_3 を原料ガスとして供給し、成長温度 1040°C 、成長圧力 5 kPa の条件で膜厚が約 1 nm の AlN 膜を成膜することにより形成する。

[0033] 次に、図3(b)に示すように、基板温度を約 740°C まで降下させた後、スペーサ層22の上に、電子供給層23、脱離防止層24を順に形成する。

[0034] 電子供給層23は、MOVPEのチャンバー内に、トリメチルインジウム(TMI)、TMA及び NH_3 を原料ガスとして供給し、成長温度 740°C 、成長圧力 5 kPa の条件で膜厚が約 10 nm の $\text{In}_{0.17}\text{Al}_{0.83}\text{N}$ 膜を成膜することにより形成する。

[0035] 脱離防止層24は、電子供給層23の成膜工程において、電子供給層23の成膜の終了間際に、TMIの供給を停止し、膜厚が 1 nm の AlN 膜を成膜することにより形成する。よって、電子供給層23と脱離防止層24とは、連続成長により形成される。このように窒化物半導体層を形成することにより、電子走行層21とスペーサ層22との界面近傍における電子走行層21には、2DEG21aが生成される。

[0036] 次に、図3(c)に示すように、基板温度を再び約 1000°C まで上昇させた後、脱離防止層24の上に、キャップ層25を形成する。

[0037] キャップ層25は、MOVPEのチャンバー内に、TMG及び NH_3 を原料ガスとして供給し、成長温度 1000°C 、成長圧力 20 kPa の条件で膜厚が約 10 nm の GaN 膜を成膜することにより形成する。

[0038] 次に、図4(a)に示すように、不図示の素子分離領域を形成した後、ソース電極32及びドレイン電極33が形成される領域における窒化物半導体層を除去することにより開口部20a、20bを形成する。

[0039] 具体的には、不図示の素子分離領域は、キャップ層25の上に、フォトリジストを塗布し、露光装置による露光、現像を行うことにより、素子分離領

域が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、レジストパターンの開口部における窒化物半導体層の一部をドライエッチングにより除去すること、または、イオン注入することにより、不図示の素子分離領域を形成する。この後、不図示のレジストパターンは、有機溶剤等により除去する。

[0040] この後、キャップ層 25 の上に、再びフォトリソを塗布し、露光装置による露光、現像を行うことにより、ソース電極 32 及びドレイン電極 33 が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、レジストパターンの形成されていない領域のキャップ層 25、脱離防止層 24、電子供給層 23 を R I E (Reactive Ion Etching) 等のドライエッチングにより除去する。これにより窒化物半導体層において、ソース電極 32 及びドレイン電極 33 が形成される領域に開口部 20 a、20 b を形成する。この後、不図示のレジストパターンは、有機溶剤等により除去する。この際行われる R I E では、エッチングガスとして、塩素成分を含むガスが用いられる。

[0041] 次に、図 4 (b) に示すように、ソース電極 32 及びドレイン電極 33 を形成する。具体的には、キャップ層 25 及び開口部 20 a、20 b において露出しているスペーサ層 22 の上に、フォトリソを塗布し、露光装置による露光、現像を行うことにより、ソース電極 32 及びドレイン電極 33 が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、真空蒸着により、Ta (20 nm) / Al (200 nm) の金属多層膜を成膜した後、有機溶剤に浸漬させることにより、レジストパターンの上の金属多層膜をレジストパターンとともにリフトオフにより除去する。これにより、スペーサ層 22 の上に残存している金属多層膜により、窒化物半導体層における開口部 20 a にソース電極 32 が形成され、開口部 20 b にドレイン電極 33 が形成される。この後、窒素雰囲気中において、400℃から1000℃、例えば、550℃の温度で熱処理を行うことにより、オーミックコンタクトを確立させる。

[0042] 次に、図4(c)に示すように、キャップ層25の上にゲート電極31を形成する。具体的には、キャップ層25、ソース電極32及びド레인電極33の上に、フォトリソを塗布し、露光装置による露光、現像を行うことにより、ゲート電極31が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、真空蒸着により、Ni(30nm)/Au(400nm)の金属多層膜を成膜した後、有機溶剤に浸漬させることにより、レジストパターンの上の金属多層膜をレジストパターンとともにリフトオフにより除去する。これにより、キャップ層25の上に残存している金属多層膜により、ゲート電極31が形成される。

[0043] 以上の工程により、本実施の形態における半導体装置を製造することができる。

[0044] (半導体装置の特性)

次に、本実施の形態における半導体装置の特性について説明する。図5は、本実施の形態における半導体装置についてI-V特性を測定した結果である。図6は、図1に示される構造の半導体装置についてI-V特性を測定した結果である。尚、本実施の形態における半導体装置は、上述した半導体装置の製造方法により作製されたものである。また、図1に示される構造の半導体装置の製造方法は、上述した本実施の形態における半導体装置の製造方法において、脱離防止層を形成する工程が除かれている点と、キャップ層の成膜条件が異なる点を除き同じである。具体的には、キャップ層925は、MOVPEのチャンバー内に、TMG及びNH₃を原料ガスとして供給し、成長温度740℃、成長圧力5kPaの条件で膜厚が約10nmのGaN膜を成膜することにより形成する。

[0045] 図5及び図6に示されるI-V特性は、実線がDC測定を行った結果であり、○がパルス測定を行った結果である。パルス測定は、ストレスとしてV_{ds}(ド레인電圧):50V、V_{gs}(ゲート電圧):-5Vを印加した後、測定電圧のV_{gs}とV_{ds}のパルスを印加して、ド레인電流を測定するシーケンスを繰り返すことにより行った。

[0046] 本実施の形態における半導体装置は、図5に示されるようにDC測定とパルス測定の結果が略一致しており、電流コラプス現象の発生が抑制されている。これに対し、図1に示される構造の半導体装置では、DC測定に比べてパルス測定におけるドレイン電流が減少が顕著である。これは、図1に示される構造の半導体装置においては、キャップ層925に含まれる炭素濃度が高く、キャップ層925に含まれているCが欠陥となり、電子がトラップされるため、電流コラプス現象が生じることによるものと推察される。

[0047] 尚、本実施の形態における半導体装置のキャップ層25をSIMSにより分析したところ、キャップ層25の炭素濃度は、 $6 \times 10^{16} \text{ atoms/cm}^3$ であった。これに対し、図1に示される構造の半導体装置のキャップ層925の炭素濃度は、 $7 \times 10^{17} \text{ atoms/cm}^3$ であり、本実施の形態における半導体装置のキャップ層25よりも炭素濃度が高かった。これは、図1に示される構造の半導体装置のキャップ層925は、本実施の形態における半導体装置のキャップ層25よりもMOVPEにおける成長温度が低いからである。

[0048] 本実施の形態における半導体装置は、図7に示されるように、ゲート電極31の直下における窒化物半導体層の一部を除去することによりゲートリセス40を形成し、形成されたゲートリセス40にゲート電極31を形成した構造のものであってもよい。

[0049] 図7に示される構造の半導体装置は、ゲート電極31が形成される領域のキャップ層25及び脱離防止層24を除去することによりゲートリセス40を形成し、形成されたゲートリセス40にゲート電極31を形成することにより作製することができる。具体的には、キャップ層25まで窒化物半導体層を形成した後、キャップ層25の上に、フォトリソを塗布し、露光装置による露光、現像を行うことにより、ゲートリセス40が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、レジストパターンの形成されていない領域のキャップ層25及び脱離防止層24をRIE等のドライエッチングにより除去することにより、ゲートリセス40を

形成する。この後、不図示のレジストパターンを有機溶剤等により除去し、ゲートリセス40が形成された領域に、上記の方法と同様の方法により、ゲート電極31を形成することにより作製することができる。

[0050] 〔第2の実施の形態〕

（半導体装置）

次に、第2の実施の形態における半導体装置について説明する。本実施の形態における半導体装置は、図8に示されるように、基板10の上に、不図示の核形成層、バッファ層11、電子走行層21、スペーサ層22、電子供給層23、脱離防止層24、キャップ層25が順に積層されている。キャップ層25の上には、絶縁膜150が形成されており、絶縁膜150の上に、ゲート電極31が形成されており、脱離防止層24の上には、ソース電極32及びドレイン電極33が形成されている。

[0051] 基板10には、シリコン基板が用いられており、核形成層はAlNにより形成されている。バッファ層11はAlGaInにより形成されており、高抵抗化のために、不純物元素としてFeが $3 \times 10^{17} \text{ atoms/cm}^3$ の濃度でドーピングされていてもよい。電子走行層21はGaNにより形成されており、スペーサ層22はAlNにより形成されており、電子供給層23はInAlNにより形成されており、脱離防止層24はAlNにより形成されており、キャップ層25はGaNにより形成されている。これにより、電子走行層21において、電子走行層21とスペーサ層22との界面近傍には、2DEGが生成される。

[0052] 本実施の形態における半導体装置においては、窒化物半導体層である不図示の核形成層、バッファ層11、電子走行層21、スペーサ層22、電子供給層23、脱離防止層24、キャップ層25は、MOVPEによるエピタキシャル成長により形成される。また、絶縁膜150は、ゲート絶縁膜として機能するものであり、Si、Al、Hf、Ti、Ta、Wの酸化膜、窒化膜、酸窒化膜により形成されている。絶縁膜150は、ALD (atomic layer deposition)、プラズマCVD (chemical vapor deposition)、スパッタリ

ング等の成膜方法により、膜厚が2 nm以上、200 nm以下となるように形成されている。本実施の形態における半導体装置においては、絶縁膜150は、膜厚が10 nmの Al_2O_3 （酸化アルミニウム）膜により形成されている。

[0053] （半導体装置の製造方法）

次に、本実施の形態における半導体装置の製造方法について、図9～図11に基づき説明する。

[0054] 最初に、図9（a）に示すように、基板10の上に、MOVPEによるエピタキシャル成長により、不図示の核形成層、バッファ層11、電子走行層21、スペーサ層22を順に形成する。

[0055] 具体的には、基板10にはシリコン基板を用いる。不図示の核形成層は、MOVPEのチャンバー内に、トリメチルアルミニウム（TMA）及び NH_3 を原料ガスとして供給し、成長温度1000℃、成長圧力20 kPaの条件でAlN膜を成膜することにより形成する。

[0056] バッファ層11は、MOVPEのチャンバー内に、トリメチルガリウム（TMG）、TMA及び NH_3 を原料ガスとして供給し、成長温度1000℃、成長圧力20 kPaの条件でAlGaIn膜を成膜することにより形成する。バッファ層11は、組成比の異なる3層のAlGaIn膜を積層することにより形成されており、具体的には、核形成層の上に、 $\text{Al}_{0.8}\text{Ga}_{0.2}\text{N}$ 膜、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 膜、 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 膜の順に形成されている。このように、組成比の異なるAlGaIn膜は、チャンバー内に供給されるTMAとTMGの供給比を変えて成膜することにより形成することができる。また、バッファ層11には、Feが約 $3 \times 10^{17} \text{ atoms/cm}^3$ の濃度でドーピングされている。Feをドーピングするためには、シクロペンタンジエニル鉄（CP2Fe）を成膜の際に併せて供給してもよい。

[0057] 電子走行層21は、MOVPEのチャンバー内に、TMG及び NH_3 を原料ガスとして供給し、成長温度1000℃、成長圧力20 kPaの条件で膜厚が約1 μm のGaIn膜を成膜することにより形成する。

- [0058] スペーサ層 22 は、MOVPE のチャンバー内に、TMA 及び NH_3 を原料ガスとして供給し、成長温度 1040°C 、成長圧力 5 kPa の条件で膜厚が約 1 nm の AlN 膜を成膜することにより形成する。
- [0059] 次に、図 9 (b) に示すように、基板温度を約 740°C まで降下させた後、スペーサ層 22 の上に、電子供給層 23、脱離防止層 24 を順に形成する。
- [0060] 電子供給層 23 は、MOVPE のチャンバー内に、トリメチルインジウム (TMI)、TMA 及び NH_3 を原料ガスとして供給し、成長温度 740°C 、成長圧力 5 kPa の条件で膜厚が約 10 nm の $\text{In}_{0.17}\text{Al}_{0.83}\text{N}$ 膜を成膜することにより形成する。
- [0061] 脱離防止層 24 は、電子供給層 23 の成膜工程において、電子供給層 23 の成膜の終了間際に、TMI の供給を停止し、膜厚が 1 nm の AlN 膜を成膜することにより形成する。よって、電子供給層 23 と脱離防止層 24 とは、連続成長により形成される。このように窒化物半導体層を形成することにより、電子走行層 21 とスペーサ層 22 との界面近傍における電子走行層 21 には、2DEG 21a が生成される。
- [0062] 次に、図 9 (c) に示すように、基板温度を再び約 1000°C まで上昇させた後、脱離防止層 24 の上に、キャップ層 25 を形成する。
- [0063] キャップ層 25 は、MOVPE のチャンバー内に、TMG 及び NH_3 を原料ガスとして供給し、成長温度 1000°C 、成長圧力 20 kPa の条件で膜厚が約 10 nm の GaN 膜を成膜することにより形成する。
- [0064] 次に、図 10 (a) に示すように、不図示の素子分離領域を形成した後、ソース電極 32 及びドレイン電極 33 が形成される領域における窒化物半導体層を除去することにより開口部 120a、120b を形成する。
- [0065] 具体的には、不図示の素子分離領域は、キャップ層 25 の上に、フォトリジストを塗布し、露光装置による露光、現像を行うことにより、素子分離領域が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、レジストパターンの開口部における窒化物半導体層の一部をドラ

イエッチングにより除去すること、または、イオン注入することにより、不図示の素子分離領域を形成する。この後、不図示のレジストパターンは、有機溶剤等により除去する。

[0066] この後、キャップ層 25 の上に、再びフォトリジストを塗布し、露光装置による露光、現像を行うことにより、ソース電極 32 及びドレイン電極 33 が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、レジストパターンの形成されていない領域のキャップ層 25 を R I E 等のドライエッチングにより除去する。これにより窒化物半導体層において、ソース電極 32 及びドレイン電極 33 が形成される領域に開口部 120 a、120 b を形成する。この後、不図示のレジストパターンは、有機溶剤等により除去する。この際行われる R I E では、エッチングガスとして、塩素成分を含むガスが用いられる。

[0067] 次に、図 10 (b) に示すように、ソース電極 32 及びドレイン電極 33 を形成する。具体的には、キャップ層 25 及び開口部 120 a、120 b において露出している脱離防止層 24 の上に、フォトリジストを塗布し、露光装置による露光、現像を行うことにより。ソース電極 32 及びドレイン電極 33 が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、真空蒸着により、Ta (20 nm) / Al (200 nm) の金属多層膜を成膜した後、有機溶剤に浸漬させることにより、レジストパターンの上の金属多層膜をレジストパターンとともにリフトオフにより除去する。これにより、脱離防止層 24 の上に残存している金属多層膜により、窒化物半導体層における開口部 120 a にソース電極 32 が形成され、開口部 120 b にドレイン電極 33 が形成される。この後、窒素雰囲気中において、400℃から1000℃、例えば、550℃の温度で熱処理を行うことにより、オーミックコンタクトを確立させる。

[0068] 次に、図 10 (c) に示すように、キャップ層 25 の上に、ALD 等により膜厚が 10 nm の Al₂O₃ 膜を成膜することにより絶縁膜 150 を形成する。

[0069] 次に、図 1 1 に示すように、ゲート絶縁膜となる絶縁膜 1 5 0 の上にゲート電極 3 1 を形成する。具体的には、絶縁膜 1 5 0、ソース電極 3 2 及びドレイン電極 3 3 の上に、フォトリソを塗布し、露光装置による露光、現像を行うことにより、ゲート電極 3 1 が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、真空蒸着により、Ni (30 nm) / Au (400 nm) の金属多層膜を成膜した後、有機溶剤に浸漬させることにより、レジストパターンの上の金属多層膜をレジストパターンとともにリフトオフにより除去する。これにより、絶縁膜 1 5 0 の上に、残存している金属多層膜により、ゲート電極 3 1 が形成される。

[0070] 以上の工程により、本実施の形態における半導体装置を製造することができる。

[0071] 尚、上記以外の内容については、第 1 の実施の形態と同様である。また、本実施の形態は、第 1 の実施の形態における図 7 に示される構造の半導体装置にも適用可能である。即ち、図 1 2 に示されるように、ゲート電極 3 1 の直下における窒化物半導体層の一部を除去することにより形成されたゲートリセス 4 0 に絶縁膜 1 5 0 を形成し、ゲートリセス 4 0 における絶縁膜 1 5 0 の上にゲート電極 3 1 を形成したものであってもよい。よって、脱離防止層 2 4 は、平面視でゲート電極 3 1 とは異なる位置に設けられていてもよい。

[0072] 具体的には、キャップ層 2 5 まで窒化物半導体層を形成した後、キャップ層 2 5 の上に、フォトリソを塗布し、露光装置による露光、現像を行うことにより、ゲートリセス 4 0 が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、レジストパターンが形成されていない領域のキャップ層 2 5 及び脱離防止層 2 4 を R I E 等のドライエッチングにより除去することにより、ゲートリセス 4 0 を形成する。この後、不図示のレジストパターンを有機溶剤等により除去し、ゲートリセス 4 0 が形成されている領域の電子供給層 2 3 及びキャップ層 2 5 等の上に絶縁膜 1 5 0 を形成し、ゲートリセス 4 0 に形成された絶縁膜 1 5 0 の上にゲート電極 3 1

を形成する。

[0073] 〔第３の実施の形態〕

次に、第３の実施の形態について説明する。本実施の形態は、半導体デバイス、電源装置及び高周波増幅器である。

[0074] （半導体デバイス）

本実施の形態における半導体デバイスは、第１または第２の実施の形態における半導体装置をディスクリートパッケージしたものであり、このようにディスクリートパッケージされた半導体デバイスについて、図１３に基づき説明する。尚、図１３は、ディスクリートパッケージされた半導体装置の内部を模式的に示すものであり、電極の配置等については、第１または第２の実施の形態に示されているものとは、異なっている。

[0075] 最初に、第１または第２の実施の形態において製造された半導体装置をダイシング等により切断することにより、GaN系の半導体材料のHEMTの半導体チップ４１０を形成する。この半導体チップ４１０をリードフレーム４２０上に、ハンダ等のダイアタッチ剤４３０により固定する。尚、この半導体チップ４１０は、第１または第２の実施の形態における半導体装置に相当するものである。

[0076] 次に、ゲート電極４１１をゲートリード４２１にボンディングワイヤ４３１により接続し、ソース電極４１２をソースリード４２２にボンディングワイヤ４３２により接続し、ドレイン電極４１３をドレインリード４２３にボンディングワイヤ４３３により接続する。尚、ボンディングワイヤ４３１、４３２、４３３は、Au等の金属材料により形成されている。また、本実施の形態においては、ゲート電極４１１はゲート電極パッドの一種であり第１または第２の実施の形態における半導体装置のゲート電極３１と接続されている。また、ソース電極４１２はソース電極パッドの一種であり、第１または第２の実施の形態における半導体装置のソース電極３２と接続されている。また、ドレイン電極４１３はドレイン電極パッドの一種であり、第１または第２の実施の形態における半導体装置のドレイン電極３３と接続されてい

る。

[0077] 次に、トランスファーマールド法によりモールド樹脂440による樹脂封止を行なう。このようにして、Ga N系の半導体材料を用いたHEMTのディスクリットパッケージされている半導体デバイスを作製することができる。

[0078] (PFC回路、電源装置及び高周波増幅器)

次に、本実施の形態におけるPFC回路、電源装置及び高周波増幅器について説明する。本実施の形態におけるPFC回路、電源装置及び高周波増幅器は、第1または第2の実施の形態におけるいずれかの半導体装置を用いた電源装置及び高周波増幅器である。

[0079] (PFC回路)

次に、本実施の形態におけるPFC (Power Factor Correction) 回路について説明する。本実施の形態におけるPFC回路は、第1または第2の実施の形態における半導体装置を有するものである。

[0080] 図14に基づき、本実施の形態におけるPFC回路について説明する。本実施の形態におけるPFC回路450は、スイッチ素子(トランジスタ)451と、ダイオード452と、チョークコイル453と、コンデンサ454、455と、ダイオードブリッジ456と、不図示の交流電源とを有している。スイッチ素子451には、第1または第2の実施の形態における半導体装置であるHEMTが用いられている。

[0081] PFC回路450では、スイッチ素子451のドレイン電極とダイオード452のアノード端子及びチョークコイル453の一方の端子とが接続されている。また、スイッチ素子451のソース電極とコンデンサ454の一方の端子及びコンデンサ455の一方の端子とが接続されており、コンデンサ454の他方の端子とチョークコイル453の他方の端子とが接続されている。コンデンサ455の他方の端子とダイオード452のカソード端子とが接続されており、コンデンサ454の双方の端子間にはダイオードブリッジ456を介して不図示の交流電源が接続されている。このようなPFC回路4

50においては、コンデンサ455の双方端子間より、直流(DC)が出力される。

[0082] (電源装置)

次に、本実施の形態における電源装置について説明する。本実施の形態における電源装置は、第1または第2の実施の形態における半導体装置であるHEMTを有する電源装置である。

[0083] 図15に基づき本実施の形態における電源装置について説明する。本実施の形態における電源装置は、前述した本実施の形態におけるPFC回路450を含んだ構造のものである。

[0084] 本実施の形態における電源装置は、高圧の一次側回路461及び低圧の二次側回路462と、一次側回路461と二次側回路462との間に配設されるトランス463とを有している。

[0085] 一次側回路461は、前述した本実施の形態におけるPFC回路450と、PFC回路450のコンデンサ455の双方の端子間に接続されたインバータ回路、例えばフルブリッジインバータ回路460とを有している。フルブリッジインバータ回路460は、複数(ここでは4つ)のスイッチ素子464a、464b、464c、464dを有している。また、二次側回路462は、複数(ここでは3つ)のスイッチ素子465a、465b、465cを有している。尚、ダイオードブリッジ456には、交流電源457が接続されている。

[0086] 本実施の形態においては、一次側回路461におけるPFC回路450のスイッチ素子451において、第1または第2の実施の形態における半導体装置であるHEMTが用いられている。更に、フルブリッジインバータ回路460におけるスイッチ素子464a、464b、464c、464dにおいて、第1または第2の実施の形態における半導体装置であるHEMTが用いられている。一方、二次側回路462のスイッチ素子465a、465b、465cは、シリコンを用いた通常のMIS構造のFET等が用いられている。

[0087] (高周波増幅器)

次に、本実施の形態における高周波増幅器について説明する。本実施の形態における高周波増幅器は、第1または第2の実施の形態における半導体装置であるHEMTが用いられている構造のものである。

[0088] 図16に基づき、本実施の形態における高周波増幅器について説明する。本実施の形態における高周波増幅器は、デジタル・プレディストーション回路471、ミキサー472a、472b、パワーアンプ473及び方向性結合器474を備えている。

[0089] デジタル・プレディストーション回路471は、入力信号の非線形歪みを補償するものである。ミキサー472aは、非線形歪みが補償された入力信号と交流信号をミキシングするものである。パワーアンプ473は、交流信号とミキシングされた入力信号を増幅するものであり、第1または第2の実施の形態における半導体装置であるHEMTを有している。方向性結合器474は、入力信号や出力信号のモニタリング等を行なう。尚、図16では、例えばスイッチの切り替えにより、出力側の信号をミキサー472bで交流信号とミキシングしてデジタル・プレディストーション回路471に送出することができる。

[0090] 以上、実施の形態について詳述したが、特定の実施形態に限定されるものではなく、特許請求の範囲に記載された範囲内において、種々の変形及び変更が可能である。

符号の説明

[0091]	10	基板
	11	バッファ層
	21	電子走行層（第1の半導体層）
	21a	2DEG
	22	スペーサ層（第5の半導体層）
	23	電子供給層（第2の半導体層）
	24	脱離防止層（第3の半導体層）

2 5	キャップ層（第 4 の半導体層）
3 1	ゲート電極
3 2	ソース電極
3 3	ドレイン電極
4 0	ゲートリセス
1 5 0	絶縁膜

請求の範囲

- [請求項1] 基板の上に、窒化物半導体により形成された第1の半導体層と、
 前記第1の半導体層の上に、 InAlN または InAlGaN を含む材料により形成された第2の半導体層と、
 前記第2の半導体層の上に、 AlN を含む材料により形成された第3の半導体層と、
 前記第3の半導体層の上に、 GaN を含む材料により形成された第4の半導体層と、
 前記第4の半導体層の上に形成されたゲート電極と、
 前記第2の半導体層、前記第3の半導体層、前記第4の半導体層のうちのいずれかの上に形成されたソース電極及びドレイン電極と、
 を有することを特徴とする半導体装置。
- [請求項2] 前記第4の半導体層と前記ゲート電極との間には、絶縁膜が形成されていることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 基板の上に、窒化物半導体により形成された第1の半導体層と、
 前記第1の半導体層の上に、 InAlN または InAlGaN を含む材料により形成された第2の半導体層と、
 前記第2の半導体層の上に、 AlN を含む材料により形成された第3の半導体層と、
 前記第3の半導体層の上に、 GaN を含む材料により形成された第4の半導体層と、
 前記第4の半導体層、または、前記第3の半導体層及び前記第4の半導体層を除去することにより形成されたゲートリセスと、
 前記ゲートリセスに形成されたゲート電極と、
 前記第2の半導体層、前記第3の半導体層、前記第4の半導体層のうちのいずれかの上に形成されたソース電極及びドレイン電極と、
 を有することを特徴とする半導体装置。
- [請求項4] 前記第3の半導体層または前記第2の半導体層と前記ゲート電極と

の間には、絶縁膜が形成されていることを特徴とする請求項3に記載の半導体装置。

[請求項5] 前記第3の半導体層は、前記ソース電極と前記ドレイン電極との間の領域に設けられていることを特徴とする請求項1から4のいずれかに記載の半導体装置。

[請求項6] 前記第3の半導体層は、平面視で前記ゲート電極とは異なる位置に設けられていることを特徴とする、請求項5に記載の半導体装置。

[請求項7] 前記絶縁膜は、Si、Al、Hf、Ti、Ta、Wの酸化膜、窒化膜、酸窒化膜のいずれかを含むものにより形成されていることを特徴とする請求項2または4に記載の半導体装置。

[請求項8] 前記第1の半導体層と前記第2の半導体層との間には、AlNを含む材料により形成された第5の半導体層が設けられていることを特徴とする請求項1から7のいずれかに記載の半導体装置。

[請求項9] 前記第1の半導体層は、GaNを含む材料により形成されていることを特徴とする請求項1から8のいずれかに記載の半導体装置。

[請求項10] 前記第3の半導体層の膜厚は、0.2nm以上、2nm以下であることを特徴とする請求項1から9のいずれかに記載の半導体装置。

[請求項11] 前記第4の半導体層に含まれる炭素の濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下であることを特徴とする請求項1から10のいずれかに記載の半導体装置。

[請求項12] 前記基板は、シリコン、GaN、サファイア、SiCのうちのいずれかを含むものにより形成されていることを特徴とする請求項1から11のいずれかに記載の半導体装置。

[請求項13] 基板の上に、窒化物半導体により第1の半導体層を形成する工程と、

前記第1の半導体層の上に、InAlNまたはInAlGaNを含む材料により第2の半導体層を形成する工程と、

前記第2の半導体層の上に、AlNを含む材料により第3の半導体

層を形成する工程と、

前記第3の半導体層の上に、Ga₂Nを含む材料により第4の半導体層を形成する工程と、

前記第2の半導体層、前記第3の半導体層、前記第4の半導体層のうちのいずれかの上に、ソース電極及びドレイン電極を形成する工程と、

前記第4の半導体層の上に、ゲート電極を形成する工程と、
を有することを特徴とする半導体装置の製造方法。

[請求項14] 前記第4の半導体層を形成した後、前記ゲート電極を形成する前に、

前記第4の半導体層の上に、絶縁膜を形成する工程を有し、
前記ゲート電極は、前記絶縁膜の上に形成されることを特徴とする
請求項13に記載の半導体装置の製造方法。

[請求項15] 基板の上に、窒化物半導体により第1の半導体層を形成する工程と、

前記第1の半導体層の上に、InAlNまたはInAlGa₂Nを含む材料により第2の半導体層を形成する工程と、

前記第2の半導体層の上に、AlNを含む材料により第3の半導体層を形成する工程と、

前記第3の半導体層の上に、Ga₂Nを含む材料により第4の半導体層を形成する工程と、

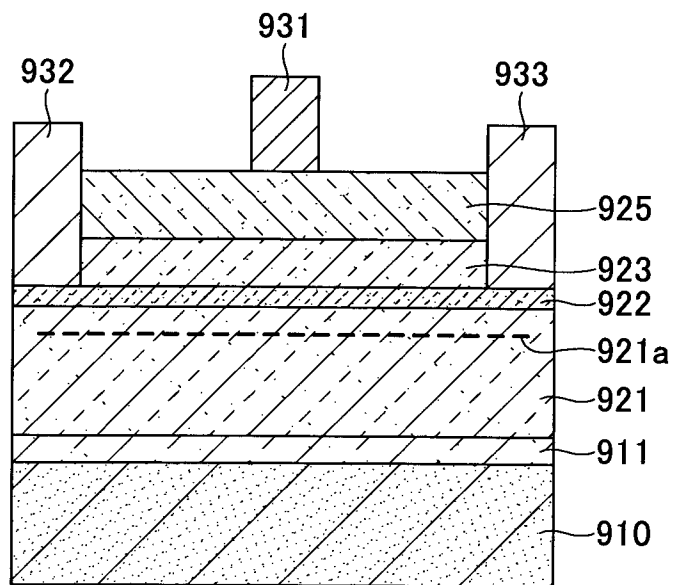
前記第2の半導体層、前記第3の半導体層、前記第4の半導体層のうちのいずれかの上に、ソース電極及びドレイン電極を形成する工程と、

前記第4の半導体層、または、前記第3の半導体層及び前記第4の半導体層を除去することによりゲートリセスを形成する工程と、

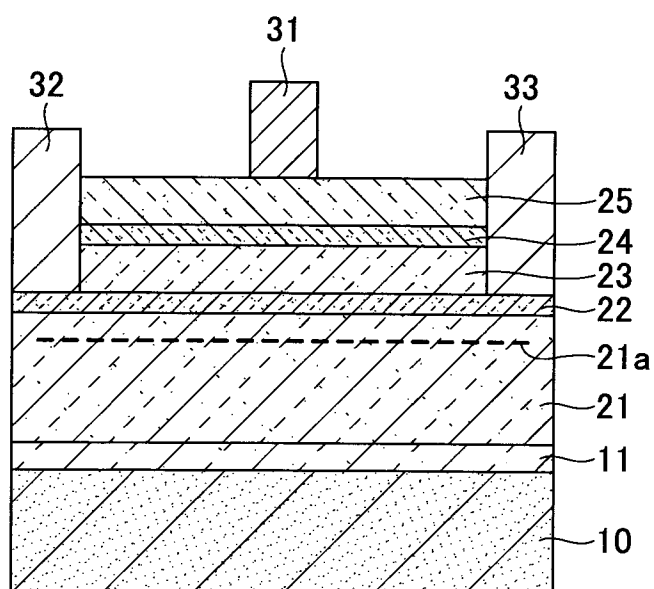
前記ゲートリセスに、ゲート電極を形成する工程と、
を有することを特徴とする半導体装置の製造方法。

- [請求項16] 前記ゲートリセスを形成した後、前記ゲート電極を形成する前に、
前記ゲートリセスの表面に、絶縁膜を形成する工程を有し、
前記ゲート電極は、前記絶縁膜の上に形成されることを特徴とする
請求項15に記載の半導体装置の製造方法。
- [請求項17] 前記第1の半導体層、前記第2の半導体層、前記第3の半導体層、
前記第4の半導体層はエピタキシャル成長により形成されるものであ
って、
前記第4の半導体層を形成する際の温度は、前記第2の半導体層及
び前記第3の半導体層を形成する際の温度よりも高いことを特徴とす
る請求項13から16のいずれかに記載の半導体装置の製造方法。
- [請求項18] 請求項1から12のいずれかに記載の半導体装置を有することを特
徴とする電源装置。
- [請求項19] 請求項1から12のいずれかに記載の半導体装置を有することを特
徴とする増幅器。

[図1]

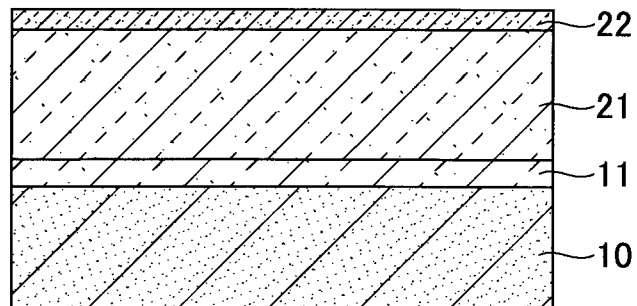


[図2]

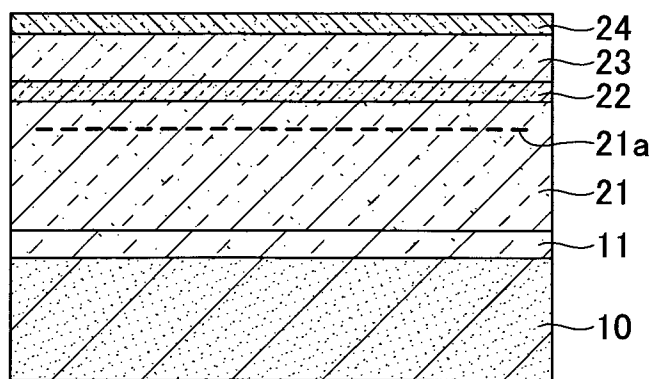


[図3]

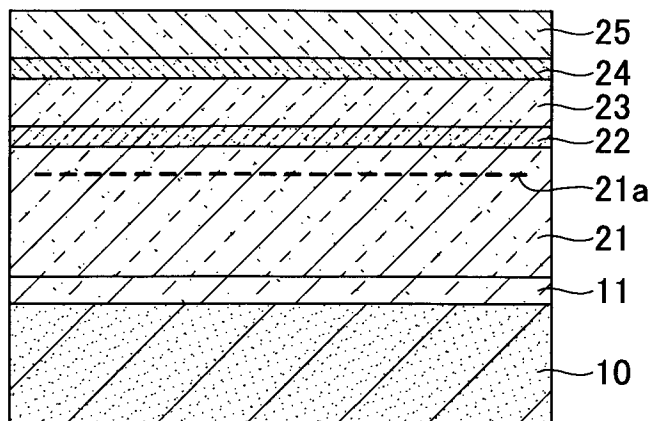
(a)



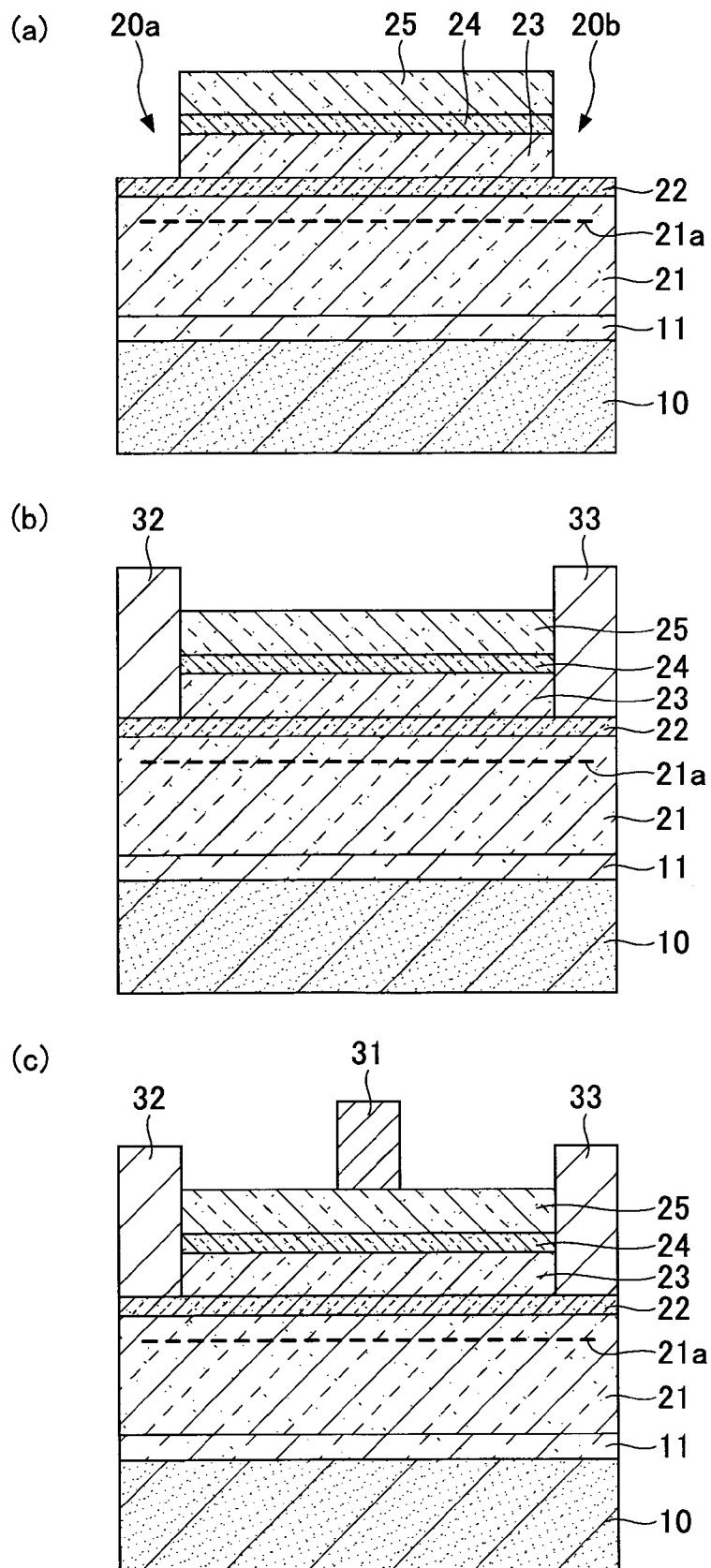
(b)



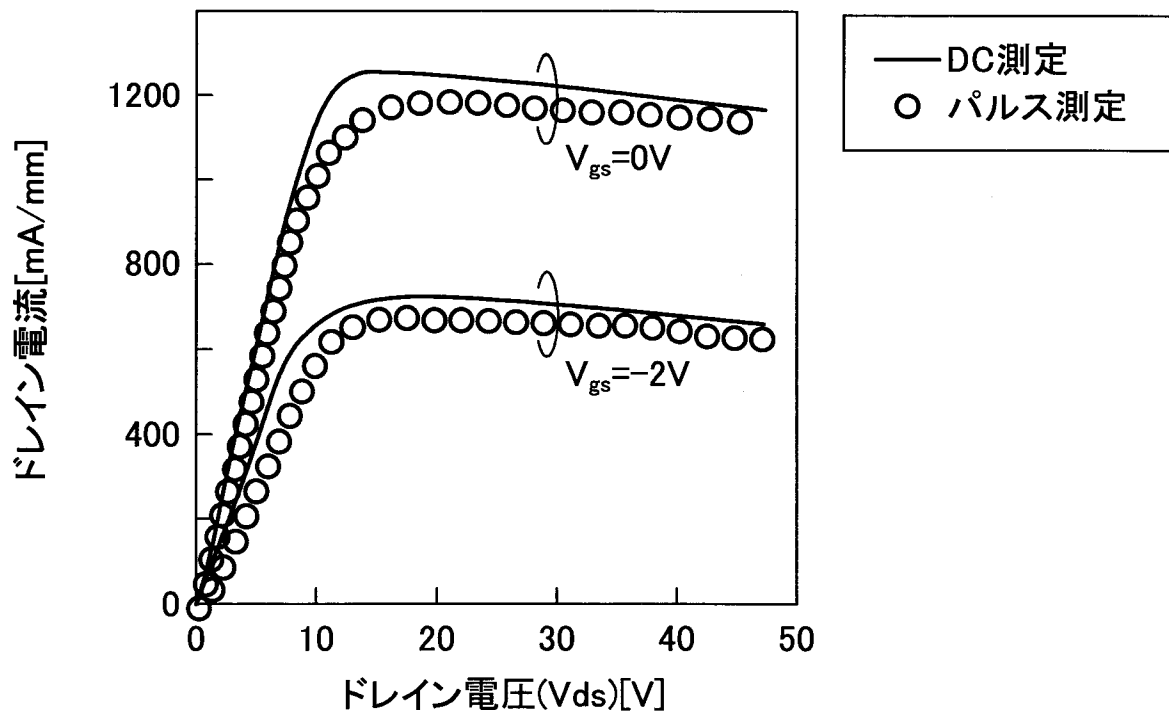
(c)



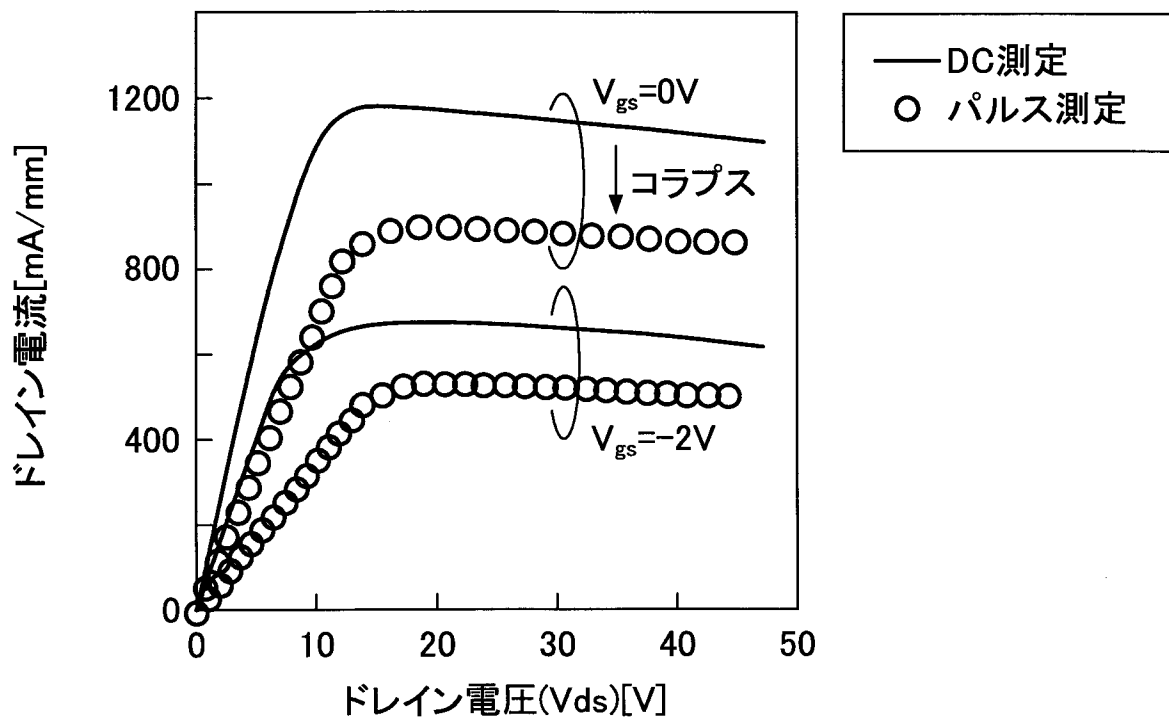
[図4]



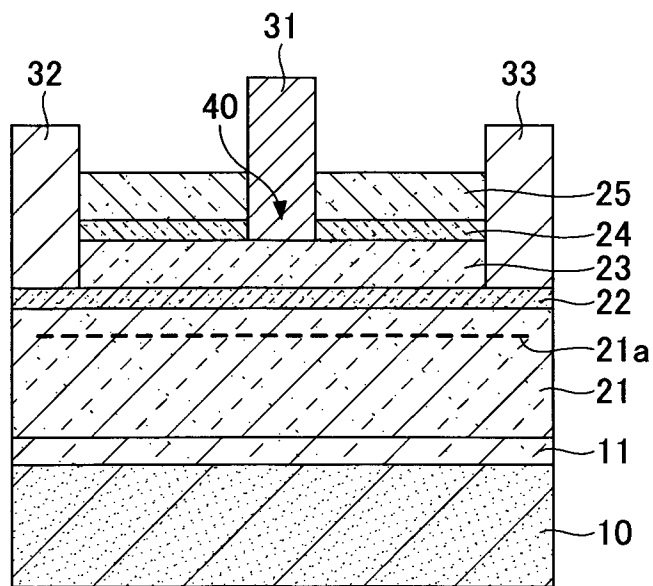
[図5]



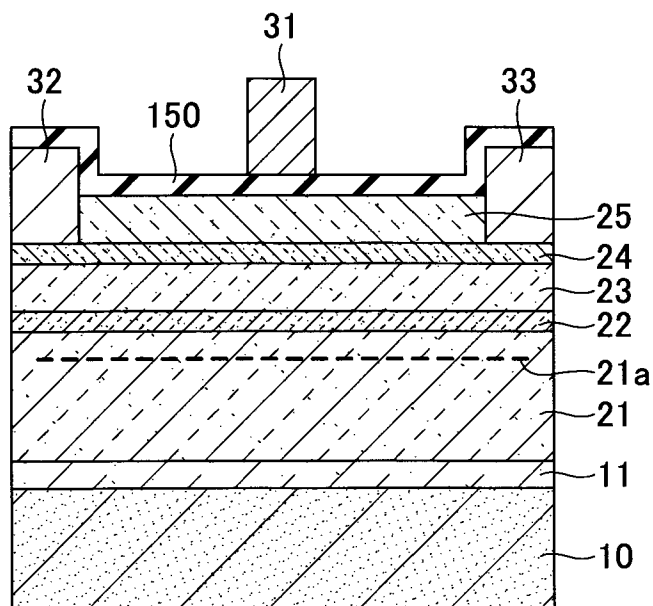
[図6]



[図7]

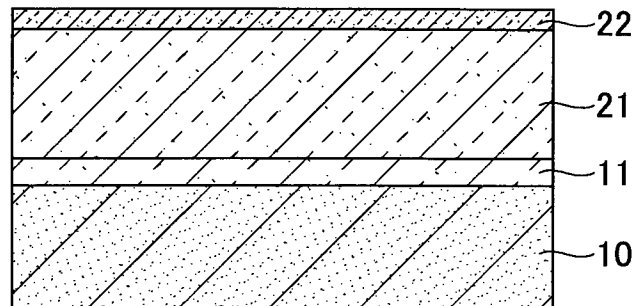


[図8]

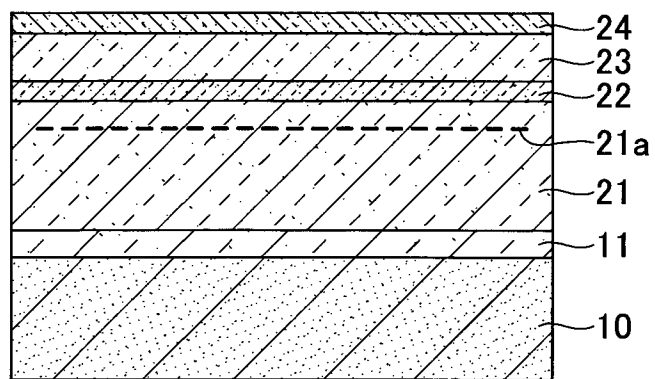


[図9]

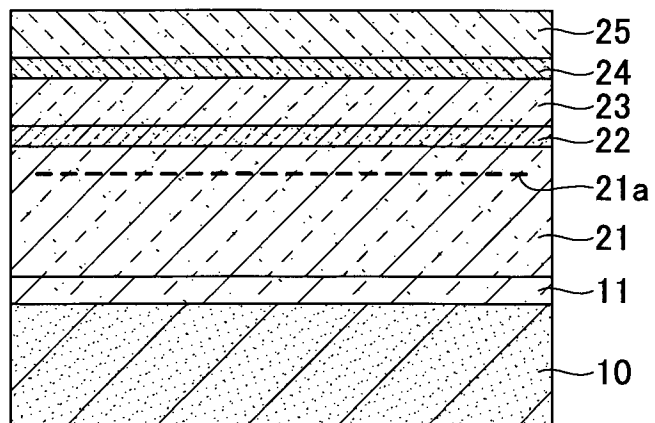
(a)



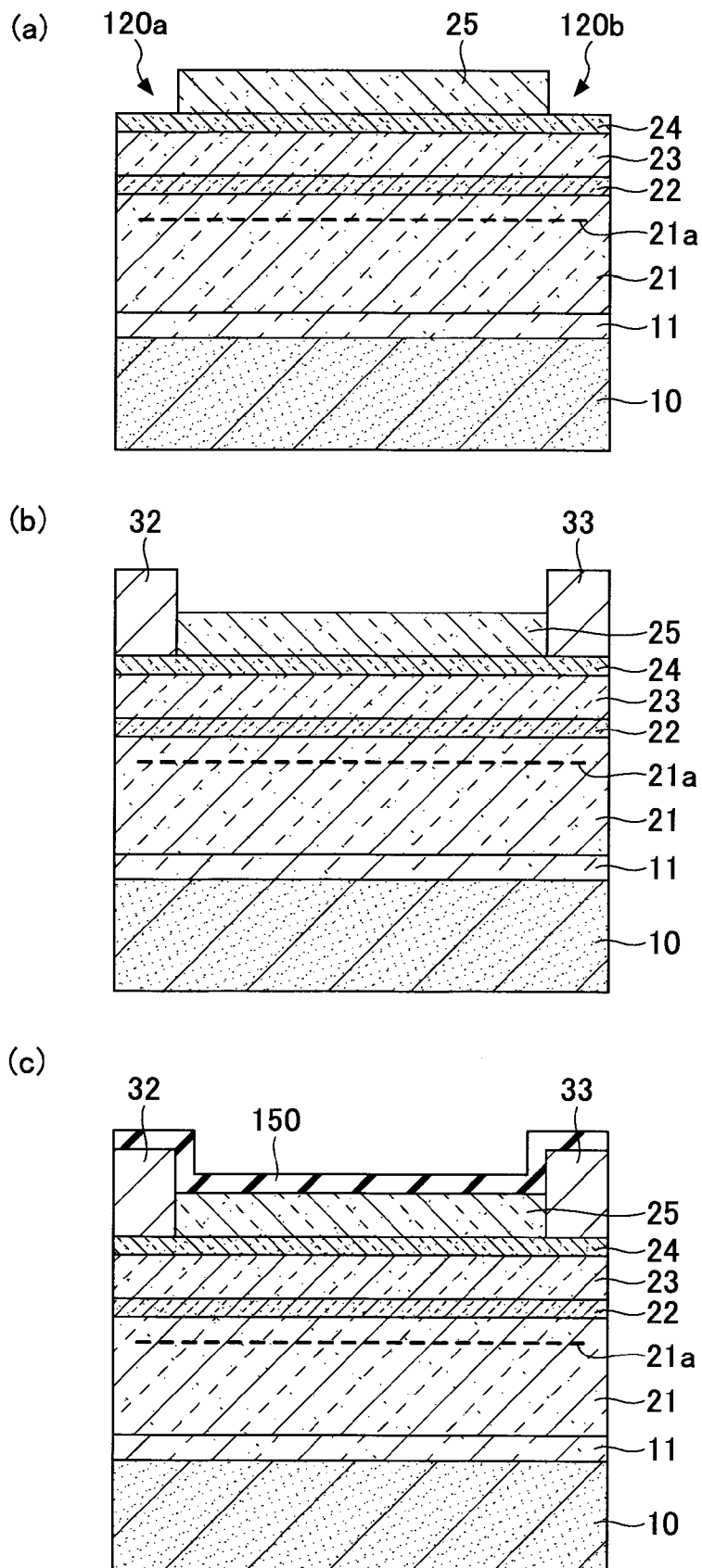
(b)



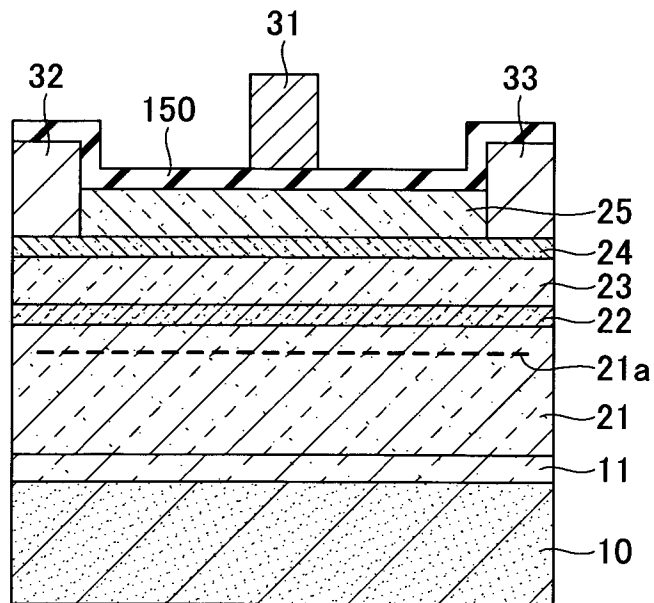
(c)



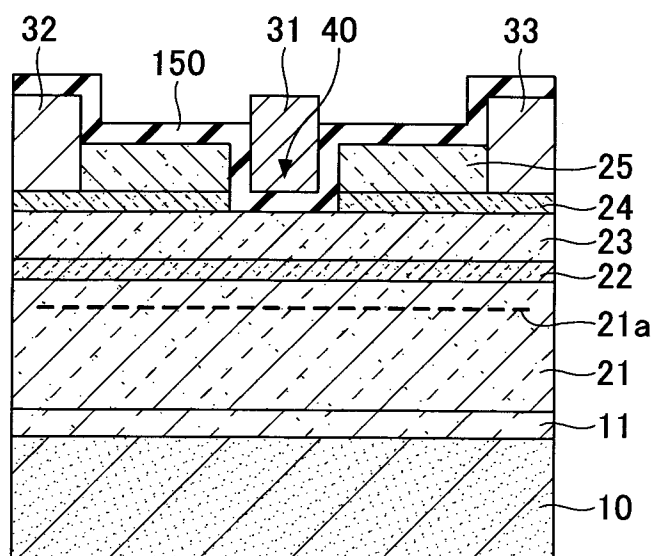
[図10]



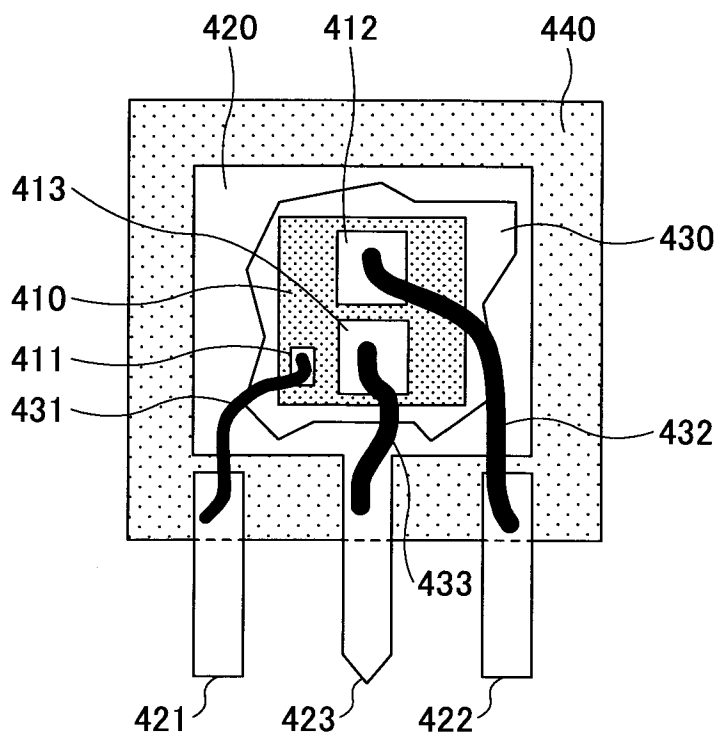
[図11]



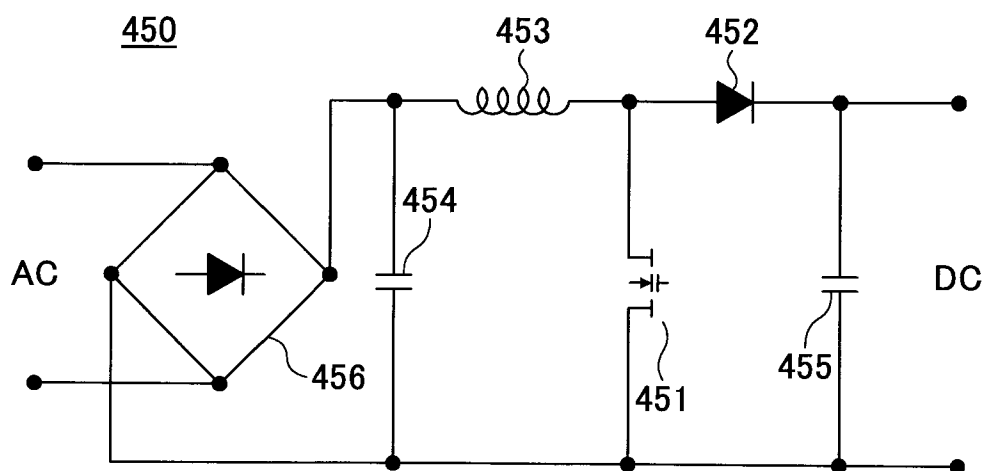
[図12]



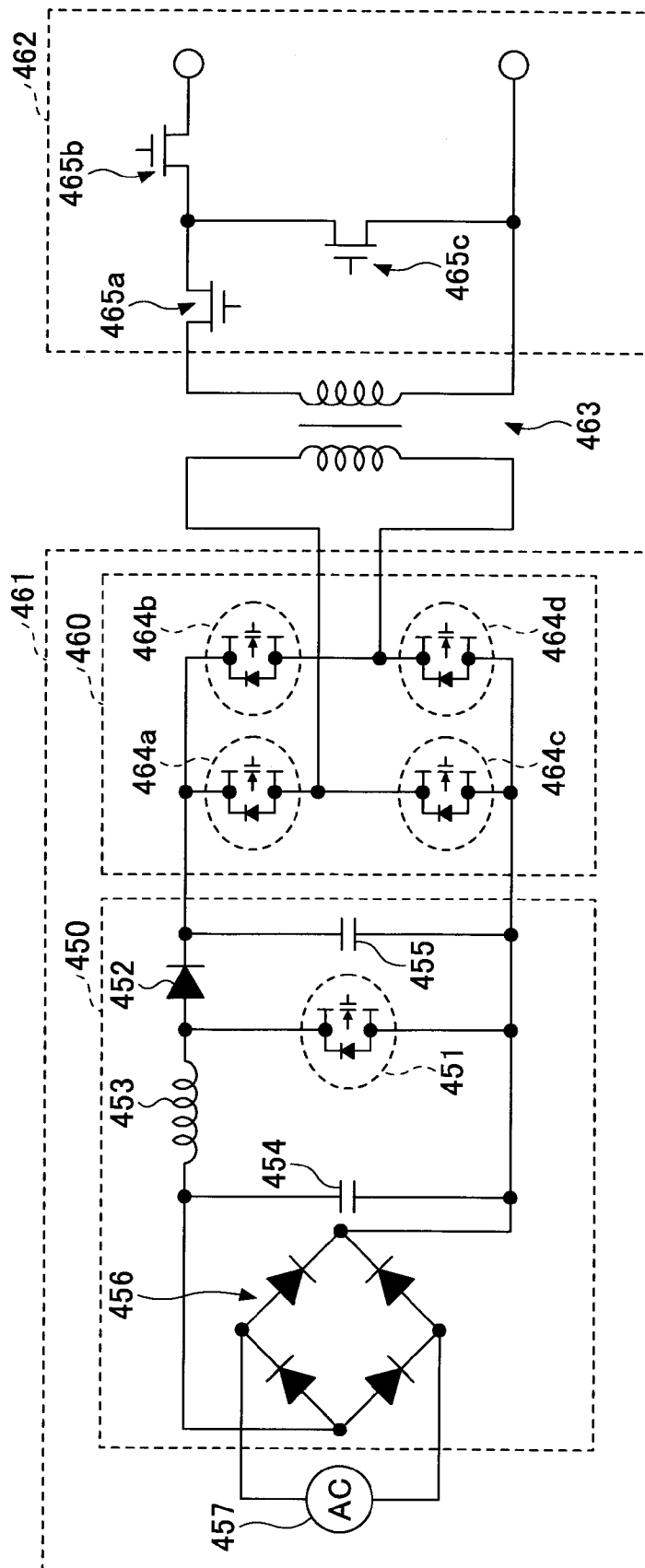
[図13]



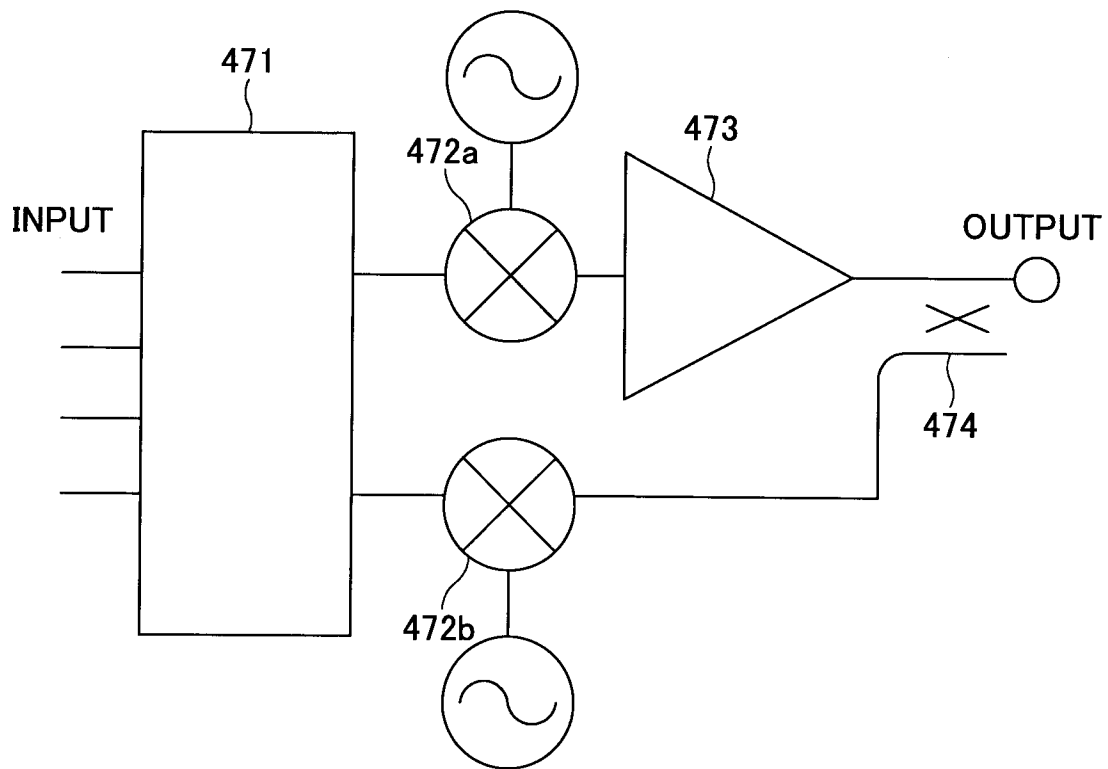
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/063361

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L29/778, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2012/014883 A1 (NGK Insulators, Ltd.), 02 February 2012 (02.02.2012), paragraph [0082]; table 1; fig. 1 & US 2013/0134439 A1 & EP 2600394 A1 & CN 103003931 A	1-19
Y	JP 2014-239159 A (Sumitomo Electric Industries, Ltd.), 18 December 2014 (18.12.2014), fig. 1, 5 to 7 & US 2014/0361308 A1	1-19
Y	JP 2014-229879 A (Fujitsu Ltd.), 08 December 2014 (08.12.2014), fig. 1, 18 & US 2014/0346526 A1 & CN 104183638 A & TW 201445742 A	2-4, 6, 7, 14-16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 June 2015 (19.06.15)

Date of mailing of the international search report
30 June 2015 (30.06.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/063361

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-227501 A (Cree Inc.), 25 September 2008 (25.09.2008), paragraphs [0062], [0063], [0095]; fig. 7 & US 2007/0164315 A1 & WO 2006/057686 A2 & EP 1817798 A2 & DE 102008013755 A1 & CA 2588114 A & KR 10-2007-0091629 A & CN 101107713 A & KR 10-1124937 B & TW 00I464876 B	1-19
A	JP 2013-89970 A (TriQuint Semiconductor, Inc.), 13 May 2013 (13.05.2013), paragraphs [0018], [0036], [0037]; fig. 3 & US 2013/0099284 A1 & DE 102012020481 A1 & FR 2981797 A	1-19
A	JP 2010-219247 A (Fujitsu Ltd.), 30 September 2010 (30.09.2010), fig. 3 (Family: none)	1-19

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/338, H01L29/778, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2012/014883 A1（日本碍子株式会社）2012.02.02, [0082], 表1, 図1 & US 2013/0134439 A1 & EP 2600394 A1 & CN 103003931 A	1 - 19
Y	JP 2014-239159 A（住友電気工業株式会社）2014.12.18, 図1, 図 5 - 図7 & US 2014/0361308 A1	1 - 19
Y	JP 2014-229879 A（富士通株式会社）2014.12.08, 図1, 図18 & US 2014/0346526 A1 & CN 104183638 A & TW 201445742 A	2-4, 6, 7, 14-16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 6 . 2 0 1 5

国際調査報告の発送日

3 0 . 0 6 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

須原 宏光

5 F

9 0 5 7

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-227501 A (クリー インコーポレイテッド) 2008.09.25, [0062], [0063], [0095], 図7 & US 2007/0164315 A1 & WO 2006/057686 A2 & EP 1817798 A2 & DE 102008013755 A1 & CA 2588114 A & KR 10-2007-0091629 A & CN 101107713 A & KR 10-1124937 B & TW 00I464876 B	1 - 19
A	JP 2013-89970 A (トライクイント・セミコンダクター・インコーポ レイテッド) 2013.05.13, [0018], [0036], [0037], 図3 & US 2013/0099284 A1 & DE 102012020481 A1 & FR 2981797 A	1 - 19
A	JP 2010-219247 A (富士通株式会社) 2010.09.30, 図3 (ファミリ ーなし)	1 - 19