



(12)发明专利申请

(10)申请公布号 CN 110083473 A
(43)申请公布日 2019.08.02

(21)申请号 201910304195.1

(22)申请日 2019.04.16

(71)申请人 芯来智融半导体科技(上海)有限公司

地址 200120 上海市浦东新区(上海)自由贸易试验区张衡路200号2幢3层

(72)发明人 梁智兵

(74)专利代理机构 苏州中合知识产权代理事务所(普通合伙) 32266

代理人 龙涛

(51)Int.Cl.

G06F 11/07(2006.01)

G06F 13/24(2006.01)

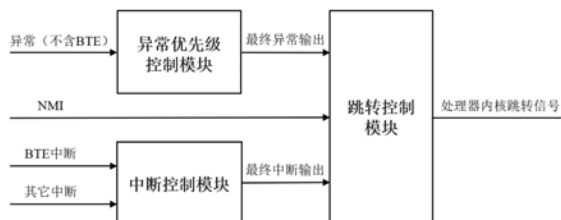
权利要求书1页 说明书4页 附图1页

(54)发明名称

基于RISC-V架构总线访问错误的改进系统及方法

(57)摘要

本发明公开一种基于RISC-V架构总线访问错误的改进系统,包括:异常优先级控制模块、中断控制模块和跳转控制模块。系统为总线访问错误分配中断编号,将总线访问错误作为中断源处理,异常优先级控制模块,用于将所有异常类型进行优先级排序,选择出当前优先级最高的异常类型并输出给跳转控制模块;中断控制模块,用于对总线访问错误和其他中断源进行统一管理,选择出当前优先级最高的中断源并输出给跳转控制模块;跳转控制模块,用于分析处理输入的异常类型、中断源和不可屏蔽中断,将分析处理后的信号输出给处理器内核。本发明将总线访问错误由上报异常改为上报中断,从而可以方便软件控制。



CN 110083473 A

1. 一种基于RISC-V架构总线访问错误的改进系统,其特征在于,包括:异常优先级控制模块、中断控制模块和跳转控制模块,所述系统为总线访问错误分配中断编号,将总线访问错误作为中断源处理,其中:

所述异常优先级控制模块,用于将所有异常类型进行优先级排序,选择出当前优先级最高的异常类型并输出给跳转控制模块;

所述中断控制模块,用于对总线访问错误和其他中断源进行统一管理,选择出当前优先级最高的中断源并输出给跳转控制模块;

所述跳转控制模块,用于分析处理所述异常优先级控制模块输入的异常类型、所述中断控制模块输入的中断源和不可屏蔽中断,将分析处理后的信号输出给处理器内核。

2. 根据权利要求1所述的一种基于RISC-V架构总线访问错误的改进系统,其特征在于,所述中断控制模块包括中断使能寄存器、中断等待寄存器和中断优先级寄存器,其中:

所述中断优先级寄存器,用于控制各个中断源的优先级,不同优先级的中断源同时发起请求,优先级最高的中断源会优先得到响应;

所述中断等待寄存器,用于存储表示中断等待状态的数值;

所述中断使能寄存器,用于存储表示对应中断源的屏蔽状态数值。

3. 根据权利要求2所述的一种基于RISC-V架构总线访问错误的改进系统,其特征在于,所述中断使能寄存器和所述中断等待寄存器均为1位。

4. 根据权利要求2所述的一种基于RISC-V架构总线访问错误的改进系统,其特征在于,所述中断优先级寄存器的有效位数根据实际情况进行配置。

5. 根据权利要求3所述的一种基于RISC-V架构总线访问错误的改进系统,其特征在于,所述中断等待寄存器中置0或1,其中0表示中断未等待,1表示中断等待;所述中断使能寄存器中置0或1,其中0表示不屏蔽,1表示屏蔽。

6. 一种基于RISC-V架构总线访问错误的改进方法,其特征在于,包括以下步骤:

S1: 为总线访问错误分配中断编号,将总线访问错误视为一个中断源;

S2: 将所有异常类型进行优先级排序,选择出优先级最高的异常类型进行输出;

S3: 将总线访问错误和其他中断源进行统一管理,分析总线访问错误和其他中断源的优先级,选择出优先级最高的中断源进行输出;

S4: 根据当前的处理模式、不可屏蔽中断、优先级最高的中断源和优先级最高的异常类型的信息,输出跳转控制信号,若出现优先级最高的中断源时,处理器正在进行不可屏蔽中断,则转至步骤S5;若优先级最高的中断源时,如果处理器正在进行异常处理,则转至步骤S6;若处理器正在处理优先级最高的中断源,则转至步骤S7;

S5: 将优先级最高的中断源悬挂起来,处理器内核根据接收到的不可屏蔽中断信号,进入对应的非屏蔽中断服务程序中进行处理;

S6: 将优先级最高的中断源悬挂起来,处理器内核根据接收到的最高的异常类型,进入对应的异常服务程序中进行处理;

S7: 处理器内核根据接收到的优先级最高的中断源进入对应的中断服务程序中进行处理,并使用软件向所述系统发起中断响应读操作。

基于RISC-V架构总线访问错误的改进系统及方法

技术领域

[0001] 本发明涉及低功耗内核中断及异常处理技术领域,尤其涉及一种基于RISC-V架构总线访问错误的改进系统及方法。

背景技术

[0002] 中断机制(Interrupt),即处理器核在顺序执行程序指令流的过程中突然被别的请求打断而中止执行当前的程序,转而去处理别的事情,待其处理完了别的事情,然后重新回到之前程序中中断的点继续执行之前的程序指令流。其中,打断处理器执行程序指令流的“别的请求”便称之为中断请求(Interrupt Request),而中断请求的来源则称之为中断源(Interrupt Source),通常情况下,中断源主要来自外围硬件设备。而处理器转去处理“别的事情”便称之为中断服务程序(Interrupt Service Routine,ISR)。

[0003] 中断处理是一种正常的机制,而非一种错误。处理器收到中断请求之后,需要保护当前程序现场,简称为保护现场。等到处理完中断服务程序之后,处理器需要恢复之前的现场,从而继续执行之前被打断的程序,简称为恢复现场。

[0004] 异常(Exception)机制,即处理器核在顺序执行程序指令流的过程中突然遇到了异常的事情而中止执行当前的程序,转而去处理该异常。处理器遇到的“异常的事情”称为异常(Exception)。异常是由处理器内部事件或程序执行中的事件引起的,譬如本身硬件故障、程序故障,或者执行特殊的系统服务指令而引起的,简而言之是一种内因。异常发生后,处理器会进入异常服务处理程序。

[0005] 非屏蔽中断(不可屏蔽中断,Non-Mask able Interrupt)是处理器内核的一根特殊的输入信号,往往用于指示系统层面的紧急错误(譬如外部的硬件故障等)。在遇到不可屏蔽中断之后,处理器内核会立即中止执行当前的程序,转而去处理该不可屏蔽中断错误。

[0006] 需要注意的是,异常是不可以被屏蔽的,也就是说一旦发生了异常,处理器一定会停止当前操作转而进入异常处理模式。因此,中断和不可屏蔽中断在任何时候都可以被异常打断。

[0007] 在大部分的处理器架构中,读写存储器出错通常会被视为一种非精确异步错误,由于访问存储器(简称访存)需要一定的时间,处理器往往不可能等到该访问结束才开始执行后续的指令(否则性能会很差),而是会继续执行后续的指令。等到访存结果从目标存储器返回来之后,发现出现了访存错误并汇报错误,但是处理器此时可能已经执行到了后续的某条指令,难以精确定位。并且存储器返回的时间延迟也具有偶然性,无法被精确地重现。

[0008] 如图1所示,在RISC-V架构中,访存出错会上报异常,譬如:load访问出错,会上报load access fault异常;store访问出错,会上报store access fault异常。由于在大部分的处理器架构中,load/store访问出错会被视为非精确异步错误,而异常又是不可屏蔽的,因此load/store访问出错上报异常会导致程序不可控制。

[0009] 总的来说,由于load/store访问出错通常会被视为一种非精确异步错误,因此在

RISC-V架构中,load/store访问出错上报异常会导致程序不可控制。

发明内容

[0010] 为了解决上述技术问题,本发明提出一种基于RISC-V架构总线访问错误的改进系统及方法。在所述系统及方法中,总线访问出错,改为上报中断,而不是上报异常,这样总线访问出错会变得可控。

[0011] 为了达到上述目的,本发明的技术方案如下:

[0012] 一种基于RISC-V架构总线访问错误的改进系统,包括:异常优先级控制模块、中断控制模块和跳转控制模块,所述系统为总线访问错误分配中断编号,将总线访问错误作为中断源处理,

[0013] 所述异常优先级控制模块,用于将所有异常类型进行优先级排序,选择出当前优先级最高的异常类型并输出给跳转控制模块;

[0014] 所述中断控制模块,用于对总线访问错误和其他中断源进行统一管理,选择出当前优先级最高的中断源并输出给跳转控制模块;

[0015] 所述跳转控制模块,用于分析处理所述异常优先级控制输入的异常类型、所述中断控制模块输入的中断源和不可屏蔽中断,将分析处理后的信号输出给处理器内核。

[0016] 进一步,所述中断控制模块包括中断使能寄存器、中断等待寄存器和中断优先级寄存器,

[0017] 所述中断优先级寄存器,用于控制各个中断源的优先级,不同优先级的中

[0018] 断源同时发起请求,优先级最高的中断源会优先得到响应;

[0019] 所述中断等待寄存器,用于存储表示中断等待状态的数值;

[0020] 所述中断使能寄存器,用于存储表示对应中断源的屏蔽状态数值。

[0021] 进一步,所述中断使能寄存器和所述中断等待寄存器均为1位。

[0022] 进一步,所述中断优先级寄存器的有效位数根据实际情况进行配置。

[0023] 进一步,所述中断等待寄存器中置0或1,其中0表示中断未等待,1表示中断等待;所述中断使能寄存器中置0或1,其中0表示不屏蔽,1表示屏蔽。

[0024] 进一步,所述中断使能寄存器和所述中断等待寄存器均为32位。

[0025] 一种基于RISC-V架构总线访问错误的改进方法,包括以下步骤:

[0026] Step1:将总线访问错误分配中断编号,将总线访问错误视为一个中断源;

[0027] Step2:异常优先级控制模块将所有异常类型进行优先级排序,选择出优先级最高的异常类型进行输出;

[0028] Step3:中断控制模块将总线访问错误和其他中断源进行统一管理,分析总线访问错误和其他中断源的优先级,选择出优先级最高的中断源进行输出;

[0029] Step4:根据当前的处理模式、不可屏蔽中断、优先级最高的中断源和优先级最高的异常类型的信息,输出跳转控制信号,若出现优先级最高的中断源时,处理器正在进行不可屏蔽中断,则转至步骤S5;若出现优先级最高的中断源时,如果处理器正在进行异常处理,则转至步骤S6;若处理器正在处理优先级最高的中断源,则转至步骤S7;

[0030] Step5:将最高的中断源悬挂起来,处理器内核根据接收到的不可屏蔽中断信号,进入对应的非屏蔽中断服务程序中进行处理;

[0031] Step6:将最高的中断源悬挂起来,处理器内核根据接收到的最高的异常类型,进入对应的异常服务程序中进行处理;

[0032] Step7:处理器内核根据接收到的优先级最高的中断源进入对应的中断服务程序中进行处理,并使用软件向所述系统发起中断相应读操作。

[0033] 基于上述技术方案,本发明的有益效果是:

[0034] 1) 出现总线访问错误时,本发明不会打断当前不可屏蔽中断的处理流程;

[0035] 2) 出现总线访问错误时,本发明不会打断当前异常的处理流程;

[0036] 3) 出现总线访问错误时,本发明不会打断当前高优先级中断的处理流程;

[0037] 4) 软件可以通过配置中断使能,控制总线访问错误是否上报中断,增加软件控制的灵活性。

附图说明

[0038] 图1:现有技术中RISC-V架构定义的总线访问错误处理系统示意图;

[0039] 图2:本发明实施例1公开的总线访问错误处理系统示意图;

具体实施方式

[0040] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。

[0041] 实施例一

[0042] 如图2所示,本发明提供一种基于RISC-V架构总线访问错误改进系统及方法,所述系统相比RISC-V定义的架构(如图1),将总线访问错误(包括load访问错误和store访问错误)由上报异常改为上报中断。所述系统,包括:异常优先级控制模块、中断控制模块和跳转控制模块,其中:

[0043] 所述异常优先级控制模块,用于将所有异常类型进行优先级排序,对应的异常编号(Exception Code)值越小,优先级越高,选择出当前优先级最高的异常类型并输出给跳转控制模块;

[0044] 所述中断控制模块,用于对总线访问错误(BTE)和其他中断源进行统一管理,选择出当前优先级最高的中断源并输出给跳转控制模块;

[0045] 所述跳转控制模块,用于分析处理所述异常优先级控制输入的异常类型、所述中断控制模块输入的中断源和不可屏蔽中断(NMI),将分析处理后的信号输出给处理器内核。

[0046] 例如,为总线访问错误分配中断编号为0-4095。

[0047] 进一步,所述中断控制模块包括中断使能寄存器、中断等待寄存器和中断优先级寄存器,其中:

[0048] 所述中断优先级寄存器,用于控制各个中断源的优先级,不同优先级的中断源同时发起请求,优先级最高的中断源会优先得到响应;所述中断优先级寄存器的有效位数根据实际情况进行配置。

[0049] 所述中断等待寄存器,用于存储表示中断等待状态的数值;

[0050] 所述中断使能寄存器,用于存储表示对应中断源的屏蔽状态数值。

[0051] 进一步,所述中断等待寄存器中置0或1,其中0表示中断未等待(允许中断请求经

过并将中断请求发送给中断目标),1表示中断等待(拒绝中断请求经过);所述中断使能寄存器中置0或1,其中0表示不屏蔽(接受中断请求),1表示屏蔽(不接受中断请求)。其中,所述中断使能寄存器和所述中断等待寄存器均为1位。

[0052] 其中,软件配置中断使能寄存器,可以控制总线访问错误(包括load访问错误和store访问错误)是否上报中断,增加软件控制的灵活性。

[0053] 一种基于RISC-V架构总线访问错误的改进方法,包括以下步骤:

[0054] Step1:将总线访问错误分配中断编号,将总线访问错误(BTE)视为一个中断源;

[0055] Step2:异常优先级控制模块将所有异常类型进行优先级排序,选择出优先级最高的异常类型进行输出;

[0056] Step3:中断控制模块将总线访问错误(BTE)和其他中断源进行统一管理,分析总线访问错误(BTE)和其他中断源的优先级,选择出优先级最高的中断源进行输出;

[0057] Step4:根据当前的处理模式、不可屏蔽中断(NMI)、优先级最高的中断源和优先级最高的异常类型的信息,输出跳转控制信号,出现优先级最高的中断源为总线访问错误时,如果处理器正在进行不可屏蔽中断(NMI),则转至步骤S5;出现优先级最高的中断源为总线访问错误时,如果处理器正在进行异常处理,则转至步骤S6;若处理器正在处理优先级最高的中断源,则转至步骤S7;

[0058] Step5:将总线访问错误(BTE)悬挂起来,在不可屏蔽中断(NMI)处理完成之后,再开始总线访问错(BTE)的中断处理,不会打断当前不可屏蔽中断(NMI)处理流程;处理器内核根据接收到的不可屏蔽中断(NMI),进入对应的非屏蔽中断服务程序中进行处理;

[0059] Step6:将总线访问错误悬挂起来,在异常处理处理完成之后,再开始总线访问错误(BTE)的中断处理,不会打断当前异常处理流程;处理器内核根据接收到的最高的异常类型,进入对应的异常服务程序中进行处理;

[0060] Step7:处理器内核根据接收到的最高的中断源进入对应的中断服务程序中,并使用软件向所述系统发起中断相应读操作。

[0061] 本发明通过将总线访问错误(包括load访问错误和store访问错误)由上报异常改为上报中断,使得总线访问错误(包括load访问错误和store访问错误)导致程序不可控制变得可控,有利于软件控制。

[0062] 以上所述仅为本发明所公开的一种基于RISC-V架构总线访问错误的改进系统及方法的优选实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书内容所作的等效结构或等效流程变换,或直接或间接运用在其它相关的技术领域,均同理包括在本发明的专利保护范围内。

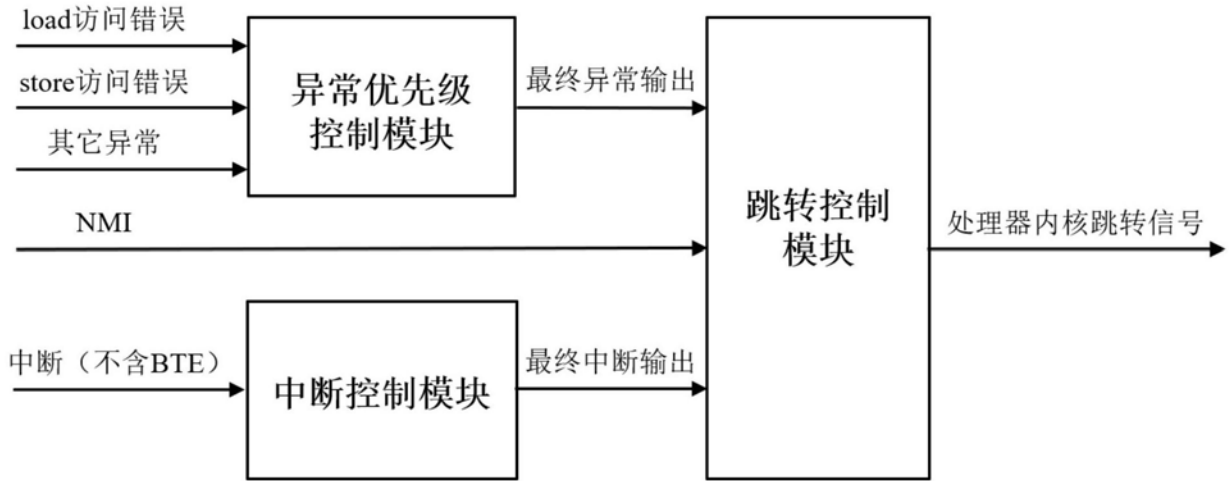


图1

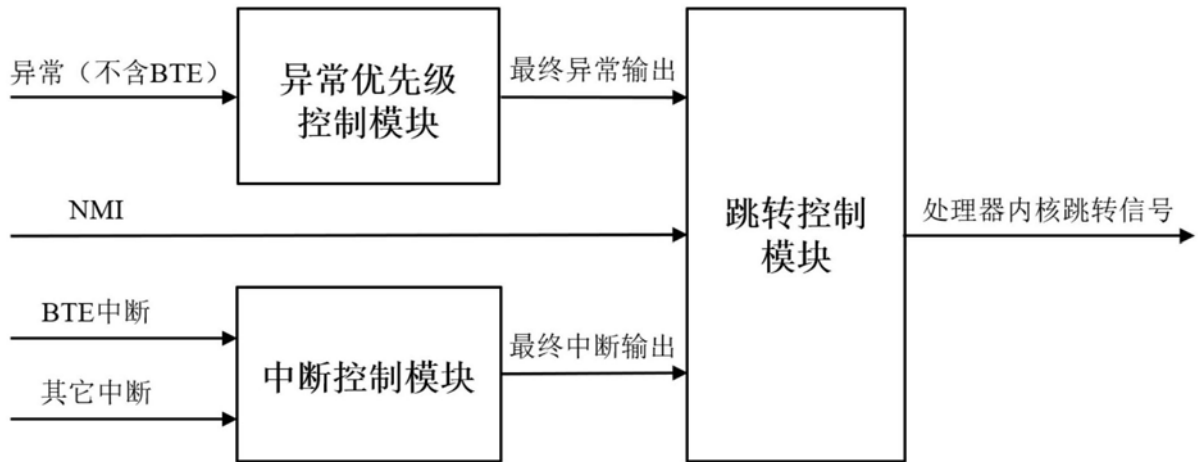


图2