

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第1部門第2区分

【発行日】令和7年1月30日(2025.1.30)

【公開番号】特開2024-67115(P2024-67115A)

【公開日】令和6年5月17日(2024.5.17)

【年通号数】公開公報(特許)2024-090

【出願番号】特願2022-176947(P2022-176947)

【国際特許分類】

A 63 F 7/02 (2006.01)

10

【F I】

A 63 F 7/02 326Z

【手続補正書】

【提出日】令和7年1月22日(2025.1.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

20

【特許請求の範囲】

【請求項1】

演算回路、リードメモリ、リードライトメモリ、及び巡回冗長検査回路、を含んだマイクロプロセッサを実装して遊技の進行を制御する遊技機であって、

前記リードメモリは、遊技の進行に直接関与するプログラム、及びデータが記憶された第1記憶手段と、遊技の進行に直接関与しないプログラム、及びデータが記憶された第2記憶手段で構成され、

前記リードライトメモリは、前記第1記憶手段のプログラムが読み書きする第3記憶手段と、前記第2記憶手段のプログラムが読み書きする第4記憶手段で構成され、

前記第2記憶手段に記憶されたプログラムには、前記第1記憶手段に記憶されたプログラムより呼び出されて処理を実行した後、必ず、呼び出した前記第1記憶手段のプログラムに戻る特定サブルーチンと、前記第2記憶手段に記憶されたプログラムより呼び出されて処理を実行した後、必ず、呼び出した前記第2記憶手段のプログラムに戻る通常サブルーチンとがあり、

前記演算回路は、前記特定サブルーチンを実行する場合、特定コール命令を実行して前記特定サブルーチンを呼び出し、特定リターン命令を実行して呼び出し元に戻り、

前記特定コール命令は、呼び出す特定サブルーチンが、前記第2記憶手段の特定アドレスより前に記憶されたプログラムを呼び出す場合と、前記特定アドレス以降のアドレスに記憶されたプログラムを呼び出す場合とでは、前記第1記憶手段に記憶される命令容量が異なり、

前記命令容量は、前記特定アドレスより前に記憶されたプログラムを呼び出す場合より、前記特定アドレス以降のアドレスに記憶されたプログラムを呼び出す場合の方が多く必要であり、

前記特定サブルーチンには、第1種サブルーチンと、第2種サブルーチンがあり、

前記第1種サブルーチンは、

プログラム本体が前記特定アドレス以降のアドレスに記憶され、前記命令容量を少なくするため、前記特定コール命令が、前記特定アドレスより前のアドレスに記憶されているプログラムの呼び出しを経由して、前記特定サブルーチンのプログラム本体を実行し、

プログラム本体が前記特定アドレス以降のアドレスに記憶されている場合に、前記特定アドレスより前のアドレスには、当該特定サブルーチンのプログラム本体を実行するための

50

処理コードを記憶し、

前記第1種サブルーチンは、前記特定アドレス以降に前記特定リターン命令が記憶され、  
前記第2種サブルーチンは、前記特定コール命令による呼び出し先に、プログラム本体及び前記特定リターン命令が記憶され、

前記巡回冗長検査回路を使用して前記第3記憶手段、及び前記第4記憶手段の検査を行う  
プログラムは、前記第2種サブルーチンであることを特徴とする遊技機。

**【手続補正2】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0009

**【補正方法】**変更

**【補正の内容】**

**【0009】**

本発明の第1の実施態様に係る発明は、下記の構成を有する。

演算回路（例えば、メインCPU2101）、リードメモリ（例えば、メインROM2102）、リードライトメモリ（例えば、メインRAM2103）、及び巡回冗長検査回路（例えば、図212に示す巡回上長検査（CRC16）回路2107c）、を含んだマイクロプロセッサ（例えば、マイクロプロセッサ2100）を実装して遊技の進行を制御する遊技機（例えば、パチスロ機2001）であって、

前記リードメモリは、遊技の進行に直接関与するプログラム、及びデータが記憶された第1記憶手段（例えば、使用領域内ROMエリア2202a）と、遊技の進行に直接関与しないプログラム、及びデータが記憶された第2記憶手段（例えば、使用領域外ROMエリア2202b）で構成され、

前記リードライトメモリは、前記第1記憶手段のプログラムが読み書きする第3記憶手段（例えば、使用領域内RAMエリア2203a）と、前記第2記憶手段のプログラムが読み書きする第4記憶手段（例えば、使用領域外RAMエリア2203b）で構成され、前記第2記憶手段に記憶されたプログラムには、前記第1記憶手段に記憶されたプログラムより呼び出されて処理を実行した後、必ず、呼び出した前記第1記憶手段のプログラムに戻る特定サブルーチン（例えば、図177に示した使用領域外RAM初期化処理（継続）を実行するサブプログラムや、図180に示したインターフェース2出力処理（継続）を実行するサブプログラム）と、前記第2記憶手段に記憶されたプログラムより呼び出されて処理を実行した後、必ず、呼び出した前記第2記憶手段のプログラムに戻る通常サブルーチン（例えば、図173に示したCRC演算処理（使用領域外））とがあり、

前記演算回路は、前記特定サブルーチンを実行する場合、特定コール命令（例えば、「CALL EX」）を実行して前記特定サブルーチンを呼び出し、特定リターン命令（例えば、「RETEX」）を実行して呼び出し元に戻り、

前記特定コール命令は、呼び出す特定サブルーチンが、前記第2記憶手段の特定アドレス（例えば、「2100」H）より前に記憶されたプログラムを呼び出す場合と、前記特定アドレス以降のアドレスに記憶されたプログラムを呼び出す場合とでは、前記第1記憶手段に記憶される命令容量が異なり（例えば、特定アドレスより前のプログラムを呼び出す場合は2バイト命令、特定アドレス以降のプログラムを呼び出す場合は4バイト命令）、前記命令容量は、前記特定アドレスより前に記憶されたプログラムを呼び出す場合より、前記特定アドレス以降のアドレスに記憶されたプログラムを呼び出す場合の方が多く必要であり、

前記特定サブルーチンには、第1種サブルーチンと、第2種サブルーチンがあり、前記第1種サブルーチンは、

プログラム本体が前記特定アドレス以降のアドレスに記憶され、前記命令容量を少なくするため、前記特定コール命令が、前記特定アドレスより前のアドレスに記憶されているプログラム（例えば、「JR」や「JP」命令）の呼び出しを経由して、前記特定サブルーチンのプログラム本体を実行し、

プログラム本体が前記特定アドレス以降のアドレスに記憶されている場合に、前記特定ア

10

20

30

40

50

ドレスより前のアドレスには、当該特定サブルーチンのプログラム本体を実行するための処理コード（例えば、メインCPU2101が解釈可能なコード）を記憶し、  
前記第1種サブルーチンは、前記特定アドレス以降に前記特定リターン命令が記憶され、  
前記第2種サブルーチンは、前記特定コール命令による呼び出し先に、プログラム本体及び前記特定リターン命令が記憶され、  
前記巡回冗長検査回路を使用して前記第3記憶手段、及び前記第4記憶手段の検査を行う  
プログラムは、前記第2種サブルーチンであることを特徴とする遊技機。

10

20

30

40

50