

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-146940

(P2012-146940A)

(43) 公開日 平成24年8月2日(2012.8.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 F 27/00 (2006.01)	HO 1 F 15/00 D	5 E 0 7 0
HO 1 F 17/00 (2006.01)	HO 1 F 17/00 D	5 J 0 2 4
HO 3 H 7/075 (2006.01)	HO 3 H 7/075 A	
HO 3 H 7/01 (2006.01)	HO 3 H 7/01 Z	

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2011-43968 (P2011-43968)
 (22) 出願日 平成23年3月1日 (2011.3.1)
 (31) 優先権主張番号 特願2010-286105 (P2010-286105)
 (32) 優先日 平成22年12月22日 (2010.12.22)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000006633
 京セラ株式会社
 京都府京都市伏見区竹田鳥羽殿町6番地
 (72) 発明者 野木 貴文
 鹿児島県霧島市国分山下町1番1号 京セラ株式会社鹿児島国分工場内
 Fターム(参考) 5E070 AA05 AB01 AB03 AB10 CB02
 CB13 CB18 EA01 EB04
 5J024 AA01 BA01 BA04 DA04 DA21
 DA29 DA35 EA08

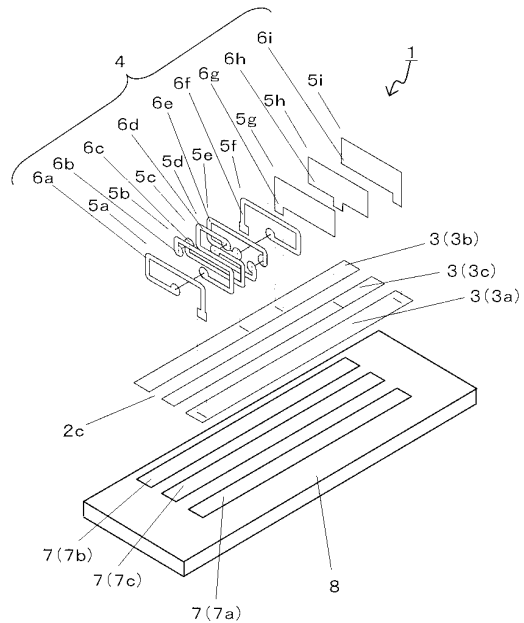
(54) 【発明の名称】 電子部品および電子装置

(57) 【要約】

【課題】 所望する電気的特性が変化することを抑制した、電子部品を供給することにある。

【解決手段】 複数の絶縁体層 5 a ~ 5 i が積層された直方体状の積層体 2 と、積層体 2 の積層方向に沿った四側面のうち一側面 2 c に設けられた外部接続端子 3 と、外部接続端子 3 と電気的に接続され、絶縁体層 5 間に設けられた回路パターン 6 とを備えていることから、回路パターン 6 と配線基板の複数のランドとは互いに広い面積で対向する位置関係ではなくなる。その結果、回路パターン 6 と複数のランド間で不要な容量の発生を抑制でき、所望の電気的特性を得ることが可能な電子部品 1 を提供することができる。

【選択図】 図 3



【特許請求の範囲】**【請求項 1】**

複数の絶縁体層が積層された直方体状の積層体と、
該積層体の積層方向に沿った四側面のうち一側面に設けられた外部接続端子と、
該外部接続端子と電氣的に接続され、前記絶縁体層間に設けられた回路パターンとを備える電子部品。

【請求項 2】

請求項 1 に記載の電子部品と、
一主面に前記外部接続端子と対応する複数のランドを有する配線基板とを有しており、
前記電子部品が、前記一側面の前記外部接続端子を前記複数のランドに対向させた状態で
前記配線基板の前記一主面上に実装されていることを特徴とする電子装置。

10

【請求項 3】

前記外部接続端子は、前記積層体の積層方向に沿って延びていることを特徴とする請求項 2 に記載の電子装置。

【請求項 4】

前記配線基板の前記複数のランドは、前記積層体の積層方向に沿って延びていることを特徴とする請求項 3 に記載の電子装置。

【請求項 5】

前記回路パターンは、コンデンサおよびインダクタの少なくとも一部を構成することを特徴とする請求項 1 に記載の電子部品。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、電子部品および電子装置に関するものである。

【背景技術】**【0002】**

ノイズを減衰させるフィルタとして、例えば、複数の絶縁体層が積層された積層体と、積層体の積層方向に沿った四側面にそれぞれ設けられた複数の共通端子と、複数の共通端子と電氣的に接続され、絶縁体層間に設けられた回路パターンとを備えた電子部品が提案されている（例えば、特許文献 1 を参照。）。

30

【0003】

このようなフィルタ部品は積層体の積層方向と垂直な主面を実装面として、配線基板の一主面に実装される。各共通端子は積層体の実装面に設けられており、この実装面を配線基板の一主面に対向させ、共通端子と配線基板の一主面に設けられている複数のランドとを半田接合することによって、フィルタ部品が配線基板上に実装される。

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】特開2006 - 311506号公報

【発明の概要】

40

【発明が解決しようとする課題】**【0005】**

しかしながら、上述した従来の実装構造体においては積層体内の回路パターンと配線基板のランドとが広い面積で対向することに起因して、両者間で大きな容量が発生してしまい、所望する電氣的特性が得られなくなる場合がある。

【0006】

本発明は、以上のような問題点に鑑みて案出されたものであり、その目的は、電子部品を配線基板に実装した際に、不要な容量が発生するのを抑制することが可能な電子部品を提供することにある。

【課題を解決するための手段】

50

【 0 0 0 7 】

本発明の電子部品は、複数の絶縁体層が積層された直方体状の積層体と、該積層体の積層方向に沿った四側面のうち一側面に設けられた外部接続端子と、該外部接続端子と電氣的に接続され、前記絶縁体層間に設けられた回路パターンとを備えているものである。

【 0 0 0 8 】

本発明の電子装置は、上記の電子部品と、一主面に前記外部接続端子と対応する複数のランドを有する配線基板とを有しており、前記電子部品が、前記一側面の前記外部接続端子を前記複数のランドに対向させた状態で前記配線基板の前記一主面上に実装されていることを特徴とするものである。

【 発明の効果 】

10

【 0 0 0 9 】

本発明の電子部品によれば、複数の絶縁体層が積層された直方体状の積層体と、積層体の積層方向に沿った四側面のうち一側面に設けられた外部接続端子と、外部接続端子と電氣的に接続され、絶縁体層間に設けられた回路パターンとを備えていることから、外部接続端子を配線基板の複数のランドに接続する際、外部接続端子が設けられている積層体の一側面を実装面として用いることにより、配線基板のランドに対して回路パターンが対向する面積を小さくすることができる。その結果、回路パターンと複数のランド間で不要な容量が発生するのを抑制できる。

【 図面の簡単な説明 】

【 0 0 1 0 】

20

【 図 1 】 本発明の電子部品の実施の形態の一例を示す斜視図である。

【 図 2 】 本発明の電子装置の実施の形態の一例を示す側面図である。

【 図 3 】 図 2 に示す電子装置の内部構造を模式的に示す分解斜視図である。

【 図 4 】 図 3 に示す電子部品の等価回路図である。

【 図 5 】 本発明の電子部品の実施の形態の他の例である、回路パターンの説明図である。

【 図 6 】 本発明の電子装置の実施の形態の他の例を示す側面図である。

【 図 7 】 本発明の電子部品の実施の形態の他の例を示す分解斜視図である。

【 図 8 】 図 7 に示す回路パターンの等価回路図である。

【 図 9 】 本発明の電子部品の実施の形態の他の例を示す分解斜視図である。

【 図 1 0 】 図 9 に示す回路パターンの等価回路図である。

30

【 図 1 1 】 本発明の電子部品の実施の形態の他の例を示す分解斜視図である。

【 図 1 2 】 図 1 1 に示す回路パターンの等価回路図である。

【 図 1 3 】 従来の電子部品の実施の形態の一例を示す分解斜視図である。

【 図 1 4 】 従来の電子部品の実施の形態の他の例を示す分解斜視図である。

【 図 1 5 】 従来の電子部品の実施の形態の他の例を示す分解斜視図である。

【 発明を実施するための形態 】

【 0 0 1 1 】

以下に、本発明の電子部品の実施の形態の一例について図面を参照しつつ詳細に説明する。

【 0 0 1 2 】

40

図 1 および図 3 に示すように、電子部品 1 は、積層体 2 と、外部接続端子 3 と、電子回路 4 とを備えている。

【 0 0 1 3 】

電子部品 1 は、例えば、携帯電話または小型 P C (Personal Computer) 等の移動体通信機器内部における、 L C D , メモリー部 , R F 回路およびカメラ部等の各構成部への信号を伝送するための信号ライン等で用いられる。この信号ラインには外部からのノイズが混入しやすいので、電子部品 1 は、このノイズを減衰させるノイズフィルタ素子として使用される。また、電子部品 1 は、携帯電話または小型 P C 等の他に、例えば、カーナビゲーションシステムやテレビ等の、一般的に高周波信号が使用されるデジタル機器にも使用される。

50

【0014】

積層体2は、複数の絶縁体層5が積層されて成り、直方体状である。この積層体2は、1層当たり例えば $5\mu\text{m} \sim 300\mu\text{m}$ の厚みに形成された矩形状の複数の絶縁体層5を、例えば2~50層積層して成る直方体状の絶電体ブロックである。

【0015】

また、積層体2の寸法は、積層体2の長辺の長さを、例えば1~3mmとし、積層体2の短辺の長さを、例えば0.5~2mmとし、積層体2の高さを、例えば0.3~2mmとする。

【0016】

絶縁体層5の材料としては、例えば、誘電体セラミック材料が用いられ、必要に応じて焼結助剤、低融点ガラス材料等を用いても良い。誘電体セラミック材料としては、例えば $\text{TiO}_2 - \text{Nd}_2\text{O}_3 - \text{BaTiO}_3$ 系等セラミック材料が用いられる。焼結助剤としては、例えば、 BiVO_4 、 CuO 、 Li_2O 、 B_2O_3 等が用いられる。

10

【0017】

積層体2は、図1に示すように、互いに対向する第1の主面2a及び第2の主面2bと、互いに対向する第1の側面2c及び第2の側面2dと、互いに対向する第3の側面2e及び第4の側面2fとを有する略直方体状に形成されている。

【0018】

回路パターン6は、外部接続端子3と電気的に接続され、絶縁体層5間に設けられている。この回路パターン6は、コンデンサおよびインダクタの少なくとも一部を構成することにより、電子回路4を形成する。

20

【0019】

図3に示す例においては、絶縁体層5a~5iが積層されて積層体2となっている。これら絶縁体層5間に回路パターン6が形成されることにより、電子回路4としてフィルタ回路が形成されている。図3に示す例において、このフィルタ回路において、絶縁体層5a~5f上の回路パターン6a~6fは、絶縁体層5a~5eを貫通するビアホール導体によって、互いに接続されて所定の巻き数を有するコイル状のインダクタ素子L1を構成している。また、絶縁体層5h、5i上の回路パターン6h、6iは第1コンデンサ素子C1を構成している。また、絶縁体層5g、5h上の回路パターン6g、6hは第2コンデンサ素子C2を構成している。

30

【0020】

絶縁体層5a、5i上の回路パターン6a、6iは入力端子3aに接続されている。絶縁体層5f、5g上の回路パターン6f、6gは出力端子3bに接続されている。絶縁体層5h上の回路パターン6hはグランド端子3cに接続されている。

【0021】

なお、図3では、絶縁体層5a~5iを9層用いて積層体2を形成した例を示したが、絶縁体層5a上に、回路パターン6aを覆うようにさらに1又は複数の絶縁体層5を配置させても良い。また、絶縁体層5iの回路パターン6iが形成されていない面に、さらに1又は複数の絶縁体層5が配置されていてもよい。

【0022】

以上の構成の電子回路4は、図4に示すような、両端が一对の入出力端子3a、3bにそれぞれ接続されたインダクタ素子Lと、入力端子3aおよび接地端子3cの間に配置された第1コンデンサ素子C1と、入力端子3bおよび接地端子3cの間に配置された第2コンデンサ素子C2とから成る等価回路として表される。

40

【0023】

絶縁体層5a~5iに形成される回路パターン6a~6iの材料としては、AgまたはAg-Pd合金もしくはAg-Pt合金等のAgを主成分とする合金などから成る導電材料、あるいはCuまたはCu-Zn合金、Cu-Sn合金、Cu-Ag合金もしくはCu-Ni合金等のCuを主成分とする合金などから成る導電材料を用いることができ、各種電極の厚みは、例えば $5\mu\text{m} \sim 25\mu\text{m}$ に適宜設定される。

50

【0024】

外部接続端子3は、図1に示す例では、積層体2の積層方向に沿った四側面のうち一側面2c(第1の側面2c)に設けられている。なお、図1に示す例において積層体2の第1の側面2cに設けられた外部接続端子3は、それぞれ入力端子3a、出力端子3b、グランド端子3cとして機能する。

【0025】

図1に示す例では、外部接続端子3は、積層体2の積層方向に沿って帯状に設けられている。この外部接続端子3は、例えば長さが0.3~2mmであり、幅が0.2mm~0.3mmである。また、外部接続端子3の厚みは、例えば10 μ m~25 μ mである。

【0026】

また、これら外部接続端子3の形状は、第1の側面2cにおいて、積層体2の積層方向に対して斜めである帯状または楕円形状等であってもよいものである。外部接続端子3は、スクリーン印刷又は金属箔の転写等の方法によって形成される。

【0027】

以上の構成の電子部品1は、図2および図3に示すように、一主面に外部接続端子3と対応する複数のランド7a~7cを有する配線基板8に実装される。そして、電子部品1は、一側面(第1の側面2c)の複数の外部接続端子3を複数のランド7a~7cに対向させた状態で配線基板8の一主面上に実装される。

【0028】

電子部品1の実装面は、図2に示すように、第1の側面2cである。このように、電子部品1は、外部接続端子3が第1の側面2cに設けられているので、この側面2cを実装面とできる。

【0029】

このような構成により、配線基板8のランド7に対して回路パターン6が対向する面積を小さくすることができる。その結果、回路パターン6と複数のランド7間で不要な容量が発生するのを抑制できる。

【0030】

配線基板8の材料としては、例えば、酸化アルミニウム質焼結体、窒化アルミニウム質焼結体、ムライト質焼結体、炭化珪素質焼結体、ガラスセラミックス焼結体等のセラミック材料が用いられる。また、ポリイミド樹脂、エポキシ樹脂等の有機樹脂材料を用いてもよい。また、セラミックスまたはガラス等の無機材料をエポキシ樹脂等の有機樹脂材料に混合させて成る複合材等を用いてもよい。

【0031】

ランド7は、外部接続端子3と対応するように、配線基板8の一主面に設けられている。このランド7は、W、Cu、Ag、Au、Pd、Ta、Mn等の金属材料により形成される。このランド7の形成手段としては、メタライズ層、めっき層、蒸着等による金属の薄膜層として外部接続端子3を積層体2に被着させる手段を用いることができる。例えば、W及びAgから成るペーストを配線基板8の一主面となるグリーンシートにメタライズ層として印刷してこれをグリーンシートとともに焼成する方法が用いられる。また、金属箔を転写することによって、ランド7を形成してもよい。

【0032】

ランド7および接続端子3は、接合材(図示せず。)を介して電氣的に接続される。この接合材は、Sn-Ag系またはSn-Ag-Cu系等の半田、Au-Sn等の低融点ろう材、Ag-Ge系等の高融点ろう材、導電性有機樹脂、あるいはシーム溶接・電子ビーム溶接等の溶接法による接合を可能とするような金属材料等により形成されている。

【0033】

また、本例の電子部品1によれば、コンデンサを構成するような面積の広い回路パターン6を、積層方向のどこに位置させたとしても、配線基板8のランド7と回路パターン6との間での不要な容量発生を抑制することができる。よって、電子部品1内の回路を設計する際に、回路パターン6の配置の自由度を向上させることができるので好ましい。

10

20

30

40

50

【 0 0 3 4 】

また、外部接続端子 3 が設けられた一側面は、四側面 2 c ~ 2 f のうちの短辺を有する側面 2 e (2 f) であることが好ましい。この構成により、この短辺を有する側面 2 e (2 f) を配線基板に対する実装面とすることができる。よって、回路パターン 6 の短手方向を配線基板 8 側にすることができる。従って、図 5 に示すように、回路パターン 6 の厚み幅と配線基板 8 のランド 7 との対向領域をさらに減少させることができる。結果、ランド 7 と回路パターン 6 との間における不要な容量の発生をさらに抑制させることができる。

【 0 0 3 5 】

また、図 3 に示す例の回路パターン 6 の、外部接続端子 3 の配列方向の長さは、外部接続端子 1 つ分の幅以下であることが好ましい。これによって、回路パターン 6 の厚み幅と、ランド 7 との対向領域の面積をさらに軽減することができる。よって、ランド 7 と回路パターン 6 との間における不要な容量の発生をさらに抑制させることができる。

10

【 0 0 3 6 】

例えば、外部接続端子 3 の幅は、積層体 2 の外表面に引き出されている部分の回路パターン 6 の幅と略同一であることが好ましい。略同一とは、外部接続端子 3 の幅と回路パターン 6 の引き出し部の幅との差が、外部接続端子 3 の幅の 5 % 以内ということである。外部接続端子 3 の幅を、回路パターン 6 の幅と比較して大きすぎないように制御することで、外部接続端子 3 と回路パターン 6 の厚み幅との対向領域の面積が増大することを抑制できる。よって、外部接続端子 3 と回路パターンとの間における不要な容量発生を抑制させることができる。

20

【 0 0 3 7 】

また、図 3 に示す例においては、外部接続端子 3 は積層方向に沿って延びるように設けられている。このような構成によって、外部接続端子 3 は、積層方向の面積を広くできる。よって、ランド 7 と接続する際に位置ずれによる電気的接続不良を防ぐことができる。

【 0 0 3 8 】

また、例えば、外部接続端子 3 は積層方向に部分的に形成することが好ましい。このような構成によって、他の回路パターンの厚み幅との間で、不要な容量の発生を抑制できる。

【 0 0 3 9 】

なお、このときの配線基板 8 の複数のランド 7 は、積層体 2 の積層方向に沿って延びていることが好ましい。この構成によれば、前述したように積層方向に延びている外部接続端子 3 とランド 7 との接触面積を増大できる。よって、両者間の電気抵抗を軽減することができる。

30

【 0 0 4 0 】

電子部品 1 は、以下に示すようなセラミックグリーンシート積層法によって作製される。

【 0 0 4 1 】

具体的には、まず、例えば $TiO_2 - Nd_2O_3 - BaTiO_3$ から成る誘電体セラミック材料粉末に適当な有機溶剤等を添加し混合して泥漿状にするとともに、ドクターブレード法等を用いることによってセラミックグリーンシートを形成する。

40

【 0 0 4 2 】

次に、得られたセラミックグリーンシートにスクリーン印刷法等によって、各種回路パターン 6 a ~ 6 i を形成して、これらを積層し圧着して積層体 2 の成形体を形成する。

【 0 0 4 3 】

次に、この積層体 2 の成形体を所定の大きさに分割して、800 ~ 1050 で焼成することにより焼結した積層体 2 が得られる。

【 0 0 4 4 】

次に、得られた積層体 2 の角部に、マイクロクラックの除去および欠けの発生を防止する目的で、パレル研磨等による面取りを施す。

50

【0045】

次に、面取りが施された積層体2の表面に、Ag, Ag-Pd合金またはAg-Pt合金等から成る導電材料から成るランド端子3cおよび入出力端子3a、3bを形成する。このとき、ランド端子3cおよび入出力端子3a、3bとなる導体ペーストを、積層体2の表面にスクリーン印刷法等によって所定パターンに塗布する。次に、導体ペーストが塗布された積層体2を焼成して、ランド端子3cおよび入出力端子3a、3bを形成する。そして、ランド端子3cおよび入出力端子3a、3bの表面に、必要に応じてNiメッキ層, Auメッキ層, Snメッキ層または半田メッキ層等のメッキ層を形成して、電子部品1を得る。

【0046】

なお、本発明は上述した実施の形態の例に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更, 改良等が可能である。

【0047】

例えば、図6に示すように、外部接続端子3を、積層体2の一側面(2c)に設け、他の外部接続端子3を一側面(2c)に隣接する側面(2f、2e)に設けるとともに、他の外部接続端子3と電氣的に接続されるランド7は、平面視で積層体2と重ならないように配置されていることが好ましい。

【0048】

このような構成によって、他の外部接続端子3と接続されるランド7は、積層体2内の回路パターン6の厚み幅と対向しなくなるので、不要な容量の発生をさらに抑制させることができる。

【0049】

なお、図6に示す例においては、他の外部接続端子3とランド7とは、前述したのと同様の材料から成る接合材9を介して接続されている。

【0050】

図7と図13とは、ともに図8に示した等価回路を構成する。図9と図14とは、ともに図10に示した等価回路を構成する。図11と図15とは、ともに図12に示した等価回路を構成する。

【0051】

このように、図7、図9、図11に示す例の電子部品と、図13～図15に示す例の従来の電子部品とは、等価回路は同じであるが、外部接続端子3が積層体2の一側面2cに設けられている点異なる。これによって、上述したように、配線基板8のランド7に対して回路パターン6が対向する面積を小さくすることができる。その結果、回路パターン6と複数のランド7間で不要な容量が発生するのを抑制できる。さらに、図7、図9、図11に示す例においては、外部接続端子3と、回路パターン6とが、ビアホール導体を介することなく電氣的に接続されている構成となる。よって、積層体2中に存在するビアホール導体は、異なる絶縁体層5間の回路パターン6同士を接続するものに限られる。他方、図13～図15に示す例においては、外部接続端子3が積層体2の主面に設けられているので、外部接続端子3と、回路パターン6とが、ビアホール導体を介して接続されている。結果、図7、図9、図11に示す例の構成によれば、図13～図15と比較して、積層体2中において外部接続端子3と回路パターン6とを接続するビアホール導体の分だけ、ビアホール導体の全体の数を減少させることができる。

【0052】

例えば、図13～図15においては、回路パターン6aと外部接続端子3aとを接続するために、絶縁体層5a～5iを貫通するビアホール導体を設けているが、図7、図9、図11に示す例の構成によれば、回路パターン6aを外部接続端子3aに直接接続させているので、その分ビアホール導体を省略している。よって、図13～図15と比較して、積層体2中のビアホール導体の数を減少させることができる。

【0053】

このように、積層体2中のビアホール導体の数を減少させることができれば、回路パタ

10

20

30

40

50

ーン 6 の形成可能な面積を広くできるので、回路パターン 6 の設計の自由度が向上する。
また、同じ大きさの回路パターン 6 を形成するにしても、回路パターン 6 の形成面積を小さくできるので、積層体 2 の小型化を図ることができる。

【符号の説明】

【 0 0 5 4 】

1 : 電子部品

2 : 積層体

3 (3 a ~ 3 c) : 外部接続端子

4 : 電子回路

5 (5 a ~ 5 i) : 絶縁体層

6 (6 a ~ 6 i) : 回路パターン

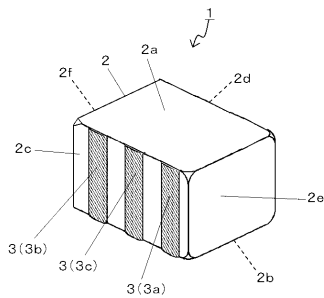
7 (7 a ~ 7 c) : ランド

8 : 配線基板

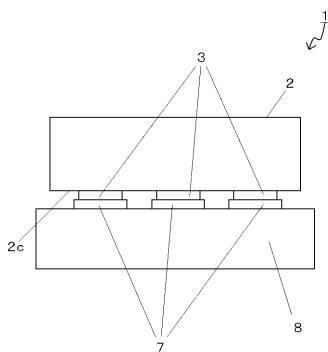
L (L 1 , L 2) : インダクタ素子

C (C 1 , C 2) : コンデンサ素子

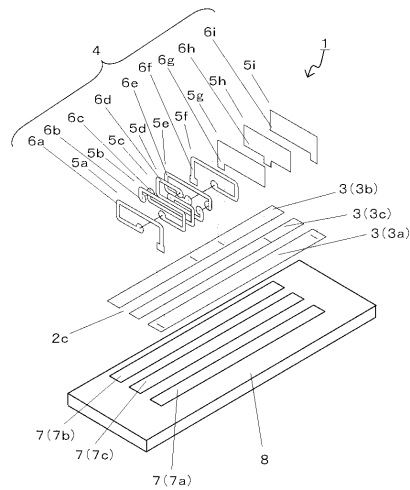
【 図 1 】



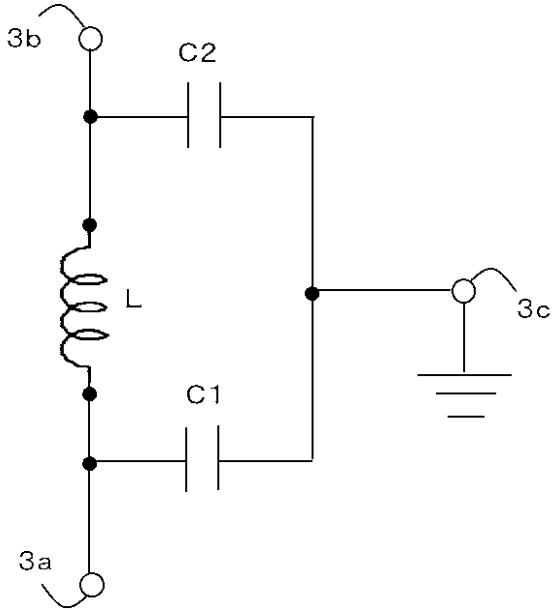
【 図 2 】



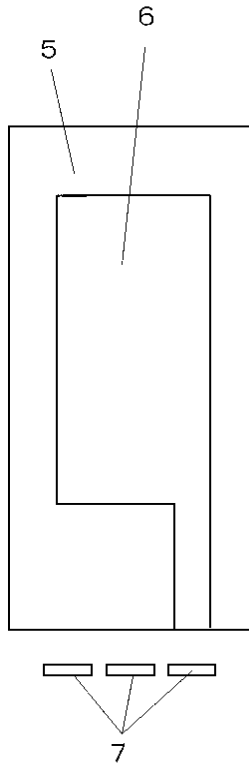
【 図 3 】



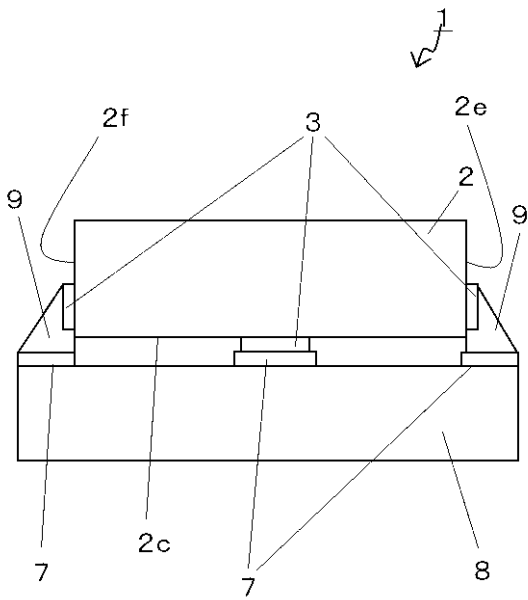
【図4】



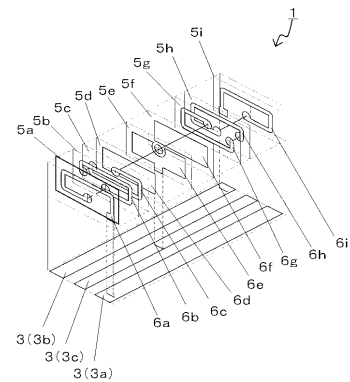
【図5】



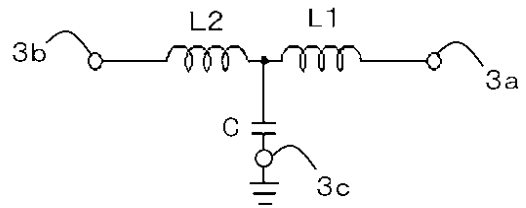
【図6】



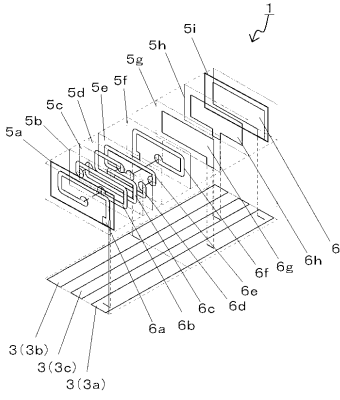
【図7】



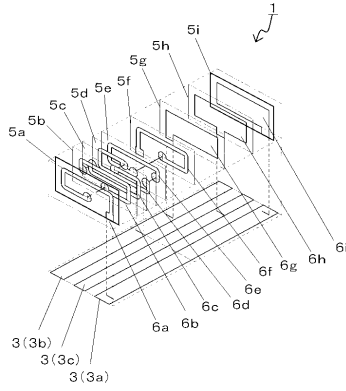
【図8】



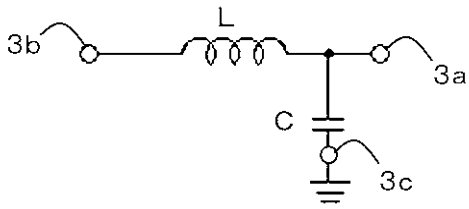
【図 9】



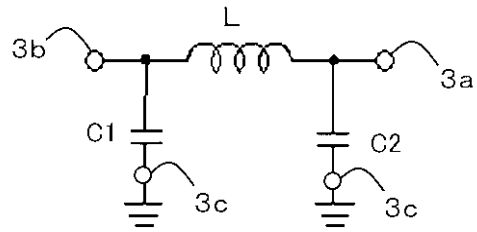
【図 11】



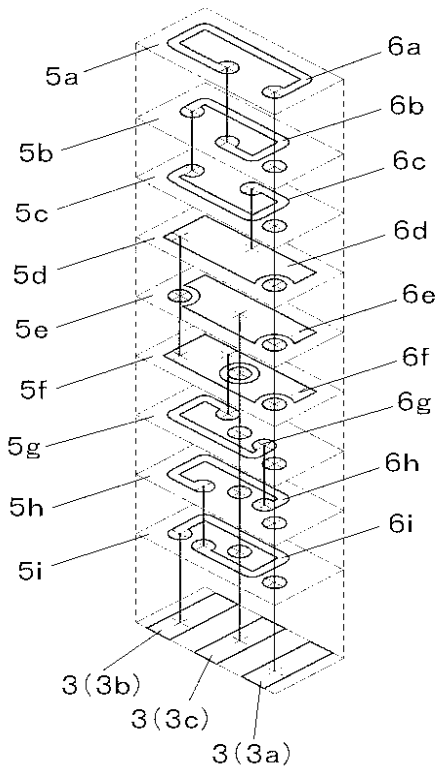
【図 10】



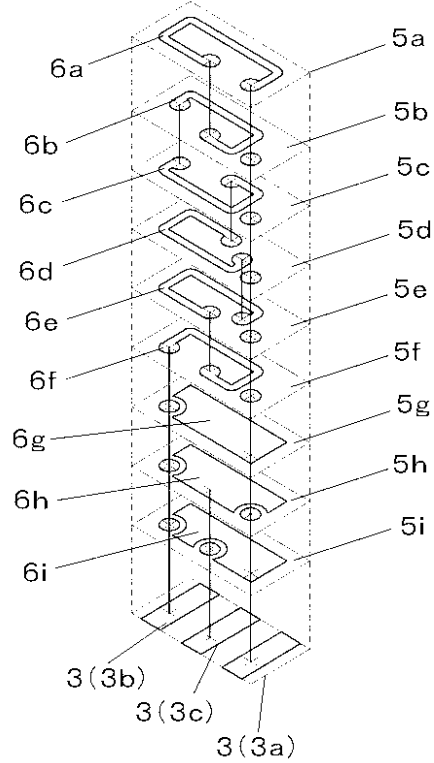
【図 12】



【図 13】



【図 14】



【 図 15 】

