

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁶
H01L 21/768

(45) 공고일자 2005년05월18일
(11) 등록번호 10-0474953
(24) 등록일자 2005년02월24일

(21) 출원번호	10-1996-0005070	(65) 공개번호	10-1996-0032687
(22) 출원일자	1996년02월28일	(43) 공개일자	1996년09월17일

(30) 우선권주장	95-064905	1995년02월28일	일본(JP)
(73) 특허권자	텍사스 인스트루먼트 인코퍼레이티드 미국 텍사스주 75265 달라스 노스센트럴 익스프레스웨이 13500		
(72) 발명자	구리노 히로유키 일본국302-12이바라끼우시꾸이시즈까코오프E-8 미야이 요이끼 일본국 302 이바라키 토리데 니시 1-6-C303 오가따 요시히로 일본국 300 이바라끼 가미타까즈 신마찌 8-21		
(74) 대리인	주성민		

심사관 : 반성원

(54) 반도체장치및그제조방법

요약

제1 및 제2 도전 영역[소스 영역(3), 게이트 전극(10) 및 드레인 영역(4)]들이 상기 도전 영역들의 상부에 형성된 절연층(7) 내에 접속홀(33 내지 35, 37 및 39)들을 통하여 하부 배선(38) 및 상부 배선(42)에 각각 접속되도록 하는 구조를 갖는 반도체 장치로서, 상기 제1 및 제2 도전 영역들상의 상기 접속홀들은 공유 절연층(7)을 통하여 형성되는 반도체 장치가 개시된다. 그 효과로서는 적은 수의 단계를 사용하여 접속홀들을 형성하고, 또 비용 및 사이클 타임을 감소시키는 것이 가능해진다. 또한, 본 발명은 접속홀들의 크기가 위치 쉬프팅이 거의 없이 최소로 감소될 수 있기 때문에 크기 감소에 효과적이다.

대표도

도 10

명세서

도면의 간단한 설명

제1도는 본 발명의 일 실시예의 MOS 장치용 제조 방법의 일 단계에 대한 확대 단면도.

제2도는 본 발명의 일 실시예의 제조 방법의 다른 단계의 확대 단면도.

제3도는 본 발명의 일 실시예의 제조 방법의 다른 단계의 확대 단면도.

제4도는 본 발명의 일 실시예의 제조 방법의 다른 단계의 확대 단면도.

- 제5도는 본 발명의 일 실시예의 제조 방법의 다른 단계의 확대 단면도.
 제6도는 본 발명의 일 실시예의 제조 방법의 다른 단계의 확대 단면도.
 제7도는 본 발명의 일 실시예의 제조 방법의 다른 단계의 확대 단면도.
 제8도는 본 발명의 일 실시예의 제조 방법의 역시 다른 단계의 확대 단면도.
 제9도는 본 발명의 다른 응용 실시예의 MOS 장치용 제조 방법의 일 단계에 대한 확대 단면도.
 제10도는 본 발명의 다른 응용 실시예의 제조 방법의 다른 단계의 확대 단면도.
 제11도는 본 발명의 다른 실시예의 MOS 장치용 제조 방법의 단계에 대한 확대 단면도.
 제12도는 본 발명의 다른 실시예의 제조 방법의 다른 단계의 확대 단면도.
 제13도는 본 발명의 다른 실시예의 제조 방법의 다른 단계의 확대 단면도.
 제14도는 본 발명의 다른 실시예의 제조 방법의 다른 단계의 확대 단면도.
 제15도는 본 발명의 다른 실시예의 제조 방법의 다른 단계의 확대 단면도.
 제16도는 본 발명의 다른 실시예의 제조 방법의 다른 단계의 확대 단면도.
 제17도는 본 발명의 다른 실시예의 MOS용 제조 방법의 다른 단계의 확대 단면도.
 제18도는 본 발명의 다른 실시예의 MOS용 제조 방법의 다른 단계의 확대 단면도.
 제19도는 본 발명의 다른 실시예의 MOS용 제조 방법의 역시 다른 단계의 확대 단면도.
 제20도는 종래의 비교 실시예의 MOS 장치용 제조 방법의 단계에 대한 확대 단면도.
 제21도는 종래의 비교 실시예의 제조 방법의 다른 단계의 확대 단면도.
 제22도는 종래의 비교 실시예의 제조 방법의 다른 단계의 확대 단면도.
 제23도는 종래의 비교 실시예의 제조 방법의 다른 단계의 확대 단면도.
 제24도는 종래의 비교 실시예의 제조 방법의 다른 단계의 확대 단면도.
 제25도는 종래의 비교 실시예의 제조 방법의 역시 다른 단계의 확대 단면도.

도면의 주요 부분에 대한 부호의 설명

- 1 : 실리콘 기판
 3 : n^+ 소스 영역
 4 : n^+ 드레인 영역
 7, 40, 57, 60 및 67 : 절연층
 10 : 게이트 전극
 11, 54 : 측벽
 32, 59, 72 : 마스크
 33, 34, 35, 36, 37, 39, 73, 74 및 75 : 콘택트 홀
 36, 86 : 도전 재료

38 : 하부 배선

42 : 상부 배선

50, 76 : 관통홀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치(특히 다층 배선 구조를 갖는 트랜지스터로 구성된 IC) 및 그 제조 방법에 관한 것이다.

현재까지, 다층 배선 구조는 MOS 트랜지스터(Metal Oxide Semiconductor: MOS)로 구성된 IC에 광범위하게 사용되었으며, 또 장치 설계시 근본적인 형태가 되어 왔다.

제20도 내지 제25도는 이러한 다층 배선 구조와 관련된 제조 공정을 도시한다.

먼저, 제20도에 도시한 바와 같이, 폴리실리콘 게이트 전극(10)이 p⁻ 실리콘 기판(1)로부터 게이트 산화막(5)에 의해 이격되어 그 주표면 상에 형성된다. n⁺ 소스 영역(3) 및 드레인 영역(4)들이 상기 게이트 전극의 양쪽 측면상에 불순물 확산 방법을 사용하여 형성된다. 또한, 산화막(SiO₂), 질화막(Si₃N₄) 등으로 구성된 측벽(11)이 게이트 전극(10)의 측면에 형성된다.

다음으로, 콘택트 홀 형성에 사용되는 마스크(12, 포토 레지스트와 같은 마스크)가 SiO₂ 등으로 구성된 절연층(7)의 상부에 소망 패턴으로 형성되는데, 상기 절연층은 CVD(Chemical Vapor Deposition)에 의하여 표면 전체에 형성된다. 이는 제21도에 도시된 바와 같이 절연층(7)을 에칭하여 콘택트 홀(13, 14 및 15)을 형성하는 데에 사용된다.

다음으로, 제22도에 도시한 바와 같이, 콘택트 홀들은 도전 재료인 알루미늄(16)으로 채워진 후[이러한 공정 동안 절연층(7)에 달라붙는 알루미늄은 에칭에 의하여 제거된다], 하부 전극 재료의 역할을 하는 알루미늄(17)이 스퍼터링(sputtering)등에 의하여 표면 전체에 피착된다.

상기 공정은 알루미늄과 같은 금속이 n⁺ 확산 영역(3 및 4)과 폴리실리콘 게이트 전극(10)에 직접 접속된 경우에 관한 것이다. 알루미늄과 같은 금속이 n⁺ 확산 영역(3 및 4)과 폴리실리콘 게이트 전극(10)에 접속되는 경우에, 상기 금속은 상기 확산 영역(3 및 4) 또는 폴리실리콘 게이트 전극(10)의 상부에 티타늄 질화물(Ti/TiN) 또는 티타늄 실리사이드(TiSi₂)와 같은 장벽 금속(barrier metal)을 먼저 피착시킨 후에 접속된다는 사실을 주목해야 한다.

다음으로, 제23도에 도시한 바와 같이, 게이트 전극(10)과 소스 영역(3), 및 드레인 영역(4)에 하부 전극(18 및 19)을 각각 접속시키기 위해 하부 전극 재료가 포토리쓰그래피(photolithography)에 의하여 패턴링된다.

다음으로, 제24도에 도시한 바와 같이, SiO₂ 등으로 구성되고 전체 표면상에 CVD에 의하여 피착된 절연층(20)상에서 드레인 영역(4)의 상부에 배치된 전극(19)을 부분 노출시키기 위하여 관통홀(21)이 형성된다.

다음으로, 제25도에 도시한 바와 같이 상부 전극 재료의 역할을 하는 알루미늄이 관통홀(21)을 포함하는 영역의 상부에 스퍼터링 등에 의하여 피착된다. 다음으로, 상기 알루미늄은 상부 전극(22)을 형성하도록 패턴링된다.

이러한 방식으로, 게이트 전극(10) 및 소스 영역(3)들은 하부 전극(18)에 의하여, 드레인 영역(4)은 상부 전극(22) 및 하부 전극(19)에 의하여 도출되는 다층 배선 구조가 마련된다.

그러나, 상기 다층 배선 구조를 사용하는 경우, 제1층 배선을 위하여 절연층(7)상에 콘택트 홀(13 내지 15)을 형성하고, 또 제2층 배선을 위하여 절연층(20)상에 관통홀(21)을 형성하는 것이 요구되기 때문에, 고정밀 패턴링 및 에칭 단계가 상기 홀들을 형성하기 위하여 2번 수행되어야만 한다. 이는 고 비용 및 더 길어진 사이클 타임(cycle time)의 결과를 가져오는 요인이 된다. 이러한 결점은 배선층의 수가 2개 내지 3개 및 4개층으로 증가됨에 따라 최근 더 악화되고 있다.

본 발명의 목적은 단계의 수를 감소시키거나 또는 최소한 증가시키지 않으면서 고정밀 접속을 얻을 수 있는 다층 배선 구조를 갖는 반도체 장치 및 제조 방법을 제공하는 것이다.

보다 상세하게는, 본 발명은 제1 및 제2 도전 영역들이 상기 도전 영역의 상부에 형성된 절연층의 접속홀을 통하여 하부 배선 및 상부 배선에 각각 접속되며, 상기 제1 및 제2 도전 영역들상의 상기 접속홀들이 공유 절연층을 통하여 형성되도록 하는 구조를 갖는 반도체 장치에 관한 것이다.

또한, 본 발명의 반도체 장치를 사용하면 상기 제1 및 제2 도전 영역상의 접속홀들이 하부 배선 재료로 채워지는 것이 가능해진다.

또한, 본 발명의 반도체 장치를 사용하면 상기 상부 배선 및 상기 하부 배선들이 상기 제1 또는 제2 도전 영역을 통하여 전기적으로 접속되는 것이 허용된다.

또한, 본 발명은 제1 도전 영역; 제1 절연층에 의하여 상기 제1 도전 영역으로부터 이격되도록 상기 제1 도전 영역 상부에 형성된 제2 도전 영역; 제2 절연층에 의하여 상기 제2 도전 영역으로부터 이격되도록 상기 제2 도전 영역상에 형성된 제3 및 제4 도전 영역; 상기 제2 및 제1 절연층을 통하여 상기 제1 도전 영역에 연장되는 제1 접속홀; 및 상기 제2 절연층을 통하여 상기 제2 도전 영역에 연장되는 제2 접속홀을 포함하는 반도체 장치를 제공한다. 상기 제1 도전 영역 및 상기 제3 도전 영역들은 상기 제1 접속홀을 통하여 접속되며, 상기 제2 도전 영역 및 제4 도전 영역들은 상기 제2 접속홀을 통하여 접속된다.

이러한 경우, 상기 제1 도전 영역은 반도체 기판의 주표면상에 형성된 도전 영역일 수 있고, 또 상기 제2, 제3, 및 제4 도전 영역들은 배선층인 것이 가능하다.

또한, 본 발명은 제1 절연층을 제1 및 제2 도전 영역의 상부에 형성하는 단계; 상기 제1 절연층을 통하여 상기 제1 및 제2 도전 영역들에 연장되는 제1 및 제2 접속홀을 형성하는 단계; 제2 도전 재료(이는 상기 제1 도전 재료와 다르거나 또는 그와 동일한 재료일 수 있다)로 구성되며, 또 상기 제1 절연층 상부에 상기 제1 도전 재료를 피착시킴으로써 제1 도전 재료로 채워진 제1 접속홀을 통하여 상기 제1 도전 영역에 접속된 제1 배선을 형성하고 또 상기 제1 도전 재료로 채워진 제2 접속홀을 형성하는 단계; 제2 절연층이 상기 제1 배선의 상부에 형성되는 단계; 및 상기 제2 절연층의 상부에 제3 도전 재료로 구성되며 상기 제1 도전 재료로 채워진 상기 제2 접속홀을 통하여 상기 제2 도전 영역에 전기적으로 접속된 제2 배선을 형성하는 단계를 포함하는 반도체 장치 제조 방법을 제공한다.

또한, 본 발명은 제1 절연층을 제1 도전 영역의 상부에 형성하는 단계; 제2 도전 영역을 상기 제1 절연층의 상부에 형성하는 단계; 제2 절연층을 상기 제2 도전 영역의 상부에 형성하는 단계; 상기 제2 및 제1 절연층을 통하여 상기 제1 도전 영역에 연장되는 제1 접속홀을 형성하며, 또 상기 제2 절연층을 통하여 상기 제2 도전 영역에 연장되는 제2 접속홀을 형성하는 단계; 및 상기 제1 및 제2 접속홀들을 도전 재료로 채우고, 또 제3 및 제4 도전 영역들을 상기 제1 및 제2 접속홀들에 각각 접속되도록 형성하는 단계를 포함하는 반도체 장치 제조 방법을 제공한다.

이러한 경우, 제3 절연층을 상기 제3 및 제4 도전 영역의 상부에 형성하는 단계; 제3 접속홀을 상기 제3 및 제2 절연층을 통하여 상기 제2 도전 영역에 연장되도록 형성하는 단계; 및 상기 제3 접속홀을 도전 재료로 채우고, 또 제5 도전 영역을 상기 제3 접속홀을 통하여 상기 제2 도전 영역에 접속되도록 형성하는 단계를 포함할 수 있다.

본 발명의 실시예들을 아래에 설명할 것이다.

제1도 내지 제8도는 본 발명이 MOS 장치에 응용된 제1 실시예를 도시한다.

본 실시예에서 얻어지는 장치의 구조를 그 제조 공정을 참조하여 설명할 것이다. 먼저, 제1도에 도시한 바와 같이, 폴리실리콘 게이트(10)가 필드 SiO_2 막(2)에 의하여 분리(partition)된 장치 영역 내의 게이트 산화막(5)에 의하여 p^- 실리콘 기판(1)로부터 이격되도록 p^- 실리콘 기판(1)의 주표면상에 형성된다. n^+ 소스 영역(3)과 드레인 영역(4)들이 상기 게이트 전극의 양쪽에 불순물 확산에 의하여 형성된다. 또한, 산화막(SiO_2), 질화막(Si_3N_4) 등으로 구성된 측벽(11)이 상기 게이트 전극(10)의 측면에 형성된다. 상기 측벽(11)을 포함하는 상기 게이트 전극(10)은 배선 역할을 하도록 상기 필드 SiO_2 막(2)의 상부에 제공된다는 사실을 주목해야만 한다.

다음으로, 콘택트 홀 형성에 사용되는 (포토 레지스트와 같은) 마스크(32)는 SiO_2 등으로 구성되는 절연층(7)의 상부에 소망 패턴으로 형성되는데, 상기 절연층은 CVD(화학 기상 증착)에 의하여 표면 전체에 형성된다. 이는 콘택트 홀(33, 34, 35, 37 및 39)을 형성하도록 제2도에 도시한 바와 같이 절연층(7)을 에칭하는데 사용된다.

다음으로, 제3도에 도시한 바와 같이, 상기 마스크(32)가 제거된 후, 도전 재료인 폴리실리콘(36)이 모든 콘택트 홀을 포함하여 표면 전체에 피착된다.

다음으로, 제4도에 도시한 바와 같이, 표면상의 도전 재료를 제거하도록 에칭이 수행됨으로써, 콘택트 홀(33 내지 35, 37 및 39) 내에만 도전 재료가 [플러그(plug)로서] 남겨지게 된다. 다음으로, 하부 전극 재료로서의 역할을 하는 알루미늄(38) 및 SiO_2 절연층(60)들이 스퍼터링 및 CVD에 의한 순서에 따라 각각 박막으로 형성된다.

다음으로, 하부 전극 형성에 사용되는 (포토 레지스트와 같은) 마스크(59)가 제5도에 도시한 바와 같은 소망 패턴으로 형성되어, 상부에 SiO_2 층(60)이 놓여 있는 하부 배선(38)을 형성하도록 하는 에칭에 사용된다. 또한, 상기 도전 재료(36)는 콘택트 홀(35 및 37) 내에 콘택트 홀 플러그로서 남겨지는 것이 역시 허용된다.

다음으로, 제6도에 도시한 바와 같이, SiO_2 등으로 구성된 층간 절연막(40)이 플러그의 역할을 하는 도전 재료(36)로부터 하부 전극(38)을 분리시키도록 형성된다. 다음으로, 제7도에 도시한 바와 같이, 측벽(54)으로 하부 배선(38)의 측면을 덮도록 에칭이 수행된다. 또한, 콘택트 홀(35 및 37) 내의 도전 재료(36)는 측벽(54)이 존재하지 않는 관통홀(50)에 노출된다.

다음으로, 제8도에 도시한 바와 같이, 상부 전극 재료로서의 역할을 하는 알루미늄(42)이 피착된다. 상부 전극 재료의 패터닝 및 표면 절연층의 피착과 같은 후속 단계들이 장치를 완성하도록 수행된다.

이러한 방식으로, 절연층(60 및 54)이 게이트 전극(10) 및 소스 영역(3)에 접속된 하부 배선(38)을 드레인 영역(4)에 접속된 상부 전극(42)으로부터 분리시키는 역할을 하는 다층 배선 구조가 가능하게 된다. 이러한 공정은 다음과 같은 신규한 장점을 갖는다.

(1) 공유 절연층(7)상에 콘택트 홀(33, 34 및 39) 뿐만 아니라 콘택트 홀(35 및 37)의 형태로 하부 배선(38) 및 상부 배선(42)에 대한 접속홀을 형성하는 공정 동안, 공유 마스크(32, 제2도 참조)가 그들을 형성하는데 사용된다. 또한, 하부 배선용으로 사용되는 도전 재료(36)는 하부 배선(38)의 패터닝 공정 동안 플러그로서 남겨질 수 있으며(제5도 참조), 상부 배선(42)은 측벽 기법(sidewall technology)을 사용하여 형성된 관통홀(50)에 피착된다. 따라서, 마스크, 패터닝 및 에칭의 한 사이클을 통하여 콘택트 홀을 형성하는 것이 가능하게 된다. 또한, 마스크를 사용하지 않고 상부 배선 관통홀을 형성하는 것이 가능하게 된다. 따라서, 요구되는 단계의 수를 최소한 2단계만큼 감소시키는 것이 가능하게 된다. 또한, 비용 및 사이클 타임이 감소되는 것이 가능하다.

(2) 위치 쉬프팅(positional shifting) 없이 고정밀 콘택트 및 관통홀을 형성하는 것이 가능하기 때문에, 홀들은 그들 사이에 좁은 간격을 갖는 최소 크기로 형성될 수 있다. 이는 칩 크기 및 장치 크기를 감소시키는 장점이다.

(3) 하부 배선(제1층 배선)을 통과하지 않고 상부 배선(제2층 배선)을 실리콘 기판상에 형성된 트랜지스터등에 직접 접속시키는 것이 가능하다. 따라서, 반도체 장치 배선용 레이아웃 규칙의 제한들이 이에 따라 경감된다.

(4) 상부 배선(제2층 배선) 및 하부 배선(제1층 배선)들이 하부층 배선을 통하여 접속될 수 있기 때문에, 종래의 장치에서는 배선이 형성되지 않은 빈 공간인 층간 절연막의 상부 및 필드 SiO_2 막의 상부를 배선 형성 영역으로서 사용하는 것이 가능하게 된다. 이는 레이아웃 규칙 제한을 경감시키며, 칩 표면 영역을 감소시킨다.

비록 본 발명이 상부 배선 및 하부 배선들이 필드 SiO_2 막상의 배선을 통하여 접속되는 경우에 관한 것일 지라도, 다이내믹 DRAM의 비트 라인, 기억 라인, 플레이트 전극 등으로서 동일층상에 형성된 배선을 통하여 상기 상부 배선 및 상기 하부 배선을 접속시키는 것 역시 가능하다.

제9도 및 제10도는 본 발명이 MOS 장치에 응용된 제2 실시예를 도시한다.

본 실시예는 배선 재료 자체가 콘택트 홀에 대해 플러그 재료로서 사용된다는 점에서 상기 제1 실시예와 다르다.

보다 상세하게는, 제9도에 도시한 바와 같이, 상기 제1 실시예에 대해 제3도 및 제4도에 도시된 단계에 해당하는 단계에서, 절연층(7)상에 형성된 콘택트 홀(33 내지 35, 37 및 39)들은 알루미늄과 같은 하부 배선 재료(38)가 피착되는 때 플러그를 생성하도록 하부 배선 재료로서 채워진다.

따라서, 제10도에 도시한 바와 같이, 최종적으로 얻어진 다층 배선 구조에서는 하부 배선 재료(38)가 콘택트 홀(35 및 37)상에 남겨지게 되는데, 이들을 통하여 알루미늄등으로 구성된 상부 배선(42)은 접속을 형성하도록 피착된다.

따라서, 하부 배선 재료 자체가 플러그 재료로서 사용되기 때문에, 상술한 제1 응용 실시예와 비교하여 플러그를 채우기 위하여 요구되는 단계의 수를 더 감소시키는 추가 장점을 얻는 것이 가능하다.

제11도 내지 제16도는 본 발명이 MOS 장치에 응용된 제3 실시예를 도시한다.

본 실시예에서 얻어진 장치의 구조를 그 제조 공정을 참조하여 설명할 것이다. 먼저, 제11도에 도시한 바와 같이, 폴리실리콘 게이트(10)가 게이트 산화막(5)에 의하여 p^- 실리콘 기판(1)으로부터 이격되도록 p^- 실리콘 기판의 주표면상에 형성된다. n^+ 소스 영역(3) 및 드레인 영역(4)들은 상기 게이트 전극의 양쪽에 불순물 확산에 의하여 형성된다. 또한, 산화막(SiO_2), 질화막(Si_3N_4) 등으로 구성된 측벽(11)이 게이트 전극(10)의 측면에 형성된다.

다음으로, 제12도에 도시한 바와 같이, 알루미늄 등으로 구성된 하부 배선(38)이 SiO_2 등으로 구성된 절연층(57)의 상부에 형성되는데, 상기 절연층은 CVD(Chemical Vapor Deposition)에 의해 표면 전체 상에 형성된다. 이러한 하부 배선은 종래의 포토리소그래피를 사용하여 형성될 수 있다.

다음으로, 제13도에 도시한 바와 같이, SiO_2 등으로 구성된 절연층(67)이 CVD에 의해 표면 전체 상에 형성된다.

다음으로, 제14도에 도시한 바와 같이, 콘택트 홀 형성용 마스크(72)가 소망 패턴으로 형성되어 콘택트 홀(73, 74 및 75) 및 관통홀(76)을 형성하도록 절연층(67 및/또는 57)을 에칭하는데 사용된다.

다음으로, 제15도에 도시한 바와 같이, 상기 마스크(72)가 제거된 후, 알루미늄과 같은 도전 재료(86)가 모든 콘택트 홀들을 포함하여 표면 전체 상에 피착된다. 그 다음으로, 상기 도전 재료는 콘택트 홀들이 상기 도전 재료가 플러그로서 채워지도록 에치 백(etch back)된다. 다음으로, 상부 배선으로서의 역할을 하는 알루미늄(42)이 스퍼터링에 의해 표면 전체 상에 피착된다. 이러한 공정 동안, 상부 배선 재료(42)가 플러그(86)를 통하여 기판(1)의 상부의 하부 배선(38) 및 도전 영역에 접속된다.

다음으로, 제16도에 도시한 바와 같이, 상부 배선(42)에 대해 상부 배선 재료를 패터닝시킨다. 이러한 방식으로, 게이트 전극(10) 및 소스 영역(3)들이 플러그(86) 및 상부 배선을 통하여 하부 배선(38)에 접속되면서도 드레인 영역(4)은 플러그(86)를 통하여 상부 배선(42)에 접속된 다층 배선 구조를 제조하는 것이 가능하게 된다.

본 실시예에서는 상부 및 하부 배선용 콘택트 홀(73 내지 75)들이 공유 절연층(67 및 57)에 동시에 형성되기 때문에 [관통홀(76)도 역시 동시에 형성된다], 상기 제1 실시예에 관하여 설명된 효과와 동일한 효과를 얻는 것이 가능하게 된다. 또한, 하부 배선에 대한 접속이 상부 배선을 통하여 이루어지는 다층 배선 구조를 얻는 것이 가능하게 된다.

콘택트 홀(73 내지 75)들이 제15도에 도시한 바와 같이 매우 깊게 형성된다는 점을 주목해야만 한다. 따라서, 플러그(86, 알루미늄)로 그들을 적절하게 채우기 위하여는 AI 리플로우(AI reflow)와 같은 기법을 사용하는 것이 효과적이다.

보다 상세하게는, 비록 AI 리플로우(ETM: Enhanced Transfer Mobility)를 사용하여 깊은 콘택트 홀 또는 관통홀을 알루미늄으로 채우는 것이 통상적으로는 어렵다고 하더라도, 알루미늄으로 깊은 콘택트 홀 및 관통홀을 채우는 것이 가능하다. 먼저, 알루미늄이 55 - 65 Mpa의 압력 및 350 - 450°C의 온도의 조건하에서 아르곤등을 포함하는 분위기에서 피착 및 처리된다. 이러한 방식으로, 0.5 μ m이하(심지어는 0.25 μ m이하)인 직경을 갖는 관통홀 또는 콘택트 홀들을 완전히 채우기 위하여 알루미늄을 사용하는 것이 가능한데, 이때 에스펙트비(홀의 깊이에 대한 직경비)는 3이상이다.

제17도는 본 발명이 MOS 장치에 응용되는 제4 실시예를 도시한다.

본 응용 실시예에 따르면, 절연층(57)상에 콘택트 홀(33, 34 및 35)을 동시에 형성하는 것이 가능하다. 또한, 전극 도전 재료(36)로 콘택트 홀들을 채우는 단계까지의 단계들은 제1 실시예에 대해 제1도 내지 제4도에 도시된 단계들과 동일할 수 있다.

다음으로, 하부 배선(38)이 플러그(36)에 접속되도록 소망 패턴으로 절연층(57)상에 형성되며, 상부 배선(42)이 CVD에 의해 형성된 절연층(67)상에 소망 패턴으로 형성된다. 다음으로, 관통홀(67, 80, 81 및 82)들이 절연층(67) 및/또는 절연층(77)상에 형성되는데, 상기 절연층(77)은 절연층(67)상에 CVD에 의하여 형성된다. 상기 관통홀들은 도전 재료(96)로 채워지며, 제3층 배선(83)이 절연층(77)상에 소망 패턴으로 형성된다.

이러한 방식으로, 하부 배선(38 또는 42)이 절연층에 의하여 상부 배선(42 또는 83)으로부터 절연되어 이격되는 다층 배선 구조를 제조하는 것이 가능하다. 이러한 실시예에서, 배선 콘택트 홀(33 내지 35) 및 관통홀(80 내지 82)들은 절연층(57 또는 67 및 77)상에 동시에 형성된다. 따라서, 2개 이상의 배선층(본 실시예에서는 3개층)들이 존재한다 하더라도, 더 적은 단계 수로 고정밀 콘택트를 얻는 것이 가능하게 된다.

제18도 및 제19도는 본 발명이 MOS 장치에 응용된 다른 응용 실시예를 도시한다.

제8도에 도시된 응용 실시예의 배선 구조에서는 게이트 전극(10)이 하부 배선(38)을 통하여 소스 영역(3)에 접속되며, 하부 배선(38) 및 상부 배선(42)들은 필드 SiO₂막(2)상의 게이트 전극(10)을 통하여 접속된다. 제18도에 도시한 바와 같이, 하부 배선(38)이 게이트 전극(10)용 부분과 소스 영역(3)용 부분으로 분할되는 배선 구조를 사용하는 것이 역시 가능하다. 이들은 측벽(54)에 의하여 분리된다. 또한, 제16도에 도시된 배선 구조에서는 게이트 전극(10)이 상부 배선(42)을 통하여 소스 영역(3)에 접속된다. 제19도에 도시한 바와 같이, 이들이 서로 분리된 배선 구조를 사용하는 것이 역시 가능하다.

상술한 응용 실시예들은 알루미늄과 같은 금속 도전 재료가 실리콘 기판상의 폴리실리콘 게이트 전극(10) 및 확산 영역(3 및 4)에 직접 접속된 경우에 관한 것이다. 당업계에 관련된 사람에게는 알루미늄과 같은 금속이 확산 영역 또는 폴리실리콘 게이트 전극에 접속되는 경우, 상기 확산 영역 또는 폴리실리콘의 상부에 티타늄 질화물(Ti/TiN) 또는 티타늄 실리사이드(TiSi₂)와 같은 장벽 금속을 피착시킨 후에 상기 금속이 접속된다는 사실이 명백할 것이다. 또한, 당업계에 관련된 사람에게는 상기한 바와 같은 장벽 금속이 역시 다른 금속들을 접속시킬 때에도 삽입될 것이라는 사실이 명백할 것이다.

본 발명의 실시예들을 위에 제시했다. 상술한 응용 실시예들은 본 발명의 기술 사상에 따라 더 변형될 수 있다는 점을 주목해야만 한다.

예를 들어, 위에 제시된 단계들의 조합 또는 순서의 다양한 변경이 가능하다. 또한, 사용된 패턴, 재료 등에 대한 변경이 가능하다. 상부 및 하부 배선상에 사용된 접속홀(콘택트 홀 또는 관통홀)들이 공유 마스크를 사용하여 형성되는 다양한 구조 및 레이아웃을 갖는 다층 배선 구조가 제조될 수 있다.

또한, 상술한 실시예들은 알루미늄이 배선 재료로서 사용되는 경우에 관한 것이다. 상기 배선 재료는 도전성을 가져야만 하며, 원하는 바에 따라 폴리실리콘, Al, Ti, W 등으로부터 선택될 수 있다. 또한, 상기 절연층은 산화막(SiO₂)에 제한되지 않는데, 예를 들어 질화막 등이 역시 사용될 수 있다.

상부 및 하부 배선용으로 사용된 접속 홀들은 공유 마스크를 사용하여 형성되어야 한다. 그러나, 접속 홀 형성 공정은 이들이 공유 절연층 상에서 형성되지만 한다면 특정 순서에 따라 실행될 수 있다. 제8도에 도시된 바와 같이 게이트 전극을 통하여 상부 및 하부 배선 사이의 접속을 할 수 있을 뿐만 아니라, 실리콘 기판(1)을 통하여 또는 다른 도전층을 통하여 배선을 접속시키는 것이 역시 가능하다.

상기 반도체 영역들의 도전형을 변경시키는 것이 역시 가능하며, 또 본 발명의 상기 설명에 기술된 MOS 장치와 다른 장치 구성을 갖는 IC, LSI, 반도체 메모리 및 다른 장치들에 대한 응용이 역시 가능하다는 점을 주목해야 한다.

상기한 바와 같이, 본 발명은 제1 및 제2 도전 영역들이 상기 도전 영역의 상부에 형성된 절연층 내의 접촉홀들을 통하여 하부 배선 및 상부 배선에 각각 접속되도록 하는 구조를 갖는 반도체 장치로서, 이때 상기 제1 및 제2 도전 영역들상의 상기 접촉홀들이 공유 절연층을 통하여 형성되는 반도체 장치이다. 따라서, 적은 수의 단계를 사용하여 접촉홀들을 형성할 수 있고, 또 비용 및 사이클 타임을 감소시키는 것이 가능하게 된다. 또한, 본 발명은 접촉홀들의 위치 변동이 거의 없이 그 크기가 최소화될 수 있기 때문에 크기 감소에 효과적이다.

(57) 청구의 범위

청구항 1.

집적 회로에서 다수의 도전층 사이에 전기적 상호접속을 형성하는 방법에 있어서,
초기 도전층 위에 제1 절연층을 형성하는 단계;
상기 제1 절연층 위에 제1 배선층을 형성하는 단계;
상기 제1 절연층과 상기 제1 배선층 위에 제2 절연층을 형성하는 단계;
상기 제2 절연층을 패터닝하는 단계;
상기 제1 및 제2 절연층에 홀(holes)을 에칭하는 단계;
상기 제2 절연층과 상기 홀 위에 도전성 재료의 도전층을 적층하는 단계; 및
상기 도전성 재료를 상기 홀에 채워서 각각의 홀에 대한 도전성 플러그를 형성하는 단계를 포함하는 방법.

청구항 2.

제1항에 있어서, 상기 도전층을 패터닝 및 에칭하여 제2 배선층을 형성하는 단계를 더 포함하는 방법.

청구항 3.

제2항에 있어서, 상기 제1 배선층 형성 단계는,
상기 제1 절연층 위에 도전층을 형성하는 단계; 및
상기 제1 도전층을 패터닝 및 에칭하여 상기 제1 배선층을 형성하는 단계를 포함하는 방법.

청구항 4.

제1항에 있어서, 상기 도전성 재료를 상기 홀에 채우는 단계는,
상기 도전층 적층 단계를 대기압 이하의 압력하에서 수행하는 단계;
상기 도전성 재료가 소정의 압력하에서 변형될 수 있는 온도까지 상기 도전층을 가열하는 단계; 및
상기 도전층에 상기 소정의 압력을 인가하는 단계를 포함하는 방법.

청구항 5.

제4항에 있어서
상기 도전층을 350℃ 내지 450℃의 온도까지 가열하는 단계; 및
4 MPa 내지 8 MPa의 압력을 인가하는 단계를 더 포함하는 방법.

청구항 6.

제1항에 있어서, 상기 초기 도전층을 그 위에 제조되는 기판 소자들로 구현하는 단계를 더 포함하는 방법.

청구항 7.

제1항에 있어서, 상기 초기 도전층을 배선층으로 구현하는 단계를 더 포함하는 방법.

청구항 8.

복수의 배선층을 구비하는 집적 회로내의 홀- 상기 홀 중 선택된 일부는 제1 절연층 및 제2 절연층을 관통하여 기초층의 도전 영역들을 노출시키고, 나머지 홀은 상기 제1 절연층을 관통하여 제1 및 제2 절연 영역 사이에 제1 배선층의 도전 영역을 노출시킴 -을 도전성 재료로 채우는 방법에 있어서,

상기 제2 절연층의 노출 표면 위에 상기 홀을 덮는 도전성 재료의 도전층을 도포하는 단계; 및

상기 도전성 재료를 상기 홀에 채우는 단계를 포함하는 방법.

청구항 9.

제8항에 있어서, 상기 도전성 재료를 상기 홀에 채우는 단계는,

상기 도전성 재료를 가열하는 단계; 및

상기 도전층에 압력을 인가하는 단계를 포함하는 방법.

청구항 10.

제9항에 있어서, 상기 도전층 도포 단계는 상기 도전층을 감압 환경에서 도포하는 단계를 포함하는 방법.

청구항 11.

제10항에 있어서, 상기 가열 단계는 상기 도전층을 350℃ 내지 450℃까지 가열하는 단계를 포함하고, 상기 압력 인가 단계는 불활성 가스에 의해 4 MPa 내지 8 MPa의 압력을 인가하는 단계를 포함하는 방법.

청구항 12.

제8항에 있어서, 상기 도전층을 패터닝 및 에칭하여 제2 배선층을 형성하는 단계를 더 포함하는 방법.

청구항 13.

제12항에 있어서, 상기 기초층을 배선층으로 구현하는 단계를 더 포함하는 방법.

청구항 14.

제12항에 있어서, 상기 배선층을 반도체 기판 및 관련 소자들로 구현하는 단계를 더 포함하는 방법.

청구항 15.

기초층과 제1 배선층이 제1 절연층에 의해 분리되고, 상기 제1 배선층과 제2 배선층은 제2 절연층에 의해 분리되는 집적 회로 디바이스내 3개의 도전층 상의 도전 영역들을 동시에 전기적으로 결합하기 위한 방법에 있어서,

상기 제2 배선층을 형성하기 이전에, 상기 제1 및 상기 제2 절연층을 관통하는 홀- 상기 홀 중 일부는 상기 제2 절연층만을 관통함 -을 패터닝 및 에칭하는 단계;

상기 제2 절연층과 이를 관통하는 홀들 위에 도전성 재료의 도전층을 형성하는 단계;

상기 홀에 도전성 재료를 채워 도전성 플러그를 형성하는 단계; 및

상기 도전층을 패터닝 및 에칭하여 상기 제2 배선층을 형성하는 단계를 포함하는 방법.

청구항 16.

제15항에 있어서, 상기 홀에 도전성 재료를 채우는 단계는,

상기 도전층을 가열하는 단계; 및

상기 도전층에 압력을 인가하는 단계를 포함하는 방법.

청구항 17.

제16항에 있어서, 상기 도전층을 형성하는 단계는 상기 도전층을 감압하에서 형성하는 단계를 포함하는 방법.

청구항 18.

제17항에 있어서, 상기 가열 단계는 상기 도전층을 350℃ 내지 450℃까지 가열하는 단계를 포함하고, 상기 압력 인가 단계는 4 MPa 내지 8 MPa의 압력을 갖는 불활성 가스를 인가하는 단계를 포함하는 방법.

청구항 19.

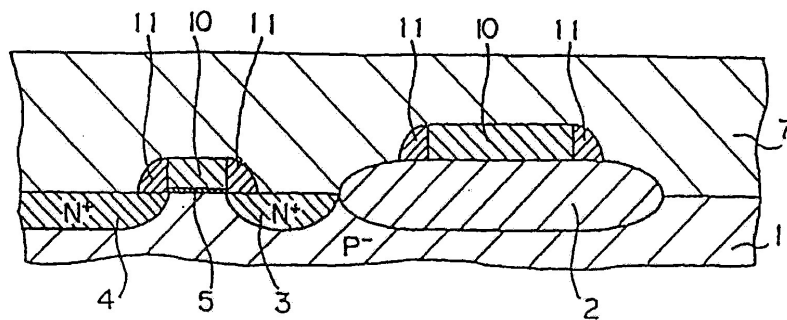
제18항에 있어서, 상기 기초층은 상부에 소자들이 형성된 반도체 기판인 방법.

청구항 20.

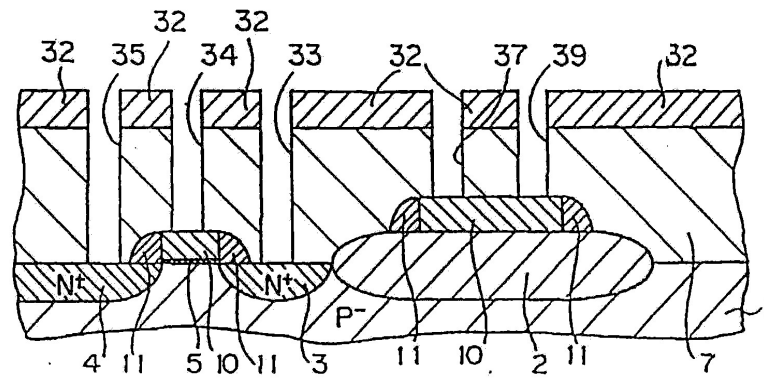
제19항에 있어서, 상기 기초층은 배선층인 방법.

도면

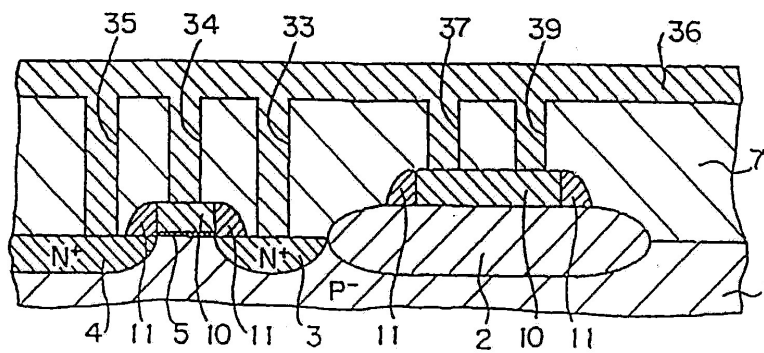
도면1



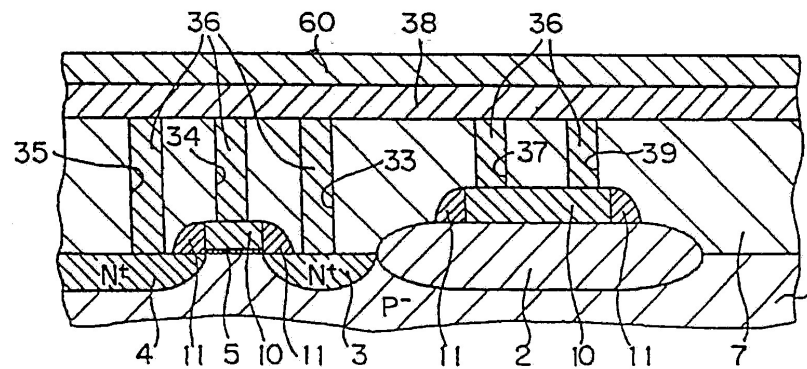
도면2



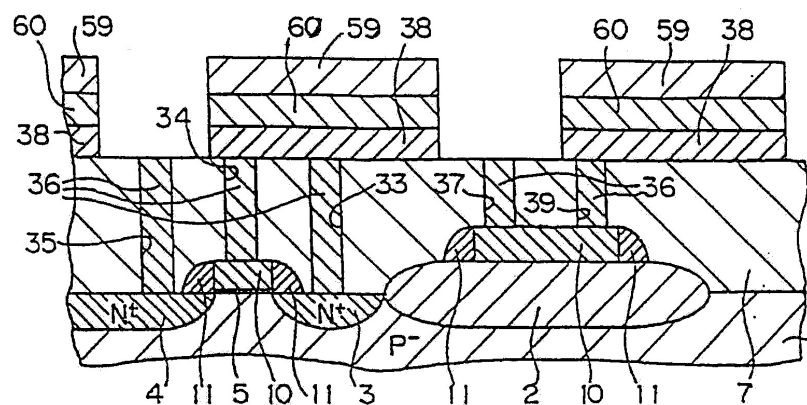
도면3



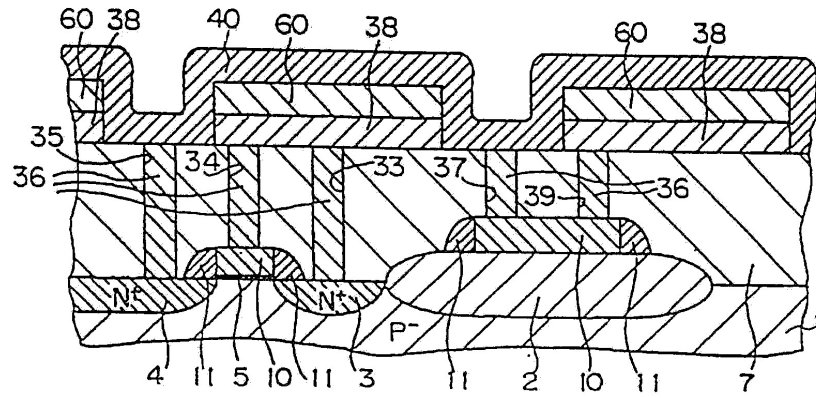
도면4



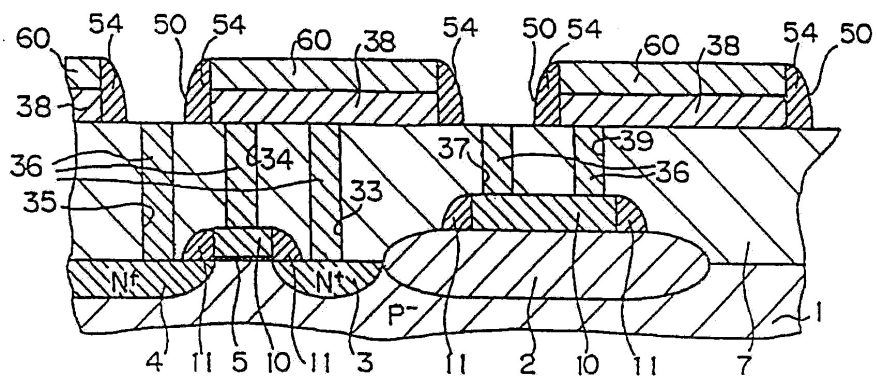
도면5



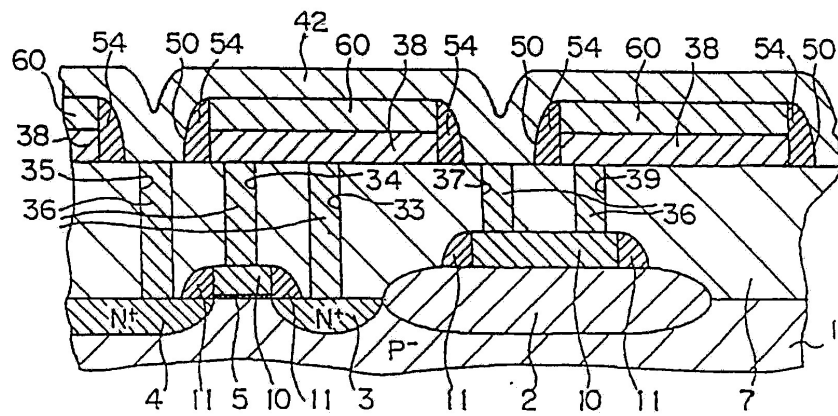
도면6



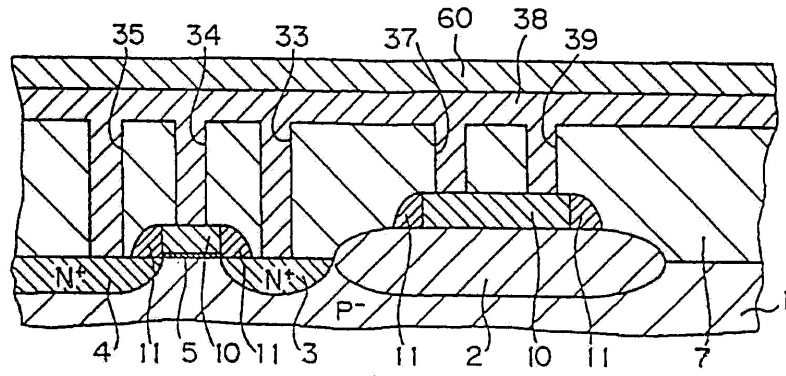
도면7



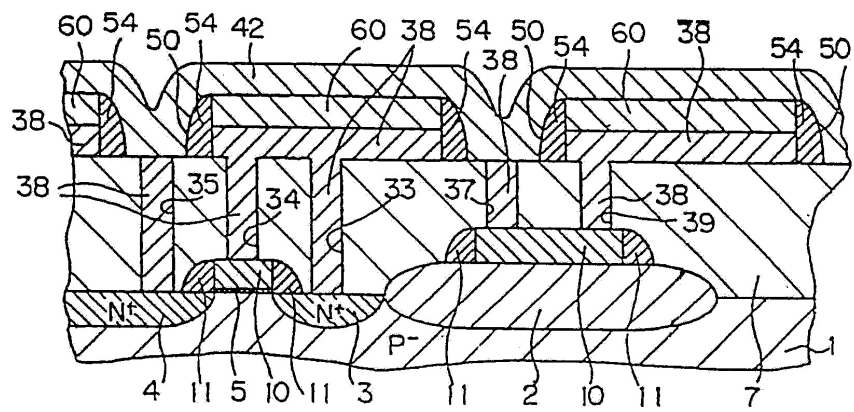
도면8



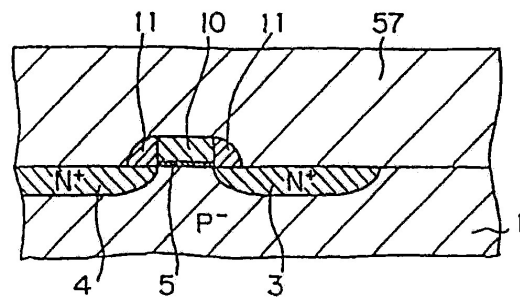
도면9



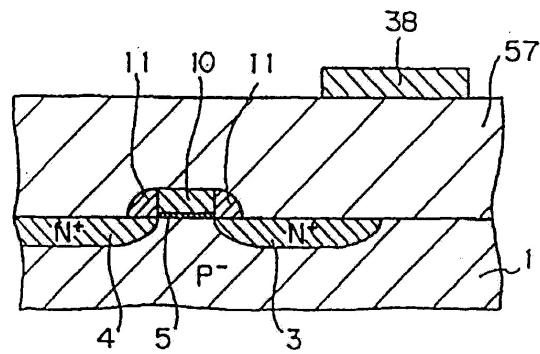
도면10



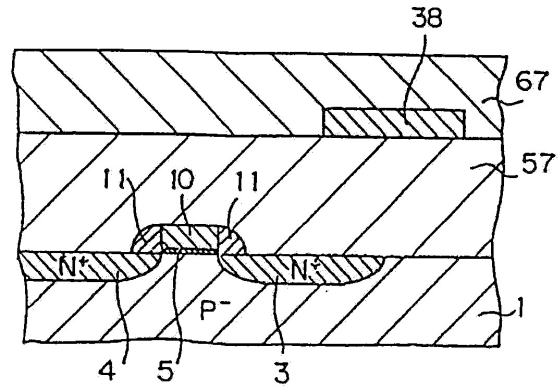
도면11



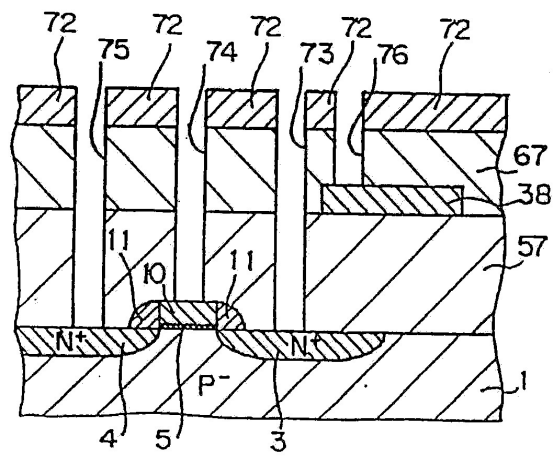
도면12



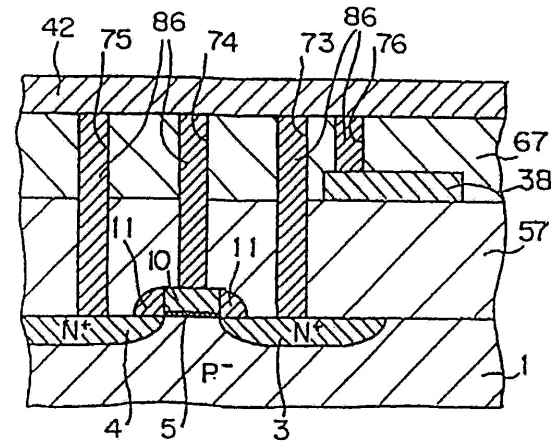
도면13



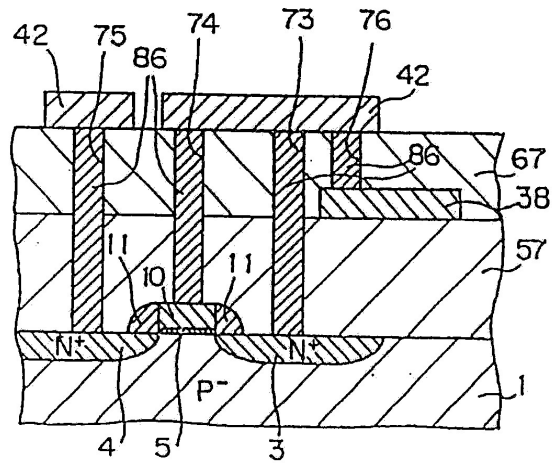
도면14



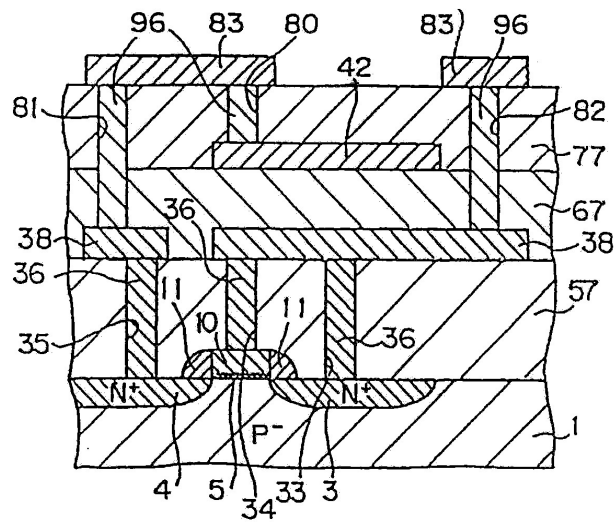
도면15



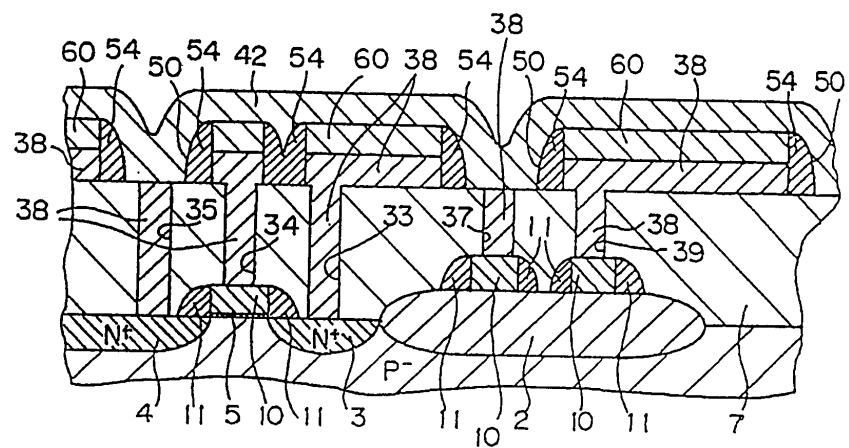
도면16



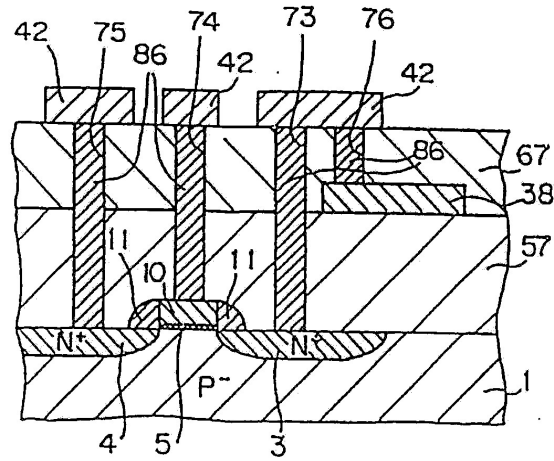
도면17



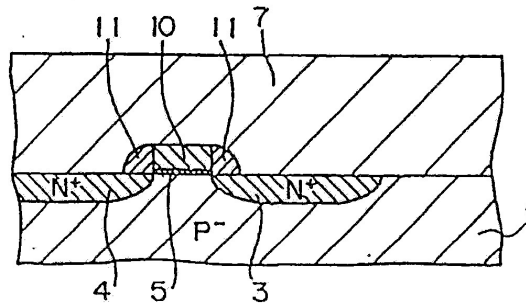
도면18



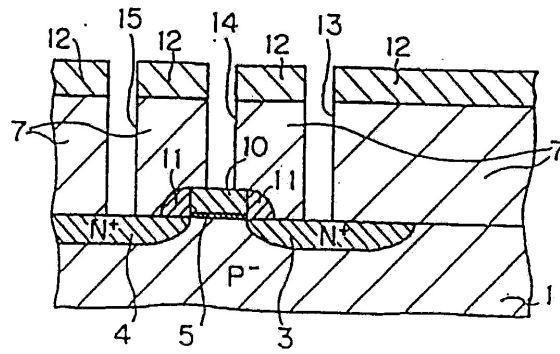
도면19



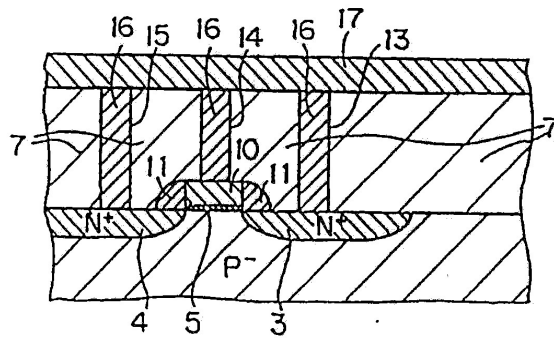
도면20



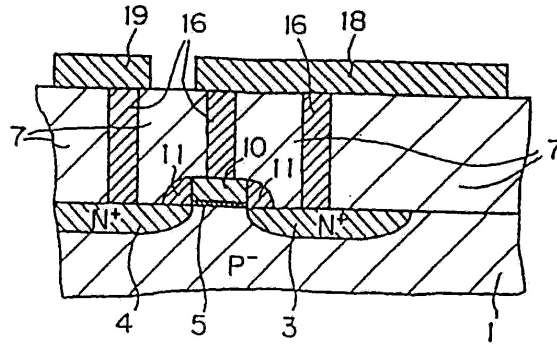
도면21



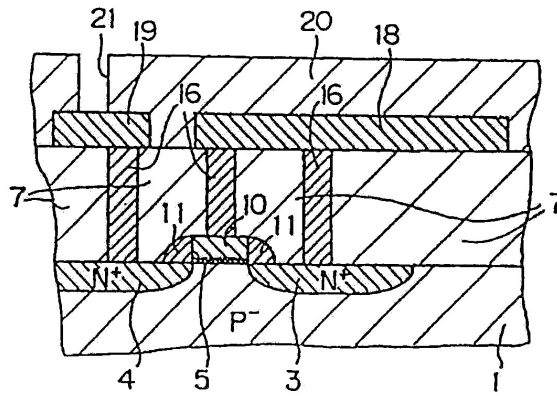
도면22



도면23



도면24



도면25

