

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月19日(19.09.2024)



(10) 国際公開番号

WO 2024/190845 A1

(51) 国際特許分類:
H04B 1/59 (2006.01)

(21) 国際出願番号: PCT/JP2024/009897

(22) 国際出願日: 2024年3月13日(13.03.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-041323 2023年3月15日(15.03.2023) JP

(71) 出願人: 国立大学法人東京工業大学
(TOKYO INSTITUTE OF TECHNOLOGY) [JP/
JP]; 〒1528550 東京都目黒区大岡山二丁目1 2
番1号 Tokyo (JP). 京セラ株式会社(KYOCERA

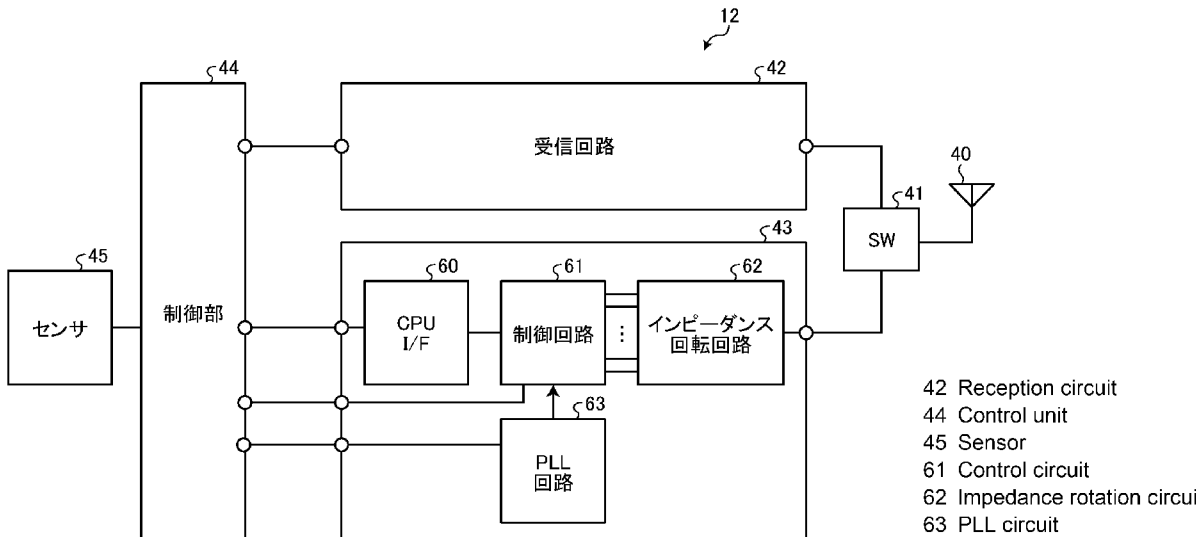
CORPORATION) [JP/JP]; 〒6128501 京都府京
都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).

(72) 発明者: 石原 昇 (ISHIHARA, Noboru);
〒1528550 東京都目黒区大岡山二丁目1 2番1
号 国立大学法人東京工業大学内 Tokyo (JP).
水流 模介(TSURU, Shinsuke); 〒6128501 京都
府京都市伏見区竹田鳥羽殿町6番地 京セラ株
式会社内 Kyoto (JP). 浦林 宏行(URABAYASHI,
Hiroyuki); 〒6128501 京都府京都市伏見区竹田
鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP).

(74) 代理人: 弁理士法人酒井国際特許事務所
(SAKAI INTERNATIONAL PATENT OFFICE);
〒1000013 東京都千代田区霞が関3丁目8番1
号 虎ノ門ダイビルイースト Tokyo (JP).

(54) Title: TRANSFER CIRCUIT

(54) 発明の名称: 伝送回路



(57) Abstract: This transfer circuit includes an impedance rotation circuit for which a predetermined reflection coefficient is set and which includes an impedance circuit configured to connect to an antenna, and a control circuit that controls the reflection coefficient of the impedance rotation circuit in such a manner that the reflection coefficient rotates in a complex plane. The control circuit changes a modulation speed for a reflection signal of the impedance rotation circuit in accordance with a communication environment.

(57) 要約: 伝送回路は、所定の反射係数が設定され、アンテナに接続するように構成されたインピーダンス回路を備えるインピーダンス回転回路と、インピーダンス回転回路の反射係数を制御して、複素平面において、反射係数を回転するように制御する制御回路と、を含む。制御回路は、通信環境に応じて前記インピーダンス回転回路の反射信号の変調速度を変更する。

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明 細 書

発明の名称：伝送回路

技術分野

[0001] 本開示は、伝送回路に関する。

背景技術

[0002] 無線通信装置のデータ通信方法として、バックスキッタ方式が知られている。例えば、特許文献1には、分波／合成器を用いて、USB (Upper Side Band) 信号およびLSB (Lower Side Band) 信号のいずれか一方の信号を抑制して、シングルサイドバンドを実現する技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2005-323223号公報

発明の概要

[0004] 本開示の伝送回路は、所定の反射係数が設定され、アンテナに接続するように構成されたインピーダンス回路を備えるインピーダンス回転回路と、前記インピーダンス回転回路の反射係数を制御して、複素平面において、反射係数を回転するように制御する制御回路と、を含み、前記制御回路は、通信環境に応じて前記インピーダンス回転回路の反射信号の変調速度を変更する。

図面の簡単な説明

[0005] [図1]図1は、第1実施形態に係る通信システムの構成例を示す図である。

[図2]図2は、第1実施形態に係る送信信号および反射信号の理想環境下における信号レベルを示す図である。

[図3]図3は、第1実施形態に係る送信信号および反射信号の実環境下における信号レベルを示す図である。

[図4]図4は、第1実施形態に係る子機の構成例を示すブロック図である。

[図5]図5は、第1実施形態に係るインピーダンス回転回路の構成例を示す図

である。

[図6]図6は、第1実施形態に係るインピーダンス回路の構成例を示す図である。

[図7]図7は、第1実施形態に係る整合回路の構成例を示す図である。

[図8]図8は、第1実施形態に係るバックスキャッタ通信の通常時のバックスキャッタ通信における信号波形を示す図である。

[図9]図9は、第1実施形態の第1の例に係るバックスキャッタ通信における信号波形を示す図である。

[図10]図10は、第1実施形態の第1の例に係るサブキャリア信号の信号波形を示す図である。

[図11]図11は、第1実施形態に係る変調速度を制御する方法を説明するための図である。

[図12]図12は、第1実施形態の第2の例に係るバックスキャッタ通信における信号波形を示す図である。

[図13]図13は、第1実施形態の第2の例に係るサブキャリア信号の信号波形を示す図である。

[図14]図14は、第1実施形態の第3の例に係るバックスキャッタ通信における信号波形を示す図である。

[図15]図15は、第1実施形態の第3の例に係るサブキャリア信号の信号波形を示す図である。

[図16]図16は、第1実施形態に係るサブキャリア信号の周波数と、シンボルレートと、シンボル点の回転数との関係を示す図である。

[図17]図17は、第2実施形態に係る発振信号の周波数と、サブキャリア信号の周波数との関係を示す図である。

[図18]図18は、第3実施形態に係る発振信号の周波数と、サブキャリア信号の周波数と、シンボル点数との関係を示す図である。

[図19]図19は、第4実施形態に係るインピーダンス回転回路の構成例を示す図である。

[図20]図 2 0 は、第 4 実施形態の第 1 の例に係る変調方式を説明するための図である。

[図21]図 2 1 は、第 4 実施形態の第 2 の例に係る変調方式を説明するための図である。

[図22]図 2 2 は、第 4 実施形態の第 3 の例に係る変調方式を説明するための図である。

[図23]図 2 3 は、第 4 実施形態の第 4 の例に係る変調方式を説明するための図である。

[図24]図 2 4 は、第 4 実施形態の第 5 の例に係る変調方式を説明するための図である。

[図25]図 2 5 は、第 4 実施形態の第 6 の例に係る変調方式を説明するための図である。

発明を実施するための形態

[0006] 以下、添付図面を参照して、本発明に係る実施形態を詳細に説明する。なお、この実施形態により本開示が限定されるものではなく、また、以下の実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0007] [第 1 実施形態]

[通信システム]

図 1 を用いて、第 1 実施形態に係る通信システムの構成例について説明する。図 1 は、第 1 実施形態に係る通信システムの構成例を示す図である。

[0008] 図 1 に示すように、通信システム 1 は、親機 1 0 と、子機 1 2 A と、子機 1 2 B と、子機 1 2 C と、子機 1 2 D と、子機 1 2 E と、子機 1 2 F と、子機 1 2 G と、子機 1 2 H と、子機 1 2 I と、子機 1 2 J と、を含む。子機 1 2 A から子機 1 2 J を区別する必要のない場合には、子機 1 2 と総称する。通信システム 1 は、バックスキャッタ方式のデータ通信を行うシステムである。親機 1 0 と、子機 1 2 とは、バックスキャッタ通信を行う無線通信装置である。通信システム 1 においては、子機 1 2 は、親機が送信した送信信号

2 1 を反射した反射信号 2 2 を親機 1 0 に送信するように構成されている。

[0009] (信号レベル)

図 2 は、第 1 実施形態に係る送信信号および反射信号の理想環境下における信号レベルを示す図である。波形 3 1 は、親機が送信した送信信号 2 1 の信号レベルを示す。波形 3 2 A から波形 3 2 J は、それぞれ、子機 1 2 A から子機 1 2 J が反射した反射信号 2 2 の信号レベルを示す。図 2 に示すように、子機 1 2 A から子機 1 2 J が反射した反射信号 2 2 の信号レベルは、理想的には、同じである。理想環境下では、子機 1 2 A から子機 1 2 J は、それぞれ、他の子機 1 2 が反射した反射信号 2 2 に妨害されることなく、親機 1 0 と適切に通信することができる。

[0010] 図 3 は、第 1 実施形態に係る送信信号および反射信号の実環境下における信号レベルを示す図である。図 3 に示すように、実環境下では、子機 1 2 A から子機 1 2 J がそれぞれ反射した反射信号 2 2 の信号レベルは異なり得る。例えば、子機 1 2 E がシングルサイドバンド化して抑制した通信チャンネルに子機 1 2 J を割り当てた場合を考える。この場合、図 3 に示すように、子機 1 2 E の反射信号 2 2 の信号レベルが子機 1 2 J の反射信号の信号レベルよりも高いと、子機 1 2 E の反射信号 2 2 は、子機 1 2 J にとって親機 1 0 との通信が困難になるほどの干渉信号となり得る。このような場合に、適切に子機 1 2 E の反射信号 2 2 の信号レベルを抑制することが求められている。

[0011] (子機)

図 4 を用いて、第 1 実施形態に係る子機の構成例について説明する。図 4 は、第 1 実施形態に係る子機の構成例を示すブロック図である。

[0012] 図 4 に示すように、子機 1 2 は、アンテナ 4 0 と、スイッチ (SW) 4 1 と、受信回路 4 2、送信回路 4 3 と、制御部 4 4 と、センサ 4 5 と、を含む。

[0013] アンテナ 4 0 は、親機 1 0 が送信した送信信号を受信するように構成されている。アンテナ 4 0 は、送信信号を反射した反射信号を親機 1 0 に送信す

るように構成されている。

- [0014] スイッチ 4 1 は、アンテナ 4 0 と、受信回路 4 2 および送信回路 4 3 との間の経路を切り替え可能に構成されている。スイッチ 4 1 は、アンテナ 4 0 が親機 1 0 からの送信信号を受信する際には、アンテナ 4 0 と、受信回路 4 2 とを電氣的に接続させる。スイッチ 4 1 は、アンテナ 4 0 が親機 1 0 に反射信号を送信する際には、アンテナ 4 0 と送信回路 4 3 とを電氣的に接続させる。
- [0015] 受信回路 4 2 は、アンテナ 4 0 が受信した親機 1 0 からの送信信号を受ける。受信回路 4 2 は、送信信号に対して各種の受信処理を実行するように構成されている。
- [0016] 送信回路 4 3 は、アンテナ 4 0 が送信する反射信号（バックスキャッタ信号とも呼ぶ）を生成する回路である。送信回路 4 3 は、CPU インターフェース（I/F）6 0 と、制御回路 6 1 と、インピーダンス回転回路 6 2 と、PLL（Phase Locked Loop）回路 6 3 と、を含む。
- [0017] CPU インターフェース 6 0 は、制御部 4 4 から各種の制御信号やデータを受け取るように構成されている。
- [0018] 制御回路 6 1 は、インピーダンス回転回路 6 2 を制御するように構成されている。制御回路 6 1 は、CPU インターフェース 6 0 を介して制御部 4 4 から入力された制御信号、PLL 回路 6 3 から入力された発振信号などに基づいて、インピーダンス回転回路 6 2 を制御する。制御回路 6 1 は、インピーダンス回転回路 6 2 のインピーダンスを変化させるように構成されている。インピーダンス回転回路 6 2 のインピーダンスが変化することで、アンテナ 4 0 側の出力端子の反射係数は、複素平面において回転する。すなわち、制御回路 6 1 は、インピーダンス回転回路 6 2 のインピーダンスを変化させて、アンテナ 4 0 側の出力端子の反射係数を複素平面において回転するように制御する。制御回路 6 1 は、例えば、バックスキャッタ信号のキャリア信号に対する USB（Upper Side Band）信号または LSB 信号（Lower Side Band）を低減して、シングルサイドバンドを実現させる。

- [0019] インピーダンス回転回路 6 2 は、子機 1 2 にフロントエンドに配置されている。インピーダンス回転回路 6 2 は、子機 1 2 が送信した送信信号をバックスキッタ信号として反射して、バックスキッタ通信を行うように構成されている回路である。具体的には後述するが、インピーダンス回転回路 6 2 は、各々のインピーダンスが異なる複数のインピーダンス回路を含む。
- [0020] 制御回路 6 1 と、インピーダンス回転回路 6 2 とは、本開示の伝送回路の一種である。
- [0021] PLL 回路 6 3 は、所定の周波数の発振信号を生成するように構成されている。PLL 回路 6 3 は、制御部 4 4 からの制御信号にしたがって、発振信号を生成する。PLL 回路 6 3 は、生成した発振信号を制御回路 6 1 に出力するように構成されている。
- [0022] 制御部 4 4 は、子機 1 2 の各部を制御するように構成されている。制御部 4 4 は、例えば、CPU (Central Processing Unit) や MPU (Micro Processing Unit) などの情報処理装置と、RAM (Random Access Memory) 又は ROM (Read Only Memory) などの記憶装置とで実現されてもよい。制御部 4 4 は、例えば、ASIC (Application Specific Integrated Circuit) や FPGA (Field Programmable Gate Array) などの集積回路により実現されてもよい。制御部 4 4 は、ハードウェアと、ソフトウェアとの組み合わせで実現されてもよい。
- [0023] センサ 4 5 は、各種のセンサを含む。センサ 4 5 は、例えば、速度センサ、振動センサ、加速度センサ、ジャイロセンサ、回転角センサ、角速度センサ、地磁気センサ、マグネットセンサ、温度センサ、湿度センサ、気圧センサ、光センサ、照度センサ、UV センサ、ガスセンサ、ガス濃度センサ、雰囲気センサ、レベルセンサ、匂いセンサ、圧力センサ、空気圧センサ、接点センサ、風力センサ、赤外線センサ、人感センサ、変位量センサ、画像センサ、重量センサ、煙センサ、漏液センサ、バイタルセンサ、バッテリー残量センサ、および超音波センサなどを含んでよい。センサ 4 5 は、子機 1 2 の現在の位置情報を取得する GNSS (Global Navigation Satellite System

) センサを含んでもよい。

[0024] (インピーダンス回転回路)

図5を用いて、第1実施形態に係るインピーダンス回転回路の構成例について説明する。図5は、第1実施形態に係るインピーダンス回転回路の構成例を示す図である。

[0025] 図5に示すように、インピーダンス回転回路62は、インピーダンス回路70と、スイッチ72-1と、スイッチ72-2と、整合回路73と、配線74と、移相器75と、を備える。

[0026] インピーダンス回路70の出力端子は、整合回路73の入力端子に電氣的に接続されている。インピーダンス回路70は、インピーダンス回転回路62にインピーダンスを付加する。図6を用いて、第1実施形態に係るインピーダンス回路の構成例について説明する。図6は、第1実施形態に係るインピーダンス回路の構成例を示す図である。

[0027] 図6に示すように、インピーダンス回路70は、第1回路80-1と、第2回路80-2と、第3回路80-3と、第4回路80-4と、第5回路80-5と、第6回路80-6と、第7回路80-7と、第8回路80-8と、を備える。第1回路80-1から第8回路80-8は、信号線85により電氣的に接続されている。インピーダンス回路70の出力端子70aは、整合回路73の入力端子に電氣的に接続されている。

[0028] 第1回路80-1は、信号源81-1と、スイッチ素子82-1と、抵抗素子83-1と、コンデンサ84-1と、を備える。信号源81-1は、スイッチ素子82-1を制御するための制御回路61からの制御信号の信号源を示している。信号源81-1の一端は、基準電位に電氣的に接続されている。基準電位は、例えば、グラウンドであるが、これに限定されない。信号源81-1は、スイッチ素子82-1のオン状態とオフ状態とを制御するための制御信号をスイッチ素子82-1に出力する。スイッチ素子82-1の一端は、信号線85に電氣的に接続されている。スイッチ素子82-1の一端は、抵抗素子83-1の一端に電氣的に接続されている。抵抗素子83-

1 の他端は、コンデンサ 84-1 の一端に電氣的に接続されている。コンデンサ 84-1 の他端は、基準電位に電氣的に接続されている。スイッチ素子 82-1 がオン状態となると、抵抗素子 83-1 とコンデンサ 84-1 とが信号線 85 に電氣的に接続される。これより、インピーダンス回路 70 のインピーダンスは、抵抗素子 83-1 の抵抗値とコンデンサ 84-1 の容量値とに応じて変化する。

[0029] 第2回路 80-2 は、信号源 81-2 と、スイッチ素子 82-2 と、抵抗素子 83-2 と、コンデンサ 84-2 と、を備える。信号源 81-2 は、スイッチ素子 82-2 を制御するための制御回路 61 からの制御信号の信号源を示している。信号源 81-2 の一端は、基準電位に電氣的に接続されている。信号源 81-2 は、スイッチ素子 82-2 のオン状態とオフ状態とを制御するための制御信号をスイッチ素子 82-2 に出力する。スイッチ素子 82-2 の一端は、信号線 85 に電氣的に接続されている。スイッチ素子 82-2 の一端は、抵抗素子 83-2 の一端に電氣的に接続されている。抵抗素子 83-2 の他端は、コンデンサ 84-2 の一端に電氣的に接続されている。コンデンサ 84-2 の他端は、基準電位に電氣的に接続されている。スイッチ素子 82-2 がオン状態となると、抵抗素子 83-2 とコンデンサ 84-2 とが信号線 85 に電氣的に接続される。これより、インピーダンス回路 70 のインピーダンスは、抵抗素子 83-2 の抵抗値とコンデンサ 84-2 の容量値とに応じて変化する。

[0030] 第3回路 80-3 は、信号源 81-3 と、スイッチ素子 82-3 と、抵抗素子 83-3 と、コンデンサ 84-3 と、を備える。信号源 81-3 は、スイッチ素子 82-3 を制御するための制御回路 61 からの制御信号の信号源を示している。信号源 81-3 の一端は、基準電位に電氣的に接続されている。信号源 81-3 は、スイッチ素子 82-3 のオン状態とオフ状態とを制御するための制御信号をスイッチ素子 82-3 に出力する。スイッチ素子 82-3 の一端は、信号線 85 に電氣的に接続されている。スイッチ素子 82-3 の一端は、抵抗素子 83-3 の一端に電氣的に接続されている。抵抗素

子 8 3 - 3 の他端は、コンデンサ 8 4 - 3 の一端に電氣的に接続されている。コンデンサ 8 4 - 3 の他端は、基準電位に電氣的に接続されている。スイッチ素子 8 2 - 3 がオン状態となると、抵抗素子 8 3 - 3 とコンデンサ 8 4 - 3 とが信号線 8 5 に電氣的に接続される。これより、インピーダンス回路 7 0 のインピーダンスは、抵抗素子 8 3 - 3 の抵抗値とコンデンサ 8 4 - 3 の容量値とに応じて変化する。

[0031] 第 4 回路 8 0 - 4 と、信号源 8 1 - 4 と、スイッチ素子 8 2 - 4 と、抵抗素子 8 3 - 4 と、コンデンサ 8 4 - 4 と、を備える。信号源 8 1 - 4 は、スイッチ素子 8 2 - 4 を制御するための制御回路 6 1 からの制御信号の信号源を示している。信号源 8 1 - 4 の一端は、基準電位に電氣的に接続されている。信号源 8 1 - 4 は、スイッチ素子 8 2 - 4 のオン状態とオフ状態とを制御するための制御信号をスイッチ素子 8 2 - 4 に出力する。スイッチ素子 8 2 - 4 の一端は、信号線 8 5 に電氣的に接続されている。スイッチ素子 8 2 - 4 の一端は、抵抗素子 8 3 - 4 の一端に電氣的に接続されている。抵抗素子 8 3 - 4 の他端は、コンデンサ 8 4 - 4 の一端に電氣的に接続されている。コンデンサ 8 4 - 4 の他端は、基準電位に電氣的に接続されている。スイッチ素子 8 2 - 4 がオン状態となると、抵抗素子 8 3 - 4 とコンデンサ 8 4 - 4 とが信号線 8 5 に電氣的に接続される。これより、インピーダンス回路 7 0 のインピーダンスは、抵抗素子 8 3 - 4 の抵抗値とコンデンサ 8 4 - 4 の容量値とに応じて変化する。

[0032] 第 5 回路 8 0 - 5 は、信号源 8 1 - 5 と、スイッチ素子 8 2 - 5 と、抵抗素子 8 3 - 5 と、コンデンサ 8 4 - 5 と、を備える。信号源 8 1 - 5 は、スイッチ素子 8 2 - 5 を制御するための制御回路 6 1 からの制御信号の信号源を示している。信号源 8 1 - 5 の一端は、基準電位に電氣的に接続されている。信号源 8 1 - 5 は、スイッチ素子 8 2 - 5 のオン状態とオフ状態とを制御するための制御信号をスイッチ素子 8 2 - 5 に出力する。スイッチ素子 8 2 - 5 の一端は、信号線 8 5 に電氣的に接続されている。スイッチ素子 8 2 - 5 の一端は、抵抗素子 8 3 - 5 の一端に電氣的に接続されている。抵抗素

子 8 3 - 5 の他端は、コンデンサ 8 4 - 5 の一端に電氣的に接続されている。コンデンサ 8 4 - 5 の他端は、基準電位に電氣的に接続されている。スイッチ素子 8 2 - 5 がオン状態となると、抵抗素子 8 3 - 5 とコンデンサ 8 4 - 5 とが信号線 8 5 に電氣的に接続される。これより、インピーダンス回路 7 0 のインピーダンスは、抵抗素子 8 3 - 5 の抵抗値とコンデンサ 8 4 - 5 の容量値とに応じて変化する。

[0033] 第 6 回路 8 0 - 6 は、信号源 8 1 - 6 と、スイッチ素子 8 2 - 6 と、抵抗素子 8 3 - 6 と、コンデンサ 8 4 - 6 と、を備える。信号源 8 1 - 6 は、スイッチ素子 8 2 - 6 を制御するための制御回路 6 1 からの制御信号の信号源を示している。信号源 8 1 - 6 の一端は、基準電位に電氣的に接続されている。信号源 8 1 - 6 は、スイッチ素子 8 2 - 6 のオン状態とオフ状態とを制御するための制御信号をスイッチ素子 8 2 - 6 に出力する。スイッチ素子 8 2 - 6 の一端は、信号線 8 5 に電氣的に接続されている。スイッチ素子 8 2 - 6 の一端は、抵抗素子 8 3 - 6 の一端に電氣的に接続されている。抵抗素子 8 3 - 6 の他端は、コンデンサ 8 4 - 6 の一端に電氣的に接続されている。コンデンサ 8 4 - 6 の他端は、基準電位に電氣的に接続されている。スイッチ素子 8 2 - 6 がオン状態となると、抵抗素子 8 3 - 6 とコンデンサ 8 4 - 6 とが信号線 8 5 に電氣的に接続される。これより、インピーダンス回路 7 0 のインピーダンスは、抵抗素子 8 3 - 6 の抵抗値とコンデンサ 8 4 - 6 の容量値とに応じて変化する。

[0034] 第 7 回路 8 0 - 7 は、信号源 8 1 - 7 と、スイッチ素子 8 2 - 7 と、抵抗素子 8 3 - 7 と、コンデンサ 8 4 - 7 と、を備える。信号源 8 1 - 7 は、スイッチ素子 8 2 - 7 を制御するための制御回路 6 1 からの制御信号の信号源を示している。信号源 8 1 - 7 の一端は、基準電位に電氣的に接続されている。信号源 8 1 - 7 は、スイッチ素子 8 2 - 7 のオン状態とオフ状態とを制御するための制御信号をスイッチ素子 8 2 - 7 に出力する。スイッチ素子 8 2 - 7 の一端は、信号線 8 5 に電氣的に接続されている。スイッチ素子 8 2 - 7 の一端は、抵抗素子 8 3 - 7 の一端に電氣的に接続されている。抵抗素

子 83-7 の他端は、コンデンサ 84-7 の一端に電氣的に接続されている。コンデンサ 84-7 の他端は、基準電位に電氣的に接続されている。スイッチ素子 82-7 がオン状態となると、抵抗素子 83-7 とコンデンサ 84-7 とが信号線 85 に電氣的に接続される。これより、インピーダンス回路 70 のインピーダンスは、抵抗素子 83-7 の抵抗値とコンデンサ 84-7 の容量値とに応じて変化する。

[0035] 第 8 回路 80-8 は、信号源 81-8 と、スイッチ素子 82-8 と、抵抗素子 83-8 と、コンデンサ 84-8 と、を備える。信号源 81-8 は、スイッチ素子 82-8 を制御するための制御回路 61 からの制御信号の信号源を示している。信号源 81-8 の一端は、基準電位に電氣的に接続されている。信号源 81-8 は、スイッチ素子 82-8 のオン状態とオフ状態とを制御するための制御信号をスイッチ素子 82-8 に出力する。スイッチ素子 82-8 の一端は、信号線 85 に電氣的に接続されている。スイッチ素子 82-8 の一端は、抵抗素子 83-8 の一端に電氣的に接続されている。抵抗素子 83-8 の他端は、コンデンサ 84-8 の一端に電氣的に接続されている。コンデンサ 84-8 の他端は、基準電位に電氣的に接続されている。スイッチ素子 82-8 がオン状態となると、抵抗素子 83-8 とコンデンサ 84-8 とが信号線 85 に電氣的に接続される。これより、インピーダンス回路 70 のインピーダンスは、抵抗素子 83-8 の抵抗値とコンデンサ 84-8 の容量値とに応じて変化する。

[0036] 制御回路 61 は、スイッチ素子 82-1 からスイッチ素子 82-8 のそれぞれのオン状態とオフ状態を選択的に制御することで、インピーダンス回転回路を選択的に変化させ反射係数をポラーチャート上において回転させるように構成されている。

[0037] 整合回路 73 は、インピーダンス回路 70 の出力インピーダンスと、アンテナ 40 の入力インピーダンスとを整合させる回路である。図 7 は、第 1 実施形態に係る整合回路の構成例を示す図である。図 7 に示すように、整合回路 73 は、コンデンサ 91 と、インダクタ 92 と、コンデンサ 93 と、を含

む。コンデンサ 91 の一端は、整合回路 73 の入力端子 90 a およびインダクタ 92 の一端に電氣的に接続されている。コンデンサ 91 の他端は、基準電位に電氣的に接続されている。コンデンサ 93 の一端は、スイッチ 72-1 およびインダクタ 92 の他端に電氣的に接続されている。コンデンサ 93 の他端は、基準電位に電氣的に接続されている。

[0038] 整合回路 73 は、スイッチ 72-1 により、配線 74 または移相器 75 と選択的に接続される。スイッチ 72-1 は、例えば、トランジスタであるが、これに限定されない。スイッチ 72-1 は、制御回路 61 により制御される。

[0039] 配線 74 または移相器 75 は、スイッチ 72-2 により、アンテナ 40 の入力端子と選択的に接続される。スイッチ 72-2 は、制御回路 61 により制御される。移相器 75 は、図 7 に示す整合回路 73 と同一の構成を有しているので、説明を省略する。移相器 75 は、入力された信号の位相を 90° シフトして出力する。

[0040] 整合回路 73 と、配線 74 とが接続された場合、整合回路 73 から出力された信号は、位相が変化せずに、アンテナ 40 の入力端子に入力される。

[0041] (変調速度変更方法)

次に、第 1 実施形態に係る反射信号の変調速度を変更する方法について説明する。図 8 を用いて、第 1 実施形態に係るバックスキッタ通信における信号波形について説明する。図 8 は、第 1 実施形態に係るバックスキッタ通信の通常時のバックスキッタ通信における信号波形を示す図である。

[0042] 図 8 は、横軸が周波数 [kHz (キロヘルツ)]、縦軸が信号レベル [dB (デシベル)] を示す。図 8 において、キャリア信号 201 は、親機 10 からの送信信号の信号レベルを示し、サブキャリア信号 202 およびサブキャリア信号 203 は、同一の子機 12 からのサブキャリア信号 (反射信号) の信号レベルを示す。サブキャリア信号 202 の周波数は、 -800 [kHz] である。サブキャリア信号 203 の周波数は、 $+800$ [kHz] である。サブキャリア信号 202 およびサブキャリア信号 203 のシンボルレー

トは、 100 [kHz] である。シンボルレートは、変調速度とも呼ばれる。

[0043] (第1実施形態の第1の例)

図9は、第1実施形態の第1の例に係るバックスキャッタ通信における信号波形を示す図である。図10は、第1実施形態の第1の例に係るサブキャリア信号の信号波形を示す図である。図9において、キャリア信号211は、親機10からの送信信号の信号レベルを示し、サブキャリア信号212は、子機12からのサブキャリア信号の信号レベルを示す。サブキャリア信号212の周波数は、 $+800\text{ [kHz]}$ である。図10に示すように、サブキャリア信号212のシンボルレートは、 50 [kHz] である。すなわち、図9に示す例では、通常時に比べて、サブキャリア信号のシンボルレートが、 100 [kHz] から 50 [kHz] に変更されている。本実施形態では、制御回路61は、インピーダンス回転回路62を制御することで、シンボルレートを変更する。

[0044] 図11は、第1実施形態に係る変調速度を制御する方法を説明するための図である。図11は、 IQ 平面を示している。 IQ 平面は、横軸（実数軸）を同相軸（ I 軸）、縦軸（虚数軸）を直角位相軸（ Q 軸）とした複素平面である。図11に示す例では、円301上にシンボル点302が配置されている。バックスキャッタ通信では、シングルサイドバンドを実現するために、シンボル点302は、円301上に等間隔に配置された16個の点の位置を移動するように回転する。具体的には、サブキャリア信号の周波数が 800 [kHz] である場合、シンボル点302は、矢印303で示す方向に、 $800\text{ [kHz]} \times 16 = 12.8\text{ [MHz (メガヘルツ)]}$ の速度で回転する。したがって、シンボル点302の移動量を考慮して、データの位置を移動させるタイミングを決定することが好ましい。具体的には、制御回路61は、サブキャリア信号212の周波数と、シンボルレートに応じて、シンボル点302を所定回数回転させたタイミングでシンボル点302の位置を移動させる。制御回路61は、シンボル点302を移動させるタイミングの回

転数を、以下の式（１）により算出する。

シンボル点の回転数＝サブキャリア信号の周波数／シンボルレート・・・

（１）

[0045] 例えば、シンボルレートが50 [kHz] である場合には、制御回路61は、シンボル点302の回転数を、 $800 \text{ [kHz]} / 50 \text{ [kHz]} = 16$ 回転、と算出する。そして、制御回路61は、シンボル点302が16個の点を16回転したタイミングで、[11]の位置から[00]の位置に移動させる。

[0046] （第1実施形態の第2の例）

図12は、第1実施形態の第2の例に係るバックスキャッタ通信における信号波形を示す図である。図13は、第1実施形態の第2の例に係るサブキャリア信号の信号波形を示す図である。図12において、キャリア信号221は、親機10からの送信信号の信号レベルを示し、サブキャリア信号222は、子機12からのサブキャリア信号の信号レベルを示す。サブキャリア信号222の周波数は、+800 [kHz] である。図13に示すように、サブキャリア信号222のシンボルレートは、100 [kHz] である。

[0047] 第1実施形態の第2の例では、図11に示すI/Q平面において、制御回路61は、シンボル点302の回転数を、 $800 \text{ [kHz]} / 100 \text{ [kHz]} = 8$ 回転、と算出する。そして、制御回路61は、シンボル点302が16個の点を8回転したタイミングで、[11]の位置から[00]の位置に移動させる。

[0048] （第1実施形態の第3の例）

図14は、第1実施形態の第3の例に係るバックスキャッタ通信における信号波形を示す図である。図15は、第1実施形態の第3の例に係るサブキャリア信号の信号波形を示す図である。図14において、キャリア信号231は、親機10からの送信信号の信号レベルを示し、サブキャリア信号232は、子機12からのサブキャリア信号の信号レベルを示す。サブキャリア信号232の周波数は、+800 [kHz] である。図15に示すように、

サブキャリア信号232のシンボルレートは、200[kHz]である。

[0049] 第1実施形態の第3の例では、図11に示すI/Q平面において、制御回路61は、シンボル点302の回転数を、 $800[\text{kHz}] / 200[\text{kHz}] = 4$ 回転、と算出する。そして、制御回路61は、シンボル点302が16個の点を4回転したタイミングで、[11]の位置から[00]の位置に移動させる。

[0050] 図16は、第1実施形態に係るサブキャリア信号の周波数と、シンボルレートと、シンボル点の回転数との関係を示す図である。図16に示すテーブルTB1において、 $f_s[\text{kHz}]$ はシンボルレートを示し、 $f_c[\text{kHz}]$ はサブキャリア信号の周波数を示す。例えば、シンボルレートが25[kHz]であり、サブキャリア信号の周波数が100[kHz]である場合には、シンボル点を4回転させたタイミングでデータ位置を移動させる。例えば、シンボルレートが50[kHz]であり、サブキャリア信号の周波数が100[kHz]である場合には、シンボル点を2回転させたタイミングでデータ位置を移動させる。例えば、シンボルレートが100[kHz]であり、サブキャリア信号の周波数が100[kHz]である場合には、シンボル点を1回転させたタイミングでデータ位置を移動させる。

[0051] 上述のとおり、第1実施形態では、シンボルレートを制御する際に、データ位置を移動させるタイミングを、サブキャリア信号の周波数とシンボルレートに応じた回転数で決定することができる。これにより、第1実施形態は、通信環境に応じた適切なシンボルレートでバックスキャッタ通信を行うことができる。

[0052] [第2実施形態]

第2実施形態について説明する。所望の周波数を持つサブキャリア信号を生成するためには、所定の周波数を持つ元の信号が必要である。そこで、第2実施形態では、図4に示すPLL回路63が制御回路61に出力する発振信号（クロック信号）に基づいて、サブキャリア信号の周波数を制御する。

[0053] 第2実施形態では、制御回路61は、PLL回路63から受けた発振信号

に基づいて、サブキャリア信号の周波数を算出する。サブキャリア信号の周波数は、以下の式（２）で算出される。

$$\text{サブキャリア信号の周波数} = \text{発振信号の周波数} / \text{シンボル点数} \cdots (2)$$

[0054] 制御回路 61 は、例えば、発振信号の周波数が 1.6 [MHz]、シンボル点数が 16 点である場合、サブキャリア信号の周波数を、 $1600 \text{ [kHz]} / 16 = 100 \text{ [kHz]}$ 、と算出する。

[0055] 図 17 は、第 2 実施形態に係る発振信号の周波数と、サブキャリア信号の周波数との関係を示す図である。図 17 に示すテーブル TB2 は、シンボル点数が 16 個の場合の発振信号の周波数と、サブキャリア信号の周波数との関係を示している。テーブル TB2 において、CLK [MHz] は発振信号の周波数を示し、fc [kHz] はサブキャリア信号の周波数を示す。例えば、発振信号の周波数が 1.6 [MHz] のとき、サブキャリア信号の周波数は 100 [kHz] である。例えば、発振信号の周波数が 16 [MHz] のとき、サブキャリア信号の周波数は 1000 [kHz] である。

[0056] 上述のとおり、第 2 実施形態は、PLL 回路 63 の発振信号に基づいて、サブキャリア信号の周波数を適切に設定することができる。

[0057] [第 3 実施形態]

第 3 実施形態について説明する。サブキャリア信号を PLL 回路 63 の発振信号に基づいて生成する場合、PLL 回路 63 の設計によっては所望の周波数を持つサブキャリア信号を生成できないこともあり得る。そこで、第 3 実施形態は、発振信号でサブキャリア信号の周波数を算出し、かつシンボル点数を制御することで、所望の周波数を持つサブキャリア信号を生成する。

[0058] 図 18 は、第 3 実施形態に係る発振信号の周波数と、サブキャリア信号の周波数と、シンボル点数との関係を示す図である。図 18 に示すテーブル TB3 において、CLK [MHz] は発振信号の周波数を示し、fc [kHz] はサブキャリア信号の周波数を示す。制御回路 61 は、例えば、発振信号の周波数が 1.6 [MHz] であり、シンボル点数が 64 個の場合、サブキ

キャリア信号の周波数を25 [kHz] とすることができる。制御回路61は、例えば、発振信号の周波数が1.6 [MHz] であり、シンボル点数が32個の場合、サブキャリア信号の周波数を50 [kHz] とすることができる。制御回路61は、例えば、発振信号の周波数が1.6 [MHz] であり、シンボル点数が16個の場合、サブキャリア信号の周波数を100 [kHz] とすることができる。制御回路61は、例えば、発振信号の周波数が1.6 [MHz] であり、シンボル点数が8個の場合、サブキャリア信号の周波数を200 [kHz] とすることができる。制御回路61は、例えば、発振信号の周波数が1.6 [MHz] であり、シンボル点数が4個の場合、サブキャリア信号の周波数を400 [kHz] とすることができる。

[0059] 上述のとおり、第3実施形態では、シンボル点数を変更することで、PLL回路63の発振信号に基づいて、サブキャリア信号の周波数をより適切に設定することができる。

[0060] [第4実施形態]

第4実施形態について説明する。第4実施形態では、変調方式を変更することでも、シンボルレートを変更することができる。例えば、第1実施形態から第3実施形態では、インピーダンス回転回路62は、インピーダンス回路を1つのみ備えていることから、同一振幅上のシンボル点を使用している。この場合、シンボル点数が16個だとすると、BPSK (Binary Phase Shift Keying)、QPSK (Quadrature Phase Shift Keying)、8PSK (8 Phase Shift Keying)、16PSK (16 Phase Shift Keying) の変調方式に対応することができる。ここで、サブキャリア信号の振幅方向にシンボルを用意できれば、QAM (Quadrature Amplitude Modulation) 変調も対応可能になる。そこで、第4実施形態では、反射係数の異なる複数のインピーダンス回路を追加し、QAM変調にも対応可能とした。

[0061] (インピーダンス回転回路)

図19を用いて、第4実施形態に係るインピーダンス回転回路の構成例について説明する。図19は、第4実施形態に係るインピーダンス回転回路の

構成例を示す図である。

[0062] 図19に示すように、インピーダンス回転回路62Aは、インピーダンス回路70-1からインピーダンス回路70-n（nは2以上の整数）と、スイッチ72-1と、スイッチ72-2と、スイッチ72-3と、整合回路73と、配線74と、移相器75と、を備える。インピーダンス回路70-1からインピーダンス回路70-nには、それぞれ、異なる反射係数が設定されている。インピーダンス回路70-1からインピーダンス回路70-nを区別する必要のない場合には、インピーダンス回路70と総称する。すなわち、インピーダンス回転回路62Aは、反射係数が異なる複数のインピーダンス回路70を備えている。

[0063] インピーダンス回路70-1からインピーダンス回路70-nは、スイッチ72-1により、整合回路73と電氣的に接続されている。スイッチ72-1は、例えば、トランジスタであるが、これに限定されない。スイッチ72-1は、制御回路61により制御される。スイッチ72-1は、インピーダンス回路70-1からインピーダンス回路70-nのうちのいずれか1つと、整合回路73とを選択的に接続するように構成されている。すなわち、制御回路61は、スイッチ72-1を制御して、接続するインピーダンス回路70を切り替えることで、反射係数を制御することができる。例えば、インピーダンス回路70-1からインピーダンス回路70-nのそれぞれには、0.1刻みで異なる反射係数が設定され得るが、これに限定されない。

[0064] （第4実施形態の第1の例に係る変調方式）

図20は、第4実施形態の第1の例に係る変調方式を説明するための図である。図20は、I-Q平面を示している。第4実施形態の第1の例に係る変調方式は、BPSKである。図20に示す例では、シンボル点302の数は、16個である。BPSKでは、シンボル点302は、I-Q平面上において、[1]または[0]の位置に位置し得る。図20に示す例では、制御回路61は、シンボル点302が16個の点を所定回数回転したタイミングで、[1]の位置から[0]の位置に移動させる。

[0065] (第4実施形態の第2の例に係る変調方式)

図21は、第4実施形態の第2の例に係る変調方式を説明するための図である。図20は、I-Q平面を示している。第4実施形態の第2の例に係る変調方式は、QPSKである。図20に示す例では、シンボル点302の数は、16個である。QPSKでは、シンボル点302は、I-Q平面上において、 $[1\ 1]$ 、 $[1\ 0]$ 、 $[0\ 0]$ 、または $[0\ 1]$ の位置に位置し得る。図21に示す例では、制御回路61は、シンボル点302が16個の点を所定回数回転したタイミングで、 $[1\ 1]$ の位置から $[0\ 0]$ の位置に移動させる。

[0066] (第4実施形態の第3の例に係る変調方式)

図22は、第4実施形態の第3の例に係る変調方式を説明するための図である。図22は、I-Q平面を示している。第4実施形態の第3の例に係る変調方式は、8PSKである。図22に示す例では、シンボル点302の数は、16個である。8PSKでは、シンボル点302は、I-Q平面上において、 $[0\ 0\ 0]$ 、 $[0\ 0\ 1]$ 、 $[0\ 1\ 1]$ 、 $[0\ 1\ 0]$ 、 $[1\ 0\ 0]$ 、 $[1\ 0\ 1]$ 、 $[1\ 1\ 1]$ 、または $[1\ 1\ 0]$ の位置に位置し得る。図22に示す例では、制御回路61は、シンボル点302が16個の点を所定回数回転したタイミングで、 $[0\ 0\ 1]$ の位置から $[1\ 0\ 1]$ の位置に移動させる。

[0067] (第4実施形態の第4の例に係る変調方式)

図23は、第4実施形態の第4の例に係る変調方式を説明するための図である。図23は、I-Q平面を示している。第4実施形態の第4の例に係る変調方式は、16PSKである。図23に示す例では、シンボル点302の数は、16個である。16PSKでは、シンボル点302は、I-Q平面上において、 $[0\ 0\ 0\ 0]$ 、 $[0\ 0\ 0\ 1]$ 、 $[0\ 0\ 1\ 1]$ 、 $[0\ 0\ 1\ 0]$ 、 $[0\ 1\ 0\ 0]$ 、 $[0\ 1\ 0\ 1]$ 、 $[0\ 1\ 1\ 1]$ 、 $[0\ 1\ 1\ 0]$ 、 $[1\ 0\ 0\ 0]$ 、 $[1\ 0\ 0\ 1]$ 、 $[1\ 0\ 1\ 1]$ 、 $[1\ 0\ 1\ 0]$ 、 $[1\ 1\ 0\ 0]$ 、 $[1\ 1\ 0\ 1]$ 、 $[1\ 1\ 1\ 1]$ 、または $[1\ 1\ 1\ 0]$ の位置に位置し得る。図23に示す例では、制御回路61は、シンボル点302が16個の点を所定回数回転したタイ

ミングで、 $[0011]$ の位置から $[1011]$ の位置に移動させる。

[0068] (第4実施形態の第5の例に係る変調方式)

図24は、第4実施形態の第5の例に係る変調方式を説明するための図である。図24は、 IQ 平面を示している。第4実施形態の第5の例に係る変調方式は、8QAMである。図24に示す例では、シンボル点302の数は、円301上に16個、円304上に16個である。8QAMでは、シンボル点302は、円301上の $[100]$ 、 $[101]$ 、 $[111]$ 、または $[110]$ に位置し得る。または、シンボル点302は、円304上の $[000]$ 、 $[001]$ 、 $[011]$ 、 $[010]$ に位置し得る。図24に示す例では、制御回路61は、シンボル点302が円301上の16個の点を所定回数回転したタイミングで、 $[100]$ の位置から $[101]$ の位置に移動させる。

[0069] (第4実施形態の第6の例に係る変調方式)

図25は、第4実施形態の第6の例に係る変調方式を説明するための図である。図25は、 IQ 平面を示している。第4実施形態の第6の例に係る変調方式は、16QAMである。図25に示す例では、シンボル点302の数は、円301上に16個、円304上に16個である。16QAMでは、シンボル点302は、円301上の $[1000]$ 、 $[1001]$ 、 $[1011]$ 、 $[1010]$ 、 $[1100]$ 、 $[1101]$ 、 $[1111]$ 、または $[1110]$ に位置し得る。または、シンボル点302は、円304上の $[0000]$ 、 $[0001]$ 、 $[0011]$ 、 $[0010]$ 、 $[0100]$ 、 $[0101]$ 、 $[0111]$ 、または $[0110]$ に位置し得る。図25に示す例では、制御回路61は、シンボル点302が円301上の16個の点を所定回数回転したタイミングで、 $[1001]$ の位置から $[1010]$ の位置に移動させる。

[0070] 上述のとおり、第4実施形態では、インピーダンス回路70を複数用意することで、各変調方式において、サブキャリア信号の周波数をより適切に設定することができる。

[0071] 以上、本開示の実施形態を説明したが、これら実施形態の内容により本開示が限定されるものではない。また、前述した構成要素には、当業者が容易に想定できるもの、実質的に同一のもの、いわゆる均等の範囲のものが含まれる。さらに、前述した構成要素は適宜組み合わせることが可能である。さらに、前述した実施形態の要旨を逸脱しない範囲で構成要素の種々の省略、置換又は変更を行うことができる。

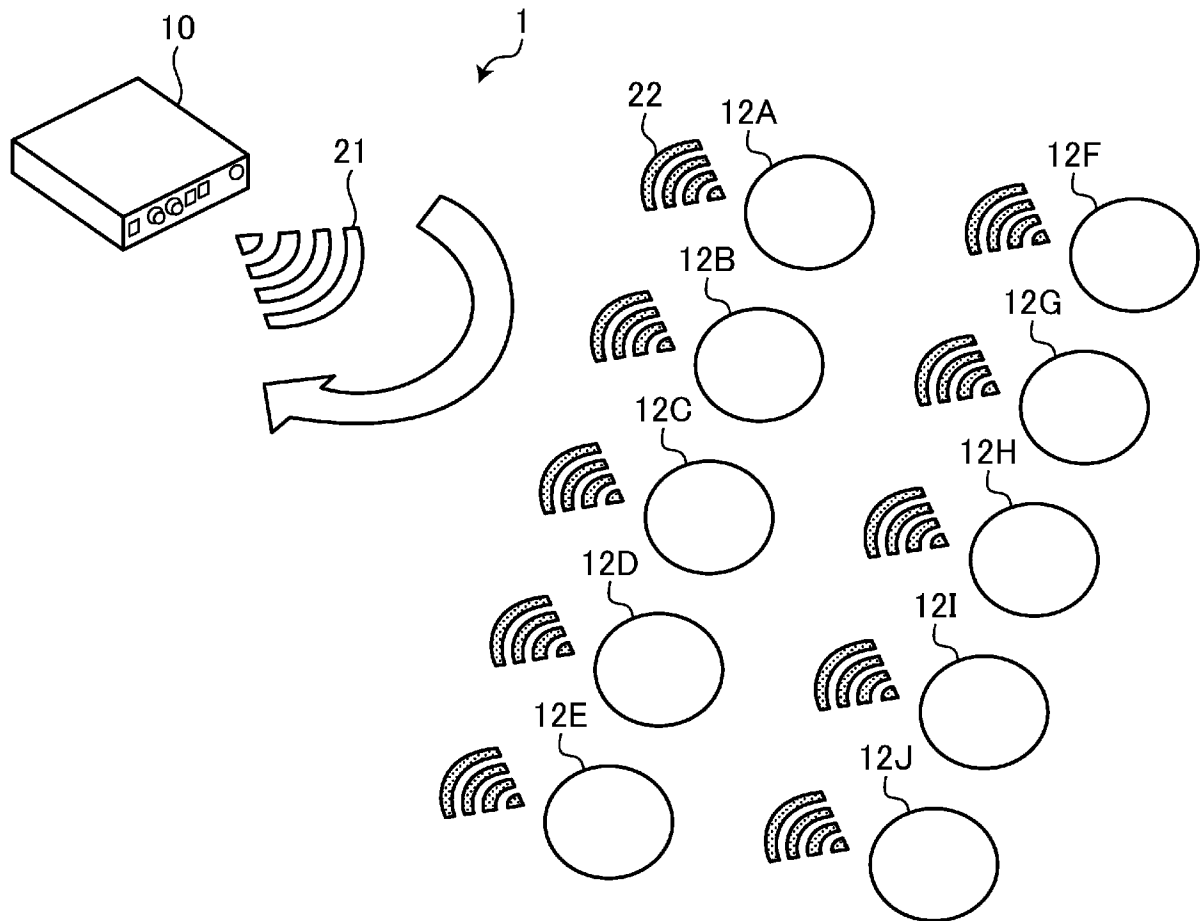
符号の説明

- [0072] 1 通信システム
- 1 0 親機
 - 1 2 子機
 - 4 0 アンテナ
 - 4 1 スイッチ
 - 4 2 受信回路
 - 4 3 送信回路
 - 4 4 制御部
 - 4 5 センサ
 - 6 0 CPUインターフェース
 - 6 1 制御回路
 - 6 2, 6 2 A インピーダンス回転回路
 - 7 0 インピーダンス回路
 - 7 2-1, 7 2-2, 7 2-3 スイッチ
 - 7 3 整合回路
 - 7 4 配線
 - 7 5 移相器

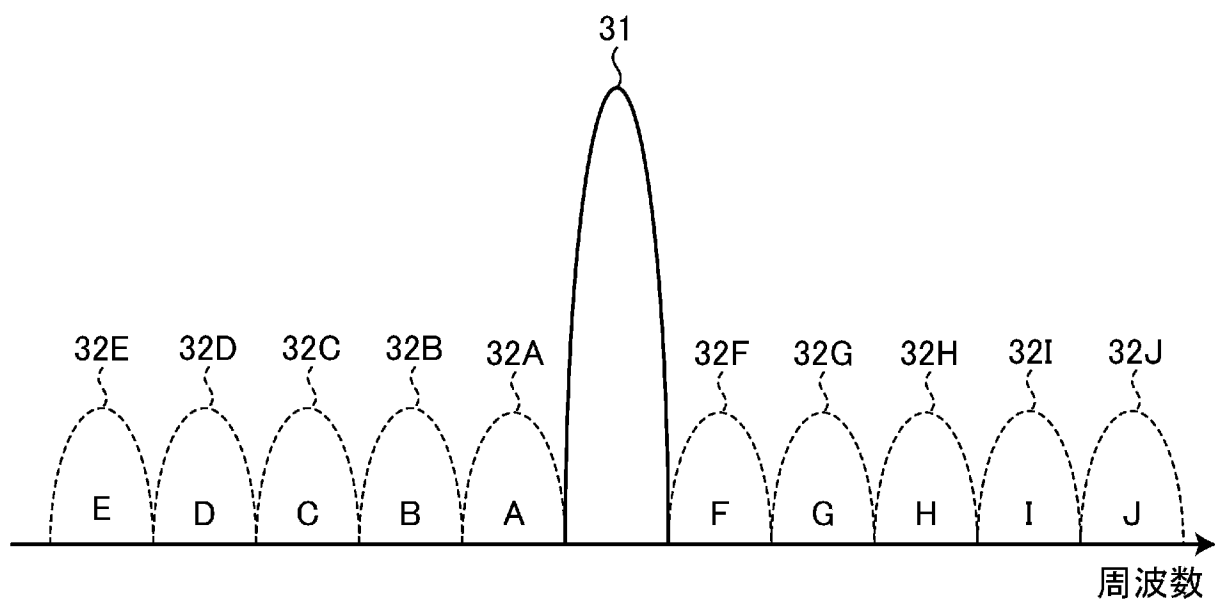
請求の範囲

- [請求項1] 所定の反射係数が設定され、アンテナに接続するように構成されたインピーダンス回路を備えるインピーダンス回転回路と、
前記インピーダンス回転回路の反射係数を制御して、複素平面において、反射係数を回転するように制御する制御回路と、を含み、
前記制御回路は、通信環境に応じて前記インピーダンス回転回路の反射信号の変調速度を変更する、
伝送回路。
- [請求項2] 前記制御回路は、前記反射信号の変調速度と、前記反射信号のサブキャリア周波数の周波数に基づいて、回転数を制御する、
請求項1に記載の伝送回路。
- [請求項3] 前記インピーダンス回転回路は、クロック信号を出力するPLL回路を備え、
前記制御回路は、前記クロック信号の周波数を制御することで、前記反射信号のサブキャリア周波数を制御する、
請求項2に記載の伝送回路。
- [請求項4] 前記制御回路は、前記クロック信号の周波数を制御し、同一の反射係数のシンボル点数で前記反射信号のサブキャリア周波数を制御する、
請求項3に記載の伝送回路。
- [請求項5] 前記インピーダンス回転回路は、反射係数の異なる複数の前記インピーダンス回路を備える、
請求項4に記載の伝送回路。

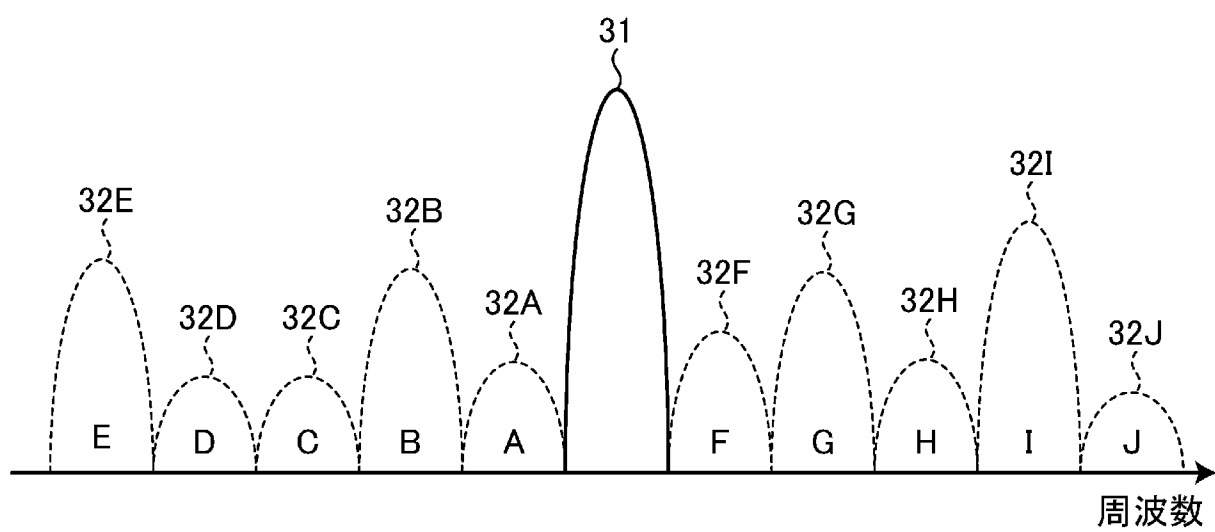
[図1]



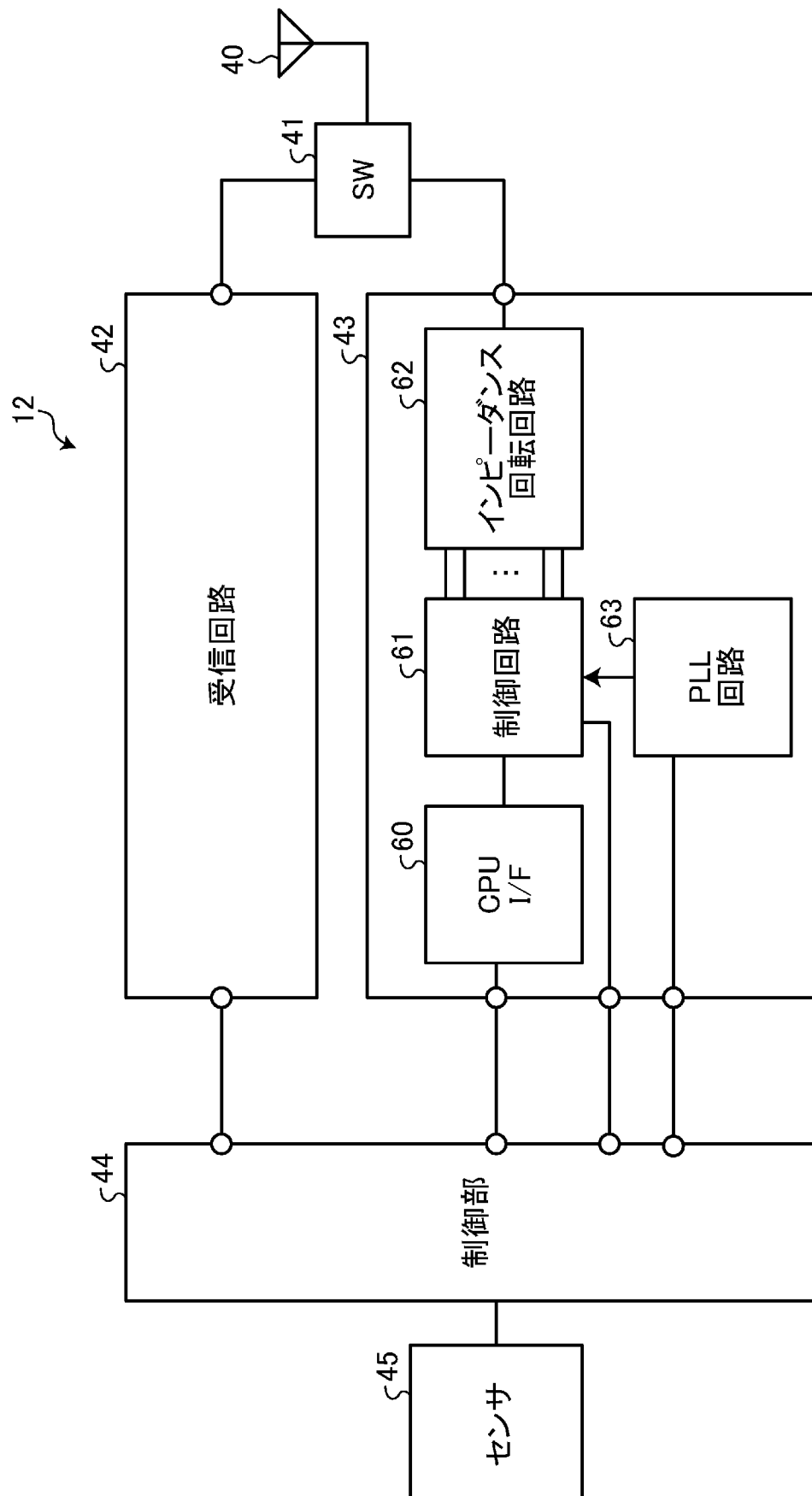
[図2]



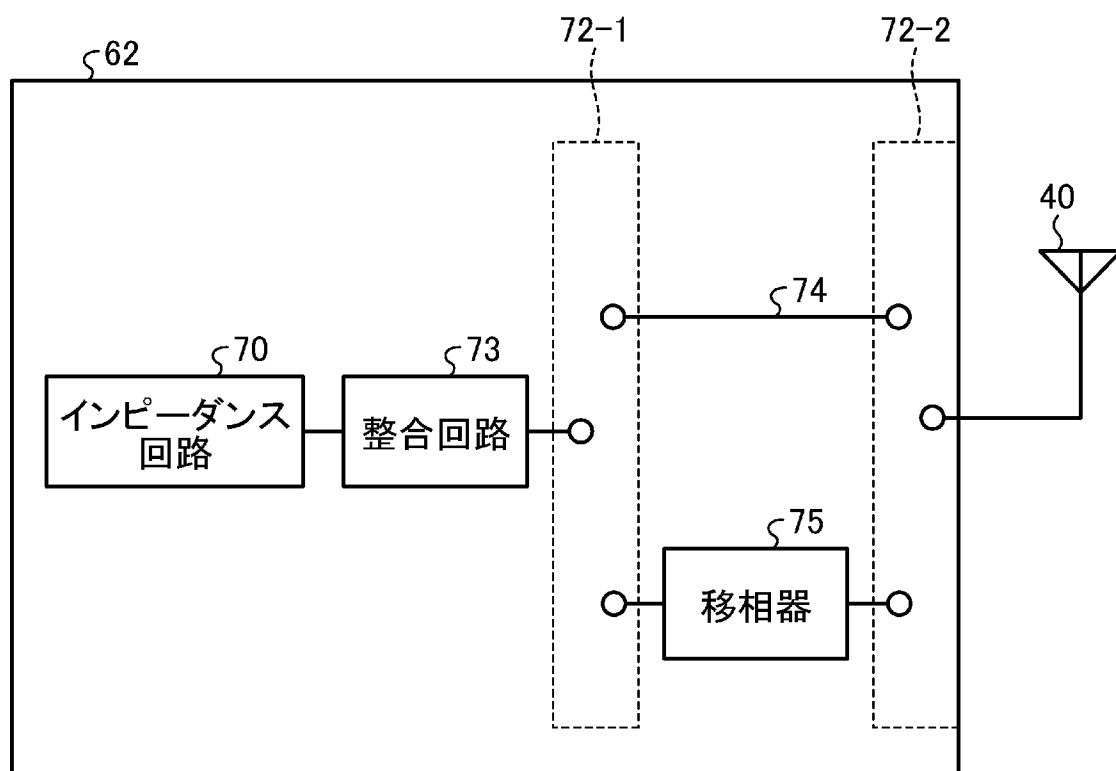
[図3]



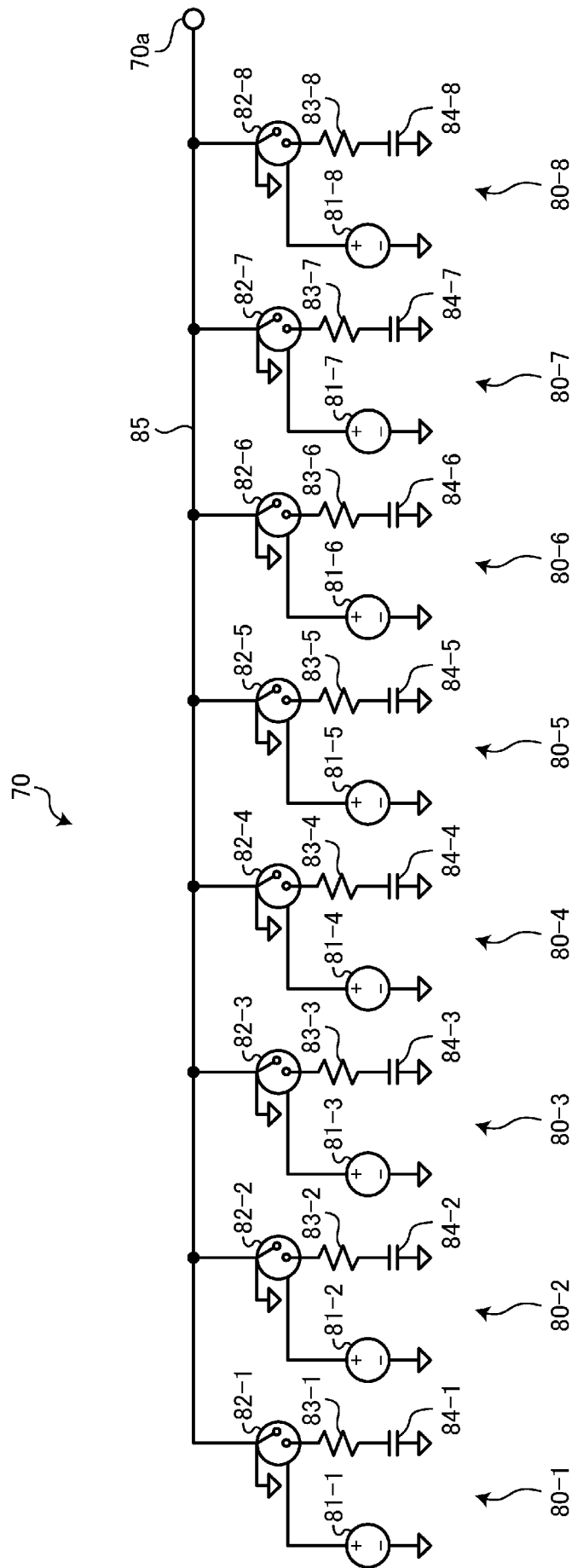
[図4]



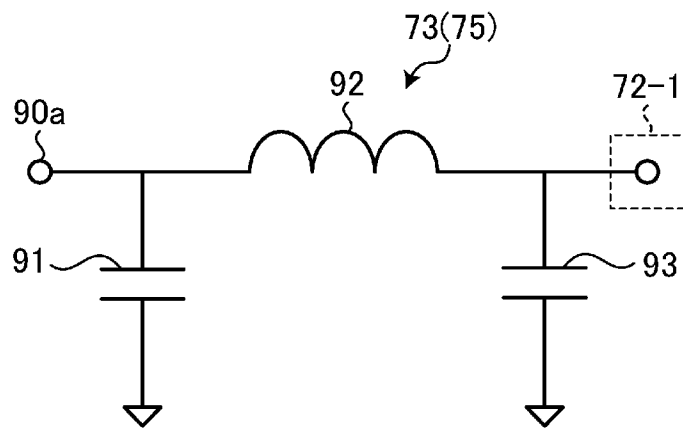
[図5]



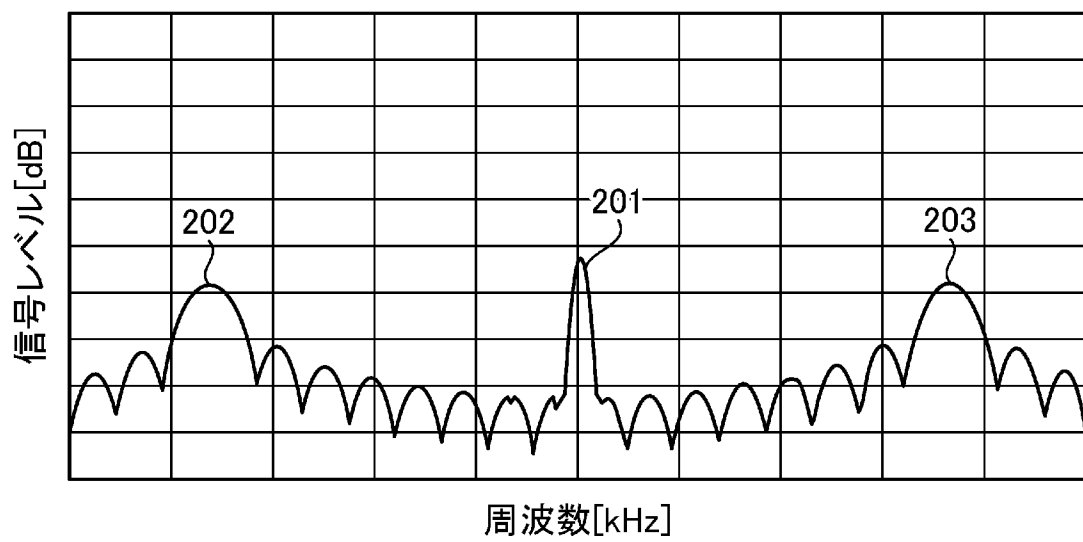
[図6]



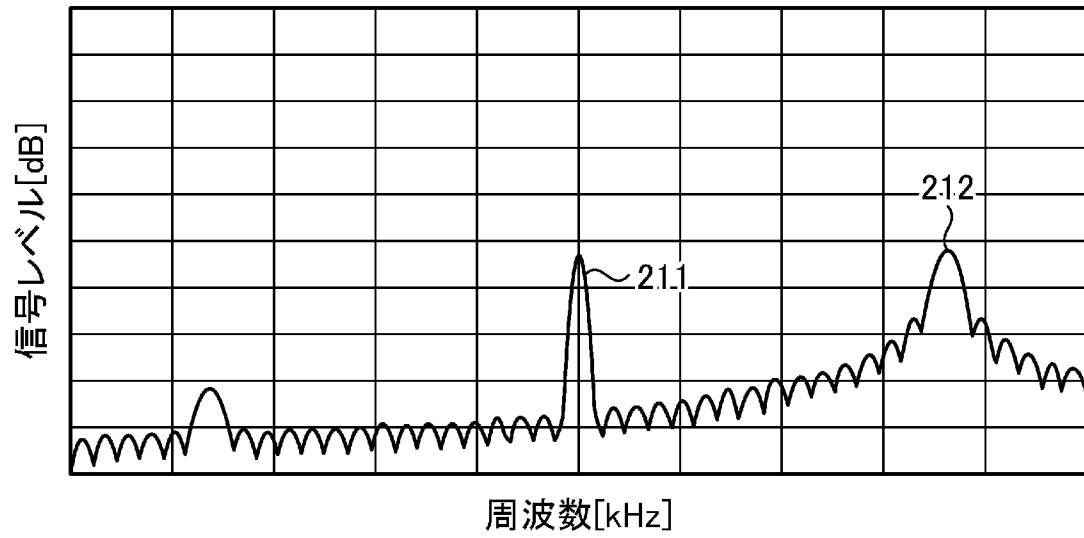
[図7]



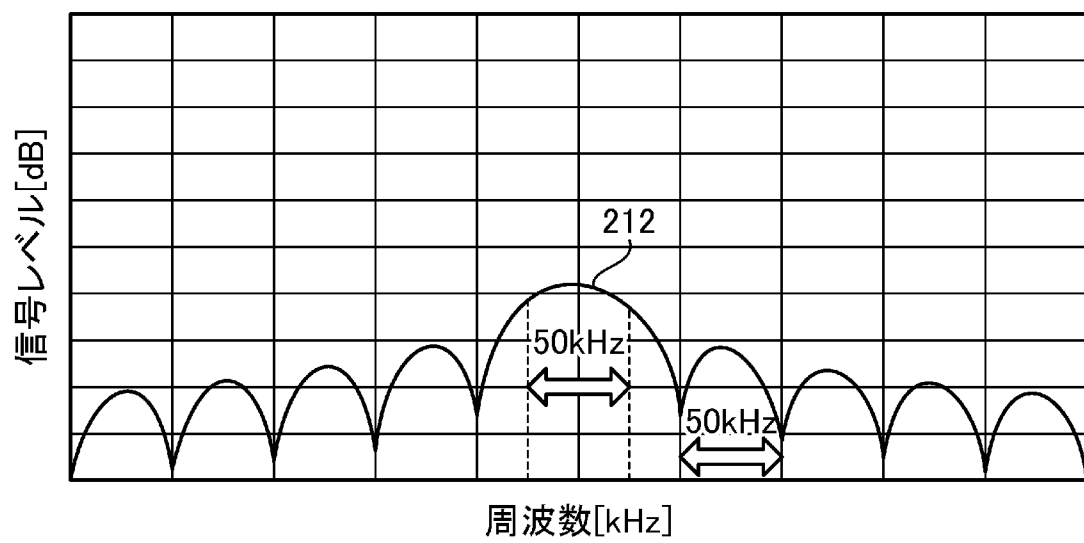
[図8]



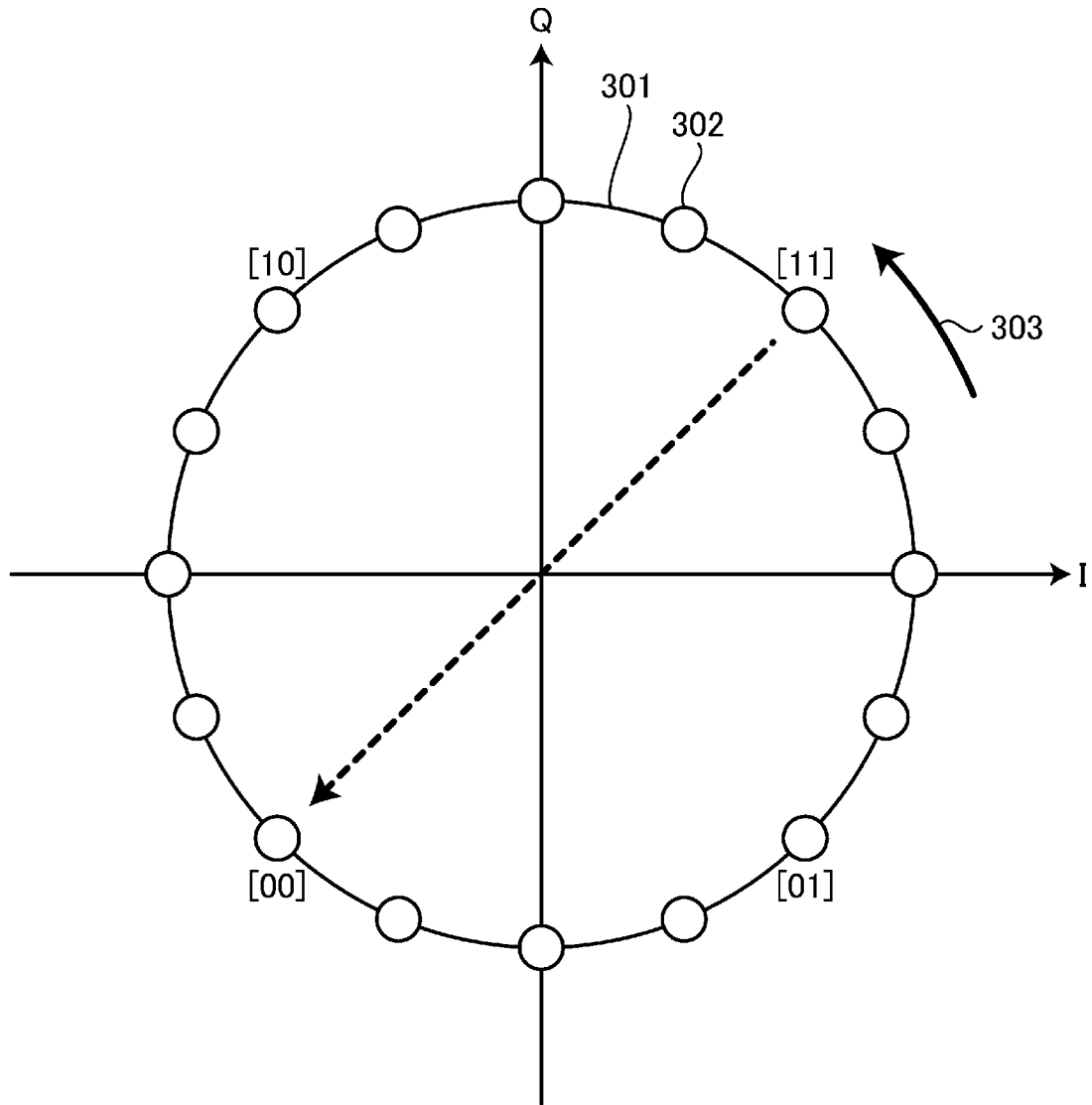
[図9]



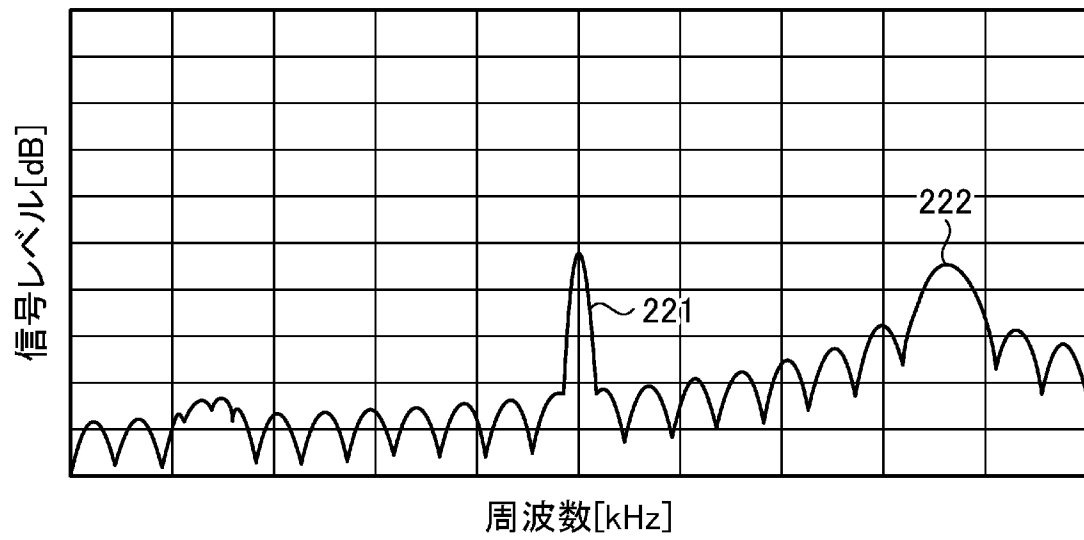
[図10]



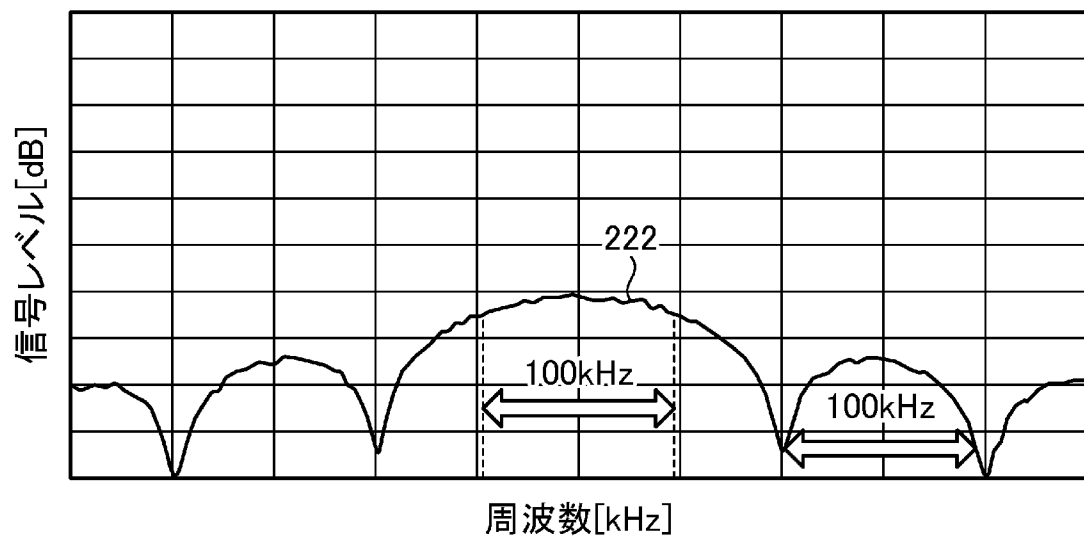
[図11]



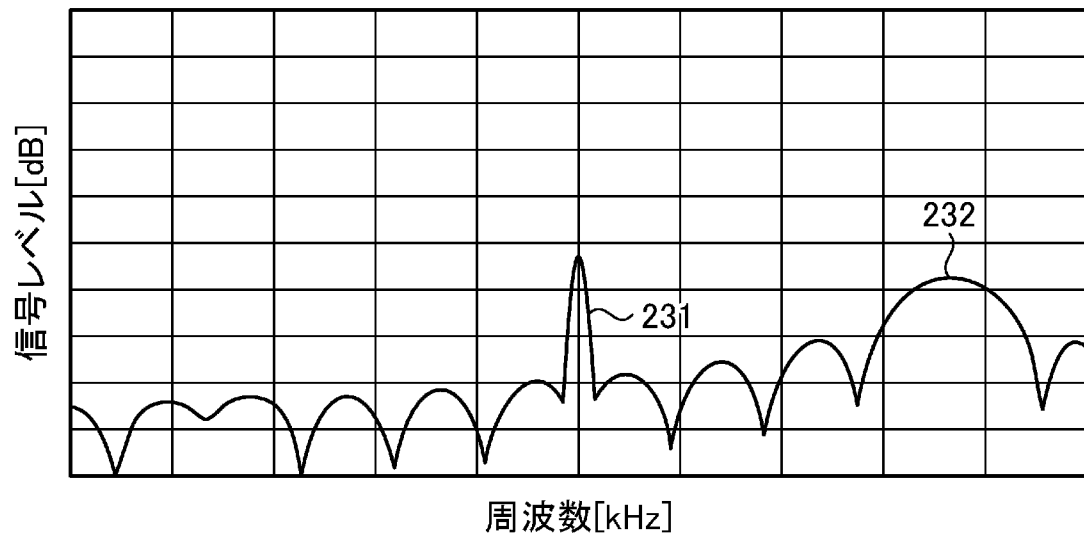
[図12]



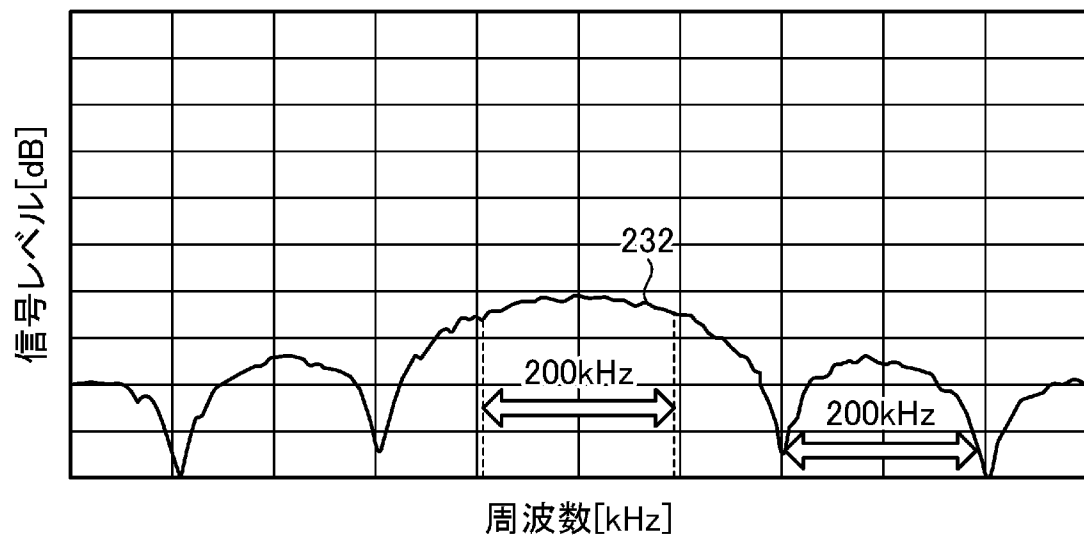
[図13]



[図14]



[図15]



[図16]

TB1
S

fc[kHz]	fs[kHz]						
	25	50	100	200	300	400	500
100	4	2	1				
200	8	4	2	1			
300	12	6	3		1		
400	16	8	4	2		1	
500	20	10	5				1
600	24	12	6	3	2		
700	28	14	7				
800	32	16	8	4		2	
900	36	18	9		3		
1000	40	20	10	5			2

[図17]

TB2

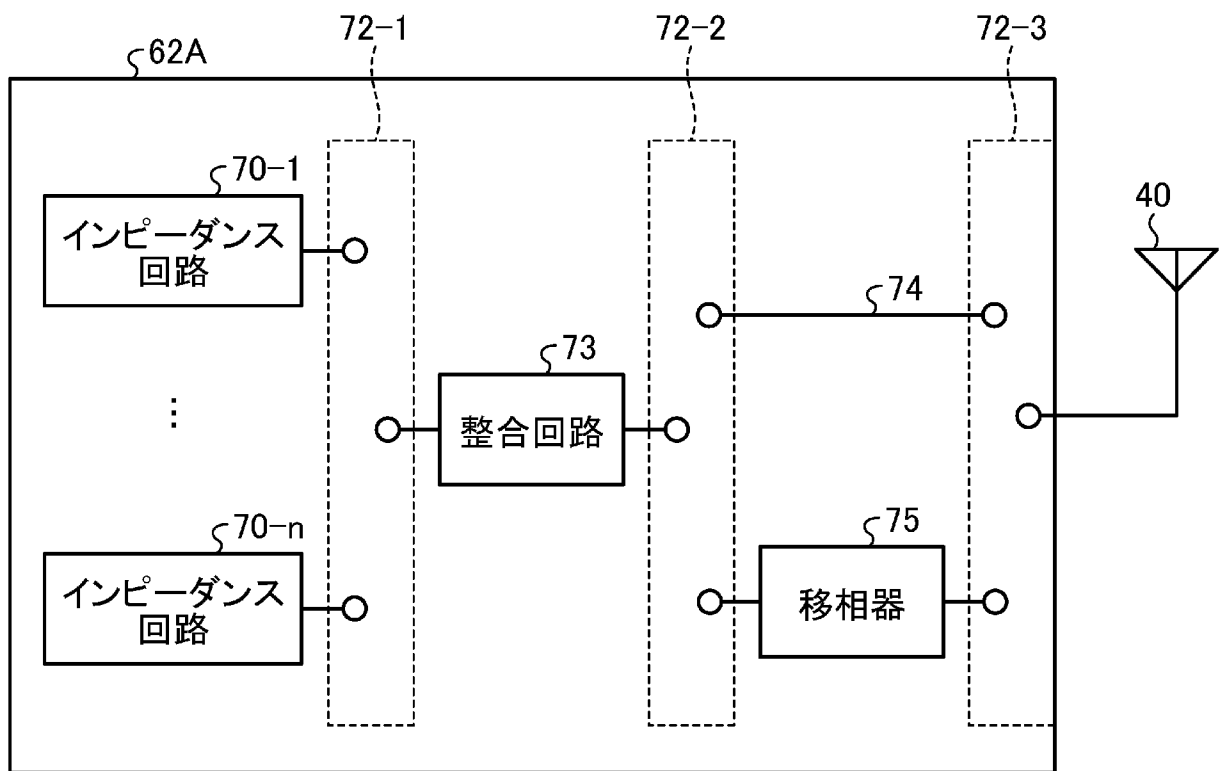
CLK[MHz]	fc[kHz]
1.6	100
3.2	200
4.8	300
6.4	400
8.0	500
9.6	600
11.2	700
12.8	800
14.4	900
16	1000

[図18]

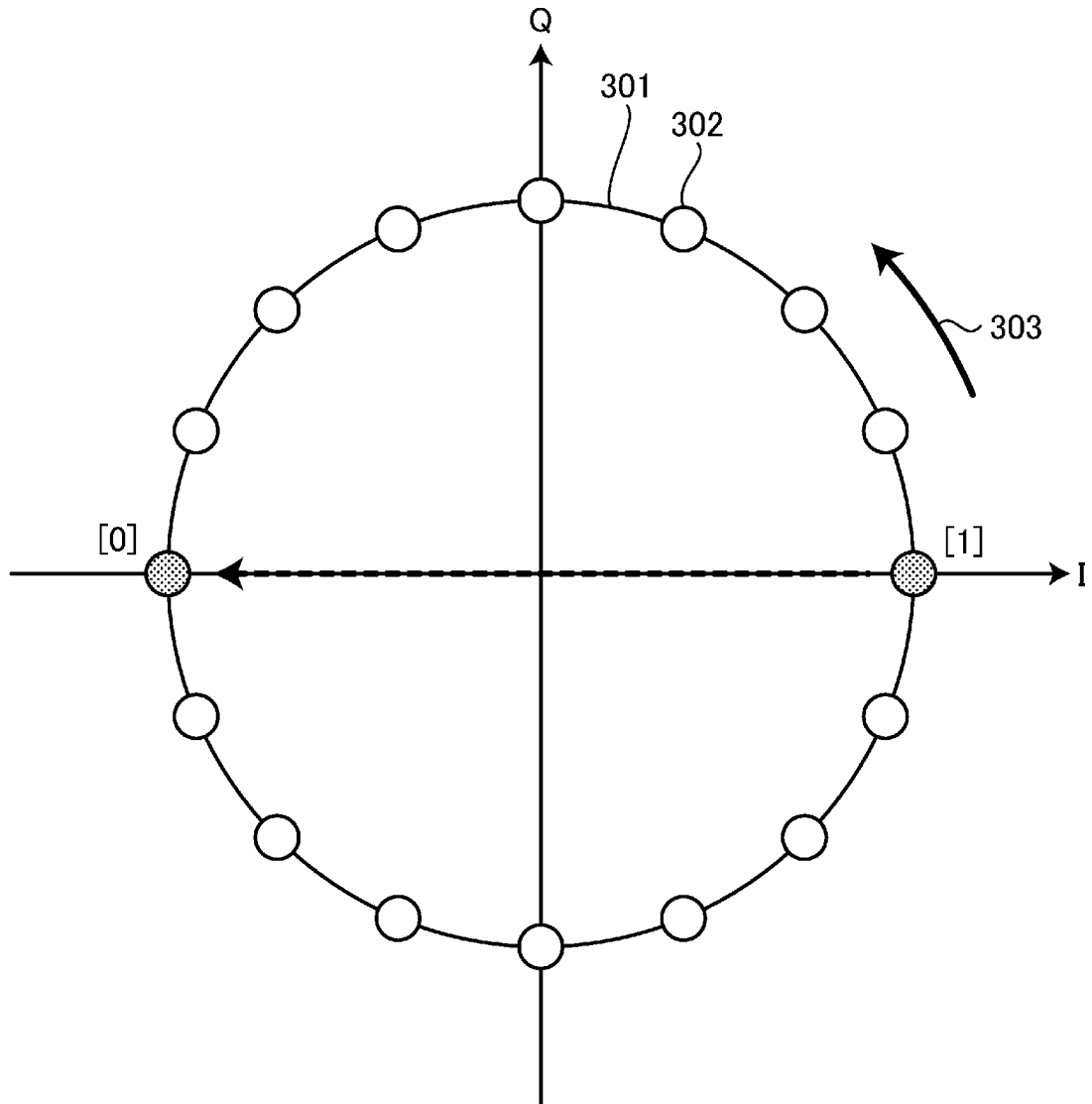
TB3

CLK[MHz]	fc[kHz]				
	シンボル点数:64	シンボル点数:32	シンボル点数:16	シンボル点数:8	シンボル点数:4
1.6	25	50	100	200	400
3.2	50	100	200	400	800
4.8	75	150	300	600	1200
6.4	100	200	400	800	1600
8.0	125	250	500	1000	2000
9.6	150	300	600	1200	2400
11.2	175	350	700	1400	2800
12.8	200	400	800	1600	3200
14.4	225	450	900	1800	3600
16	250	500	1000	2000	4000

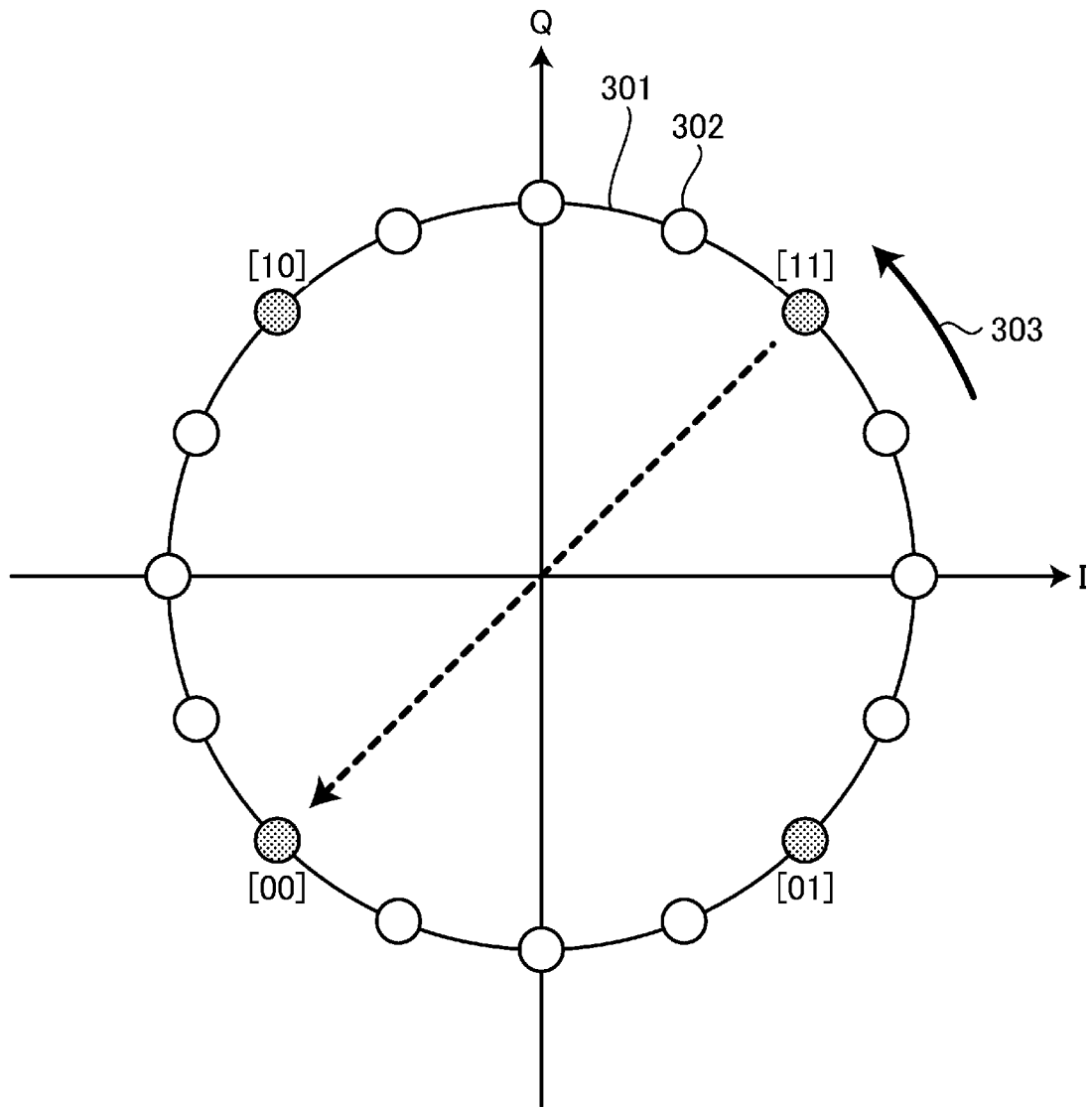
[図19]



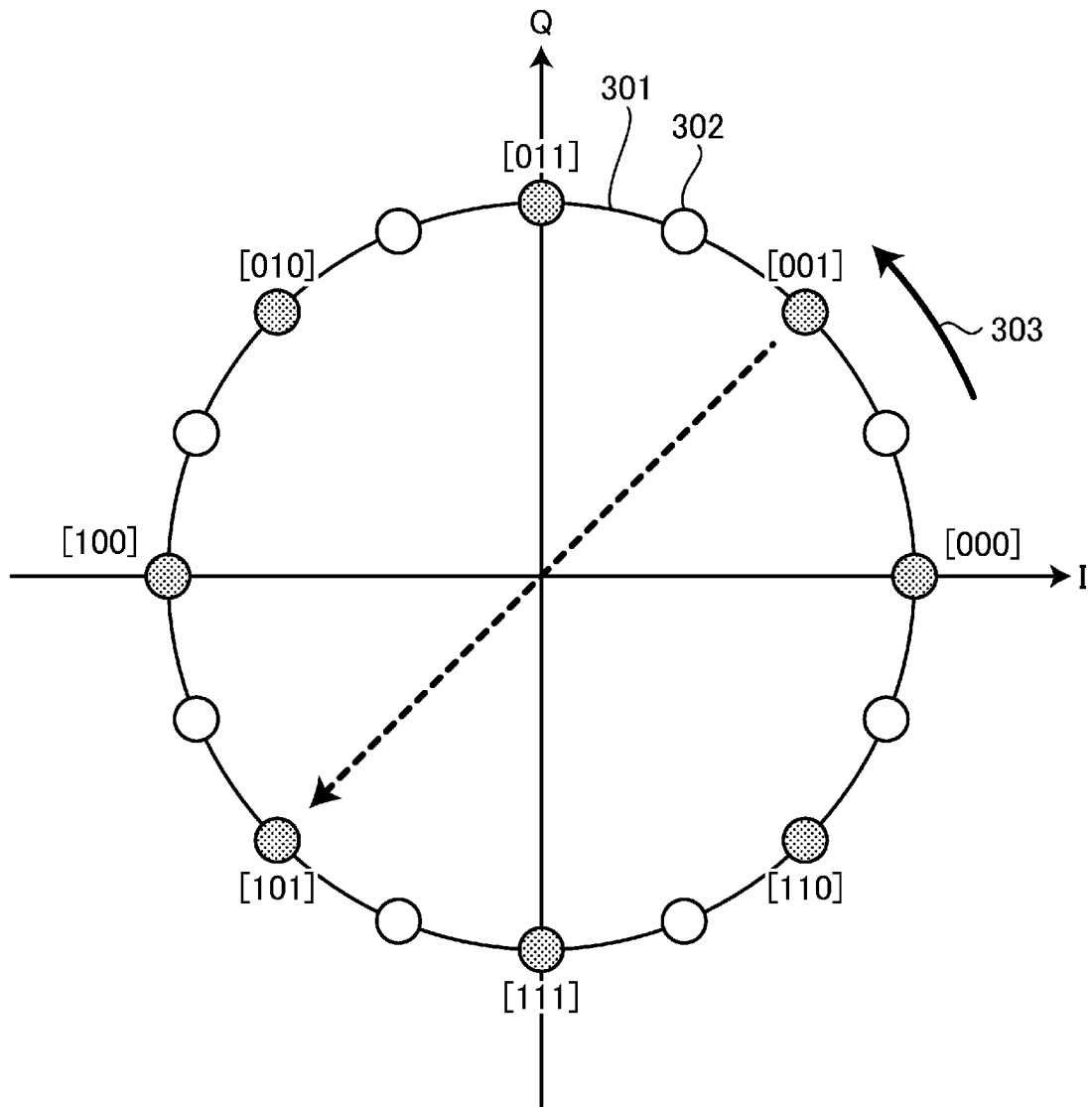
[図20]



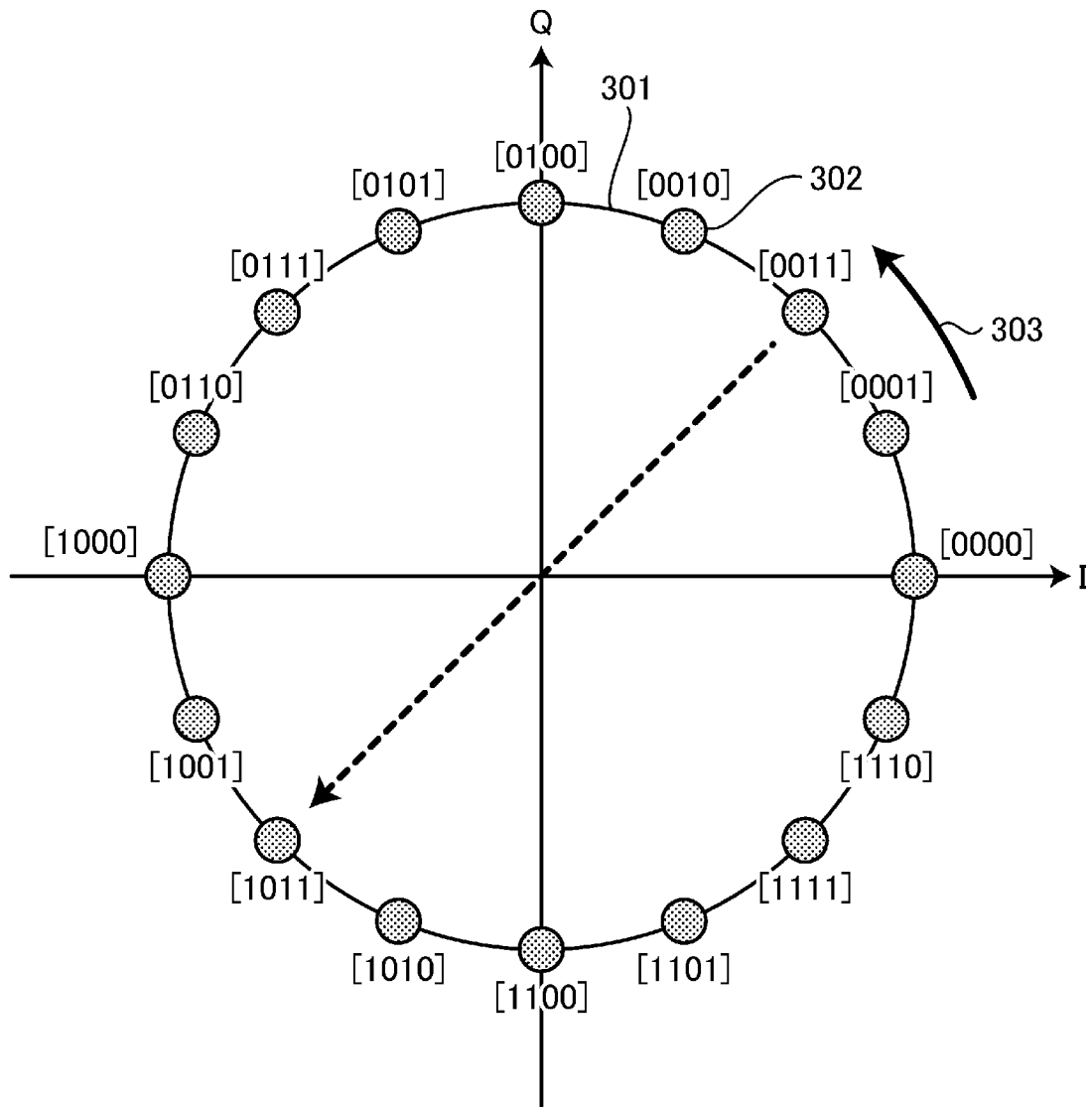
[図21]



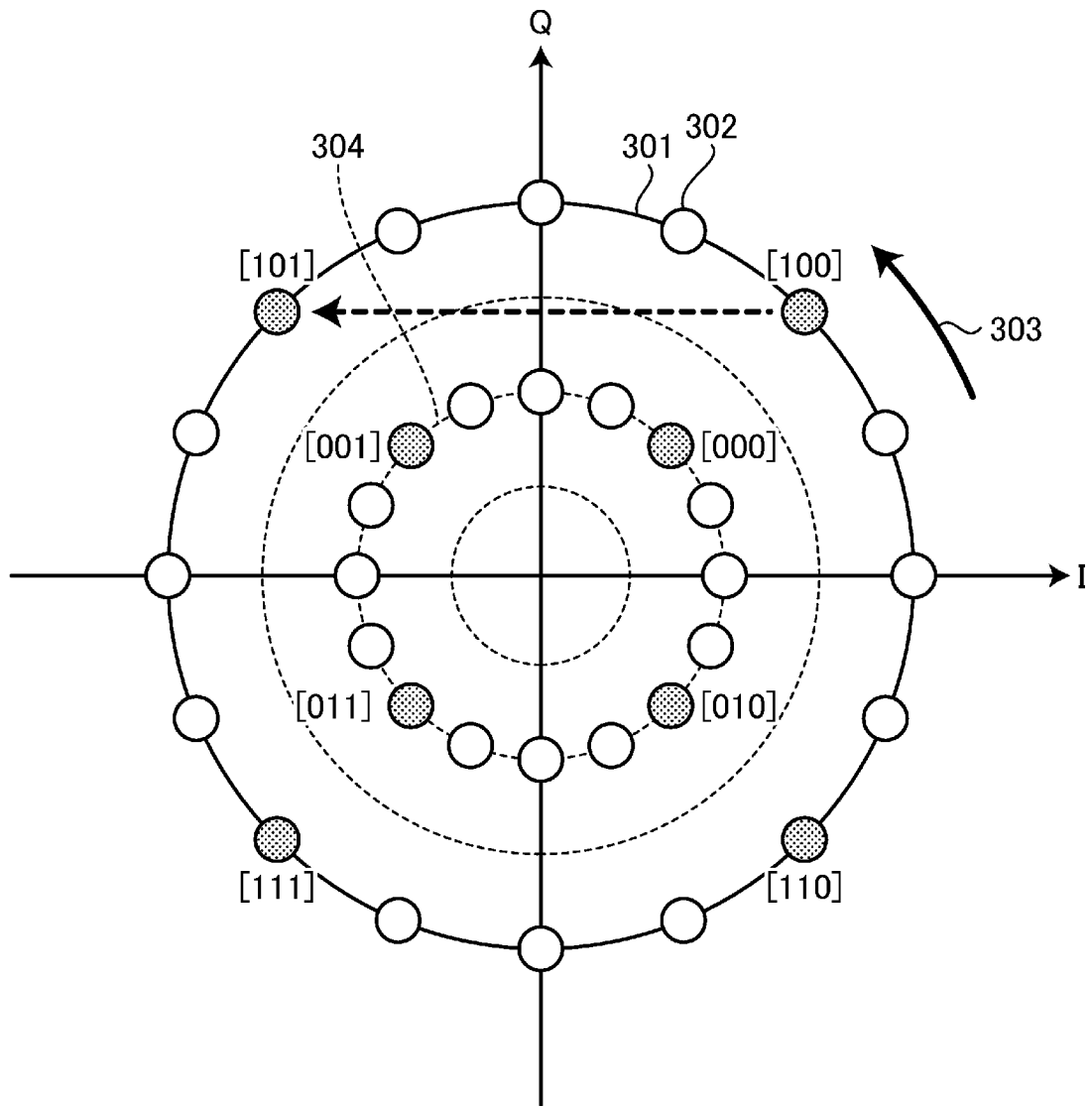
[図22]



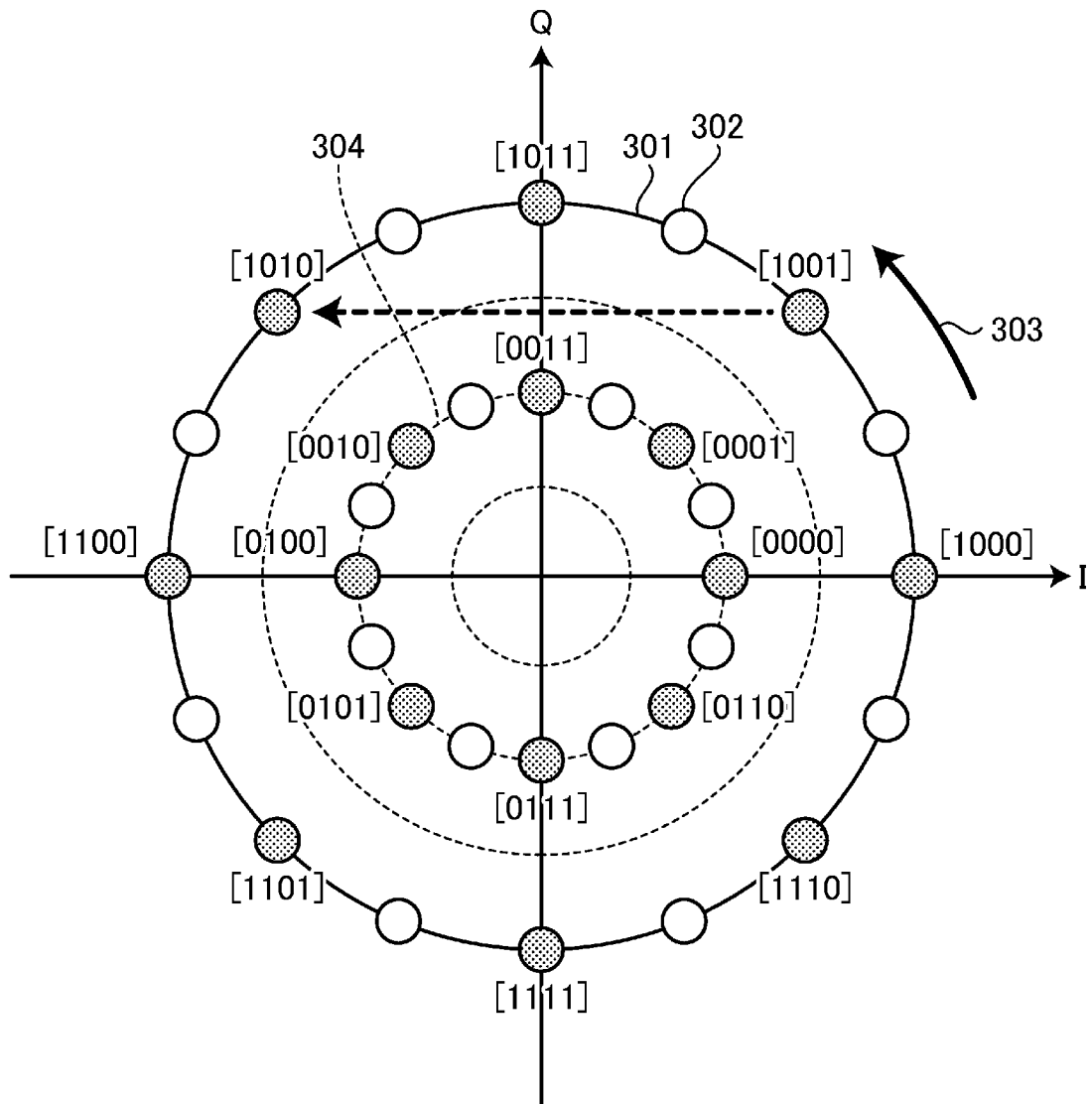
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/009897

A. CLASSIFICATION OF SUBJECT MATTER**H04B 1/59**(2006.01)i

FI: H04B1/59

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B1/59

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2022-56139 A (TOKYO INSTITUTE OF TECHNOLOGY) 08 April 2022 (2022-04-08) paragraphs [0011]-[0013], [0017]-[0031], [0057]-[0070], [0076]-[0085], fig. 1-3C, 6-8, 10-13	1-5
Y	US 2019/0089571 A1 (QUALCOMM INCORPORATED) 21 March 2019 (2019-03-21) paragraphs [0044]-[0046], fig. 2	1-5
A	JP 2022-127763 A (FUJITSU FRONTTECH LIMITED) 01 September 2022 (2022-09-01)	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“&” document member of the same patent family

Date of the actual completion of the international search

14 May 2024

Date of mailing of the international search report

28 May 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/009897

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2022-56139	A	08 April 2022	US 2023/0361793 A1 paragraphs [0026]-[0028], [0032]-[0046], [0072]-[0085], [0091]-[0100], fig. 1-3C, 6-8, 10-13 WO 2022/070676 A1 EP 4224727 A1	
US	2019/0089571	A1	21 March 2019	(Family: none)	
JP	2022-127763	A	01 September 2022	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H04B 1/59(2006.01)i

FI: H04B1/59

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H04B1/59

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922-1996年

日本国公開実用新案公報

1971-2024年

日本国実用新案登録公報

1996-2024年

日本国登録実用新案公報

1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2022-56139 A（国立大学法人東京工業大学）08.04.2022（2022-04-08） 段落[0011]-[0013], [0017]-[0031], [0057]-[0070], [0076]-[0085], 図1-3C, 6-8, 10-13	1-5
Y	US 2019/0089571 A1（QUALCOMM INCORPORATED）21.03.2019（2019-03-21） 段落[0044]-[0046], 図2	1-5
A	JP 2022-127763 A（富士通フロンテック株式会社）01.09.2022（2022-09-01）	1-5

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

14.05.2024

国際調査報告の発送日

28.05.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

後澤 瑞征 5K 4540

電話番号 03-3581-1101 内線 3596

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/009897

引用文献			公表日	パテントファミリー文献	公表日
JP	2022-56139	A	08.04.2022	US 2023/0361793 A1 段落[0026]-[0028], [0032]-[0046], [0072]- [0085], [0091]-[0100], 図 1-3C, 6-8, 10-13 WO 2022/070676 A1 EP 4224727 A1	
US	2019/0089571	A1	21.03.2019	(ファミリーなし)	
JP	2022-127763	A	01.09.2022	(ファミリーなし)	