



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2020-0035945  
(43) 공개일자 2020년04월06일

- (51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01) G02F 1/133 (2006.01)  
G09G 3/20 (2006.01) G09G 3/36 (2006.01)
- (52) CPC특허분류  
G09G 3/3233 (2013.01)  
G02F 1/133 (2013.01)
- (21) 출원번호 10-2020-7001881
- (22) 출원일자(국제) 2018년07월26일  
심사청구일자 없음
- (85) 번역문제출일자 2020년01월20일
- (86) 국제출원번호 PCT/IB2018/055582
- (87) 국제공개번호 WO 2019/030595  
국제공개일자 2019년02월14일
- (30) 우선권주장  
JP-P-2017-156237 2017년08월11일 일본(JP)

- (71) 출원인  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자  
구스노키 고지  
일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 나이  
와타나베 가즈노리  
일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 나이  
가와시마 스스무  
일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
- (74) 대리인  
김태홍, 김진희

전체 청구항 수 : 총 8 항

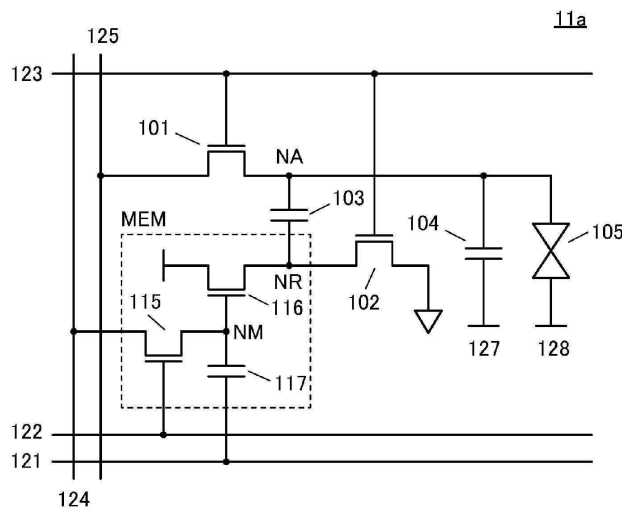
(54) 발명의 명칭 표시 장치 및 전자 기기

(57) 요약

화상 처리를 수행할 수 있는 표시 장치를 제공한다.

각 화소에는 메모리 회로가 제공되고, 상기 메모리 회로에 원하는 보정 데이터가 유지된다. 상기 보정 데이터는 외부 기기에서 산출되고, 각 화소에 기록된다. 상기 보정 데이터는 용량 결합에 의하여 화상 데이터에 부가되고, 표시 소자에 공급된다. 따라서, 표시 소자에서는 보정된 화상을 표시할 수 있다. 상기 보정에 의하여, 화상의 업컨버트나, 화소가 가지는 트랜지스터의 특성의 편차에 기인하여 저하되는 화상품위의 보정을 수행할 수 있다.

대표도 - 도1



(52) CPC특허분류

*G09G 3/20* (2013.01)

*G09G 3/36* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

표시 장치로서,

제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 4 트랜지스터와, 제 1 용량 소자와, 제 2 용량 소자와, 표시 소자를 가지고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 한쪽의 전극과 전기적으로 접속되고,

상기 제 1 용량 소자의 한쪽의 전극은 상기 표시 소자와 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 다른 쪽의 전극과 전기적으로 접속되고,

상기 제 1 용량 소자의 다른 쪽의 전극은 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,

상기 제 3 트랜지스터의 게이트는 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 용량 소자의 한쪽의 전극과 전기적으로 접속되는, 표시 장치.

#### 청구항 2

제 1 항에 있어서,

적어도 상기 제 4 트랜지스터는 채널 형성 영역에 금속 산화물을 가지고,

상기 금속 산화물은 In과, Zn과, M(M은 Al, Ti, Ga, Sn, Y, Zr, La, Ce, Nd, 또는 Hf)를 가지는, 표시 장치.

#### 청구항 3

제 1 항에 있어서,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 저전위 전원선과 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 고전위 전원선과 전기적으로 접속되는, 표시 장치.

#### 청구항 4

제 1 항에 있어서,

제 5 트랜지스터와, 제 6 트랜지스터를 더 가지고,

상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 표시 소자와 전기적으로 접속되고,

상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되고, 상기 제 6 트랜지스터의 소스 및 드레인 중 다른 쪽은 저전위 전원선과 전기적으로 접속되는, 표시 장치.

#### 청구항 5

제 1 항에 있어서,

상기 표시 소자는 액정 소자이고,

제 3 용량 소자를 더 가지고,

상기 액정 소자의 한쪽의 전극은 상기 제 3 용량 소자의 한쪽의 전극과 전기적으로 접속되고,

상기 제 3 용량 소자의 한쪽의 전극은 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되는, 표시 장치.

#### 청구항 6

제 4 항에 있어서,

상기 표시 소자는 유기 EL 소자이고,

제 4 용량 소자와, 제 7 트랜지스터를 더 가지고,

상기 유기 EL 소자의 한쪽의 전극은 상기 제 4 용량 소자의 한쪽의 전극과 전기적으로 접속되고,

상기 제 4 용량 소자의 한쪽의 전극은 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,

상기 제 7 트랜지스터의 게이트는 상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 용량 소자의 다른 쪽의 전극과 전기적으로 접속되는, 표시 장치.

#### 청구항 7

제 6 항에 있어서,

제 8 트랜지스터와, 제 1 회로를 더 가지고,

상기 제 1 회로는 전류값을 판독하는 기능 및 보정 데이터를 생성하는 기능을 가지고,

상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,

상기 제 8 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 회로와 전기적으로 접속되는, 표시 장치.

#### 청구항 8

전자 기기로서,

제 1 항에 기재된 표시 장치와, 카메라를 가지는, 전자 기기.

### 발명의 설명

#### 기술 분야

[0001] 본 발명의 일 형태는 표시 장치에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 상술한 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 일 형태의 기술분야는, 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 따라서, 더 구체적으로 본 명세서에서 개시하는 본 발명의 일 형태의 기술분야로서는, 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 촬상 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 일례로서 들 수 있다.

[0003] 또한, 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터, 반도체 회로는 반도체 장치의 일 형태이다. 또한, 기억 장치, 표시 장치, 촬상 장치, 전자 기기는 반도체 장치를 가지는 경우가 있다.

#### 배경 기술

[0004] 기관 위에 형성된 금속 산화물을 사용하여 트랜지스터를 구성하는 기술이 주목되고 있다. 예를 들어, 산화 아연 또는 In-Ga-Zn계 산화물을 사용한 트랜지스터를 표시 장치의 화소의 스위칭 소자 등에 사용되는 기술이 특허

문헌 1 및 특허문헌 2에 개시되어 있다.

[0005] 또한, 오프 전류가 매우 낮은 트랜지스터를 메모리 셀에 사용하는 구성의 기억 장치가 특허문헌 3에 개시되어 있다.

### 선행기술문헌

#### 특허문헌

- [0006] (특허문헌 0001) 일본 공개특허공보 특개2007-123861호
- (특허문헌 0002) 일본 공개특허공보 특개2007-96055호
- (특허문헌 0003) 일본 공개특허공보 특개2011-119674호

### 발명의 내용

#### 해결하려는 과제

- [0007] 표시 장치에 있어서는 고해상도화가 진행되어, 8K4K(화소수: 7680×4320) 해상도 또는 그 이상의 해상도로 표시를 행할 수 있는 하드웨어가 개발되고 있다. 한편으로, 고해상도의 화상 데이터는 막대하므로, 고해상도의 표시 장치를 일반적으로 보급하기 위해서는 촬상 장치, 기억 장치, 통신 장치 등의 주변 기술을 정비할 필요도 있다.
- [0008] 고해상도의 화상 데이터를 생성하기 위한 기술 중 하나로서, 업컨버트(upconvert)가 있다. 업컨버트를 수행함으로써, 저해상도의 화상을 의사적으로 고해상도의 화상으로 변환할 수 있다. 업컨버트는 표시 장치의 주변 기기에서 수행되므로, 업컨버트 전의 화상 데이터를 취급하는 기기에는, 기존의 기술을 이용할 수 있다.
- [0009] 다만, 업컨버트를 수행하는 기기에서는, 막대한 화상 데이터를 해석하여 새로운 화상 데이터를 생성하므로, 회로 규모나 소비전력이 크게 된다는 문제가 있다. 또한, 실시간으로 처리하지 못해, 표시의 지연이 일어날 경우도 있다.
- [0010] 업컨버트는, 이와 같은 문제를 가지지만, 예를 들어, 업컨버트에 관한 기능을 복수의 기기로 분산시킴으로써, 소비전력이나 지연 등의 문제를 완화할 수 있을 가능성이 있다.
- [0011] 또한, EL 소자 등을 가지는 표시 장치에서는, 화소가 가지는 트랜지스터의 특성의 편차가 표시 품위 저하의 요인의 하나가 되고 있다. 트랜지스터의 특성의 편차를 보정하는 수단으로서, 화상 데이터를 화소에 내장된 회로로 보정하는 내부 보정과, 화소마다 보정용 데이터를 취득하여 보정 데이터를 생성하고, 상기 보정 데이터를 부여한 화상 데이터를 화소에 공급하는 외부 보정이 있다.
- [0012] 내부 보정은 보정을 프레임마다 수행할 수 있지만, 고해상도의 표시 장치에서는 수평 선택 기간이 짧기 때문에, 보정 기간을 확보하는 것이 곤란해진다. 또한, 외부 보정은 고해상도의 표시 장치에 효과적이지만, 모든 화상 데이터를 대상으로 하여 보정할 필요가 있기 때문에, 외부 기기로의 부담이 커진다. 이상적으로는 보정없이 동작시키는 것이 바람직하지만, 트랜지스터의 특성의 편차의 역제는 난의도가 매우 높기 때문에, 새로운 보정 수단이 요망되고 있다.
- [0013] 따라서, 본 발명의 일 형태에서는, 화상 처리를 수행할 수 있는 표시 장치를 제공하는 것을 목적의 하나로 한다. 또는, 업컨버트 동작을 수행할 수 있는 표시 장치를 제공하는 것을 목적의 하나로 한다. 또는, 화상 데이터를 보정할 수 있는 표시 장치를 제공하는 것을 목적의 하나로 한다.
- [0014] 또는, 소비전력이 낮은 표시 장치를 제공하는 것을 목적의 하나로 한다. 또는, 신뢰성이 높은 표시 장치를 제공하는 것을 목적의 하나로 한다. 또는 신규 표시 장치 등을 제공하는 것을 목적의 하나로 한다. 또는, 상기 표시 장치의 구동 방법을 제공하는 것을 목적의 하나로 한다. 또는, 신규 반도체 장치 등을 제공하는 것을 목적의 하나로 한다.
- [0015] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 이들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절

로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 외의 과제를 추출할 수 있다.

**과제의 해결 수단**

- [0016] 본 발명의 일 형태는 화상 처리를 수행할 수 있는 표시 장치에 관한 것이다. 또는, 화상 신호를 보정할 수 있는 표시 장치에 관한 것이다.
- [0017] 본 발명의 일 형태는, 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 4 트랜지스터와, 제 1 용량 소자와, 제 2 용량 소자와, 표시 소자를 가지고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 한쪽의 전극과 전기적으로 접속되고, 제 1 용량 소자의 한쪽의 전극은 표시 소자와 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 다른 쪽의 전극과 전기적으로 접속되고, 제 1 용량 소자의 다른 쪽의 전극은, 제 3 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 3 트랜지스터의 게이트는 제 4 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 용량 소자의 한쪽의 전극과 전기적으로 접속되는 표시 장치이다.
- [0018] 적어도 제 4 트랜지스터는 채널 형성 영역에 금속 산화물을 가지고, 금속 산화물은 In과, Zn과, M(M은 Al, Ti, Ga, Sn, Y, Zr, La, Ce, Nd, 또는 Hf)을 가지는 것이 바람직하다.
- [0019] 또한, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 저전위 전원선과 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 고전위 전원선과 전기적으로 접속되는 것이 바람직하다.
- [0020] 제 5 트랜지스터와, 제 6 트랜지스터를 더 가지고, 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 표시 소자와 전기적으로 접속되고, 제 6 트랜지스터의 소스 및 드레인 중 한쪽은 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되고, 제 6 트랜지스터의 소스 및 드레인 중 다른 쪽은 저전위 전원선과 전기적으로 접속되어도 좋다.
- [0021] 표시 소자는 액정 소자이고, 제 3 용량 소자를 더 가지고, 액정 소자의 한쪽의 전극은 제 3 용량 소자의 한쪽의 전극과 전기적으로 접속되고, 제 3 용량 소자의 한쪽의 전극은 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되어도 좋다.
- [0022] 표시 소자는 유기 EL 소자이고, 제 4 용량 소자와, 제 7 트랜지스터를 더 가지고, 유기 EL 소자의 한쪽의 전극은 제 4 용량 소자의 한쪽의 전극과 전기적으로 접속되고, 제 4 용량 소자의 한쪽의 전극은 제 7 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 7 트랜지스터의 게이트는 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되고, 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 4 용량 소자의 다른 쪽의 전극과 전기적으로 접속되어도 좋다. 또한, 제 8 트랜지스터와, 제 1 회로를 가지고, 제 1 회로는 전류값을 판독하는 기능 및 보정 데이터를 생성하는 기능을 가지고, 제 8 트랜지스터의 소스 및 드레인 중 한쪽은 제 7 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 8 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 회로와 전기적으로 접속되어도 좋다.

**발명의 효과**

- [0023] 본 발명의 일 형태를 사용함으로써, 화상 처리를 수행할 수 있는 표시 장치를 제공할 수 있다. 또는, 업컨버트 동작을 수행할 수 있는 표시 장치를 제공할 수 있다. 또는, 화상 데이터를 보정할 수 있는 표시 장치를 제공할 수 있다.
- [0024] 또는, 소비전력이 낮은 표시 장치를 제공할 수 있다. 또는, 신뢰성이 높은 표시 장치를 제공할 수 있다. 또는, 신규 표시 장치 등을 제공할 수 있다. 또는, 상기 표시 장치의 구동 방법을 제공할 수 있다. 또는, 신규 반도체 장치 등을 제공할 수 있다.

**도면의 간단한 설명**

- [0025] 도 1은 화소 회로를 설명하는 도면이다.
- 도 2는 화소 회로의 동작을 설명하는 타이밍 차트이다.
- 도 3은 업컨버트를 설명하는 도면이다.
- 도 4는 화소 회로를 설명하는 도면이다.

- 도 5는 화소 회로의 동작을 설명하는 타이밍 차트이다.
- 도 6은 표시 장치를 설명하는 블록도이다.
- 도 7은 화소 회로를 설명하는 도면이다.
- 도 8은 표시 장치를 설명하는 블록도이다.
- 도 9는 표시 장치를 설명하는 도면이다.
- 도 10은 표시 장치를 설명하는 도면이다.
- 도 11은 표시 장치의 동작 모드의 일례를 설명하는 도면이다.
- 도 12는 뉴럴 네트워크의 구성예를 설명하는 도면이다.
- 도 13은 반도체 장치의 구성예를 설명하는 도면이다.
- 도 14는 메모리 셀의 구성예를 설명하는 도면이다.
- 도 15는 오프셋 회로의 구성예를 설명하는 도면이다.
- 도 16은 반도체 장치의 동작을 설명하는 타이밍 차트이다.
- 도 17은 전자 기기를 설명하는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0026] 실시형태에 대하여, 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에서 설명하는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 간에서 공통적으로 사용하고, 그 반복적인 설명은 생략하는 경우가 있다. 또한, 도면을 구성하는 같은 요소의 해칭을, 상이한 도면 간에서 적절히 생략 또는 변경하는 경우도 있다.
- [0027] (실시형태 1)
- [0028] 본 실시형태에서는 본 발명의 일 형태인 표시 장치에 대하여 도면을 참조하여 설명한다.
- [0029] 본 발명의 일 형태는, 화상 데이터에 보정 데이터를 부가하기 위한 기능을 가지는 표시 장치이다. 각 화소에는 메모리 회로가 제공되고, 상기 메모리 회로에 원하는 보정 데이터가 유지된다. 상기 보정 데이터는 외부 기기에서 생성되고, 각 화소에 기록된다.
- [0030] 상기 보정 데이터는 용량 결합에 의하여 화상 데이터에 부가되어, 표시 소자에 공급된다. 따라서, 표시 소자에서는 보정된 화상을 표시할 수 있다. 상기 보정에 의하여, 화상의 업컨버트, 또는 화소가 가지는 트랜지스터의 특성의 편차에 기인하여 저하되는 화상 품질의 보정을 수행할 수 있다.
- [0031] 도 1은 본 발명의 일 형태의 표시 장치에 사용할 수 있는 화소(11a)를 설명하는 도면이다. 화소(11a)는 트랜지스터(101)와, 트랜지스터(102)와, 트랜지스터(115)와, 트랜지스터(116)와, 용량 소자(103)와, 용량 소자(104)와, 용량 소자(117)와, 액정 소자(105)를 가진다.
- [0032] 트랜지스터(101)의 소스 및 드레인 중 한쪽은 용량 소자(103)의 한쪽의 전극과 전기적으로 접속된다. 용량 소자(103)의 한쪽의 전극은 용량 소자(104)의 한쪽의 전극과 전기적으로 접속된다. 용량 소자(104)의 한쪽의 전극은 액정 소자(105)와 전기적으로 접속된다. 트랜지스터(102)의 소스 및 드레인 중 한쪽은 용량 소자(103)의 다른 쪽의 전극과 전기적으로 접속된다. 용량 소자(103)의 다른 쪽의 전극은 트랜지스터(116)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(116)의 게이트는 트랜지스터(115)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(115)의 소스 및 드레인 중 한쪽은 용량 소자(117)의 한쪽의 전극과 전기적으로 접속된다.
- [0033] 여기서, 트랜지스터(101)의 소스 및 드레인 중 한쪽, 용량 소자(103)의 한쪽의 전극, 용량 소자(104)의 한쪽의 전극, 및 액정 소자(105)의 한쪽의 전극이 접속되는 배선을 노드(NA)로 한다. 또한, 용량 소자(103)의 다른 쪽의 전극, 트랜지스터(102)의 소스 및 드레인 중 한쪽, 및 트랜지스터(116)의 소스 및 드레인 중 한쪽이 접속되

는 배선을 노드(NR)로 한다. 또한, 트랜지스터(116)의 게이트, 트랜지스터(115)의 소스 및 드레인 중 한쪽, 및 용량 소자(117)의 한쪽의 전극이 접속되는 배선을 노드(NM)로 한다.

- [0034] 트랜지스터(101)의 게이트는 배선(123)과 전기적으로 접속된다. 트랜지스터(102)의 게이트는 배선(123)과 전기적으로 접속된다. 용량 소자(117)의 다른 쪽의 전극은 배선(121)에 전기적으로 접속된다. 트랜지스터(115)의 게이트는 배선(122)에 전기적으로 접속된다. 트랜지스터(115)의 소스 및 드레인 중 다른 쪽은 배선(124)과 전기적으로 접속된다.
- [0035] 트랜지스터(116)의 소스 및 드레인 중 다른 쪽은 전원선(고전위)과 전기적으로 접속된다. 트랜지스터(102)의 소스 및 드레인 중 다른 쪽은 전원선(저전위)과 전기적으로 접속된다. 용량 소자(104)의 다른 쪽의 전극은 공통 배선(127)과 전기적으로 접속된다. 액정 소자(105)의 다른 쪽의 전극은 공통 배선(128)과 전기적으로 접속된다. 또한, 공통 배선(127, 128)에는 임의의 전위를 공급할 수 있고, 공통 배선(127, 128)은 서로 전기적으로 접속되어도 좋다.
- [0036] 배선(122, 123)은 트랜지스터의 동작을 제어하기 위한 신호선으로서의 기능을 가질 수 있다. 배선(125)은 화상 데이터를 공급하는 신호선으로서의 기능을 가질 수 있다. 또한, 배선(121) 및 배선(124)은 다음에 설명하는 메모리 회로(MEM)를 동작시키기 위한 신호선으로서의 기능을 가질 수 있다.
- [0037] 트랜지스터(115), 트랜지스터(116), 및 용량 소자(117)는 메모리 회로(MEM)를 구성한다. 노드(NM)는 기억 노드이고, 트랜지스터(115)를 도통시킴으로써, 배선(124)에 공급된 데이터를 노드(NM)에 기록할 수 있다. 트랜지스터(115)에 오프 전류가 매우 낮은 트랜지스터를 사용함으로써, 노드(NM)의 전위를 장시간 유지할 수 있다. 상기 트랜지스터에는, 예를 들어, 금속 산화물을 채널 형성 영역에 사용한 트랜지스터(이하, OS 트랜지스터)를 사용할 수 있다.
- [0038] 또한, 트랜지스터(115)뿐만 아니라, 화소를 구성하는 기타의 트랜지스터에 OS 트랜지스터를 적용하여도 좋다. 또한, 트랜지스터(115)에, Si를 채널 형성 영역에 가지는 트랜지스터(이하, Si 트랜지스터)를 적용하여도 좋다. 또는, 화소를 구성하는 트랜지스터로서, OS 트랜지스터와 Si 트랜지스터의 양쪽을 사용하여도 좋다. 또한, 상기 Si 트랜지스터로서는, 비정질 실리콘을 가지는 트랜지스터, 결정성 실리콘(대표적으로는, 저온 폴리 실리콘, 단결정 실리콘)을 가진 트랜지스터 등을 들 수 있다.
- [0039] 표시 소자에 반사형 액정 소자나 EL(Electro Luminescence) 소자를 사용하는 경우는, 실리콘 기관을 사용할 수 있어, Si 트랜지스터와 OS 트랜지스터가 중첩되는 영역을 가지도록 형성할 수 있다. 따라서, 트랜지스터의 개수가 비교적 많아도 화소 밀도를 향상시킬 수 있다.
- [0040] OS 트랜지스터에 사용하는 반도체 재료로서는, 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상인 금속 산화물을 사용할 수 있다. 대표적으로는, 인듐을 포함하는 산화물 반도체 등이고, 예를 들어 후술하는 CAAC-OS 또는 CAC-OS 등을 사용할 수 있다. CAAC-OS는 결정을 구성하는 원자가 안정적이고, 신뢰성을 중시하는 트랜지스터 등에 적합하다. 또한, CAC-OS는 고이동도 특성을 나타내므로, 고속 구동을 수행하는 트랜지스터 등에 적합하다.
- [0041] OS 트랜지스터는 에너지 갭이 크기 때문에, 매우 낮은 오프 전류 특성을 나타낸다. 또한, OS 트랜지스터는 임팩트 이온화, 애벌란시(avalanche) 항복, 및 단채널 효과 등이 일어나지 않은 등, Si 트랜지스터와는 상이한 특징을 가지고, 신뢰성이 높은 회로를 형성할 수 있다.
- [0042] OS 트랜지스터가 가지는 반도체층은, 예를 들어 인듐, 아연, 및 M(알루미늄, 타이타늄, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 세륨, 주석, 네오디뮴, 또는 하프늄 등의 금속)을 포함하는 In-M-Zn계 산화물로 표기되는 막으로 할 수 있다.
- [0043] 반도체층을 구성하는 산화물 반도체가 In-M-Zn계 산화물인 경우, In-M-Zn 산화물을 성막하기 위하여 사용되는 스퍼터링 타겟의 금속 원소의 원자수비는  $In \geq M, Zn \geq M$ 을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타겟의 금속 원소의 원자수비로서,  $In:M:Zn=1:1:1$ ,  $In:M:Zn=1:1:1.2$ ,  $In:M:Zn=3:1:2$ ,  $In:M:Zn=4:2:3$ ,  $In:M:Zn=4:2:4.1$ ,  $In:M:Zn=5:1:6$ ,  $In:M:Zn=5:1:7$ ,  $In:M:Zn=5:1:8$  등이 바람직하다. 또한, 성막되는 반도체층의 원자수비는 각각, 상기 스퍼터링 타겟에 포함되는 금속 원소의 원자수비의  $\pm 40\%$ 의 변동을 포함한다.
- [0044] 반도체층으로서, 캐리어 밀도가 낮은 산화물 반도체를 사용한다. 예를 들어, 반도체층은 캐리어 밀도가  $1 \times 10^{17} / \text{cm}^3$  이하, 바람직하게는  $1 \times 10^{15} / \text{cm}^3$  이하, 더 바람직하게는  $1 \times 10^{13} / \text{cm}^3$  이하, 더 바람직하게는  $1 \times 10^{11} / \text{cm}^3$

이하, 더 바람직하게는  $1 \times 10^{10}/\text{cm}^3$  미만이고,  $1 \times 10^{-9}/\text{cm}^3$  이상의 캐리어 밀도의 산화물 반도체를 사용할 수 있다. 이러한 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 부른다. 상기 산화물 반도체는, 결함 준위 밀도가 낮고, 안정된 특성을 가지는 산화물 반도체라고 할 수 있다.

- [0045] 또한, 이들에 한정되지 않고, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 문턱 전압 등)에 따라 적절한 조성의 것을 사용하는 것이 좋다. 또한 필요로 하는 트랜지스터의 반도체 특성을 얻기 위하여, 반도체층의 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0046] 반도체층을 구성하는 산화물 반도체에서, 14족 원소의 하나인 실리콘이나 탄소가 포함되면, 산소 결손이 증가되어, n형화된다. 그러므로, 반도체층에서의 실리콘이나 탄소의 농도(이차 이온 질량 분석법에 의하여 얻어지는 농도)를  $2 \times 10^{18} \text{ atoms/cm}^3$  이하, 바람직하게는  $2 \times 10^{17} \text{ atoms/cm}^3$  이하로 한다.
- [0047] 또한, 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합하면 캐리어를 생성하는 경우가 있고, 트랜지스터의 오프 전류가 증대되는 경우가 있다. 그러므로, 반도체층에서의 알칼리 금속 또는 알칼리 토금속의 농도(이차 이온 질량 분석법에 의하여 얻어지는 농도)를  $1 \times 10^{18} \text{ atoms/cm}^3$  이하, 바람직하게는  $2 \times 10^{16} \text{ atoms/cm}^3$  이하로 한다.
- [0048] 또한, 반도체층을 구성하는 산화물 반도체에 질소가 포함되어 있으면, 캐리어인 전자가 생김으로써 캐리어 밀도가 증가되어 n형화되기 쉽다. 이 결과, 질소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 그러므로 반도체층에서의 질소 농도(이차 이온 질량 분석법에 의하여 얻어지는 농도)는  $5 \times 10^{18} \text{ atoms/cm}^3$  이하로 하는 것이 바람직하다.
- [0049] 또한, 반도체층은 예를 들어 비단결정 구조이어도 좋다. 비단결정 구조는, 예를 들어 c축으로 배향된 결정을 가지는 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor, 또는 C-Axis Aligned and A-B-plane Anchored Crystalline Oxide Semiconductor), 다결정 구조, 미결정 구조, 또는 비정질 구조를 포함한다. 비단결정 구조에서, 비정질 구조는 결함 준위 밀도가 가장 높고, CAAC-OS는 결함 준위 밀도가 가장 낮다.
- [0050] 비정질 구조의 산화물 반도체막은, 예를 들어 원자 배열이 무질서하며 결정 성분을 가지지 않는다. 또는, 비정질 구조의 산화물막은, 예를 들어 완전한 비정질 구조이며, 결정부를 가지지 않는다.
- [0051] 또한, 반도체층이 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 2종류 이상을 가지는 혼합막이어도 좋다. 혼합막은, 예를 들어 상술한 영역 중 어느 2종류 이상의 영역을 포함하는 단층 구조 또는 적층 구조를 가지는 경우가 있다.
- [0052] 이하에서는, 비단결정의 반도체층의 일 형태인 CAC(Cloud-Aligned Composite)-OS의 구성에 대하여 설명한다.
- [0053] CAC-OS란, 예를 들어 산화물 반도체를 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 편재한 재료의 한 구성이다. 또한, 이하에서는 산화물 반도체에서, 하나 또는 그 이상의 금속 원소가 편재하고, 상기 금속 원소를 가지는 영역이, 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 혼합한 상태를 모자이크상 또는 패치상이라고도 한다.
- [0054] 또한 산화물 반도체는 적어도 인듐을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이에 더하여 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브덴, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.
- [0055] 예를 들어, In-Ga-Zn 산화물에서의 CAC-OS(CAC-OS 중에서도 In-Ga-Zn 산화물을 특히 CAC-IGZO라고 불려도 좋음)란 인듐 산화물(이하,  $\text{InO}_{X1}$ ( $X1$ 은 0보다 큰 실수(實數))로 함) 또는 인듐 아연 산화물(이하,  $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ ( $X2$ ,  $Y2$ , 및  $Z2$ 는 0보다 큰 실수)로 함)과, 갈륨 산화물(이하,  $\text{GaO}_{X3}$ ( $X3$ 은 0보다 큰 실수)으로 함) 또는 갈륨 아연 산화물(이하,  $\text{Ga}_{X4}\text{Zn}_{Y4}\text{O}_{Z4}$ ( $X4$ ,  $Y4$ , 및  $Z4$ 는 0보다 큰 실수)로 함) 등으로 재료가 분리됨으로써 모자이크상이 되고, 모자이크상의  $\text{InO}_{X1}$  또는  $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ 가 막 내에 균일하게 분포된 구성(이하, 클라우드상이라고도 함)이다.
- [0056] 즉, CAC-OS는  $\text{GaO}_{X3}$ 이 주성분인 영역과,  $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$  또는  $\text{InO}_{X1}$ 이 주성분인 영역이 혼합되는 구성을 가지는 복합 산화물 반도체이다. 또한 본 명세서에서 예를 들어 제 1 영역의 원소 M에 대한 In의 원자수비가 제 2 영역의

원소 M에 대한 In의 원자수비보다 큰 것을, 제 1 영역은 제 2 영역과 비교하여 In의 농도가 높은 것으로 한다.

- [0057] 또한 IGZO는 통칭이며, In, Ga, Zn, 및 O로 이루어지는 하나의 화합물을 말하는 경우가 있다. 대표적인 예로서,  $\text{InGaO}_3(\text{ZnO})_{m1}$  ( $m1$ 은 자연수임) 또는  $\text{In}_{(1+x0)}\text{Ga}_{(1-x0)}\text{O}_3(\text{ZnO})_{m0}$  ( $-1 \leq x0 \leq 1$ ,  $m0$ 은 임의의 수임)으로 나타내어 지는 결정성 화합물을 들 수 있다.
- [0058] 상기 결정성 화합물은 단결정 구조, 다결정 구조, 또는 CAAC 구조를 가진다. 또한 CAAC 구조는, 복수의 IGZO의 나노 결정이 c축 배향을 가지고 또한 a-b면에서는 배향하지 않고 연결된 결정 구조이다.
- [0059] 한편, CAC-OS는 산화물 반도체의 재료 구성에 관한 것이다. CAC-OS란 In, Ga, Zn, 및 O를 포함한 재료 구성에서, 일부에 Ga를 주성분으로 하는 나노 입자상으로 관찰되는 영역과 일부에 In을 주성분으로 하는 나노 입자상으로 관찰되는 영역이 각각 모자이크상으로 무작위로 분산되는 구성을 말한다. 따라서, CAC-OS에서 결정 구조는 부차적인 요소이다.
- [0060] 또한 CAC-OS는 조성이 상이한 2종류 이상의 막의 적층 구조를 포함하지 않는 것으로 한다. 예를 들어, In을 주성분으로 하는 막과, Ga를 주성분으로 하는 막의 2층으로 이루어지는 구조는 포함하지 않는다.
- [0061] 또한  $\text{GaO}_{x3}$ 이 주성분인 영역과,  $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$  또는  $\text{InO}_{x1}$ 이 주성분인 영역에서는, 명확한 경계를 관찰할 수 없는 경우가 있다.
- [0062] 또한, 갈륨 대신에, 알루미늄, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등에서 선택된 1종류 또는 복수 종류가 포함되어 있는 경우, CAC-OS는 일부에 상기 금속 원소를 주성분으로 하는 나노 입자상으로 관찰되는 영역과, 일부에 In을 주성분으로 하는 나노 입자상으로 관찰되는 영역이 각각 모자이크상으로 무작위로 분산되는 구성을 말한다.
- [0063] CAC-OS는 예를 들어 기판을 의도적으로 가열하지 않는 조건하에서 스퍼터링법에 의하여 형성할 수 있다. 또한, CAC-OS를 스퍼터링법으로 형성하는 경우, 성막 가스로서 불활성 가스(대표적으로는 아르곤), 산소 가스, 및 질소 가스 중에서 선택된 어느 하나 또는 복수를 사용하면 좋다. 또한 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비는 낮을수록 바람직하고, 예를 들어 산소 가스의 유량비를 0% 이상 30% 미만, 바람직하게는 0% 이상 10% 이하로 하는 것이 바람직하다.
- [0064] CAC-OS는 X선 회절(XRD: X-ray diffraction) 측정법의 하나인 Out-of-plane법에 의한  $\theta/2\theta$  스캔을 사용하여 측정하였을 때 명확한 피크가 관찰되지 않는다는 특징을 가진다. 즉, X선 회절로부터 측정 영역의 a-b면 방향 및 c축 방향의 배향이 보이지 않는 것을 알 수 있다.
- [0065] 또한, CAC-OS는, 프로브 직경이 1nm의 전자선(나노 빔 전자선이라고도 함)을 조사함으로써 얻어지는 전자선 회절 패턴에서, 링 형상으로 휘도가 높은 영역과, 상기 링 영역에 복수의 휘점이 관측된다. 따라서, 전자선 회절 패턴으로부터 CAC-OS의 결정 구조가 평면 방향 및 단면 방향에서 배향성을 가지지 않는 nc(nano-crystal) 구조를 가지는 것을 알 수 있다.
- [0066] 또한, 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 맵에 의하여,  $\text{GaO}_{x3}$ 이 주성분인 영역과,  $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$  또는  $\text{InO}_{x1}$ 이 주성분인 영역이 편재되고 혼합된 구조를 가지는 것을 확인할 수 있다.
- [0067] CAC-OS는 금속 원소가 균일하게 분포된 IGZO 화합물과는 상이한 구조이고, IGZO 화합물과 상이한 성질을 가진다. 즉, CAC-OS는  $\text{GaO}_{x3}$  등이 주성분인 영역과,  $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$  또는  $\text{InO}_{x1}$ 이 주성분인 영역으로 서로 상분리(相分離)되어, 각 원소를 주성분으로 하는 영역이 모자이크상인 구조를 가진다.
- [0068] 여기서,  $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$  또는  $\text{InO}_{x1}$ 이 주성분인 영역은  $\text{GaO}_{x3}$  등이 주성분인 영역과 비교하여 도전성이 높은 영역이다. 즉,  $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$  또는  $\text{InO}_{x1}$ 이 주성분인 영역을 캐리어가 흐름으로써, 산화물 반도체로서의 도전성이 발현된다. 따라서,  $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$  또는  $\text{InO}_{x1}$ 이 주성분인 영역이 산화물 반도체 내에 클라우드상으로 분포됨으로써 높은 전계 효과 이동도( $\mu$ )를 실현할 수 있다.
- [0069] 한편,  $\text{GaO}_{x3}$  등이 주성분인 영역은  $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$  또는  $\text{InO}_{x1}$ 이 주성분인 영역과 비교하여 절연성이 높은 영역이다. 즉,  $\text{GaO}_{x3}$  등이 주성분인 영역이 산화물 반도체 내에 분포됨으로써 누설 전류가 억제되어 양호한 스위칭 동작을

실현할 수 있다.

- [0070] 따라서, CAC-OS를 반도체 소자에 사용한 경우,  $GaO_{x3}$  등에 기인하는 절연성과,  $In_{x2}Zn_{y2}O_{z2}$  또는  $InO_{x1}$ 에 기인하는 도전성이 상보적으로 작용함으로써, 높은 온 전류( $I_{on}$ ) 및 높은 전계 효과 이동도( $\mu$ )를 실현할 수 있다.
- [0071] 또한 CAC-OS를 사용한 반도체 소자는 신뢰성이 높다. 따라서, CAC-OS는 다양한 반도체 장치의 구성 재료로서 적합하다.
- [0072] 화소(11a)에서, 노드(NM)에 기록된 데이터는 배선(121)에 적절한 전위를 공급함으로써 노드(NR)에서 관독할 수 있다. 상기 전위는 예를 들어, 트랜지스터(116)의 문턱 전압에 상당하는 전위로 할 수 있다. 이 동작 이전에 노드(NA)에 화상 데이터가 기록되어 있으면, 용량 소자(103)의 용량 결합에 의하여, 화상 데이터에 노드(NR)의 전위를 부가한 데이터 전위가 액정 소자(105)에 인가된다.
- [0073] 즉, 노드(NM)에 원하는 보정 데이터를 저장해 놓으면, 공급한 화상 데이터에 상기 보정 데이터를 부가할 수 있다. 또한, 보정 데이터는 전송 경로상의 요소에 의하여 감쇠될 경우가 있기 때문에, 상기 감쇠를 고려하여 생성하는 것이 바람직하다.
- [0074] 도 2에 나타난 타이밍 차트를 사용하여, 화소(11a)의 동작의 자세한 사항을 설명한다. 또한, 원하는 타이밍에서, 배선(124)에는 보정 데이터( $V_p$ )가 공급되고, 배선(125)에는 화상 데이터( $V_s$ )가 공급된다. 또한, 이하의 설명에서는, 고전위를 "H", 저전위를 "L"로 나타낸다.
- [0075] 기간 T1에서 배선(121)의 전위를 "L", 배선(122)의 전위를 "H", 배선(123)의 전위를 "L"로 하면, 트랜지스터(115)가 도통되고, 노드(NM)에 보정 데이터( $V_p$ )가 기록된다.
- [0076] 기간 T2에서 배선(121)의 전위를 "L", 배선(122)의 전위를 "L", 배선(123)의 전위를 "H"로 하면, 트랜지스터(102)가 도통되고, 노드(NR)가 "L"로 리셋된다. 또한, 트랜지스터(101)가 도통되고, 노드(NA)에 화상 데이터( $V_s$ )가 기록된다.
- [0077] 기간 T3에서 배선(121)의 전위를 "H", 배선(122)의 전위를 "L", 배선(123)의 전위를 "L"로 하면, 용량 소자(117)의 용량 결합에 의하여 노드(NM)의 전위에 배선(121)의 전위가 부가된다. 이때, 배선(121)의 전위를 트랜지스터(116)의 문턱 전압( $V_{th}$ )으로 하면, 노드(NM)의 전위는  $V_p+V_{th}$ 가 된다. 그리고, 트랜지스터(116)는 도통되고, 노드(NR)는 트랜지스터(116)의 게이트 전위보다 문턱 전압( $V_{th}$ )만큼 낮은 전위, 즉 보정 데이터( $V_p$ )에 상당하는 전위가 된다.
- [0078] 그리고, 용량 소자(103)의 용량 결합에 의하여, 노드(NR)와 노드(NA)의 용량비에 따른 전위( $V_p'$ )가 화상 데이터( $V_s$ )에 부가된다. 즉, 노드(NA)의 전위는  $V_s+V_p'$ 가 된다.
- [0079] 상술한 것에 의하여, 보정 데이터에서 유래하는 전위를 화상 데이터에 부가할 수 있어, 표시의 보정을 수행할 수 있다.
- [0080] 상기 화소(11a)의 구성 및 동작은 화상의 업컨버트에 유용하다. 화소(11a)를 사용한 업컨버트에 대하여, 도 3의 (A) 및 (B)를 사용하여 설명한다.
- [0081] 예를 들어, 8K4K의 표시 장치의 화소수는 4K2K의 표시 장치의 화소수( $3840 \times 2160$ )의 4배이다. 즉, 4K2K의 표시 장치의 1 화소로 표시하는 화상 데이터를 단순히 8K4K의 표시 장치로 표시하려면, 같은 화상 데이터를 4 화소로 표시하게 된다.
- [0082] 도 3의 (A)는 상기를 상정한 수평 수직 방향의 4 화소에 표시되는 화상을 설명하는 도면이다. 도 3의 (A)에 도시된 바와 같이, 업컨버트 전에는 4 화소 모두로 화상 데이터 S1이 표시되지만, 업컨버트 후에는 각각의 화소에 화상 데이터 S0 내지 화상 데이터 S2가 적용되고, 해상도를 향상시킬 수 있다.
- [0083] 도 3의 (B)는 화소(11a)에서의 업컨버트 동작을 설명하는 도면이다. 화소(11a)에서는 상술한 방법으로 화상 데이터를 보정하므로, 화상 데이터의 보정은 전위를 높이는 방향으로 수행한다. 따라서, 원래 화상 데이터 S1을 데이터 전위가 작은 화상 데이터 S0으로 외부 기기로 가공하여, 화소(11a)에 공급한다. 또한, 화상 데이터 S0의 생성 동작은 단순하므로, 외부 기기의 부하는 작다.
- [0084] 또한, 각 화소에는, 보정 데이터로서 W1 내지 W3을 공급한다. 여기서, W1 내지 W3을 생성하는 방법은 한정되지 않는다. 보정 데이터의 생성은 외부 기기를 사용하여 실시간으로 수행하여도 좋고, 기록 매체에 저장되어 있는 보정 데이터를 관독하여 화상 데이터 S0과 동기시켜도 좋다.

- [0085] 그리고, 상술한 화소(11a)의 동작을 수행함으로써 각 화상 데이터에 각 보정 데이터가 추가되어, 새로운 화상 데이터 S0 내지 화상 데이터 S2가 생성된다. 따라서, 업컨버트된 표시를 수행할 수 있다.
- [0086] 기존의 외부 보정에 의한 업컨버트에서는, 새로운 화상 데이터 자체를 생성하기 때문에 외부 기기의 부하가 컸다. 한편, 상술한 본 발명의 일 형태에서는, 공급하는 화상 데이터는 크게 변화시키지 않고, 보정 데이터를 공급한 화소에서 새로운 화상 데이터를 생성하므로, 외부 기기의 부담을 작게 할 수 있다. 또한, 새로운 화상 데이터를 화소에서 생성하기 위한 동작은 적은 단계로 수행할 수 있어, 화소수가 많고 수평 기간이 짧은 표시 장치에서도 대응할 수 있다.
- [0087] 또한, 본 발명의 일 형태의 화소는 도 4의 (A)에 도시된 화소(11b)의 구성으로 할 수도 있다. 화소(11b)는 화소(11a)에 트랜지스터(106)와, 트랜지스터(107)와, 배선(126)을 추가한 구성이다.
- [0088] 트랜지스터(106)의 소스 및 드레인 중 한쪽은 트랜지스터(101)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(106)의 소스 및 드레인 중 다른 쪽은 액정 소자(105)의 한쪽의 전극과 전기적으로 접속된다. 트랜지스터(107)의 소스 및 드레인 중 한쪽은 트랜지스터(106)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되고, 트랜지스터(107)의 소스 및 드레인 중 다른 쪽은 전원선(저전위)과 전기적으로 접속된다.
- [0089] 상기 구성에 있어서, 트랜지스터(101)의 소스 및 드레인 중 한쪽, 용량 소자(103)의 한쪽의 전극 및 트랜지스터(106)의 소스 및 드레인 중 한쪽과 접속되는 배선을 노드(NA)로 한다. 또한, 트랜지스터(106)의 소스 및 드레인 중 다른 쪽, 용량 소자(104)의 한쪽의 전극, 및 액정 소자(105)의 한쪽의 전극이 접속되는 배선을 노드(NB)로 한다.
- [0090] 또한, 트랜지스터(106)의 게이트는 배선(126)과 전기적으로 접속된다. 트랜지스터(107)의 게이트는 배선(121)과 전기적으로 접속된다. 배선(126)은 트랜지스터의 동작을 제어하기 위한 신호선으로서의 기능을 가질 수 있다.
- [0091] 화소(11a)의 구성에서는, 화상 데이터를 입력한 후에 보정 데이터를 추가하는 동작을 수행하기 때문에, 액정 소자(105)의 동작이 단계적으로 되는 경우가 있다. 그러므로, 액정 소자(105)의 응답 특성에 따라서는 그 동작이 시인되어 표시 품질을 저하시키는 경우가 있다.
- [0092] 화소(11b)에서는, 트랜지스터(106)를 비도통으로 한 상태에서, 노드(NA)에 화상 데이터를 공급하여, 보정 데이터를 추가시킨다. 그 후, 트랜지스터(106)를 도통시켜 노드(NB)에 보정한 화상 데이터를 공급한다. 따라서, 액정 소자(105)의 동작은 단계적으로 되지 않으므로 표시 품질의 저하를 방지할 수 있다.
- [0093] 도 5에 나타난 타이밍 차트를 사용하여, 화소(11b)의 동작의 자세한 사항을 설명한다. 또한, 적절한 타이밍에서, 배선(124)에는 보정 데이터(Vp)가 공급되고, 배선(125)에는 화상 데이터(Vs)가 공급된다. 또한, 이하의 설명에서는, 고전위를 "H", 저전위를 "L"로 나타낸다.
- [0094] 기간 T1에서 배선(121)의 전위를 "L", 배선(122)의 전위를 "H", 배선(123)의 전위를 "L"로 하면, 트랜지스터(115)가 도통되고, 노드(NM)에 보정 데이터(Vp)가 기록된다. 또한, 배선(126)의 전위는 앞의 프레임의 동작으로부터 그대로 유지되어 기간 T1에서는 "H"이다.
- [0095] 기간 T2에서 배선(121)의 전위를 "L", 배선(122)의 전위를 "L", 배선(123)의 전위를 "H", 배선(126)의 전위를 "L"로 하면, 트랜지스터(102)가 도통되고, 노드(NR)가 "L"로 리셋된다. 또한, 트랜지스터(101)가 도통되고, 노드(NA)에 화상 데이터(Vs)가 기록된다. 또한, 트랜지스터(106)가 비도통이 되므로 노드(NB)의 전위는 계속 유지되어, 표시는 계속된다.
- [0096] 기간 T3에서 배선(121)의 전위를 "H", 배선(122)의 전위를 "L", 배선(123)의 전위를 "L", 배선(126)의 전위를 "L"로 하면, 용량 소자(117)의 용량 결합에 의하여 노드(NM)의 전위에 배선(121)의 전위가 추가된다. 이때, 배선(121)의 전위를 트랜지스터(116)의 문턱 전압(Vth)으로 하면, 노드(NM)의 전위는 Vp+Vth가 된다. 그리고, 트랜지스터(116)는 도통되고, 노드(NR)는 트랜지스터(116)의 게이트 전위보다 문턱 전압(Vth)만큼만 낮은 전위, 즉 보정 데이터(Vp)에 상당하는 전위가 된다.
- [0097] 그리고, 용량 소자(103)의 용량 결합에 의하여, 노드(NR)와 노드(NA)의 용량비에 따른 전위(Vp')가 화상 데이터(Vs)에 추가된다. 즉, 노드(NA)의 전위는 Vs+Vp'가 된다. 또한, 트랜지스터(107)가 도통됨으로써, 노드(NB)의 전위는 "L"로 리셋된다.
- [0098] 기간 T4에서 배선(121)의 전위를 "L", 배선(122)의 전위를 "L", 배선(123)의 전위를 "L", 배선(126)의 전위를

"H"로 하면, 노드(NA)의 전위가 노드(NB)에 분배되어, 노드(NB)의 전위는 ( $V_s+V_p'$ )가 된다.

- [0099] 상술한 것에 의하여, 보정 데이터에서 유래하는 전위를 화상 데이터에 부가할 수 있어, 표시의 보정을 수행할 수 있다.
- [0100] 또한, 화소(11b)의 기본 구성을 사용하여 다른 표시 소자를 동작시켜도 좋다. 도 4의 (B)는 화소(11b)의 액정 소자(105) 및 용량 소자(104)를 EL 소자(110), 트랜지스터(108), 및 용량 소자(109)로 치환한 화소(11c)의 구성을 도시한 도면이다.
- [0101] EL 소자(110)의 한쪽의 전극은 용량 소자(109)의 한쪽의 전극과 전기적으로 접속된다. 용량 소자(109)의 한쪽의 전극은 트랜지스터(108)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(108)의 게이트는 트랜지스터(106)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 트랜지스터(106)의 소스 및 드레인 중 다른 쪽은 용량 소자(109)의 다른 쪽의 전극과 전기적으로 접속된다.
- [0102] 상기 구성에 있어서, 트랜지스터(106)의 소스 및 드레인 중 다른 쪽, 용량 소자(109)의 다른 쪽의 전극, 및 트랜지스터(108)의 게이트가 접속되는 배선을 노드(NB)로 한다.
- [0103] 트랜지스터(108)의 소스 및 드레인 중 다른 쪽은 전원선(고전위)과 전기적으로 접속된다. EL 소자(110)의 다른 쪽의 전극은 공통 배선(129)과 전기적으로 접속된다. 공통 배선(129)에는 임의의 전위를 공급할 수 있다.
- [0104] 화소(11c)의 동작에 대해서는, 상술한 화소(11b)의 동작의 설명을 참조할 수 있다.
- [0105] 도 6은 본 발명의 일 형태의 표시 장치의 블록도의 일례이다. 상기 표시 장치는 화소(11)가 매트릭스상으로 제공된 화소 어레이와, 로 드라이버(row driver)(12)와, 칼럼 드라이버(column driver)(13)와, 회로(14)를 가진다. 또한, 화소(11)로서는, 상술한 화소(11a 내지 11c) 중 어느 것을 적용할 수 있다.
- [0106] 로 드라이버(12) 및 칼럼 드라이버(13)에는 예를 들어 시프트 레지스터 회로를 사용할 수 있다. 회로(14)는 화상 데이터 및 보정 데이터를 생성하는 기능을 가진다. 또한, 회로(14)는 상술한 보정 데이터를 생성하기 위한 외부 기기라고도 할 수 있다.
- [0107] 회로(14)에는 도 3의 (A) 및 (B)의 설명에서의 화상 데이터 S1이 입력되고, 화상 데이터 S0 및 보정 데이터 W가 생성되어 칼럼 드라이버(13)에 출력된다. 또한, 화상 데이터 S0을 생성하는 기능 및 보정 데이터 W를 생성하는 기능은 각각 상이한 회로가 가져도 좋다.
- [0108] 또한, 회로(14)는 뉴럴 네트워크를 가져도 좋다. 예를 들어, 막대한 화상을 교사 데이터로서 학습한 딥 뉴럴 네트워크를 사용함으로써, 정확도가 높은 보정 데이터 W를 생성할 수 있다.
- [0109] 이때까지, 메모리 회로(MEM)를 가지는 화소에서의 업컨버트 동작을 주로 설명하였지만, 상기 화소에서는 트랜지스터의 특성의 편차를 보정하는 동작을 수행할 수도 있다. EL 소자를 사용한 화소에서는 EL 소자에 전류를 공급하는 구동 트랜지스터의 문턱 전압의 편차가 표시 품질에 미치는 영향이 크다. 메모리 회로(MEM)에 구동 트랜지스터의 문턱 전압을 보정하는 데이터를 유지시켜, 화상 데이터에 부가함으로써 표시 품질을 향상시킬 수 있다.
- [0110] 도 7은 상기 구동 트랜지스터에 해당하는 트랜지스터(108)의 문턱 전압( $V_{th}$ )을 보정하는 동작을 수행할 수 있는 화소(11d)의 구성을 도시한 도면이다. 화소(11d)는 화소(11c)에 트랜지스터(111) 및 배선(130)을 부가한 구성을 가진다.
- [0111] 트랜지스터(111)의 소스 및 드레인 중 한쪽은 트랜지스터(108)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(111)의 소스 및 드레인 중 다른 쪽은 배선(130)과 전기적으로 접속된다. 트랜지스터(111)의 게이트는 배선(123)과 전기적으로 접속된다.
- [0112] 배선(130)은 트랜지스터(108)의 전기 특성을 취득하기 위한 모니터선으로서의 기능을 가진다. 또한, 배선(130)으로부터 트랜지스터(111)를 통하여 용량 소자(109)의 한쪽의 전극에 특정의 전위를 공급함으로써, 화상 데이터의 기록을 안정화시킬 수도 있다.
- [0113] 화소(11d)에서는, 초기 동작으로서 외부 보정의 동작을 수행하지만, 생성된 보정 데이터는 메모리 회로(MEM)에 저장된다. 따라서, 메모리 회로(MEM)에 보정 데이터가 유지된 후에는, 화소(11d)는 내부 보정과 같이 동작한다.
- [0114] 보정 데이터의 생성 및 메모리 회로(MEM)로의 저장을 도 7의 회로도 및 도 8에 도시된 표시 장치의 블록도를 사

용하여 설명한다. 상기 표시 장치는 화소(11d)가 매트릭스상으로 제공된 화소 어레이와, 로 드라이버(12)와, 칼럼 드라이버(13)와, 칼럼 드라이버(15)와, 회로(16)를 가진다.

- [0115] 칼럼 드라이버(15)에는, 예를 들어 시프트 레지스터 회로를 사용할 수 있다. 회로(16)는 보정 데이터를 생성하는 기능을 가진다. 칼럼 드라이버(15)에 의하여 배선(130)을 순차적으로 선택하여, 그 출력값을 회로(16)에 입력할 수 있다.
- [0116] 우선, 트랜지스터(101, 106, 111)를 도통시켜, 노드(NB)에 트랜지스터(108)가 도통되는 표준 전위를 기록한다. 트랜지스터(108)가 출력하는 전류는 트랜지스터(111)를 통하여 회로(16)에 들어간다. 상기 동작을 모든 화소에 대하여 수행하여, 게이트에 표준 전위를 인가하였을 때 트랜지스터(108)가 출력하는 전류값을 취득한다.
- [0117] 회로(16)에서는 전류값을 판독하여 해석하고, 가장 전류값이 높은 트랜지스터를 기준으로 하여 각 화소에 저장하는 보정 데이터 W를 생성한다. 상기 보정 데이터 W는 칼럼 드라이버(13)에 입력되고, 각 화소의 메모리 회로(MEM)에 저장된다. 또한, 회로(16)는 전류값을 판독하는 기능을 가지고, 보정 데이터 W를 생성하는 기능은 다른 회로가 가져도 좋다.
- [0118] 이후에는, 상술한 바와 같이 화상 데이터에 보정 데이터를 부가한 표시 동작을 수행한다. 또한, 트랜지스터의 문턱 전압은 장기간에 걸쳐 크게 변동될 수 있지만, 단기간에서의 변동은 매우 적다. 따라서, 보정 데이터의 생성 및 메모리 회로(MEM)로의 저장 동작은 예를 들어 프레임마다 수행할 필요는 없고, 전원 투입 시나 전원 단절 시 등에 수행하면 된다. 또는, 표시 장치의 동작 시간을 기록하고, 일(date), 주(week), 월(month), 년(year) 등을 단위로 한 일정 기간마다 수행하여도 좋다.
- [0119] 또한, 상기에서는 트랜지스터(108)가 출력하는 전류값을 실측하여 보정 데이터 W를 생성하는 방법을 설명하였지만, 그 외의 방법으로 보정 데이터 W를 생성하여도 좋다. 예를 들어, 그레이스케일의 표시를 수행하고, 상기 표시의 휘도를 휘도계로 판독한 데이터나 상기 표시의 사진을 판독한 데이터를 바탕으로 보정 데이터 W를 생성하여도 좋다. 상기 보정 데이터 W의 생성에는, 뉴럴 네트워크를 사용한 추론을 사용하는 것이 바람직하다.
- [0120] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0121] (실시형태 2)
- [0122] 본 실시형태에서는, 액정 소자를 사용한 표시 장치의 구성예와, EL 소자를 사용한 표시 장치의 구성예에 대하여 설명한다. 또한 본 실시형태에 있어서, 실시형태 1에서 설명한 보정에 관한 동작 및 기능의 설명은 생략한다.
- [0123] 도 9의 (A)에서는, 제 1 기판(4001) 위에 제공된 표시부(215)를 둘러싸도록 밀봉재(4005)가 제공되고, 밀봉재(4005) 및 제 2 기판(4006)으로 표시부(215)가 밀봉되어 있다.
- [0124] 표시부(215)에는 실시형태 1에 나타낸 화소를 가지는 화소 어레이가 제공된다.
- [0125] 도 9의 (A)에서는, 주사선 구동 회로(221a), 신호선 구동 회로(231a), 신호선 구동 회로(232a), 및 공통선 구동 회로(241a)는 각각 인쇄 기판(4041) 위에 제공된 집적 회로(4042)를 복수로 가진다. 집적 회로(4042)는 단결정 반도체 또는 다결정 반도체로 형성되어 있다. 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)는 실시형태 1에 나타낸 칼럼 드라이버의 기능을 가진다. 주사선 구동 회로(221a)는 실시형태에 나타낸 로 드라이버의 기능을 가진다. 공통선 구동 회로(241a)는 실시형태 1에 나타낸 공통 배선에 규정의 전위를 공급하는 기능을 가진다.
- [0126] 주사선 구동 회로(221a), 공통선 구동 회로(241a), 신호선 구동 회로(231a), 및 신호선 구동 회로(232a)에 공급되는 각종 신호 및 전위는 FPC(Flexible printed circuit)(4018)를 통하여 공급된다.
- [0127] 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)가 가지는 집적 회로(4042)는 표시부(215)에 선택 신호를 공급하는 기능을 가진다. 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)가 가지는 집적 회로(4042)는 표시부(215)에 화상 데이터를 공급하는 기능을 가진다. 집적 회로(4042)는 제 1 기판(4001) 위의 밀봉재(4005)에 의하여 둘러싸여 있는 영역과는 다른 영역에 실장되어 있다.
- [0128] 또한, 집적 회로(4042)의 접속 방법은 특별히 한정되는 것은 아니고, 와이어 본딩법, COG(Chip On Glass)법, TCP(Tape Carrier Package)법, COF(Chip On Film)법 등을 사용할 수 있다.
- [0129] 도 9의 (B)는 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)에 포함되는 집적 회로(4042)를 COG법에 의하여 실장하는 예를 도시한 것이다. 또한, 구동 회로의 일부 또는 전체를 표시부(215)와 같은 기판 위에 일체로

형성하여, 시스템 온 패널(system-on-panel)을 형성할 수 있다.

- [0130] 도 9의 (B)에서는, 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)를 표시부(215)와 같은 기판 위에 형성하는 예를 도시하였다. 구동 회로를 표시부(215) 내의 화소 회로와 동시에 형성함으로써, 부품 점수를 삭감할 수 있다. 따라서, 생산성을 높일 수 있다.
- [0131] 또한, 도 9의 (B)에서는, 제 1 기판(4001) 위에 제공된 표시부(215)와, 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)를 둘러싸도록, 밀봉재(4005)가 제공되어 있다. 또한 표시부(215), 주사선 구동 회로(221a), 및 공통선 구동 회로(241a) 위에 제 2 기판(4006)이 제공되어 있다. 따라서, 표시부(215), 주사선 구동 회로(221a), 및 공통선 구동 회로(241a)는 제 1 기판(4001)과 밀봉재(4005)와 제 2 기판(4006)에 의하여, 표시 소자와 함께 밀봉되어 있다.
- [0132] 또한, 도 9의 (B)에서는, 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)를 별도로 형성하여, 제 1 기판(4001)에 실장한 예를 도시하였지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하고 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부를 별도로 형성하고 실장하여도 좋다.
- [0133] 또한, 표시 장치는 표시 소자가 밀봉된 상태인 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등이 실장된 상태인 모듈을 포함하는 경우가 있다.
- [0134] 또한 제 1 기판 위에 제공된 표시부 및 주사선 구동 회로는 트랜지스터를 복수로 가진다. 상기 트랜지스터로서, 상기 실시형태에서 나타낸 트랜지스터를 적용할 수 있다.
- [0135] 주변 구동 회로가 가지는 트랜지스터와, 표시부의 화소 회로가 가지는 트랜지스터의 구조는 같아도 좋고, 상이하여도 좋다. 주변 구동 회로가 가지는 트랜지스터는, 모두 같은 구조이어도 좋고, 2종류 이상의 구조가 조합되어 사용되어도 좋다. 마찬가지로, 화소 회로가 가지는 트랜지스터는 모두 같은 구조이어도 좋고, 2종류 이상의 구조가 조합되어 사용되어도 좋다.
- [0136] 도 10의 (A) 및 (B)는 도 9의 (B)에서 쇄선 N1-N2로 나타낸 부분의 단면도이다. 도 10의 (A) 및 (B)에 도시된 표시 장치는 전극(4015)을 가지고, 전극(4015)은 FPC(4018)가 가지는 단자와 이방성 도전층(4019)을 통하여 전기적으로 접속된다. 또한, 도 10의 (A) 및 (B)에서는, 전극(4015)은 절연층(4112), 절연층(4111), 및 절연층(4110)에 형성된 개구에서 배선(4014)과 전기적으로 접속되어 있다.
- [0137] 전극(4015)은 제 1 전극층(4030)과 같은 도전층으로 형성되고, 배선(4014)은 트랜지스터(4010) 및 트랜지스터(4011)의 소스 전극 및 드레인 전극과 같은 도전층으로 형성되어 있다.
- [0138] 또한, 제 1 기판(4001) 위에 제공된 표시부(215)와 주사선 구동 회로(221a)는 트랜지스터를 복수로 가지며, 도 10의 (A) 및 (B)에는, 표시부(215)에 포함되는 트랜지스터(4010) 및 주사선 구동 회로(221a)에 포함되는 트랜지스터(4011)를 예시하였다. 또한 도 10의 (A) 및 (B)에서는, 트랜지스터(4010) 및 트랜지스터(4011)로서 보텀 게이트형 트랜지스터를 예시하였지만, 톱 게이트형 트랜지스터이어도 좋다.
- [0139] 도 10의 (A) 및 (B)에서는, 트랜지스터(4010) 및 트랜지스터(4011) 위에 절연층(4112)이 제공되어 있다. 또한, 도 10의 (B)에서는, 절연층(4112) 위에 격벽(4510)이 형성되어 있다.
- [0140] 또한, 트랜지스터(4010) 및 트랜지스터(4011)는 절연층(4102) 위에 제공되어 있다. 또한, 트랜지스터(4010) 및 트랜지스터(4011)는 절연층(4111) 위에 형성된 전극(4017)을 가진다. 전극(4017)은 백 게이트 전극으로서 기능할 수 있다.
- [0141] 또한, 도 10의 (A) 및 (B)에 도시된 표시 장치는 용량 소자(4020)를 가진다. 용량 소자(4020)는 트랜지스터(4010)의 게이트 전극과 같은 공정으로 형성된 전극(4021)과, 소스 전극 및 드레인 전극과 같은 공정으로 형성된 전극을 가진다. 각각의 이들 전극은 절연층(4103)을 개재(介在)하여 중첩되어 있다.
- [0142] 일반적으로, 표시 장치의 화소부에 제공되는 용량 소자의 용량은, 화소부에 배치되는 트랜지스터의 누설 전류 등을 고려하여 전하를 소정의 기간 유지할 수 있도록 설정된다. 용량 소자의 용량은 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다.
- [0143] 표시부(215)에 제공된 트랜지스터(4010)는 표시 소자와 전기적으로 접속된다. 도 10의 (A)는, 표시 소자로서 액정 소자를 사용한 액정 표시 장치의 일례이다. 도 10의 (A)에서 표시 소자인 액정 소자(4013)는, 제 1 전극층(4030), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 또한, 배향막으로서 기능하는 절연층(4032) 및 절연층(4033)이 액정층(4008)을 개재하도록 제공되어 있다. 제 2 전극층(4031)은 제 2 기판(4006) 측에

제공되고, 제 1 전극층(4030)과 제 2 전극층(4031)은 액정층(4008)을 개재하여 증착된다.

- [0144] 또한, 스페이서(4035)는 절연층을 선택적으로 에칭함으로써 얻어지는 주(柱)상의 스페이서이고, 제 1 전극층(4030)과 제 2 전극층(4031)의 간격(셀 갭)을 제어하기 위하여 제공된다. 또한, 구(球)상의 스페이서를 사용하여도 좋다.
- [0145] 또한, 필요에 따라, 블랙 매트릭스(차광층), 착색층(컬러 필터), 편광 부재, 위상차 부재, 및 반사 방지 부재 등의 광학 부재(광학 기관) 등을 적절히 제공하여도 좋다. 예를 들어, 편광 기관 및 위상차 기관에 의한 원편광을 사용하여도 좋다. 또한, 광원으로서 백라이트, 사이드 라이트 등을 사용하여도 좋다. 또한, 상기 백라이트 및 사이드 라이트로서 마이크로 LED를 사용하여도 좋다.
- [0146] 도 10의 (A)에 도시된 표시 장치에서는, 제 2 기관(4006)과 제 2 전극층(4031) 사이에, 차광층(4132), 착색층(4131), 절연층(4133)이 제공되어 있다.
- [0147] 차광층으로서 사용할 수 있는 재료로서는, 카본 블랙, 타이타늄 블랙, 금속, 금속 산화물, 복수의 금속 산화물의 고용체를 포함하는 복합 산화물 등을 들 수 있다. 차광층은 수지 재료를 포함하는 막이어도 좋고, 금속 등 무기 재료의 박막이어도 좋다. 또한, 차광층에 착색층의 재료를 포함하는 막의 적층막을 사용할 수도 있다. 예를 들어, 어떤 색의 광을 투과하는 착색층에 사용하는 재료를 포함하는 막과, 다른 색의 광을 투과하는 착색층에 사용하는 재료를 포함하는 막의 적층 구조를 사용할 수 있다. 착색층과 차광층의 재료를 공통화함으로써, 장치를 공통화할 수 있을 뿐만 아니라 공정도 간략화할 수 있어 바람직하다.
- [0148] 착색층에 사용할 수 있는 재료로서는, 금속 재료, 수지 재료, 안료 또는 염료가 포함된 수지 재료 등을 들 수 있다. 차광층 및 착색층의 형성 방법은 상술한 각층의 형성 방법과 마찬가지로 수행하면 좋다. 예를 들어, 잉크젯법 등으로 수행하여도 좋다.
- [0149] 또한, 도 10의 (A) 및 (B)에 도시된 표시 장치는 절연층(4111)과 절연층(4104)을 가진다. 절연층(4111)과 절연층(4104)으로서, 불순물 원소를 투과하기 어려운 절연층을 사용한다. 절연층(4111)과 절연층(4104) 사이에 트랜지스터의 반도체층이 개재됨으로써, 외부로부터의 불순물의 침입을 방지할 수 있다.
- [0150] 또한, 표시 장치에 포함되는 표시 소자로서 일렉트로닉루미네선스를 이용하는 발광 소자(EL 소자)를 적용할 수 있다. EL 소자는 한 쌍의 전극 사이에 발광성 화합물을 포함하는 층('EL층'이라고도 함)을 가진다. EL 소자의 문턱 전압보다 큰 전위차를 한 쌍의 전극 사이에 발생시키면, EL층에 양극 측으로부터 정공이 주입되고, 음극 측으로부터 전자가 주입된다. 주입된 전자와 정공은 EL층에서 재결합하고, EL층에 포함되는 발광 물질이 발광한다.
- [0151] 또한, EL 소자는 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로, 전자(前者)는 유기 EL 소자, 후자(後者)는 무기 EL 소자라고 불린다.
- [0152] 유기 EL 소자에서는 전압을 인가함으로써, 한쪽의 전극으로부터 전자가, 다른 쪽의 전극으로부터 정공이 각각 EL층에 주입된다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성 유기 화합물이 여기 상태를 형성하고, 이 여기 상태가 기저 상태로 되돌아갈 때 발광한다. 이와 같은 메커니즘 때문에 이러한 발광 소자는 전류 여기형 발광 소자라고 불린다.
- [0153] 또한, EL층은 발광성 화합물 외에, 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 블록 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 또는 양극성 물질(전자 수송성 및 정공 수송성이 높은 물질) 등을 가져도 좋다.
- [0154] EL층은 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법에 의하여 형성될 수 있다.
- [0155] 무기 EL 소자는 그 소자 구성에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 가지는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층 사이에 두고, 또한 그것을 전극 사이에 둔 구조를 가지고, 발광 메커니즘은 금속 이온의 내각 전자 전이(inner-shell electron transition)를 이용하는 국제형 발광이다. 또한, 여기서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다.
- [0156] 발광 소자는 발광을 추출하기 위하여, 적어도 한 쌍의 전극 중 한쪽이 투명하면 좋다. 그리고, 기관 위에 트랜지스터 및 발광 소자를 형성하고, 상기 기관과는 반대 측의 면으로부터 발광을 추출하는 상면 사출(top

emission) 구조나, 기관 측의 면으로부터 발광을 추출하는 하면 사출(bottom emission) 구조나, 양쪽의 면으로부터 발광을 추출하는 양면 사출(dual emission) 구조가 있고, 어느 사출 구조를 가지는 발광 소자도 적용할 수 있다.

- [0157] 도 10의 (B)는 표시 소자로서 발광 소자를 사용한 발광 표시 장치("EL 표시 장치"라고도 함)의 일례이다. 표시 소자인 발광 소자(4513)는 표시부(215)에 제공된 트랜지스터(4010)와 전기적으로 접속되어 있다. 또한, 발광 소자(4513)의 구조는 제 1 전극층(4030), 발광층(4511), 및 제 2 전극층(4031)의 적층 구조이지만, 이 구조에 한정되지 않는다. 발광 소자(4513)로부터 추출되는 광의 방향 등에 따라 발광 소자(4513)의 구조는 적절히 변경할 수 있다.
- [0158] 격벽(4510)은 유기 절연 재료 또는 무기 절연 재료를 사용하여 형성한다. 특히 감광성 수지 재료를 사용하여 제 1 전극층(4030) 위에 개구부를 형성하고 그 개구부의 측면이 연속한 곡률을 가지고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0159] 발광층(4511)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.
- [0160] 발광 소자(4513)의 발광색은, 발광층(4511)을 구성하는 재료에 따라 백색, 적색, 녹색, 청색, 시안, 마젠타, 또는 황색 등으로 할 수 있다.
- [0161] 컬러 표시를 실현하는 방법으로서, 발광색이 백색인 발광 소자(4513)와 착색층을 조합하는 방법과, 화소마다 발광색이 상이한 발광 소자(4513)를 제공하는 방법이 있다. 전자의 방법은 후자의 방법보다 생산성이 높다. 즉, 후자의 방법에서는 화소마다 발광층(4511)을 나누어 형성할 필요가 있으므로 전자의 방법보다 생산성이 떨어진다. 다만, 후자의 방법은 전자의 방법보다 색 순도가 높은 발광색을 얻을 수 있다. 후자의 방법에 더하여 발광 소자(4513)에 마이크로캐비티 구조를 부여함으로써, 색 순도를 더 높일 수 있다.
- [0162] 발광층(4511)은 퀀텀닷(quantum dot) 등의 무기 화합물을 가져도 좋다. 예를 들어, 퀀텀닷을 발광층에 사용함으로써, 발광 재료로서 기능시킬 수도 있다.
- [0163] 산소, 수소, 수분, 이산화탄소 등이 발광 소자(4513)에 들어가지 않도록, 제 2 전극층(4031) 및 격벽(4510) 위에 보호층을 형성하여도 좋다. 보호층으로서, 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, DLC(Diamond Like Carbon) 등을 사용할 수 있다. 또한, 제 1 기관(4001), 제 2 기관(4006), 및 밀봉재(4005)로 밀봉된 공간에는 충전재(4514)가 제공되어 밀봉되어 있다. 이와 같이, 외기에 노출되지 않도록, 기밀성이 높고 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0164] 충전재(4514)로서는, 질소나 아르곤 등의 불활성 가스 외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리비닐클로라이드), 아크릴계 수지, 폴리이미드, 에폭시계 수지, 실리콘(silicone)계 수지, PVB(폴리비닐부티랄), 또는 EVA(에틸렌비닐아세테이트) 등을 사용할 수 있다. 또한 충전재(4514)에 건조제가 포함되어도 좋다.
- [0165] 밀봉재(4005)에는 유리 프리트 등의 유리 재료나, 2액 혼합형 수지 등의 상온에서 경화되는 경화 수지, 광 경화성 수지, 열 경화성 수지 등의 수지 재료를 사용할 수 있다. 또한, 밀봉재(4005)에 건조제가 포함되어도 좋다.
- [0166] 또한, 필요에 따라 발광 소자의 사출면에 편광판 또는 원 편광판(타원 편광판을 포함함), 위상차판( $\lambda/4$ 판,  $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절히 제공하여도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 제공하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산시켜, 비침을 저감시킬 수 있는 안티글레이처리를 수행할 수 있다.
- [0167] 또한 발광 소자를 마이크로캐비티 구조로 함으로써, 색 순도가 높은 광을 추출할 수 있다. 또한 마이크로캐비티 구조 및 컬러 필터를 조합함으로써, 비침이 저감되어 표시 화상의 시인성을 높일 수 있다.
- [0168] 표시 소자에 전압을 인가하는 제 1 전극층 및 제 2 전극층(화소 전극층, 공통 전극층, 대향 전극층 등이라고도 함)에서는, 추출하는 광의 방향, 전극층이 제공되는 장소, 및 전극층의 패턴 구조에 따라 투광성, 반사성을 선택하면 좋다.
- [0169] 제 1 전극층(4030) 및 제 2 전극층(4031)에는, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 인듐 주석 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를

사용할 수 있다.

- [0170] 또한, 제 1 전극층(4030) 및 제 2 전극층(4031)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 나이오븀(Nb), 탄탈럼(Ta), 크로뮴(Cr), 코발트(Co), 니켈(Ni), 타이타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 또는 그 금속 질화물로부터 1종류 이상을 사용하여 형성될 수 있다.
- [0171] 또한, 제 1 전극층(4030) 및 제 2 전극층(4031)은 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성될 수 있다. 도전성 고분자로서는 소위  $\pi$  전자 공액 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리싸이오펜 또는 그 유도체, 또는 아닐린, 피롤, 및 싸이오펜 중 2종 이상으로 이루어지는 공중합체 또는 그 유도체 등이 있다.
- [0172] 또한, 트랜지스터는 정전기 등에 의하여 파괴되기 쉽기 때문에, 구동 회로 보호용의 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 구성되는 것이 바람직하다.
- [0173] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0174] (실시형태 3)
- [0175] 본 실시형태에서는 본 발명의 일 형태의 표시 장치로 수행할 수 있는 동작 모드에 대하여 도 11을 참조하여 설명한다.
- [0176] 또한, 이하에서는 통상의 프레임 주파수(대표적으로는 60Hz 이상 240Hz 이하)으로 동작하는 통상 동작 모드(Normal mode)와 저속의 프레임 주파수로 동작하는 아이들링(idling) 스톱(IDS) 구동 모드를 예시하여 설명한다.
- [0177] 또한, IDS 구동 모드란, 화상 데이터의 기록 처리를 실행한 후, 화상 데이터의 재기록을 정지하는 구동 방법을 말한다. 일단 화상 데이터의 기록을 수행하고, 그 후 다음의 화상 데이터의 기록까지의 간격을 연장함으로써, 그 사이의 화상 데이터의 기록에 필요한 만큼의 소비전력을 삭감할 수 있다. IDS 구동 모드는, 예를 들어, 통상 동작 모드의 1/100 내지 1/10 정도의 프레임 주파수로 할 수 있다. 정지 화상은, 연속하는 프레임 간에서 비디오 신호가 같다. 따라서, IDS 구동 모드는 정지 화상을 표시하는 경우에 특히 효과적이다. IDS 구동을 사용하여 화상을 표시킴으로써, 소비전력이 저감되면서 화면의 플리커가 억제되고, 안정 피로도 저감할 수 있다.
- [0178] 도 11의 (A) 내지 (C)는 화소 회로를 나타낸 회로도 및 통상 구동 모드와 IDS 구동 모드를 설명하는 타이밍 차트이다. 도 11의 (A)에 나타난 화소 회로(502)는 일반적인 액정 표시 장치의 화소이고, 신호선(SL)과, 게이트선(GL)과, 신호선(SL) 및 게이트선(GL)에 접속된 트랜지스터(M1)와, 트랜지스터(M1)에 접속된 용량 소자(C<sub>SLC</sub>) 및 액정 소자(501)를 가진다. 또한, 제 1 표시 소자(501)의 화소 전극, 트랜지스터(M1)의 소스 및 드레인 중 한쪽, 및 용량 소자(C<sub>SLC</sub>)가 접속된 노드를 노드(ND1)로 한다. 또한, IDS 구동 모드는 액정 표시 장치뿐만 아니라, EL 표시 장치에도 적용할 수 있다.
- [0179] 여기서, 트랜지스터(M1)는, 실시형태 1에서 설명한 화소(11a)의 트랜지스터(101), 또는 화소(11b 내지 11c)의 트랜지스터(106)에 상당한다.
- [0180] 트랜지스터(M1)는 데이터 D<sub>1</sub>의 누설 경로가 될 수 있다. 따라서, 트랜지스터(M1)의 오프 전류는 작을수록 바람직하다. 트랜지스터(M1)로서는 OS 트랜지스터를 사용하는 것이 바람직하다. OS 트랜지스터는, 다결정 실리콘 등을 사용한 트랜지스터보다 비도통 상태 시의 누설 전류(오프 전류)가 매우 낮다는 특징을 가진다. 트랜지스터(M1)에 OS 트랜지스터를 사용함으로써 노드(ND1)에 공급된 전하를 장기간 유지할 수 있다.
- [0181] 또한 도 11의 (A)에 나타난 회로도에서 액정 소자(501)도 데이터 D<sub>1</sub>의 누설 경로가 된다. 따라서, 적절히 IDS 구동을 수행하기 위해서는 액정 소자(501)의 저항률을  $1.0 \times 10^{14} \Omega \cdot \text{cm}$  이상으로 하는 것이 바람직하다.
- [0182] 또한, 상기 OS 트랜지스터의 채널 영역에는, 예를 들어 In-Ga-Zn 산화물, In-Zn 산화물 등을 적합하게 사용할 수 있다. 또한, 상기 In-Ga-Zn 산화물로서는, 대표적으로는 In:Ga:Zn=4:2:4.1[원자수비] 근방의 조성을 사용할 수 있다.
- [0183] 도 11의 (B)는 통상 구동 모드에서의 신호선(SL) 및 게이트선(GL)에 각각 공급하는 신호의 파형을 나타내는 타

이밍 차트이다. 통상 구동 모드에서는 통상의 프레임 주파수(예를 들어 60Hz)로 동작한다. 도 11의 (B)에 기간  $T_1$ 부터 기간  $T_3$ 까지를 나타내었다. 각 프레임 기간에서 게이트선(GL)에 주사 신호를 공급하고, 신호선(SL)으로부터 데이터  $D_1$ 을 노드(ND1)에 기록하는 동작을 수행한다. 이 동작은 기간  $T_1$ 부터 기간  $T_3$ 까지에서 같은 데이터  $D_1$ 을 기록하는 경우, 또는 상이한 데이터를 기록하는 경우이어도 같다.

[0184] 한편 도 11의 (C)는 IDS 구동 모드에서의 신호선(SL) 및 게이트선(GL)에 각각 공급하는 신호의 파형을 나타낸 타이밍 차트이다. IDS 구동에서는 저속의 프레임 주파수(예를 들어 1Hz)에서 동작한다. 1프레임 기간을 기간  $T_1$ 로 나타내고, 그 중에서 데이터의 기록 기간을 기간  $T_W$ , 데이터의 유지 기간을 기간  $T_{RET}$ 로 나타낸다. IDS 구동 모드는 기간  $T_W$ 에서 게이트선(GL)에 주사 신호를 공급하고, 신호선(SL)의 데이터  $D_1$ 을 기록하고, 기간  $T_{RET}$ 에서 게이트선(GL)을 로 레벨의 전압으로 고정하고, 트랜지스터(M1)를 비도통 상태로 하여 일단 기록된 데이터  $D_1$ 을 유지시키는 동작을 수행한다. 또한, 저속의 프레임 주파수로서는, 예를 들어 0.1Hz 이상 60Hz 미만으로 하면 좋다.

[0185] 따라서, IDS 구동 모드를 사용함으로써, 표시 장치의 저소비전력화를 도모할 수 있다.

[0186] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0187] (실시형태 4)

[0188] 본 실시형태에서는 실시형태 1에서 설명한 회로(14) 등에 사용할 수 있는 뉴럴 네트워크로서 기능하는 반도체 장치의 구성예에 대하여 설명한다.

[0189] 도 12의 (A)에 나타낸 바와 같이, 뉴럴 네트워크(NN)는 입력층(IL), 출력층(OL), 중간층(은닉층)(HL)으로 구성할 수 있다. 입력층(IL), 출력층(OL), 중간층(HL)은 각각 하나 또는 복수의 뉴런(유닛)을 가진다. 또한 중간층(HL)은 1층이어도 좋고 2층 이상이어도 좋다. 2층 이상의 중간층(HL)을 가지는 뉴럴 네트워크는 DNN(딥 뉴럴 네트워크)이라고 부를 수도 있고, 딥 뉴럴 네트워크를 사용한 학습은 심층 학습이라고 부를 수도 있다.

[0190] 입력층(IL)의 각 뉴런에는 입력 데이터가 입력되고, 중간층(HL)의 각 뉴런에는 앞의 층 또는 뒤의 층의 뉴런의 출력 신호가 입력되고, 출력층(OL)의 각 뉴런에는 앞의 층의 뉴런의 출력 신호가 입력된다. 또한 각 뉴런은 앞뒤의 층의 모든 뉴런과 결합되어도 좋고(전(全)결합), 일부의 뉴런과 결합되어도 좋다.

[0191] 도 12의 (B)에 뉴런에 의한 연산의 예를 나타내었다. 여기서는, 뉴런(N)과, 뉴런(N)에 신호를 출력하는 앞의 층의 2개의 뉴런을 나타내었다. 뉴런(N)에는 앞의 층의 뉴런의 출력( $x_1$ )과, 앞의 층의 뉴런의 출력( $x_2$ )이 입력된다. 그리고, 뉴런(N)에서, 출력( $x_1$ )과 가중치( $w_1$ )의 승산 결과( $x_1w_1$ )와, 출력( $x_2$ )과 가중치( $w_2$ )의 승산 결과( $x_2w_2$ )의 합( $x_1w_1+x_2w_2$ )이 계산된 후, 필요에 따라 바이어스(b)가 가산되어, 값( $a=x_1w_1+x_2w_2+b$ )이 얻어진다. 그리고, 값(a)은 활성화 함수(h)를 사용하여 변환되고, 뉴런(N)으로부터 출력 신호( $y=h(a)$ )가 출력된다.

[0192] 이와 같이, 뉴런에 의한 연산에는, 앞의 층의 뉴런의 출력과 가중치의 곱을 더하는 연산, 즉 적화 연산(product-sum operation)이 포함된다(상기  $x_1w_1+x_2w_2$ ). 이 적화 연산은 프로그램을 사용하여 소프트웨어상에서 수행되어도 좋고, 하드웨어에 의하여 수행되어도 좋다. 하드웨어에 의하여 적화 연산을 수행하는 경우에는 적화 연산 회로를 사용할 수 있다. 이 적화 연산 회로로서는 디지털 회로를 사용하여도 좋고, 아날로그 회로를 사용하여도 좋다.

[0193] 본 발명의 일 형태에서는 적화 연산 회로에 아날로그 회로를 사용한다. 따라서, 적화 연산 회로의 회로 규모의 축소, 또는 메모리에 대한 액세스 횟수의 감소로 인한 처리 속도의 향상 및 소비전력 저감을 도모할 수 있다.

[0194] 적화 연산 회로는 Si 트랜지스터로 구성되어도 좋고 OS 트랜지스터로 구성되어도 좋다. 특히 OS 트랜지스터는 오프 전류가 매우 작기 때문에, 적화 연산 회로의 아날로그 메모리를 구성하는 트랜지스터로서 적합하다. 또한 Si 트랜지스터와 OS 트랜지스터의 양쪽을 사용하여 적화 연산 회로를 구성하여도 좋다. 아래에서 적화 연산 회로의 기능을 가지는 반도체 장치의 구성예에 대하여 설명한다.

[0195] <반도체 장치의 구성예>

[0196] 도 13에 뉴럴 네트워크의 연산을 수행하는 기능을 가지는 반도체 장치(MAC)의 구성예를 나타내었다. 반도체 장치(MAC)는 뉴런 간의 결합 강도(가중치)에 대응하는 제 1 데이터와, 입력 데이터에 대응하는 제 2 데이터의 적화 연산을 수행하는 기능을 가진다. 또한 제 1 데이터 및 제 2 데이터는 각각 아날로그 데이터 또는 다치 데이터

터(이산적 데이터)로 할 수 있다. 또한 반도체 장치(MAC)는 적화 연산에 의하여 얻어진 데이터를 활성화 함수를 사용하여 변환하는 기능을 가진다.

- [0197] 반도체 장치(MAC)는 셀 어레이(CA), 전류원 회로(CS), 커런트 미러 회로(CM), 회로(WDD), 회로(WLD), 회로(CLD), 오프셋 회로(OFS), 및 활성화 함수 회로(ACTV)를 가진다.
- [0198] 셀 어레이(CA)는 복수의 메모리 셀(MC) 및 복수의 메모리 셀(MCref)을 가진다. 도 13에는 셀 어레이(CA)가 m행 n열(m, n은 1 이상의 정수(整數)임)의 메모리 셀(MC)(MC[1, 1] 내지 MC[m, n])과, m개의 메모리 셀(MCref)(MCref[1] 내지 MCref[m])을 가지는 구성예를 나타내었다. 메모리 셀(MC)은 제 1 데이터를 저장하는 기능을 가진다. 또한 메모리 셀(MCref)은 적화 연산에 사용되는 참조 데이터를 저장하는 기능을 가진다. 또한 참조 데이터는 아날로그 데이터 또는 다치 데이터로 할 수 있다.
- [0199] 메모리 셀(MC[i, j])(i는 1 이상 m 이하의 정수이고, j는 1 이상 n 이하의 정수임)은 배선(WL[i]), 배선(RW[i]), 배선(WD[j]), 및 배선(BL[j])과 접속된다. 또한 메모리 셀(MCref[i])은 배선(WL[i]), 배선(RW[i]), 배선(WDref), 배선(BLref)과 접속된다. 여기서 메모리 셀(MC[i, j])과 배선(BL[j]) 간을 흐르는 전류를  $I_{MC[i, j]}$ 로 표기하고, 메모리 셀(MCref[i])과 배선(BLref) 간을 흐르는 전류를  $I_{MCref[i]}$ 로 표기한다.
- [0200] 메모리 셀(MC) 및 메모리 셀(MCref)의 구체적인 구성예를 도 14에 나타내었다. 도 14에는 대표적인 예로서 메모리 셀(MC[1, 1], MC[2, 1]) 및 메모리 셀(MCref[1], MCref[2])을 나타내었지만, 다른 메모리 셀(MC) 및 메모리 셀(MCref)에도 같은 구성을 사용할 수 있다. 메모리 셀(MC) 및 메모리 셀(MCref)은 각각 트랜지스터(Tr11, Tr12), 용량 소자(C11)를 가진다. 여기서, 트랜지스터(Tr11) 및 트랜지스터(Tr12)가 n채널 트랜지스터인 경우에 대하여 설명한다.
- [0201] 메모리 셀(MC)에서 트랜지스터(Tr11)의 게이트는 배선(WL)과 접속되고, 소스 및 드레인 중 한쪽은 트랜지스터(Tr12)의 게이트 및 용량 소자(C11)의 제 1 전극과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(WD)과 접속된다. 트랜지스터(Tr12)의 소스 및 드레인 중 한쪽은 배선(BL)과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(VR)과 접속된다. 용량 소자(C11)의 제 2 전극은 배선(RW)과 접속된다. 배선(VR)은 소정의 전위를 공급하는 기능을 가지는 배선이다. 여기서 일례로서 배선(VR)으로부터 저전원 전위(접지 전위 등)가 공급되는 경우에 대하여 설명한다.
- [0202] 트랜지스터(Tr11)의 소스 및 드레인 중 한쪽, 트랜지스터(Tr12)의 게이트, 및 용량 소자(C11)의 제 1 전극에 접속된 노드를 노드(NM)로 한다. 또한 메모리 셀(MC[1, 1], MC[2, 1])의 노드(NM)를 각각 노드(NM[1, 1], NM[2, 1])로 표기한다.
- [0203] 메모리 셀(MCref)도 메모리 셀(MC)과 같은 구성을 가진다. 다만 메모리 셀(MCref)은 배선(WD) 대신에 배선(WDref)과 접속되고, 배선(BL) 대신에 배선(BLref)과 접속된다. 또한 메모리 셀(MCref[1], MCref[2])에서 트랜지스터(Tr11)의 소스 및 드레인 중 한쪽, 트랜지스터(Tr12)의 게이트, 및 용량 소자(C11)의 제 1 전극에 접속된 노드를 각각 노드(NMref[1], NMref[2])로 표기한다.
- [0204] 노드(NM) 및 노드(NMref)는 각각 메모리 셀(MC) 및 메모리 셀(MCref)의 유지 노드로서 기능한다. 노드(NM)에는 제 1 데이터가 유지되고, 노드(NMref)에는 참조 데이터가 유지된다. 또한 배선(BL[1])으로부터 메모리 셀(MC[1, 1], MC[2, 1])의 트랜지스터(Tr12)로 각각 전류( $I_{MC[1, 1]}$ ,  $I_{MC[2, 1]}$ )가 흐른다. 또한 배선(BLref)으로부터 메모리 셀(MCref[1], MCref[2])의 트랜지스터(Tr12)로 각각 전류( $I_{MCref[1]}$ ,  $I_{MCref[2]}$ )가 흐른다.
- [0205] 트랜지스터(Tr11)는 노드(NM) 또는 노드(NMref)의 전위를 유지하는 기능을 가지기 때문에 트랜지스터(Tr11)의 오프 전류는 작은 것이 바람직하다. 그래서 트랜지스터(Tr11)로서 오프 전류가 매우 작은 OS 트랜지스터를 사용하는 것이 바람직하다. 이로써 노드(NM) 또는 노드(NMref)의 전위 변동을 억제할 수 있어 연산 정밀도의 향상을 도모할 수 있다. 또한 노드(NM) 또는 노드(NMref)의 전위를 리프레시하는 동작의 빈도를 낮게 할 수 있어 소비전력을 삭감할 수 있다.
- [0206] 트랜지스터(Tr12)는 특별히 한정되지 않고 예를 들어 Si 트랜지스터 또는 OS 트랜지스터 등을 사용할 수 있다. 트랜지스터(Tr12)에 OS 트랜지스터를 사용하는 경우, 트랜지스터(Tr11)와 같은 제조 장치를 사용하여 트랜지스터(Tr12)를 제작할 수 있어 제조 비용을 낮출 수 있다. 또한 트랜지스터(Tr12)는 n채널형이어도 좋고 p채널형이어도 좋다.
- [0207] 전류원 회로(CS)는 배선(BL[1] 내지 BL[n]) 및 배선(BLref)과 접속된다. 전류원 회로(CS)는 배선(BL[1] 내지

BL[n]) 및 배선(BLref)에 전류를 공급하는 기능을 가진다. 또한 배선(BL[1] 내지 BL[n])에 공급되는 전류값과 배선(BLref)에 공급되는 전류값은 상이하셔도 좋다. 여기서는 전류원 회로(CS)로부터 배선(BL[1] 내지 BL[n])에 공급되는 전류를  $I_c$ 로 표기하고, 전류원 회로(CS)로부터 배선(BLref)에 공급되는 전류를  $I_{cref}$ 로 표기한다.

[0208] 커런트 미러 회로(CM)는 배선(IL[1] 내지 IL[n]) 및 배선(ILref)을 가진다. 배선(IL[1] 내지 IL[n])은 각각 배선(BL[1] 내지 BL[n])과 접속되고, 배선(ILref)은 배선(BLref)과 접속된다. 여기서는 배선(IL[1] 내지 IL[n])과 배선(BL[1] 내지 BL[n])의 접속 부분을 노드(NP[1] 내지 NP[n])로 표기한다. 또한 배선(ILref)과 배선(BLref)의 접속 부분을 노드(NPpref)로 표기한다.

[0209] 커런트 미러 회로(CM)는 노드(NPpref)의 전위에 응한 전류( $I_{cm}$ )를 배선(ILref)에 흘리는 기능과, 이 전류( $I_{cm}$ )를 배선(IL[1] 내지 IL[n])에도 흘리는 기능을 가진다. 도 13에는 배선(BLref)으로부터 배선(ILref)에 전류( $I_{cm}$ )가 배출되고, 배선(BL[1] 내지 BL[n])으로부터 배선(IL[1] 내지 IL[n])에 전류( $I_{cm}$ )가 배출되는 예를 나타내었다. 또한 커런트 미러 회로(CM)로부터 배선(BL[1] 내지 BL[n])을 통하여 셀 어레이(CA)로 흐르는 전류를  $I_b[1]$  내지  $I_b[n]$ 으로 표기한다. 또한 커런트 미러 회로(CM)로부터 배선(BLref)을 통하여 셀 어레이(CA)로 흐르는 전류를  $I_{bref}$ 로 표기한다.

[0210] 회로(WDD)는 배선(WD[1] 내지 WD[n]) 및 배선(WDref)과 접속된다. 회로(WDD)는 메모리 셀(MC)에 저장되는 제 1 데이터에 대응하는 전위를 배선(WD[1] 내지 WD[n])에 공급하는 기능을 가진다. 또한 회로(WDD)는 메모리 셀(MCref)에 저장되는 참조 데이터에 대응하는 전위를 배선(WDref)에 공급하는 기능을 가진다. 회로(WLD)는 배선(WL[1] 내지 WL[m])과 접속된다. 회로(WLD)는 데이터를 기록하는 메모리 셀(MC) 또는 메모리 셀(MCref)을 선택하기 위한 신호를 배선(WL[1] 내지 WL[m])에 공급하는 기능을 가진다. 회로(CLD)는 배선(RW[1] 내지 RW[m])과 접속된다. 회로(CLD)는 제 2 데이터에 대응하는 전위를 배선(RW[1] 내지 RW[m])에 공급하는 기능을 가진다.

[0211] 오프셋 회로(OFS)는 배선(BL[1] 내지 BL[n]) 및 배선(OL[1] 내지 OL[n])과 접속된다. 오프셋 회로(OFS)는 배선(BL[1] 내지 BL[n])으로부터 오프셋 회로(OFS)로 흐르는 전류량 및/또는 배선(BL[1] 내지 BL[n])으로부터 오프셋 회로(OFS)로 흐르는 전류의 변화량을 검출하는 기능을 가진다. 또한 오프셋 회로(OFS)는 검출 결과를 배선(OL[1] 내지 OL[n])에 출력하는 기능을 가진다. 또한 오프셋 회로(OFS)는 검출 결과에 대응하는 전류를 배선(OL)에 출력하여도 좋고, 검출 결과에 대응하는 전류를 전압으로 변환하여 배선(OL)에 출력하여도 좋다. 셀 어레이(CA)와 오프셋 회로(OFS) 간을 흐르는 전류를  $I_a[1]$  내지  $I_a[n]$ 으로 표기한다.

[0212] 오프셋 회로(OFS)의 구성예를 도 15에 나타내었다. 도 15에 나타낸 오프셋 회로(OFS)는 회로(OC[1] 내지 OC[n])를 가진다. 또한 회로(OC[1] 내지 OC[n])는 각각 트랜지스터(Tr21), 트랜지스터(Tr22), 트랜지스터(Tr23), 용량 소자(C21), 및 저항 소자(R1)를 가진다. 각 소자의 접속 관계는 도 15에 나타낸 바와 같다. 또한 용량 소자(C21)의 제 1 전극 및 저항 소자(R1)의 제 1 단자에 접속된 노드를 노드(Na)로 한다. 또한 용량 소자(C21)의 제 2 전극, 트랜지스터(Tr21)의 소스 및 드레인 중 한쪽, 및 트랜지스터(Tr22)의 게이트에 접속된 노드를 노드(Nb)로 한다.

[0213] 배선(VrefL)은 전위(Vref)를 공급하는 기능을 가지고, 배선(VaL)은 전위(Va)를 공급하는 기능을 가지고, 배선(VbL)은 전위(Vb)를 공급하는 기능을 가진다. 또한 배선(VDDL)은 전위(VDD)를 공급하는 기능을 가지고, 배선(VSSL)은 전위(VSS)를 공급하는 기능을 가진다. 여기서는 전위(VDD)가 고전원 전위이고, 전위(VSS)가 저전원 전위인 경우에 대하여 설명한다. 또한 배선(RST)은 트랜지스터(Tr21)의 도통 상태를 제어하기 위한 전위를 공급하는 기능을 가진다. 트랜지스터(Tr22), 트랜지스터(Tr23), 배선(VDDL), 배선(VSSL), 및 배선(VbL)으로 소스 폴로어 회로가 구성된다.

[0214] 다음으로 회로(OC[1] 내지 OC[n])의 동작예를 설명한다. 또한 여기서는 대표적인 예로서 회로(OC[1])의 동작예를 설명하지만 회로(OC[2] 내지 OC[n])도 마찬가지로 동작시킬 수 있다. 우선, 배선(BL[1])을 제 1 전류가 흐르면 노드(Na)의 전위는 제 1 전류와 저항 소자(R1)의 저항값에 응한 전위가 된다. 또한 이때 트랜지스터(Tr21)는 온 상태이므로 노드(Nb)에 전위(Va)가 공급된다. 그 후, 트랜지스터(Tr21)는 오프 상태가 된다.

[0215] 다음으로 배선(BL[1])을 제 2 전류가 흐르면 노드(Na)의 전위는 제 2 전류와 저항 소자(R1)의 저항값에 응한 전위로 변화한다. 이때 트랜지스터(Tr21)는 오프 상태이고 노드(Nb)는 부유 상태이므로, 노드(Na)의 전위 변화에 따라 노드(Nb)의 전위는 용량 결합에 의하여 변화한다. 여기서 노드(Na)의 전위 변화를  $\Delta V_{Na}$ 로 하고, 용량 결합 계수를 1로 하면, 노드(Nb)의 전위는  $V_a + \Delta V_{Na}$ 가 된다. 그리고 트랜지스터(Tr22)의 문턱 전압을  $V_{th}$ 로 하면,

배선(OL[1])으로부터 전위( $V_a + \Delta V_{Na} - V_{th}$ )가 출력된다. 여기서,  $V_a = V_{th}$ 로 함으로써 배선(OL[1])으로부터 전위( $\Delta V_{Na}$ )를 출력할 수 있다.

- [0216] 전위( $\Delta V_{Na}$ )는 제 1 전류에서 제 2 전류로의 변화량, 저항 소자(R1)의 저항값, 및 전위(Vref)에 따라 결정된다. 여기서, 저항 소자(R1)의 저항값 및 전위(Vref)는 기지의 값이기 때문에 배선(BL)을 흐르는 전류의 변화량을 전위( $\Delta V_{Na}$ )로부터 얻을 수 있다.
- [0217] 상술한 바와 같이 오프셋 회로(OFS)에 의하여 검출된 전류량 및/또는 전류의 변화량에 대응하는 신호는 배선(OL[1] 내지 OL[n])을 통하여 활성화 함수 회로(ACTV)에 입력된다.
- [0218] 활성화 함수 회로(ACTV)는 배선(OL[1] 내지 OL[n]) 및 배선(NIL[1] 내지 NIL[n])과 접속된다. 활성화 함수 회로(ACTV)는 오프셋 회로(OFS)로부터 입력된 신호를 미리 정의된 활성화 함수에 따라 변환하기 위한 연산을 수행하는 기능을 가진다. 활성화 함수로서는, 예를 들어 시그모이드 함수, tanh 함수, softmax 함수, ReLU 함수, 문턱값 함수 등을 사용할 수 있다. 활성화 함수 회로(ACTV)에 의하여 변환된 신호는 출력 데이터로서 배선(NIL[1] 내지 NIL[n])에 출력된다.
- [0219] <반도체 장치의 동작예>
- [0220] 상기 반도체 장치(MAC)를 사용하여 제 1 데이터와 제 2 데이터의 적화 연산을 수행할 수 있다. 이하에서 적화 연산을 수행할 때의 반도체 장치(MAC)의 동작예를 설명한다.
- [0221] 도 16에 반도체 장치(MAC)의 동작예의 타이밍 차트를 나타내었다. 도 16에는 도 14에서의 배선(WL[1]), 배선(WL[2]), 배선(WD[1]), 배선(WDref), 노드(NM[1, 1]), 노드(NM[2, 1]), 노드(NMref[1]), 노드(NMref[2]), 배선(RW[1]), 및 배선(RW[2])의 전위의 추이(推移)와, 전류( $I_{B[1]} - I_{a[1]}$ ) 및 전류( $I_{Bref}$ )의 값의 추이를 나타내었다. 전류( $I_{B[1]} - I_{a[1]}$ )는 배선(BL[1])으로부터 메모리 셀(MC[1, 1], [2, 1])로 흐르는 전류의 합에 상당한다.
- [0222] 또한 여기서는, 대표적인 예로서 도 14에 나타난 메모리 셀(MC[1, 1], MC[2, 1]) 및 메모리 셀(MCref[1], MCref[2])에 착안하여 동작을 설명하지만, 다른 메모리 셀(MC) 및 메모리 셀(MCref)도 마찬가지로 동작시킬 수 있다.
- [0223] [제 1 데이터의 저장]
- [0224] 우선, 시각 T01부터 시각 T02까지에서 배선(WL[1])의 전위가 하이 레벨이 되고, 배선(WD[1])의 전위가 접지 전위(GND)보다  $V_{PR} - V_{w[1, 1]}$ 만큼 큰 전위가 되고, 배선(WDref)의 전위가 접지 전위보다  $V_{PR}$ 만큼 큰 전위가 된다. 또한 배선(RW[1]) 및 배선(RW[2])의 전위가 기준 전위(REFP)가 된다. 또한 전위( $V_{w[1, 1]}$ )는 메모리 셀(MC[1, 1])에 저장되는 제 1 데이터에 대응하는 전위이다. 또한 전위( $V_{PR}$ )는 참조 데이터에 대응하는 전위이다. 이에 의하여, 메모리 셀(MC[1, 1]) 및 메모리 셀(MCref[1])이 가지는 트랜지스터(Tr11)가 온 상태가 되고, 노드(NM[1, 1])의 전위가  $V_{PR} - V_{w[1, 1]}$ 이 되고, 노드(NMref[1])의 전위가  $V_{PR}$ 가 된다.
- [0225] 이때 배선(BL[1])으로부터 메모리 셀(MC[1, 1])의 트랜지스터(Tr12)로 흐르는 전류( $I_{MC[1, 1], 0}$ )는 다음 식으로 나타낼 수 있다. 여기서 k는 트랜지스터(Tr12)의 채널 길이, 채널 폭, 이동도, 및 게이트 절연막의 용량 등에 따라 결정되는 상수이다. 또한  $V_{th}$ 는 트랜지스터(Tr12)의 문턱 전압이다.
- [0226] 
$$I_{MC[1, 1], 0} = k(V_{PR} - V_{w[1, 1]} - V_{th})^2 (E1)$$
- [0227] 또한 배선(BLref)으로부터 메모리 셀(MCref[1])의 트랜지스터(Tr12)로 흐르는 전류( $I_{MCref[1], 0}$ )는 다음 식으로 나타낼 수 있다.
- [0228] 
$$I_{MCref[1], 0} = k(V_{PR} - V_{th})^2 (E2)$$
- [0229] 다음으로, 시각 T02부터 시각 T03까지에서 배선(WL[1])의 전위가 로 레벨이 된다. 이에 의하여, 메모리 셀(MC[1, 1]) 및 메모리 셀(MCref[1])이 가지는 트랜지스터(Tr11)가 오프 상태가 되고, 노드(NM[1, 1]) 및 노드(NMref[1])의 전위가 유지된다.
- [0230] 또한 상술한 바와 같이 트랜지스터(Tr11)로서 OS 트랜지스터를 사용하는 것이 바람직하다. 이에 의하여 트랜지

스터(Tr11)의 누설 전류를 억제할 수 있어, 노드(NM[1, 1]) 및 노드(NMref[1])의 전위를 정확히 유지할 수 있다.

[0231] 다음으로, 시각 T03부터 시각 T04에서 배선(WL[2])의 전위가 하이 레벨이 되고, 배선(WD[1])의 전위가 접지 전위보다  $V_{PR}-V_{W[2, 1]}$ 만큼 큰 전위가 되고, 배선(WDref)의 전위가 접지 전위보다  $V_{PR}$ 만큼 큰 전위가 된다. 또한 전위( $V_{W[2, 1]}$ )는 메모리 셀(MC[2, 1])에 저장되는 제 1 데이터에 대응하는 전위이다. 이에 의하여, 메모리 셀(MC[2, 1]) 및 메모리 셀(MCref[2])이 가지는 트랜지스터(Tr11)가 온 상태가 되고, 노드(NM[1, 1])의 전위가  $V_{PR}-V_{W[2, 1]}$ 이 되고, 노드(NMref[1])의 전위가  $V_{PR}$ 가 된다.

[0232] 이때 배선(BL[1])으로부터 메모리 셀(MC[2, 1])의 트랜지스터(Tr12)로 흐르는 전류( $I_{MC[2, 1], 0}$ )는 다음 식으로 나타낼 수 있다.

[0233] 
$$I_{MC[2, 1], 0} = k(V_{PR} - V_{W[2, 1]} - V_{th})^2 \quad (E3)$$

[0234] 또한 배선(BLref)으로부터 메모리 셀(MCref[2])의 트랜지스터(Tr12)로 흐르는 전류( $I_{MCref[2], 0}$ )는 다음 식으로 나타낼 수 있다.

[0235] 
$$I_{MCref[2], 0} = k(V_{PR} - V_{th})^2 \quad (E4)$$

[0236] 다음으로, 시각 T04부터 시각 T05까지에서 배선(WL[2])의 전위가 로 레벨이 된다. 이에 의하여, 메모리 셀(MC[2, 1]) 및 메모리 셀(MCref[2])이 가지는 트랜지스터(Tr11)가 오프 상태가 되고, 노드(NM[2, 1]) 및 노드(NMref[2])의 전위가 유지된다.

[0237] 상술한 동작에 의하여 메모리 셀(MC[1, 1], MC[2, 1])에 제 1 데이터가 저장되고, 메모리 셀(MCref[1], MCref[2])에 참조 데이터가 저장된다.

[0238] 여기서, 시각 T04부터 시각 T05까지에서 배선(BL[1]) 및 배선(BLref)을 흐르는 전류에 대하여 생각한다. 배선(BLref)에는 전류원 회로(CS)로부터 전류가 공급된다. 또한 배선(BLref)을 흐르는 전류는 커런트 미러 회로(CM), 메모리 셀(MCref[1], MCref[2])에 배출된다. 전류원 회로(CS)로부터 배선(BLref)에 공급되는 전류를  $I_{Cref}$ 로, 배선(BLref)으로부터 커런트 미러 회로(CM)에 배출되는 전류를  $I_{CM, 0}$ 으로 하면 다음 식이 도출된다.

[0239] 
$$I_{Cref} - I_{CM, 0} = I_{MCref[1], 0} + I_{MCref[2], 0} \quad (E5)$$

[0240] 배선(BL[1])에는 전류원 회로(CS)로부터의 전류가 공급된다. 또한 배선(BL[1])을 흐르는 전류는 커런트 미러 회로(CM), 메모리 셀(MC[1, 1], MC[2, 1])에 배출된다. 또한 배선(BL[1])으로부터 오프셋 회로(OFST)로 전류가 흐른다. 전류원 회로(CS)로부터 배선(BL[1])에 공급되는 전류를  $I_{C, 0}$ , 배선(BL[1])으로부터 오프셋 회로(OFST)로 흐르는 전류를  $I_{a, 0}$ 으로 하면 다음 식이 도출된다.

[0241] 
$$I_{C} - I_{CM, 0} = I_{MC[1, 1], 0} + I_{MC[2, 1], 0} + I_{a, 0} \quad (E6)$$

[0242] [제 1 데이터와 제 2 데이터의 적화 연산]

[0243] 다음으로, 시각 T05부터 시각 T06까지에서 배선(RW[1])의 전위는 기준 전위보다  $V_{X[1]}$ 만큼 큰 전위가 된다. 이때 메모리 셀(MC[1, 1]) 및 메모리 셀(MCref[1]) 각각의 용량 소자(C11)에는 전위( $V_{X[1]}$ )가 공급되어, 용량 결합에 의하여 트랜지스터(Tr12)의 게이트의 전위가 상승한다. 또한 전위( $V_{X[1]}$ )는 메모리 셀(MC[1, 1]) 및 메모리 셀(MCref[1])에 공급되는 제 2 데이터에 대응하는 전위이다.

[0244] 트랜지스터(Tr12)의 게이트 전위의 변화량은 배선(RW)의 전위의 변화량과, 메모리 셀의 구성에 따라 결정되는 용량 결합 계수를 곱한 값이다. 용량 결합 계수는 용량 소자(C11)의 용량, 트랜지스터(Tr12)의 게이트 용량, 및 기생 용량 등에 기초하여 산출된다. 이하에서는 편의상 배선(RW)의 전위의 변화량과 트랜지스터(Tr12)의 게이트 전위의 변화량이 같은 것으로 하여 즉 용량 결합 계수가 1인 것으로 하여 설명한다. 실제로는 용량 결합 계수를 고려하여 전위( $V_x$ )를 결정하면 좋다.

[0245] 메모리 셀(MC[1]) 및 메모리 셀(MCref[1])의 용량 소자(C11)에 전위( $V_{X[1]}$ )가 공급되면, 노드(NN[1]) 및 노드

(NMref[1])의 전위가 각각  $V_{X[1]}$ 만큼 상승한다.

[0246] 여기서, 시각 T05부터 시각 T06까지에서 배선(BL[1])으로부터 메모리 셀(MC[1, 1])의 트랜지스터(Tr12)로 흐르는 전류( $I_{MC[1, 1], 1}$ )는 다음 식으로 나타낼 수 있다.

[0247] 
$$I_{MC[1, 1], 1} = k(V_{PR} - V_{w[1, 1]} + V_{X[1]} - V_{th})^2 \quad (E7)$$

[0248] 즉 배선(RW[1])에 전위( $V_{X[1]}$ )를 공급함으로써 배선(BL[1])으로부터 메모리 셀(MC[1, 1])의 트랜지스터(Tr12)로 흐르는 전류는  $\Delta I_{MC[1, 1]} = I_{MC[1, 1], 1} - I_{MC[1, 1], 0}$ 만큼 증가한다.

[0249] 또한 시각 T05부터 시각 T06까지에서 배선(BLref)으로부터 메모리 셀(MCref[1])의 트랜지스터(Tr12)로 흐르는 전류( $I_{MCref[1], 1}$ )는 다음 식으로 나타낼 수 있다.

[0250] 
$$I_{MCref[1], 1} = k(V_{PR} + V_{X[1]} - V_{th})^2 \quad (E8)$$

[0251] 즉 배선(RW[1])에 전위( $V_{X[1]}$ )를 공급함으로써 배선(BLref)으로부터 메모리 셀(MCref[1])의 트랜지스터(Tr12)로 흐르는 전류는  $\Delta I_{MCref[1]} = I_{MCref[1], 1} - I_{MCref[1], 0}$ 만큼 증가한다.

[0252] 또한 배선(BL[1]) 및 배선(BLref)을 흐르는 전류에 대하여 생각한다. 배선(BLref)에는 전류원 회로(CS)로부터 전류( $I_{Cref}$ )가 공급된다. 또한 배선(BLref)을 흐르는 전류는 커런트 미러 회로(CM), 메모리 셀(MCref[1], MCref[2])에 배출된다. 배선(BLref)으로부터 커런트 미러 회로(CM)에 배출되는 전류를  $I_{CM, 1}$ 로 하면 다음 식이 도출된다.

[0253] 
$$I_{Cref} - I_{CM, 1} = I_{MCref[1], 1} + I_{MCref[2], 1} \quad (E9)$$

[0254] 배선(BL[1])에는 전류원 회로(CS)로부터 전류( $I_C$ )가 공급된다. 또한 배선(BL[1])을 흐르는 전류는 커런트 미러 회로(CM), 메모리 셀(MC[1, 1], MC[2, 1])에 배출된다. 또한 배선(BL[1])으로부터 오프셋 회로(OFS)로 전류가 흐른다. 배선(BL[1])으로부터 오프셋 회로(OFS)로 흐르는 전류를  $I_{a, 1}$ 로 하면 다음 식이 도출된다.

[0255] 
$$I_C - I_{CM, 1} = I_{MC[1, 1], 1} + I_{MC[2, 1], 1} + I_{a, 1} \quad (E10)$$

[0256] 그리고, 식(E1) 내지 식(E10)에 의거하여, 전류( $I_{a, 0}$ )와 전류( $I_{a, 1}$ )의 차(차분 전류( $\Delta I_a$ ))는 다음 식으로 나타낼 수 있다.

[0257] 
$$\Delta I_a = I_{a, 1} - I_{a, 0} = 2kV_{w[1, 1]}V_{X[1]} \quad (E11)$$

[0258] 상술한 바와 같이, 차분 전류( $\Delta I_a$ )는 전위( $V_{w[1, 1]}$ )와 전위( $V_{X[1]}$ )의 곱에 응한 값이 된다.

[0259] 그 후, 시각 T06부터 시각 T07까지에서 배선(RW[1])의 전위는 접지 전위가 되고, 노드(NM[1, 1]) 및 노드(NMref[1])의 전위는 시각 T04부터 시각 T05까지와 같다.

[0260] 다음으로, 시각 T07부터 시각 T08까지에서 배선(RW[1])의 전위는 기준 전위보다  $V_{X[1]}$ 만큼 큰 전위가 되고, 배선(RW[2])의 전위는 기준 전위보다  $V_{X[2]}$ 만큼 큰 전위가 공급된다. 이에 의하여, 메모리 셀(MC[1, 1]) 및 메모리 셀(MCref[1]) 각각의 용량 소자(C11)에 전위( $V_{X[1]}$ )가 공급되고, 용량 결합에 의하여 노드(NM[1, 1]) 및 노드(NMref[1])의 전위가 각각  $V_{X[1]}$ 만큼 상승한다. 또한 메모리 셀(MC[2, 1]) 및 메모리 셀(MCref[2]) 각각의 용량 소자(C11)에 전위( $V_{X[2]}$ )가 공급되고, 용량 결합에 의하여 노드(NM[2, 1]) 및 노드(NMref[2])의 전위가 각각  $V_{X[2]}$ 만큼 상승한다.

[0261] 여기서, 시각 T07부터 시각 T08까지에서 배선(BL[1])으로부터 메모리 셀(MC[2, 1])의 트랜지스터(Tr12)로 흐르는 전류( $I_{MC[2, 1], 1}$ )는 다음 식으로 나타낼 수 있다.

[0262] 
$$I_{MC[2, 1], 1} = k(V_{PR} - V_{w[2, 1]} + V_{X[2]} - V_{th})^2 \quad (E12)$$

- [0263] 즉 배선(RW[2])에 전위( $V_{X[2]}$ )를 공급함으로써 배선(BL[1])으로부터 메모리 셀(MC[2, 1])의 트랜지스터(Tr12)로 흐르는 전류는  $\Delta I_{MC[2, 1]}=I_{MC[2, 1, 1]}-I_{MC[2, 1, 0]}$ 만큼 증가한다.
- [0264] 또한 시각 T05부터 시각 T06까지에서 배선(BLref)으로부터 메모리 셀(MCref[2])의 트랜지스터(Tr12)로 흐르는 전류( $I_{MCref[2], 1}$ )는 다음 식으로 나타낼 수 있다.
- [0265] 
$$I_{MCref[2], 1}=k(V_{PR}+V_{X[2]}-V_{th})^2 \quad (E13)$$
- [0266] 즉 배선(RW[2])에 전위( $V_{X[2]}$ )를 공급함으로써 배선(BLref)으로부터 메모리 셀(MCref[2])의 트랜지스터(Tr12)로 흐르는 전류는  $\Delta I_{MCref[2]}=I_{MCref[2], 1}-I_{MCref[2], 0}$ 만큼 증가한다.
- [0267] 또한 배선(BL[1]) 및 배선(BLref)을 흐르는 전류에 대하여 생각한다. 배선(BLref)에는 전류원 회로(CS)로부터 전류( $I_{Cref}$ )가 공급된다. 또한 배선(BLref)을 흐르는 전류는 커런트 미러 회로(CM), 메모리 셀(MCref[1], MCref[2])에 배출된다. 배선(BLref)으로부터 커런트 미러 회로(CM)에 배출되는 전류를  $I_{CM, 2}$ 로 하면 다음 식이 도출된다.
- [0268] 
$$I_{Cref}-I_{CM, 2}=I_{MCref[1], 1}+I_{MCref[2], 1} \quad (E14)$$
- [0269] 배선(BL[1])에는 전류원 회로(CS)로부터 전류( $I_C$ )가 공급된다. 또한 배선(BL[1])을 흐르는 전류는 커런트 미러 회로(CM), 메모리 셀(MC[1, 1], MC[2, 1])에 배출된다. 또한 배선(BL[1])으로부터 오프셋 회로(OFFST)로 전류가 흐른다. 배선(BL[1])으로부터 오프셋 회로(OFFST)로 흐르는 전류를  $I_{a, 2}$ 로 하면 다음 식이 도출된다.
- [0270] 
$$I_C-I_{CM, 2}=I_{MC[1, 1], 1}+I_{MC[2, 1], 1}+I_{a, 2} \quad (E15)$$
- [0271] 그리고, 식(E1) 내지 식(E8) 및 식(E12) 내지 식(E15)에 의거하여, 전류( $I_{a, 0}$ )와 전류( $I_{a, 2}$ )의 차(차분 전류( $\Delta I_a$ ))는 다음 식으로 나타낼 수 있다.
- [0272] 
$$\Delta I_a=I_{a, 2}-I_{a, 0}=2k(V_{W[1, 1]}V_{X[1]}+V_{W[2, 1]}V_{X[2]}) \quad (E16)$$
- [0273] 상술한 바와 같이, 차분 전류( $\Delta I_a$ )는 전위( $V_{W[1, 1]}$ )와 전위( $V_{X[1]}$ )의 곱과 전위( $V_{W[2, 1]}$ )와 전위( $V_{X[2]}$ )의 곱의 합에 응한 값이 된다.
- [0274] 그 후, 시각 T08부터 시각 T09까지에서 배선(RW[1], RW[2])의 전위는 접지 전위가 되므로, 노드(NM[1, 1], NM[2, 1]) 및 노드(NMref[1], NMref[2])의 전위는 시각 T04부터 시각 T05까지와 같다.
- [0275] 식(E9) 및 식(E16)에 나타낸 바와 같이, 오프셋 회로(OFFST)에 입력되는 차분 전류( $\Delta I_a$ )는 제 1 데이터(가중치)에 대응하는 전위( $V_X$ )와, 제 2 데이터(입력 데이터)에 대응하는 전위( $V_W$ )의 곱의 합에 응한 값이 된다. 즉 차분 전류( $\Delta I_a$ )를 오프셋 회로(OFFST)에 의하여 계측함으로써 제 1 데이터와 제 2 데이터의 적화 연산의 결과를 얻을 수 있다.
- [0276] 또한 상기에서는 특히 메모리 셀(MC[1, 1], MC[2, 1]) 및 메모리 셀(MCref[1], MCref[2])에 착안하였지만, 메모리 셀(MC) 및 메모리 셀(MCref)의 개수는 임의로 설정할 수 있다. 메모리 셀(MC) 및 메모리 셀(MCref)의 행수  $m$ 을 임의의 값으로 한 경우의 차분 전류( $\Delta I_a$ )는 다음 식으로 나타낼 수 있다.
- [0277] 
$$\Delta I_a=2k \sum_i V_{W[i, 1]}V_{X[i]} \quad (E17)$$
- [0278] 또한 메모리 셀(MC) 및 메모리 셀(MCref)의 열수  $n$ 을 늘림으로써 병렬로 실행되는 적화 연산의 개수를 늘릴 수 있다.
- [0279] 상술한 바와 같이, 반도체 장치(MAC)를 사용함으로써 제 1 데이터와 제 2 데이터의 적화 연산을 수행할 수 있다. 또한 메모리 셀(MC) 및 메모리 셀(MCref)로서 도 14에 나타낸 구성을 사용함으로써 적은 개수의 트랜지스터로 적화 연산 회로를 구성할 수 있다. 그러므로, 반도체 장치(MAC)의 회로 규모의 축소를 도모할 수 있다.
- [0280] 반도체 장치(MAC)를 뉴럴 네트워크에서의 연산에 사용하는 경우, 메모리 셀(MC)의 행수  $m$ 을 하나의 뉴런에 공급

되는 입력 데이터의 개수에 대응시키고, 메모리 셀(MC)의 열수 n을 뉴런의 개수에 대응시킬 수 있다. 예를 들어 도 12의 (A)에 나타난 중간층(HL)에서 반도체 장치(MAC)를 사용한 적화 연산을 수행하는 경우에 대하여 생각한다. 이때 메모리 셀(MC)의 행수 m을 입력층(IL)으로부터 공급되는 입력 데이터의 개수(입력층(IL)의 뉴런의 개수)로 설정하고, 메모리 셀(MC)의 열수 n을 중간층(HL)의 뉴런의 개수로 설정할 수 있다.

[0281] 또한 반도체 장치(MAC)를 적용하는 뉴럴 네트워크의 구조는 특별히 한정되지 않는다. 예를 들어 반도체 장치(MAC)는 컨볼루션 뉴럴 네트워크(CNN), 순환 뉴럴 네트워크(RNN), 자기 부호화기, 볼츠만 머신(제한 볼츠만 머신을 포함함) 등에 사용할 수도 있다.

[0282] 상술한 바와 같이, 반도체 장치(MAC)를 사용함으로써 뉴럴 네트워크의 적화 연산을 수행할 수 있다. 또한 셀 어레이(CA)에 도 14에 나타난 메모리 셀(MC) 및 메모리 셀(MCref)을 사용함으로써 연산 정밀도의 향상, 소비전력의 삭감, 또는 회로 규모의 축소를 도모할 수 있는 집적 회로(IC)를 제공할 수 있다.

[0283] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0284] (실시형태 5)

[0285] 본 발명의 일 형태에 따른 촬상 장치를 사용할 수 있는 전자 기기로서, 표시 기기, 퍼스널 컴퓨터, 기록 매체를 가지는 화상 기억 장치 또는 화상 재생 장치, 휴대 전화, 휴대용을 포함함 게임기, 휴대 정보 단말, 전자책 단말기, 비디오 카메라나 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 17에 도시하였다.

[0286] 도 17의 (A)는 텔레비전이며, 하우징(971), 표시부(973), 조작 키(974), 스피커(975), 통신용 접속 단자(976), 광 센서(977) 등을 가진다. 표시부(973)에는 터치 센서가 제공되고, 입력 조작을 수행할 수도 있다. 표시부(973)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 표시 품질이 높은 표시를 수행할 수 있다.

[0287] 도 17의 (B)는 정보 처리 단말이며, 하우징(901), 표시부(902), 표시부(903), 센서(904) 등을 가진다. 표시부(902) 및 표시부(903)는 하나의 표시 패널로 이루어지고 가요성을 가진다. 또한, 하우징(901)도 가요성을 가지고, 도시된 바와 같이 굴곡시켜 사용할 수 있을뿐더러, 태블릿 단말과 같이 평판 형상으로 하여 사용할 수도 있다. 센서(904)는 하우징(901)의 형상을 감지할 수 있고, 예를 들어 하우징이 구부러졌을 때 표시부(902) 및 표시부(903)의 표시를 전환할 수 있다. 표시부(902) 및 표시부(903)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 표시 품질이 높은 표시를 수행할 수 있다.

[0288] 도 17의 (C)는 디지털 카메라이며, 하우징(961), 셔터 버튼(962), 마이크로폰(963), 스피커(967), 표시부(965), 조작 키(966), 줌 레버(968), 렌즈(969) 등을 가진다. 표시부(965)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 표시 품질이 높은 표시를 수행할 수 있다.

[0289] 도 17의 (D)는 디지털 사이니지이고, 대형의 표시부(922)를 가진다. 디지털 사이니지는 예를 들어, 기둥(921)의 측면에 장착된다. 표시부(922)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 표시 품질이 높은 표시를 수행할 수 있다.

[0290] 도 17의 (E)는 휴대 전화기이고, 하우징(951), 표시부(952), 조작 버튼(953), 외부 접속 포트(954), 스피커(955), 마이크로폰(956), 및 카메라(957) 등을 가진다. 상기 휴대 전화기는, 표시부(952)에 터치 센서를 구비한다. 전화를 걸거나, 또는 문자를 입력하는 등의 모든 조작은 손가락이나 스타일러스 등으로 표시부(952)를 터치함으로써 수행할 수 있다. 또한, 하우징(901) 및 표시부(952)는 가요성을 가지고, 도시된 바와 같이 굴곡시켜 사용할 수 있다. 표시부(952)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 표시 품질이 높은 표시를 수행할 수 있다.

[0291] 도 17의 (F)는 휴대 정보 단말이고, 하우징(911), 표시부(912), 스피커(913), 카메라(919) 등을 가진다. 표시부(912)가 가지는 터치 패널 기능에 의하여 정보의 입출력을 수행할 수 있다. 표시부(912)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 표시 품질이 높은 표시를 수행할 수 있다.

[0292] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시하는 것이 가능하다.

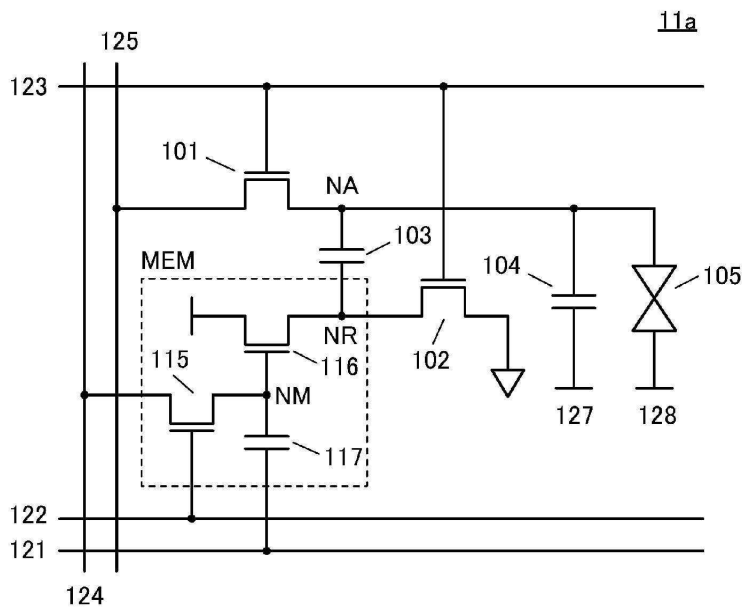
**부호의 설명**

[0293] 11: 화소, 11a: 화소, 11b: 화소, 11c: 화소, 11d: 화소, 12:로 드라이버(row driver), 13: 칼럼 드라이버

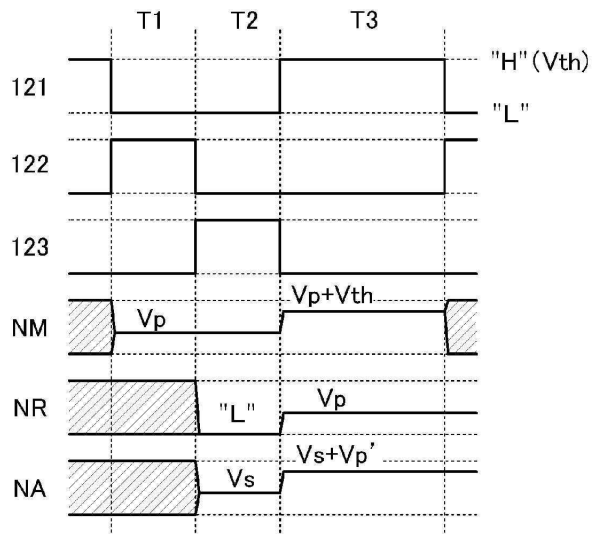
(column driver), 14: 회로, 15: 칼럼 드라이버, 16: 회로, 101: 트랜지스터, 102: 트랜지스터, 103: 용량 소자, 104: 용량 소자, 105: 액정 소자, 106: 트랜지스터, 107: 트랜지스터, 108: 트랜지스터, 109: 용량 소자, 110: EL 소자, 111: 트랜지스터, 115: 트랜지스터, 116: 트랜지스터, 117: 용량 소자, 121: 배선, 122: 배선, 123: 배선, 124: 배선, 125: 배선, 126: 배선, 127: 공통 배선, 128: 공통 배선, 129: 공통 배선, 130: 배선, 215: 표시부, 221a: 주사선 구동 회로, 231a: 신호선 구동 회로, 232a: 신호선 구동 회로, 241a: 공통선 구동 회로, 501: 액정 소자, 502: 화소 회로, 901: 하우징, 902: 표시부, 903: 표시부, 904: 센서, 911: 하우징, 912: 표시부, 913: 스피커, 919: 카메라, 921: 기둥, 922: 표시부, 951: 하우징, 952: 표시부, 953: 조작 버튼, 954: 외부 접속 포트, 955: 스피커, 956: 마이크로폰, 957: 카메라, 961: 하우징, 962: 셔터 버튼, 963: 마이크로폰, 965: 표시부, 966: 조작 키, 967: 스피커, 968: 줌 레버, 969: 렌즈, 971: 하우징, 973: 표시부, 974: 조작 키, 975: 스피커, 976: 통신용 접속 단자, 977: 광 센서, 4001: 기판, 4005: 밀봉재, 4006: 기판, 4008: 액정층, 4010: 트랜지스터, 4011: 트랜지스터, 4013: 액정 소자, 4014: 배선, 4015: 전극, 4017: 전극, 4018: FPC, 4019: 이방성 도전층, 4020: 용량 소자, 4021: 전극, 4030: 전극층, 4031: 전극층, 4032: 절연층, 4033: 절연층, 4035: 스페이서, 4041: 인쇄 기판, 4042: 집적 회로, 4102: 절연층, 4103: 절연층, 4104: 절연층, 4110: 절연층, 4111: 절연층, 4112: 절연층, 4131: 착색층, 4132: 차광층, 4133: 절연층, 4510: 격벽, 4511: 발광층, 4513: 발광 소자, 4514: 충전제

도면

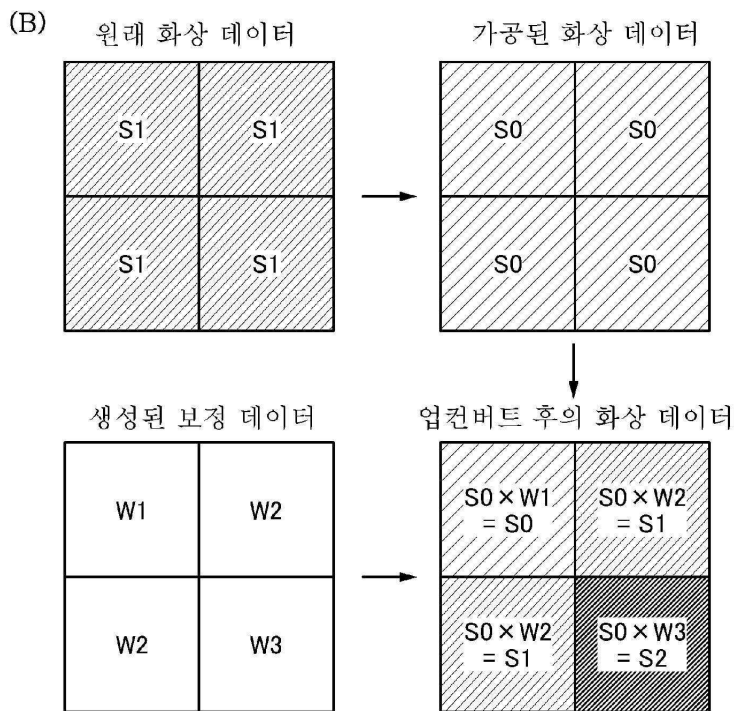
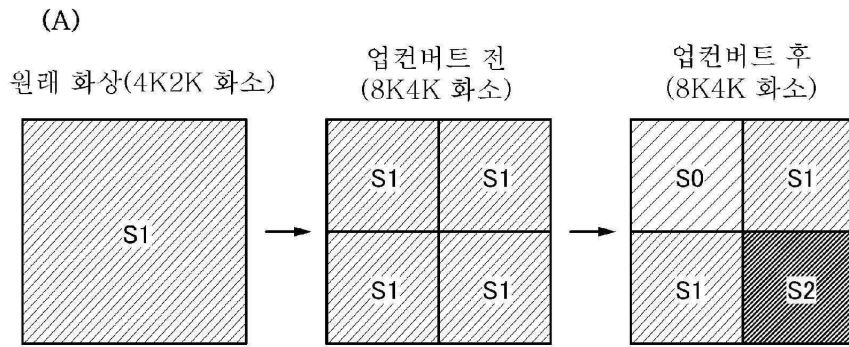
도면1



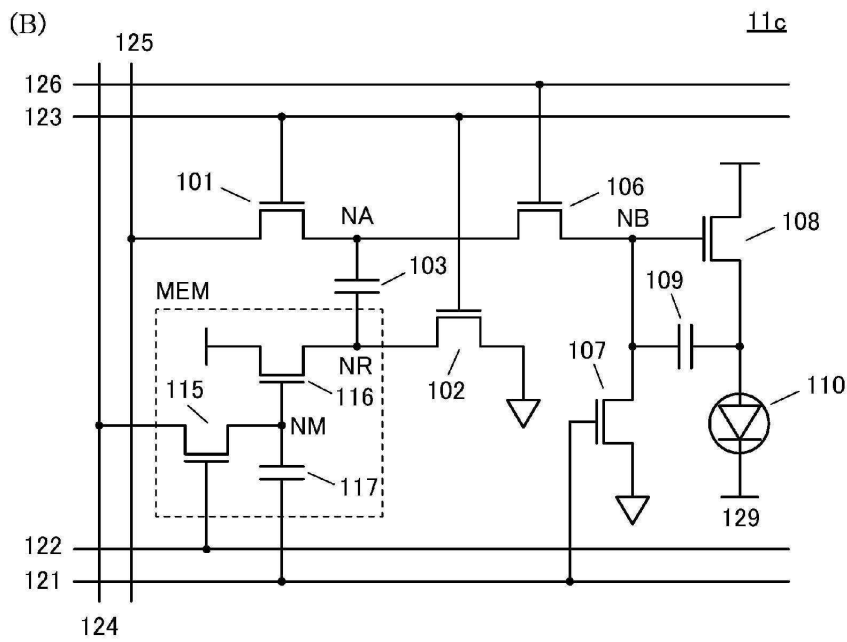
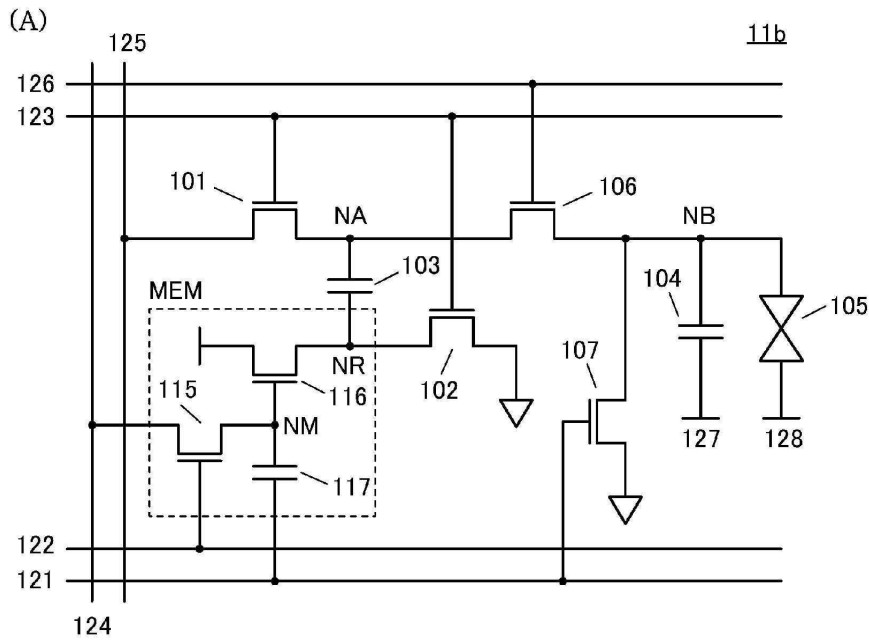
도면2



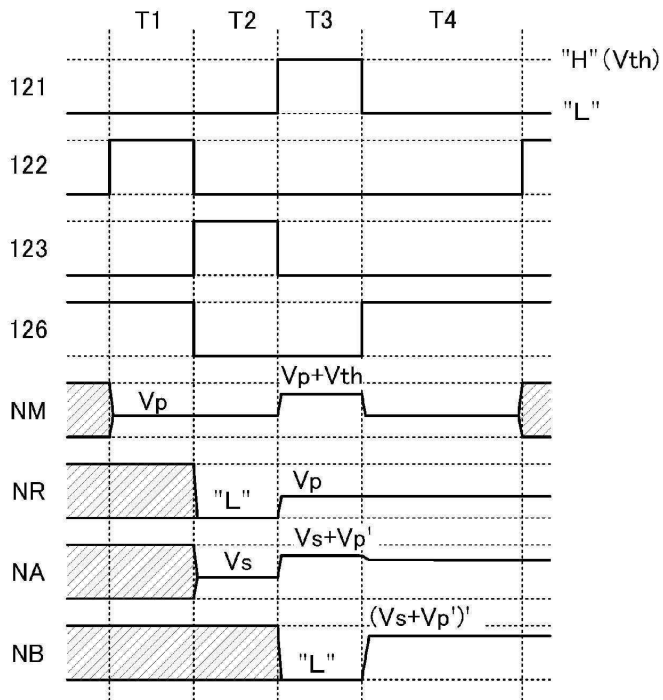
도면3



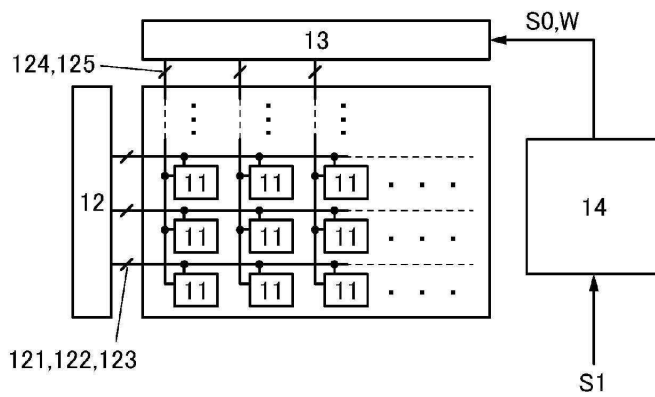
도면4



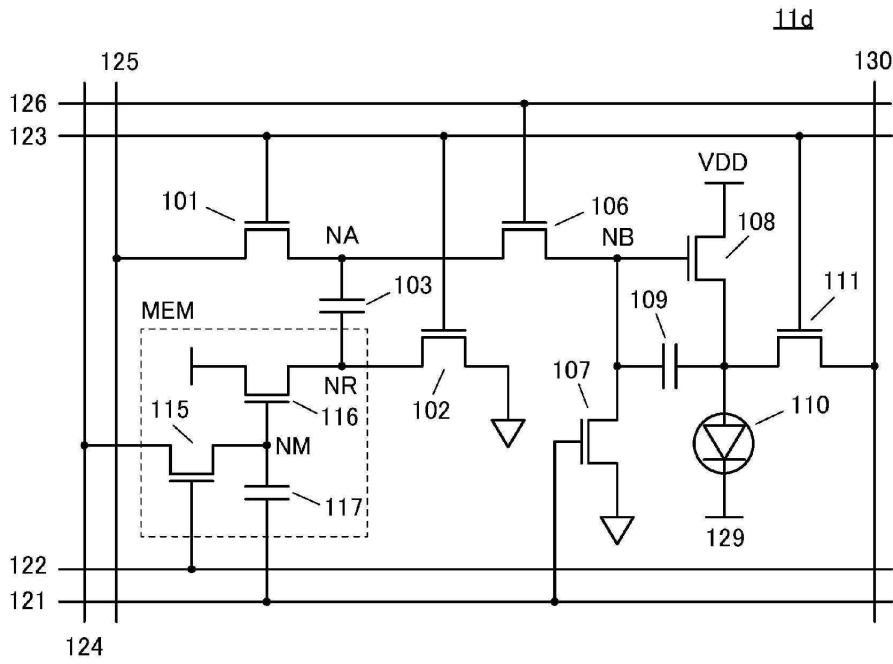
도면5



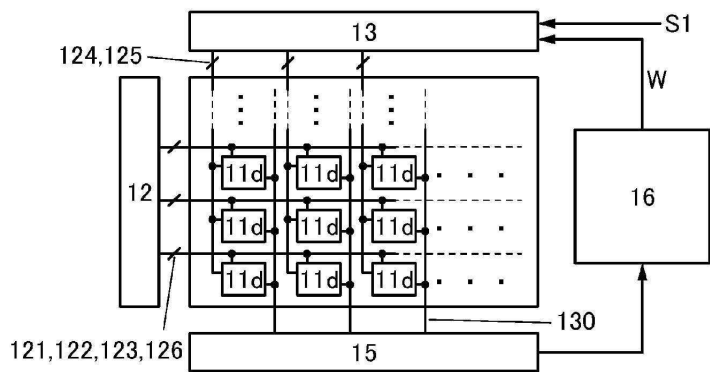
도면6



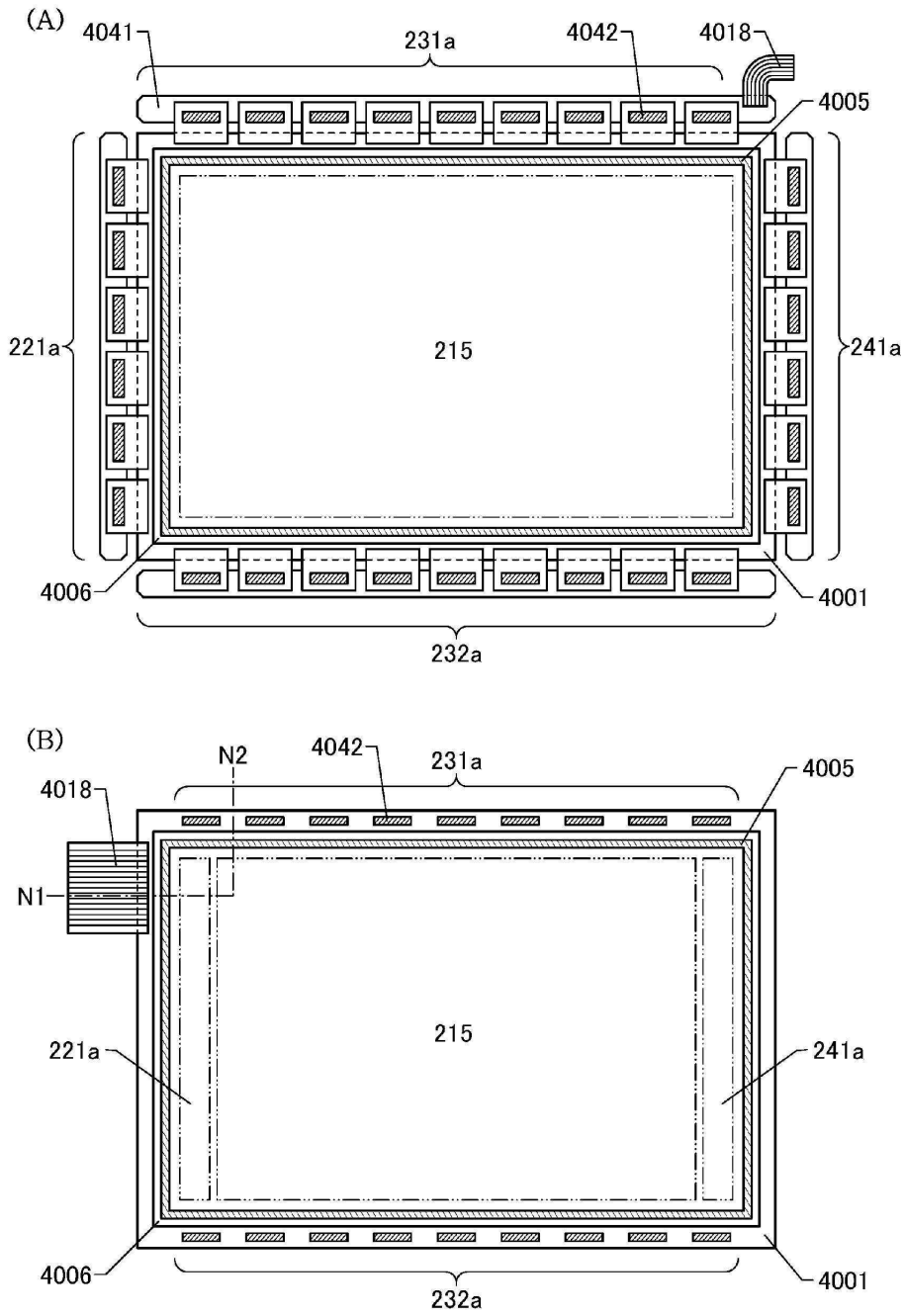
도면7



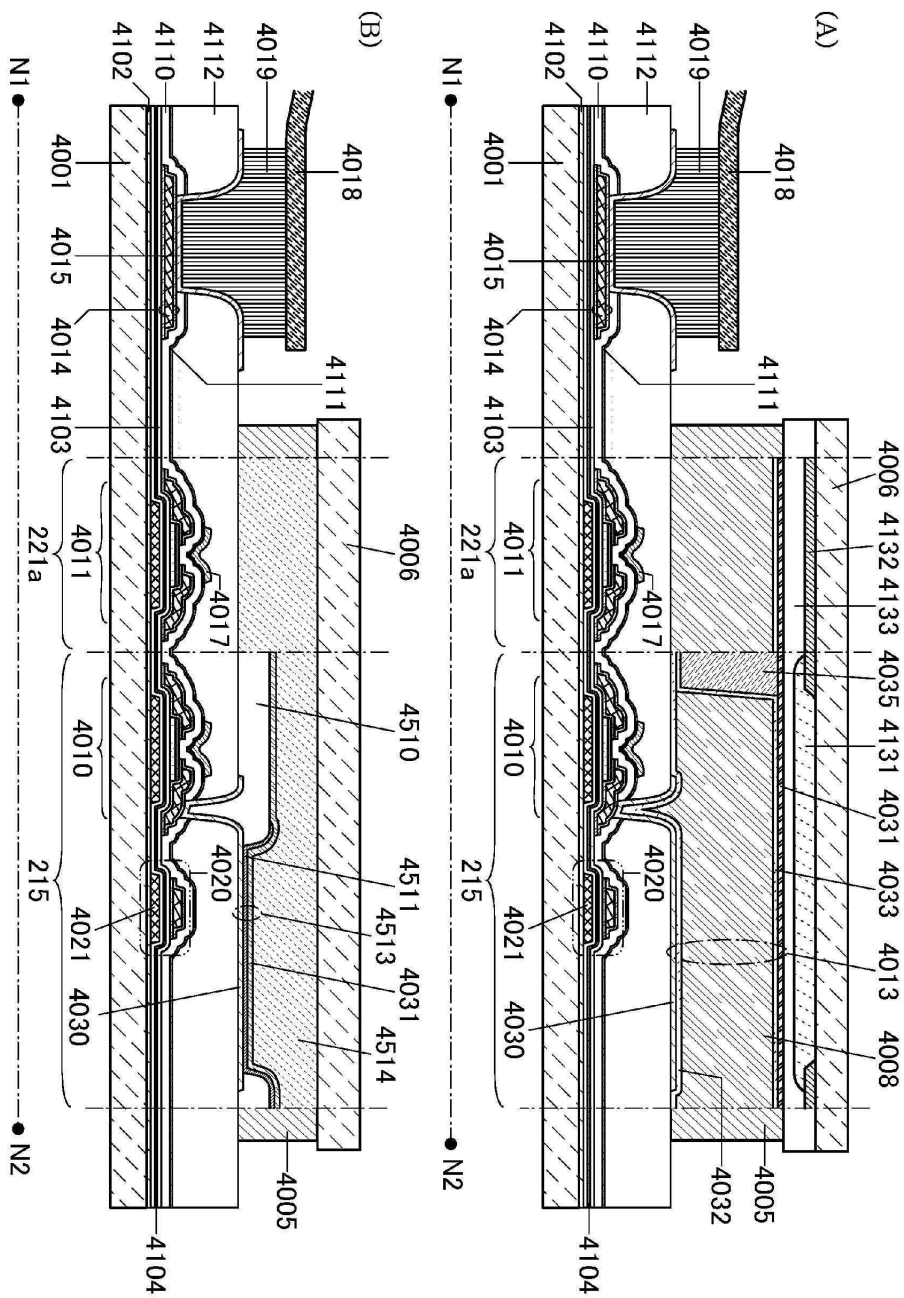
도면8



도면9

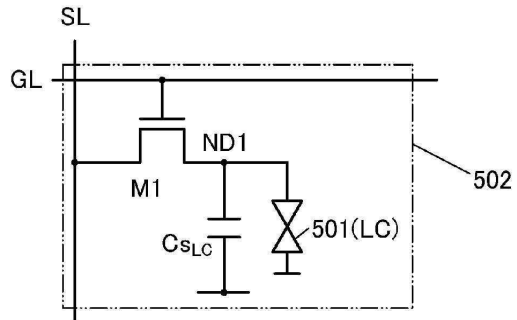


도면10

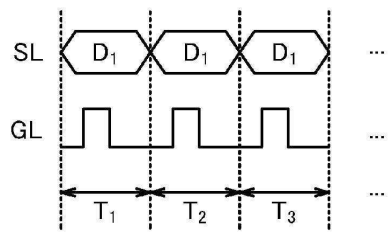


도면11

(A)



(B)

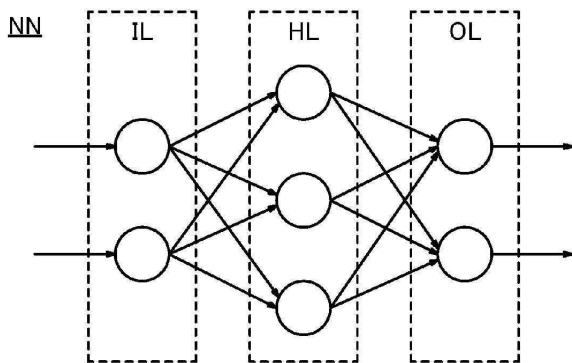


(C)

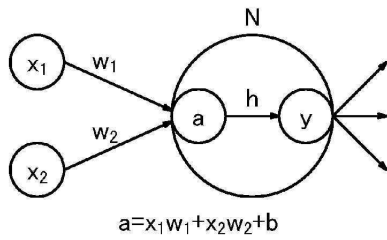


도면12

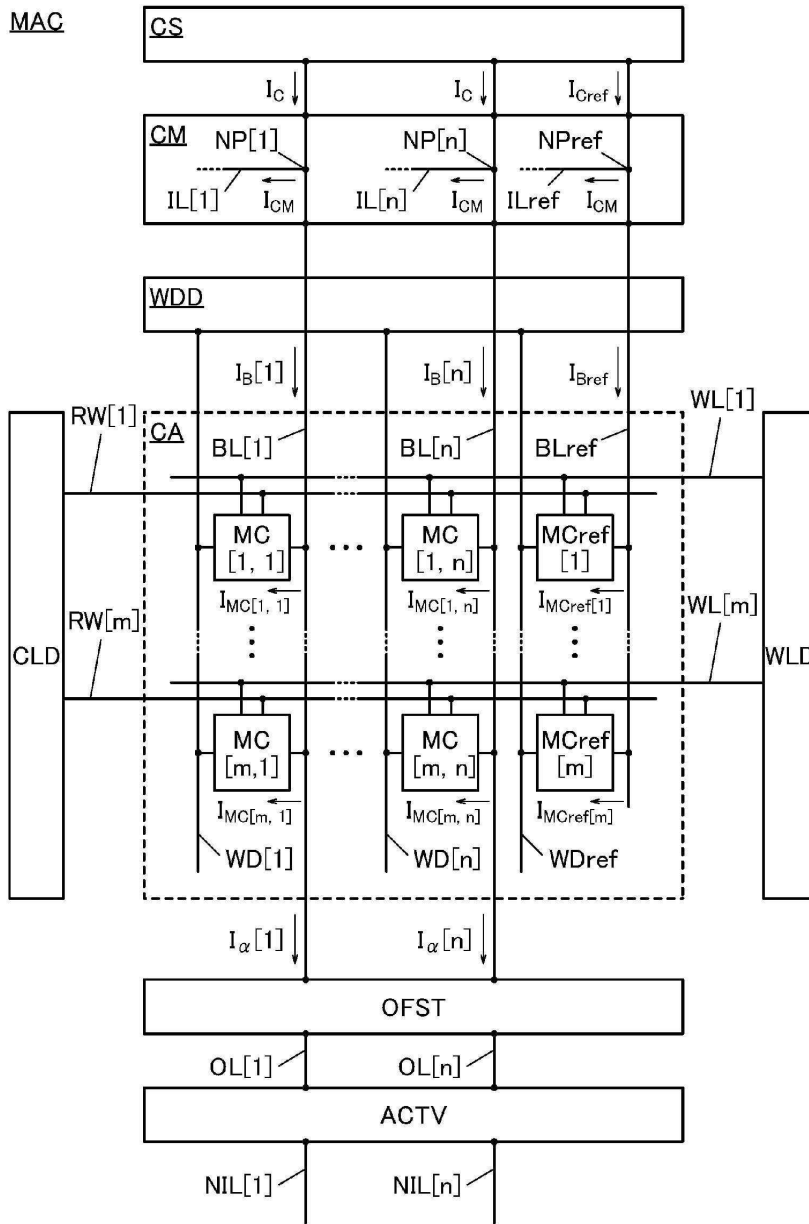
(A)



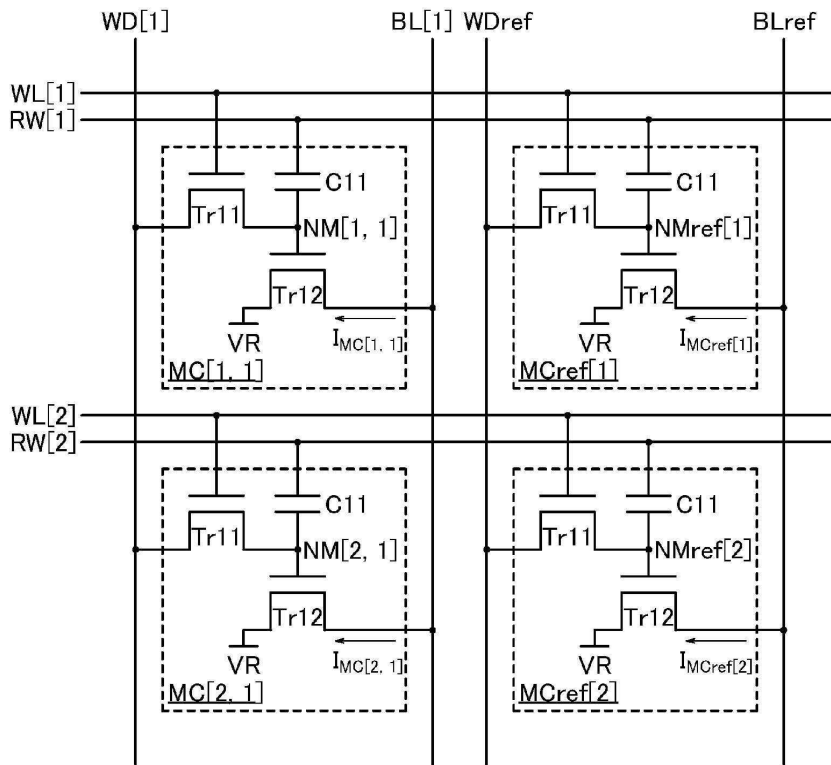
(B)



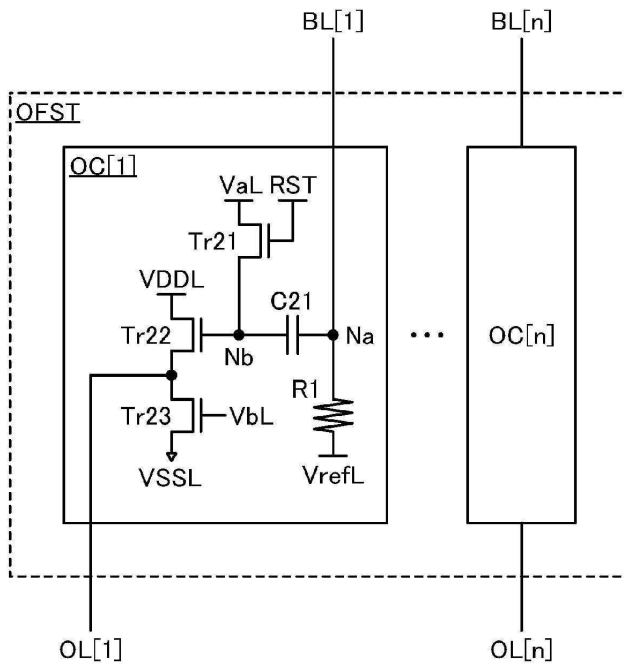
도면13



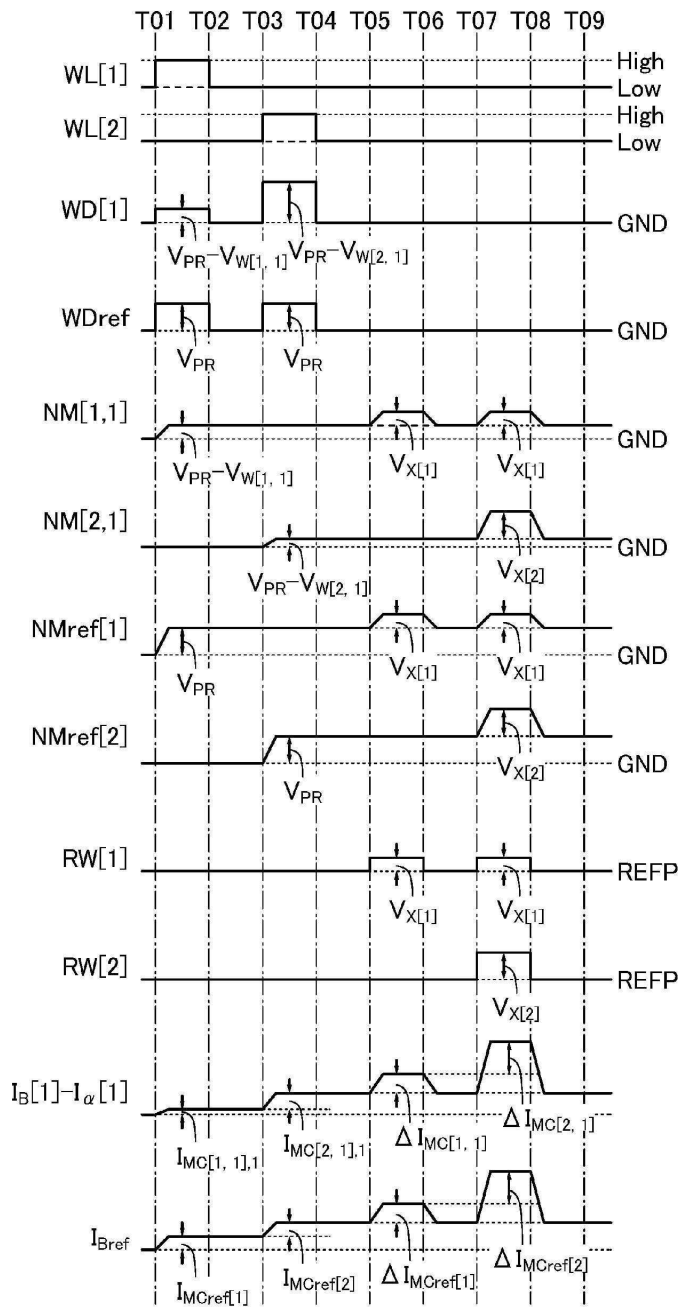
도면14



도면15



도면16



도면17

