



(12) 发明专利

(10) 授权公告号 CN 102646392 B

(45) 授权公告日 2015.03.04

(21) 申请号 201110041565.0

CN 101887695 A, 2010.11.17, 说明书第

(22) 申请日 2011.02.21

13 - 107 段.

(73) 专利权人 联咏科技股份有限公司

审查员 刘斌

地址 中国台湾新竹科学工业园区

(72) 发明人 施建嘉 李俊颜

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

G09G 3/34(2006.01)

G09G 3/20(2006.01)

(56) 对比文件

CN 101887695 A, 2010.11.17, 说明书第 13 - 107 段.

CN 101295496 A, 2008.10.29,

US 2010277509 A1, 2010.11.04,

CN 101308631 A, 2008.11.19,

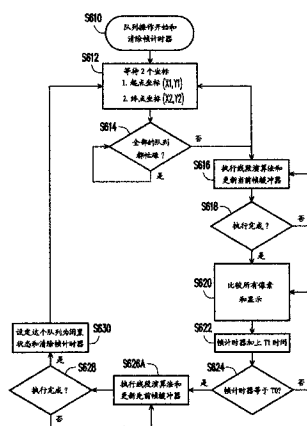
权利要求书3页 说明书13页 附图19页

(54) 发明名称

双稳态显示控制方法、时序控制器及双稳态显示装置

(57) 摘要

一种双稳态显示控制方法,使用坐标队列(Queues) 以达对显示数据的管线(Pipeline) 式并行处理,进而提升显示速度。由于在显示前段可利用多个队列暂存部分显示数据并再重制完整显示数据以更新当前帧缓冲储存器,故而可同时对多条线段进行像素数据的比较与驱动数据的产生流程。此外,于显示后段还可采用类似的方式来更新先前帧缓冲储存器,从而可在节省存取的时间外更避免区块图像重迭时所造成的错误。上述方法可应用至时序控制器以及双稳态显示装置。



1. 一种双稳态显示控制方法,包括:

暂存一图像的第一显示数据,其中该图像是自一双稳态面板所输入,以及该图像包括一至多条线段;以及

对该一至多条线段各自的该第一显示数据进行并行处理,以并行产生该一至多条线段的驱动数据,

其中每一该线段的该驱动数据被重复产生,以及连续两线段各自的驱动数据的重复产生时间是相重迭,

其中暂存该第一显示数据的步骤包括将该一至多条线段各自所属的该第一显示数据分别暂存至一至多个队列,以及进行并行处理的步骤包括对该一至多个队列各自所暂存的该第一显示数据进行并行处理。

2. 根据权利要求1所述的双稳态显示控制方法,其中对该一至多个队列所暂存的该第一显示数据进行并行处理以并行产生一至多条线段的驱动数据的步骤包括:

分别依据该一至多个队列各自所暂存的该第一显示数据来更新一当前帧缓冲储存器;以及

于每次执行上述步骤后,就依据该次更新后的该当前帧缓冲储存器与未更新的一先前帧缓冲储存器两者所储存的显示数据,来产生该驱动数据。

3. 根据权利要求2所述的双稳态显示控制方法,其中更新该当前帧缓冲储存器的步骤包括:

分别依据该一至多个队列当中的一者所暂存的该第一显示数据,来获得第二显示数据;以及

于每次获得该第二显示数据后,就将该次所获得的该第二显示数据储存至该当前帧缓冲储存器。

4. 根据权利要求3所述的双稳态显示控制方法,其中该一至多个队列所暂存的该第一显示数据分别包括该一至多条线段各自的至少一部分的坐标数据,以及每次所获得的该第二显示数据包括该一至多条线段当中的一者的完整的坐标数据。

5. 根据权利要求2所述的双稳态显示控制方法,还包括:

依据该一至多个队列所暂存的该第一显示数据来更新一先前帧缓冲储存器。

6. 根据权利要求5所述的双稳态显示控制方法,其中更新该先前帧缓冲储存器的步骤包括:

分别依据该一至多个队列各自所暂存的该第一显示数据,来获得第三显示数据;以及

于每次获得该第三显示数据后,就将该次所获得的该第三显示数据储存至该先前帧缓冲储存器。

7. 根据权利要求6所述的双稳态显示控制方法,其中该一至多个队列所暂存的该第一显示数据分别包括该一至多条线段各自的至少一部分的坐标数据,以及每次所获得的该第三显示数据包括该一至多条线段当中的一者的完整的坐标数据。

8. 根据权利要求6所述的双稳态显示控制方法,其中该一至多个队列所暂存的该第一显示数据分别包括该一至多条线段各自的至少一部分的坐标数据,以及每次所获得的该第三显示数据包括该当前帧缓冲储存器所储存的包围该一至多条线段当中的一者的一区域的显示数据。

9. 一种双稳态显示控制方法,包括:

从一双稳态面板接收连续的一至多条线段的显示数据并产生对应的驱动数据;以及
依据该驱动数据来于该双稳态面板显示该一至多条线段,其中该一至多条线段当中每一者被重复显示,以及相邻两线段各自的重复显示时间相重迭,

其中该一至多条线段当中每一者被重复显示达一完整更新时间,以及相邻两线段显示的间隔时间是小于该完整更新时间。

10. 一种时序控制器,包括:

一主机接口,用以接收由一双稳态面板所输入的一图像,其中该图像包括一至多条线段;

一主控制模块,用以暂存该图像的第一显示数据,并对该一至多条线段各自的该第一显示数据进行并行处理,以并行产生该一至多条线段的驱动数据;以及

一队列控制模块,用以将该一至多条线段各自的第一显示数据分别暂存至一至多个队列,以供该主控制模块对该一至多个队列各自所暂存的该第一显示数据进行并行处理,

其中该主控制模块针对该图像中的每一线段来重复产生该驱动数据,以及该图像中的连续两线段各自的驱动数据的重复产生时间是相重迭。

11. 根据权利要求 10 所述的时序控制器,其中该主控制模块还分别根据该一至多个队列中各自所暂存的该第一显示数据来更新一当前帧缓冲储存器,以及该时序控制器还包括一帧缓冲储存器比较模块,用以于该主控制模块每次执行更新步骤后,依据该次更新后的该当前帧缓冲储存器与未更新的一先前帧缓冲储存器两者所储存的显示数据,来产生该驱动数据。

12. 根据权利要求 11 所述的时序控制器,还包括一线段算法模块,用以分别根据该一至多个队列当中的一者所暂存的该第一显示数据,来计算出一第二显示数据,以供该主控制模块于每次该第二显示数据产生后就根据该第二显示数据来更新该当前帧缓冲储存器。

13. 根据权利要求 12 所述的时序控制器,其中该一至多个队列所暂存的该第一显示数据分别包括该一至多条线段各自的至少一部分的坐标数据,而该第二显示数据包括该一至多条线段当中的一者的完整的坐标数据。

14. 根据权利要求 13 所述的时序控制器,该主控制模块还根据该一至多个队列中各自所暂存的该第一显示数据来更新一先前帧缓冲储存器。

15. 根据权利要求 14 所述的时序控制器,还包括一线段算法模块,其分别根据该一至多个队列当中的一者所暂存的该第一显示数据,来计算出该图像的一第三显示数据,以供该主控制模块于每次该第三显示数据产生后就该第三显示数据储存到一该先前帧缓冲储存器。

16. 根据权利要求 15 所述的时序控制器,其中,其中该一至多个队列所暂存的该第一显示数据分别包括该一至多条线段各自的至少一部分的坐标数据,以及该第三显示数据包括该一至多条线段当中的一者的完整的坐标数据。

17. 根据权利要求 15 所述的时序控制器,其中该一至多个队列所暂存的该第一显示数据分别包括该一至多条线段各自的至少一部分的坐标数据,以及每次所获得的该第三显示数据包括该当前帧缓冲储存器所储存的包围该一至多条线段当中的一者的一区域的显示数据。

18. 一种双稳态显示装置,包括如权利要求 13 所述的时序控制器,以及一面板,用以依据该时序控制器所产生的驱动数据而重复显示一图像中的每一线段,其中连续两线段各自的重复显示时间是相重迭。

19. 一种双稳态显示装置,包括:

一时序控制器,用以接收一至多条线段的显示数据并产生对应的驱动数据;以及

一双稳态面板,用以接收该一至多条线段的输入,并依据该驱动数据来显示该一至多条线段,

其中该双稳态面板是针对该一至多条线段当中每一者重复显示,以及相邻两线段各自的重复显示时间是相重迭,

其中该一至多条线段当中每一者是重复显示达一完整更新时间,以及相邻两线段显示的间隔时间是小于该完整更新时间。

双稳态显示控制方法、时序控制器及双稳态显示装置

技术领域

[0001] 本发明是有关于双稳态显示控制技术,尤其关于采用队列架构而能改善显示速度与质量的双稳态显示控制方法,以及应用该方法的时序控制器与显示控制装置。

背景技术

[0002] 以目前的显示技术来说,除了一般应用于家庭或终端消费者的大型显示技术,如液晶显示器、等离子体显示器、或是传统的映像管电视之外,采用新一代材料的软性显示技术,也有逐渐受到重视的趋势。于目前种种显示技术中,除了有机发光二极管(OLED)显示技术以外,就以双稳态显示技术最受瞩目,至今已普遍应用到电子书技术中,并持续发展,意欲成为将来取代纸张的新一代软性显示器。目前已开发有数种不同的双稳态显示技术,譬如胆固醇液晶(Cholesteric Liquid Crystal)与电子墨水(Electronic Ink;E-Ink)技术,两者为目前的主流技术。

[0003] 顾名思义,双稳态意味着显示单元(CELL)能在不施加电压的状况下,持续维持亮态或暗态两种不同的状态。换言之,双稳态技术能在不施加电压下存储画面,从而具有低电量耗损的优点。在理想状态下,双稳态技术显示器相较起传统液晶显示技术,可节省高达数百倍的耗电量,因此相当适合应用于不需要频繁更新画面的场合,比如说手机、电子书,甚至是大型的电子广告牌等等。

[0004] 请参照图1,其为一种传统双稳态显示装置的基本架构方块示意图。于传统双稳态显示装置100中,设置有一时序控制器(Timing Controller, TCON)130,其主要用于控制所有的输入与输出的时序。时序控制器130经由一主机接口(Host interface)120来接收中央处理器(CPU)110所送出的图像数据。

[0005] 此外,时序控制器130耦接至存储器(Memory)150。存储器150分割成当前帧缓冲存储器(Current Frame)152和先前帧缓冲存储器(Previous Frame Buffer)154。当前帧缓冲存储器152是用来暂存目前即将要显示的图像的显示数据(譬如包括像素的颜色数据),而先前帧缓冲存储器154是用来暂存已完全显示在面板170的图像的显示数据(譬如包括像素的颜色数据)。

[0006] 此外,传统双稳态显示装置100还包括一查询表(Look Up Table, LUT)140,其用来记录所有可能会发生的驱动电压波形。查询表140的内容通常包括先前显示数据与目前显示数据的所有可能组合,以及所有组合分别所对应的驱动电压数据。如此一来,时序控制器130可依据存储器150所储存的每一像素的先前与目前的显示数据,参照查询表140来获得图像中每一像素的驱动电压数据。

[0007] 此外,时序控制器130亦经由显示接口(Display interface)160与传输线路162来连接到驱动电路172。时序控制器130于获得驱动电压数据后,继而可将驱动电压数据通过显示接口160与传输电路162提供至驱动电路172。驱动电路172于是能产生对应的驱动电压来驱动面板170显示图像。举例而言,当驱动电压数据为“00b”或“11b”,即代表驱动电压为0V;驱动电压数据“01b”代表驱动电压为+15V;以及驱动电压数据为“10b”则代

表驱动电压为 $-15V$ 。

[0008] 请参照图 2A 与图 2B,其分别举例说明当显示黑画面与白画面时,驱动电路 172 分别所产生的驱动电压的波型图。如图 2A 与图 2B 所示,黑画面与白画面分别所产生的驱动电压在一完整更新时间 T_0 的期间内皆维持为 $+15V$ 与 $-15V$ 。完整更新时间 T_0 代表置换整个画面的时间,而时间 T_1 则代表一个帧 (Frame) 执行时间。完整更新时间 T_0 为帧执行时间 T_1 的整数倍,譬如 T_0 约为 260 毫秒 (millisecond ;ms),而 T_1 约为 20 毫秒 (ms)。

[0009] 以下先以黑色图像的显示为例,详细说明传统双稳态显示装置 100 中各元件的操作原理。请先参照图 3A,其说明时序控制器 130 所接收黑色图像的图像格式。如图 3A 所示,此黑色图像呈现为一矩形区域,而图像的格式数据则包含此矩形区域 R 的起始坐标 (X_1, Y_1)、图像像素 (Pixel)、图像宽度 (Width ; W)、图像长度 (Length ; L) 等数据。

[0010] 请再参照图 3B,其包括图 3B-1 至 3B-3,用以说明图 3A 的黑色图像于处理与显示过程的不同阶段中,在当前帧缓冲存储器 152 与先前帧缓冲存储器 154 所储存的内容,以及在面板 170 所显示的内容。假设一开始当前帧缓冲存储器 152 与先前帧缓冲存储器 154 都是空白的 (Blank),如图 3B-1 所示。

[0011] 接下来,当时序控制器 130 从主机接口 120 接收到矩形区域 R 的显示数据时,会先将此矩形区域 R 的显示数据 (含 $W \times L$ 个像素的数据量) 储存到当前帧缓冲存储器 152,如图 3B-2 所示。

[0012] 接下来,时序控制器 130 会依据当前帧缓冲存储器 152 与先前帧缓冲存储器 154 内所有相对应地址的像素数据,参照查询表 140 来获得显示该矩形区域 R 的每一像素所需要的驱动数据,并传送到显示接口 160 以驱动面板 170。因此,经过一个帧执行时间 T_1 后,面板 170 就会初步显示矩形区域 R 的黑色图像 (颜色较浅)。接下来,上述从参照查询表 140 到驱动面板 170 的步骤还会重复进行,每次花费一个帧执行时间 T_1 ,以逐步加强所显示图像的颜色。直到经过一个完整更新时间 T_0 后,面板 170 就会完全显示矩形区域 R 的黑色图像 (颜色较深),如图 3B-3 示。

[0013] 最后,时序控制器 130 会把当前帧缓冲存储器 152 所储存的显示数据复制到先前帧缓冲存储器 154 的相对位置,以更新先前帧缓冲存储器 154,同样如图 3B-3 所示。

[0014] 以下进一步说明,在传统双稳态显示装置 100 在实现譬如笔绘 (Pen drawing) 或手写 (Handwriting) 功能时,各元件的操作原理。请先参照图 4A,其显示时序控制器 130 所接收的笔绘图像的一范例。如图 4A 所示,假设使用者使用笔依序绘制连续三条线段 (Line segment): 线段 1、线段 2、线段 3。

[0015] 请参照图 4B,其包括图 4B-1 至 4B-5,用以说明图 4A 的笔绘图像的处理与显示过程的不同阶段中,在当前帧缓冲存储器 152 与先前帧缓冲存储器 154 所储存的内容,以及在面板 170 所显示的内容。首先,假设当前帧缓冲存储器 152 与先前帧缓冲存储器 154 一开始都是空白,如图 4B-1 所示。中央处理器 110 会把线段 1 当作区域 (Area) 图像来传送至时序控制器 130,因此必须传送矩形区域 R_1 中所有像素 ($W_1 \times L_1$ 个) 的数据量。

[0016] 当时序控制器 130 接收到含线段 1 的矩形区域 R_1 的显示数据时,会先把显示数据储存到当前帧缓冲存储器 152,如图 4B-2 所示。

[0017] 接下来,时序控制器 130 会依据当前帧缓冲存储器 152 与先前帧缓冲存储器 154 内的相对应地址的显示数据,参照查询表 140 而获得显示矩形区域 R_1 当中每一像素的驱动

数据,并传送到显示接口 160 以驱动面板 170。在上述从参照查询表 140 到驱动面板 170 的步骤重复进行而经过完整更新时间 T_0 后,面板 170 就会完全显示线段 1,如图 4B-3 所示。之后,时序控制器 130 会把当前帧缓冲储存器 152 的矩形区域 R1 的显示数据复制到先前帧缓冲储存器 154 的相对位置,同样如图 4B-3 所示。

[0018] 之后,时序控制器 130 又接收到线段 2。与线段 1 的处理与显示过程相似,时序控制器 130 同样依序进行下述步骤:先将所接收的矩形区域 R2 的显示数据(含 $W_2 \times L_2$ 个像素的数据量)储存到当前帧缓冲储存器 152,同样如图 4B-3 所示。继而参照查询表 140 以获得矩形区域 R2 每一像素的驱动数据,并重复进行到完整更新时间 T_0 而线段 2 于面板 170 上完全显示为止,结果如图 4B-4 所示。最后等线段 2 完全显示后,将矩形区域 R2 的显示数据从当前帧缓冲储存器 152 复制到先前帧缓冲储存器 154,同样如图 4B-4 所示。

[0019] 之后,时序控制器 130 又接收到线段 3,与线段 1 与线段 2 的处理与显示过程相似,时序控制器 130 同样依序进行下述程序:将矩形区域 R3 的显示数据(含 $W_3 \times L_3$ 个像素的数据量)储存至当前帧缓冲储存器 152,同样如图 4B-4 所示;重复参照查询表以获得驱动数据来驱动面板 170,经过完整更新时间 T_0 后线段 3 完整显示,如图 4B-5 所示;以及复制显示数据至先前帧缓冲储存器 154,同样如图 4B-5 所示。

[0020] 然而,利用上述程序来执行笔绘或手写的功能,每一线段在各处理步骤中都被视作区域图像来处理,因而于每一步骤中都产生庞大的显示数据量。此外,由于每一条线段都要经过更新当前帧缓冲储存器 152 以及比对与显示程序,才能再继续进行下一条线段的更新、比对与显示程序。换言之,每一条线段都要经过一个完整更新时间 T_0 的处理周期才能再继续进行下一条线段的处理程序。结果,驱动数据同一时间皆仅能包含单一线段的相关驱动数据。当快速进行笔绘或手写时,画面会显示太慢,且无法呈现平滑的线段。

发明内容

[0021] 在本发明的一方面中,提出一种双稳态显示控制方法,包括暂存一图像的第一显示数据,其中该图像是自一双稳态面板所输入,以及该图像包括一至多条线段;对该一至多条线段各自的该第一显示数据进行并行处理,以并行产生该一至多条线段的驱动数据。

[0022] 于一较佳实施例中,上述方法将该一至多条线段各自所属的该第一显示数据分别暂存至一至多个队列,方以对该一至多个队列各自所暂存的该第一显示数据进行并行处理。

[0023] 此外,于并行处理以产生图像的驱动数据的步骤中,较佳可分别依据所述一至多个队列各自所暂存的第一显示数据来更新一当前帧缓冲储存器。并于每次执行上述更新步骤后,就依据该次更新后的当前帧缓冲储存器与未更新的一先前帧缓冲储存器两者所储存的显示数据,来产生驱动数据。

[0024] 于更佳的情况下,每次更新该现行缓冲储存器的步骤可包括:依据该一至多个队列当中的一者所暂存的该第一显示数据,来获得第二显示数据,并且每此获得该第二显示数据后,就储存至该当前帧缓冲储存器。该一至多个队列所暂存的该第一显示数据可分别包括该一至多条线段各自的至少一部分的坐标数据。而每此获得的该第二显示数据则可分别包括该一至多条线段当中的一者的完整的坐标数据。

[0025] 类似地,上述方法较佳可还包括依据该一至多个队列所暂存的该第一显示数据来

更新该先前帧缓冲储存器。于更佳的情况下,可分别依据该一至多个队列各自所暂存的该第一显示数据,来获得第三显示数据,并于每次获得该第三显示数据后,就储存至该先前帧缓冲储存器。同样地,每此获得的该第三显示数据则可分别包括该一至多条线段当中的一者的完整的坐标数据。

[0026] 在本发明的另一方面中,提出一种双稳态显示控制方法,包括:从一双稳态面板接收连续的多条线段的显示数据并产生对应的驱动数据;以及依据该驱动数据来于该双稳态面板显示该一至多条线段,其中该一至多条线段当中每一者系被重复显示,以及相邻两线段各自的重复显示时间相重迭。

[0027] 在本发明的更另一方面中,提出一种时序控制器,其包括一主机接口,用以接收由一双稳态面板所输入的一图像,其中该图像包括一至多条线段;以及一主控制模块,用以暂存该图像的第一显示数据,并对该一至多条线段各自的该第一显示数据进行并行处理,以并行产生该一至多条线的驱动数据。

[0028] 在本发明的再另一方面中,提出应用上述时序控制器的一种双稳态显示装置,其包括上述时序控制器,以及一面板,用以依据该驱动数据而重复显示该图像中的每一线段,其中该图像中的连续两线段各自的重复显示时间是相重迭。

[0029] 在本发明的又另一方面中,提出一种双稳态显示装置,其包括一时序控制器,用以接收连续的多条线段的显示数据并产生对应的驱动数据;以及一双稳态面板,用以接收该多条线段的输入,并依据该驱动数据来显示该一至多条线段,其中该双稳态面板是针对该一至多条线段当中每一者重复显示,以及相邻两线段各自的重复显示时间是相重迭。

[0030] 在上述提供的各方面中,由于对于显示数据采管线式并行处理,因此可提升显示速度。在显示前段可利用多个队列暂存部分显示数据并再重制完整显示数据以更新当前帧缓冲储存器,故而可同时对多条线段进行像素数据的比较与驱动数据的产生流程。此外,于显示后可更采用类似的方式来更新先前帧缓冲储存器,从而可在节省存取的时间外更避免区块图像重迭时所造成的错误。

[0031] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

附图说明

[0032] 图 1 是一传统数字驱动电路的基本架构方块示意图。

[0033] 图 2A 与图 2B 分别为一传统双稳态显示装置中黑画面与白画面分别对应的驱动电压的波型示意图。

[0034] 图 3A 是一黑色矩形图框的范例示意图;图 3B 是对应于图 3A,当前帧缓冲储存器与先前帧缓冲储存器的储存内容以及面板的显示内容的范例示意图。

[0035] 图 4A 是连续输入的三条线段的示意图;图 4B 是对应于图 4A,当前帧缓冲储存器与先前帧缓冲储存器的储存内容以及面板的显示内容的范例示意图。

[0036] 图 5 是依据一实施例的一显示控制装置的基本架构方块示意图。

[0037] 图 6 是依据一实施例的应用图 5 所示的显示控制装置的一操作方法流程示意图。

[0038] 图 7 是依据另一实施例的一显示控制装置的基本架构方块示意图。

[0039] 图 8 是依据一实施例的应用图 7 所示的显示控制装置的一操作方法流程示意图。

[0040] 图 9 是依据一实施例,对应于图 5 与图 6 的操作架构以及图 4A 所示的输入线段,当前帧缓冲储存器与先前帧缓冲储存器的储存数据与面板的显示数据的范例示意图。

[0041] 图 10 是输入相重迭的线段的范例示意图。

[0042] 图 11 是依据一实施例,对应于图 5 与图 6 的操作架构以及图 10 所示的输入线段,当前帧缓冲储存器与先前帧缓冲储存器的储存数据与面板的显示数据的范例示意图。

[0043] 图 12 是依据一实施例,对应于图 7 与图 8 的操作架构以及图 10 所示的输入线段,当前帧缓冲储存器与先前帧缓冲储存器的储存数据与面板的显示数据的范例示意图。

[0044] [主要元件标号说明]

[0045] 120 :主机接口 (Host interface)

[0046] 110 :中央处理器 (CPU)

[0047] 130 :时序控制器 (Timing Controller, TCON)

[0048] 140 :查询表 (Look Up Table, LUT)

[0049] 150 :存储器 (Memory)

[0050] 152 :当前帧缓冲储存器 (Current Frame Buffer)

[0051] 154 :先前帧缓冲储存器 (Previous Frame Buffer)

[0052] 160 :显示接口 (Display interface)

[0053] 162 :传输线路

[0054] 170 :面板

[0055] 172 :驱动电路

[0056] 500 :显示控制装置

[0057] 502 :时序控制器 (Timing Controller, TCON)

[0058] 504 :存储器 (Memory)

[0059] 505 :当前帧缓冲储存器 (Current Frame Buffer)

[0060] 507 :先前帧缓冲储存器 (Previous Frame Buffer)

[0061] 508 :查询表 (Look Up Table, LUT)

[0062] 510 :主控制模块

[0063] 512 :主机接口

[0064] 514 :显示接口

[0065] 516 :查询表接口

[0066] 518 :存储器接口

[0067] 520 :线段算法模块

[0068] 530 :帧定时器模块

[0069] 540 :队列控制模块

[0070] 542 :暂存器

[0071] 550 :帧缓冲储存器比较模块

[0072] 560 :区域数据计算模块

[0073] 700 :显示控制装置

[0074] 702 :时序控制器 (Timing Controller, TCON)

[0075] 704 :存储器 (Memory)

- [0076] 708 :查询表 (Look Up Table, LUT)
- [0077] 705 :当前帧缓冲储存器 (Current Frame Buffer)
- [0078] 707 :先前帧缓冲储存器 (Previous Frame Buffer)
- [0079] 1010、1012、1014 :线段

具体实施方式

[0080] 请参照图 5, 其为依据一实施例中的一种显示控制装置的基本架构方块示意图。此显示控制装置 500 可用于一双稳态显示装置中以操控一双稳态面板 (未显示) 来显示数据。于此实施例的显示控制装置 500 中, 于显示前段采用队列 (Queues) 暂存与数据重构的技术, 而能提升笔绘或手写的显示速度。

[0081] 如图 5 所示, 显示控制装置 500 至少包括一时序控制器 502、存储器 504 与一查询表 508。此时序控制器 502 用以控制所有的输入与输出的时序, 并经由主机接口 512 连接到中央处理器 (未显示), 用以接收图像数据。此外, 时序控制器 502 经由显示接口 514 而连接到用于驱动双稳态面板的驱动电路, 并依据所接收的图像数据来产生驱动数据, 以提供至驱动电路来驱动面板更新画面。所欲显示图像譬如为使用者经由笔绘或手写所输入的一至多条线段, 因此图像数据譬如可至少包括该一至多条线段各自的起点与终点的坐标数据。

[0082] 除此之外, 时序控制器 502 经由存储器接口 518 连接到存储器 504。存储器 504 至少包括当前帧缓冲储存器 505 和先前帧缓冲储存器 507, 两者可为同一存储器中的不同区块, 或为相分离的不同存储器。当前帧缓冲储存器 505 是用来暂存目前即将要显示的图像的显示数据, 而先前帧缓冲储存器 507 则是用来暂存已完全显示在面板的图像的显示数据。

[0083] 此外, 时序控制器 502 经由查询表接口 516, 连接到查询表 508。查询表 508 用来记录所有可能会发生的驱动电压波形。于一实施例中, 查询表 508 譬如可包括先前显示数据与目前显示数据的所有可能组合, 以及所有组合分别所对应的驱动电压数据。如此一来, 时序控制器 502 可依据存储器 504 所储存的先前与目前的显示数据, 参照查询表 508, 而获得图像中每一像素的驱动电压数据。

[0084] 时序控制器 502 除了上述的多个连接接口外, 还包括一主控制模块 510, 其分别连接到线段算法模块 520、帧定时器模块 530、队列控制模块 540、帧缓冲储存器比较模块 550 以及区域数据计算模块 560。这些模块的设置是时序控制器 502 与图 1 的传统时序控制器 130 的主要差异处。

[0085] 线段算法模块 520 用以针对所接收的坐标数据, 例如一线段的起始坐标和终点坐标, 而完成整条线段中各点的坐标数据的重建。线段算法模块 520 所采用的演算方法, 例如可为 Bresenham, J.E 所提出的“A linear algorithm for incremental digital display of circular arcs”, Communications of the ACM, Vol. 20, pp. 100-106, 1977, 或较佳是任何可将两点坐标值经过计算而取得两点之间的所有坐标数据的任何运算方法。

[0086] 帧定时器模块 530 则是用以针对每个队列进行个别计时的运算。队列控制模块 540 则是用以控制队列的存取与操作。举例而言, 队列控制模块 540 可耦接至多个暂存器 542, 以对该多个暂存器进行队列的存取。队列或暂存器的数量可依照设计上的需求来决

定。帧缓冲存储器比较模块 550 则是用以比较帧缓冲存储器 505 和先前帧缓冲存储器 507 内所储存的像素数据是否存在差异。区域数据计算模块 560 则是用以根据所接收的坐标数据（譬如一线段的起点与终点坐标数据），取得该起点与终点所定义出的一矩形区域的宽度 (W) 和长度 (L)。

[0087] 由于额外利用队列来暂存显示数据，时序控制器 502 可对该一至多个队列所暂存的显示数据进行并行处理，结果可大幅缩短显示时间。以下将继续说明，当所输入的图像包括多条线段时，时序控制器 502 可同时对不同条线段的显示数据进行并行处理，以并行产生多条线段的驱动数据。因此，每次所产生的驱动数据可同时包括该多条线段当中多者的驱动数据，以及连续两线段各自的完整更新时间可以相重叠。而不像已知技术对线段串行处理，任一时间只有处理单一线段的数据，导致每次所产生的驱动数据仅是单一线段的驱动数据而已。

[0088] 图 6 是显示依据一实施例，图 5 所示的显示控制装置 500 的操作流程示意图。于以下的说明中，仅针对其中一条线段与一个队列的操作流程进行说明，然可轻易类推至多条线段与多个队列的操作流程，在此不多作赘述。

[0089] 请同时参照图 5 与图 6。首先，队列控制模块 540 开始进行队列操作，并且帧定时器模块 530 进行帧定时器 (Frame counter) 的清除（步骤 S610）。而后，若有一黑色的线段在面板上采笔绘或手写的方式输入，主控制模块 510 会从中央处理器接收到此线段的第一显示数据。第一显示数据譬如可包括该线段部分点的坐标数据，较佳为起始坐标和终点坐标（步骤 S612）。

[0090] 接下来，队列控制模块 540 会判断是否全部的队列皆忙碌。若全部队列都忙碌中（是），则会拒绝此线段的处理，或是重复持续判断，一直到有可使用的队列为止（步骤 S614）。反之，当有某一队列可使用时（否），则队列控制模块 540 会将坐标数据储存到此可使用的队列中。

[0091] 接下来，线段算法模块 520 使用线段算法，而依据所接收的第一显示数据（在此以该线段的起始坐标和终点坐标的坐标数据为例），来计算出该线段的第二显示数据。该第二显示数据较佳为线段上每一像素的坐标数据。然后主控制模块 510 可将线段算法模块 520 所计算出的第二显示数据储存到当前帧缓冲存储器的对应位置（步骤 S616），一直到完成更新为止（步骤 S618）。

[0092] 接下来，帧缓冲存储器比较模块 550 会比较当前帧缓冲存储器 505 与先前帧缓冲存储器 507 内所有像素的显示数据。如果在此两存储器的相对应地址处（即针对同一像素）储存有相同的显示数据（譬如相同的像素值），则代表像素不变，因此主控制模块 510 可传送代表 0V 驱动电压的驱动数据至显示接口 514。反之，如果某一像素的相对应地址的显示数据值是不相同的，则主控制模块 510 利用查询表 508 获得该显示数据所对应的驱动数据，并传送至显示接口 514。于一个帧执行时间 T_1 后，人眼即会看到此线段的初步显示（颜色较浅）（步骤 S620）。

[0093] 接下来，帧定时器模块 530 会将帧定时器的计时时间增加一个帧执行时间 T_1 （步骤 S622），并且主控制模块 510 判断是否计时时间到达一完整更新时间 T_0 （步骤 S624）。完整更新时间 T_0 代表置换整个画面的时间 T （譬如为 260 毫秒），帧执行时间 T_1 则代表每一帧的执行时间（譬如为 20 毫秒），完整更新时间 T_0 可为帧执行时间 T_1 的整数倍。若计时

时间不等于完整更新时间 T_0 (否), 则流程回到步骤 S620, 重复进行显示数据的比较与显示, 以加强线段颜色。

[0094] 直到当帧定时器的计时时间等于完整更新时间 T_0 (是), 亦即线段已完全显示在面板, 则区域数据计算模块 560 可利用线段显示的闲置时间, 依据线段的起始坐标和终点坐标, 计算出一包围住该线段的区域, 而该区域的形状较佳为矩形 (宽度 W 和长度 L)。主控制模块 510 继而并可通过存储器接口 518 将当前帧缓冲存储器 505 中对应此矩形区域内的所有地址的像素数据 (在此称为第三显示数据) 一一复制到先前帧缓冲存储器 507 的相对应地址, 俾以更新先前帧缓冲存储器 507 (步骤 S626)。

[0095] 接下来, 主控制模块 510 会判断先前帧缓冲存储器 507 的更新是否完成 (步骤 S628)。若尚未完成 (否), 则持续步骤 S626 的复制操作, 一直持续到完成为止。一旦完成 (是), 则队列控制模块 540 进行队列闲置 (Free), 以及帧定时器模块 530 清除帧定时器的内容 (步骤 S630)。接着, 流程回到步骤 S612, 主控制模块 510 等待接收下一条线段的坐标数据。

[0096] 值得注意的是, 相较于图 1 至图 4B 所示的传统技术中完全使用区域图像来进行操作, 图 5 与图 6 所示的实施例在显示前段采用队列暂存配合数据重构的技术, 以及在显示后段则采用区域图像处理的技术。具体言之, 图 1 至图 4B 所示的传统技术中于显示前段是使用宽度 (W) 和长度 (L) 所包围的区域图像的显示数据来更新现行缓冲存储器 152, 而显示后段则将区域图像的显示数据从当前帧缓冲存储器 152 复制到先前帧缓冲存储器 154。然而, 对于图 5 与图 6 所示的实施例而言, 于显示前段对于当前帧缓冲存储器 505 的更新, 是依据队列所储存第一显示数据来重建出第二显示数据, 并将所重建后所得的第二显示数据储存至当前帧缓冲存储器 505 的对应地址。另外, 于显示后段对先前帧缓冲存储器 507 的更新, 则是将宽度 (W) 和长度 (L) 所包围的区域图像的第三显示数据从当前帧缓冲存储器 505 中复制到先前帧缓冲存储器 507。

[0097] 此实施例于显示前段改用队列暂存与数据重构的方式的优点之一在于, 可利用管线式并行处理的方式来进行不同队列的数据处理, 以降低数据处理的时间而提升显示质量。在图 6 所示实施例的说明中, 仅针对其中一个队列的操作流程进行说明, 然而可简单类推多个队列的操作情况。更多关于多条线段 (譬如 n 条) 的操作情况将于图 9 至图 11 的相关说明中描述。当中将会说明, 当应用图 5 与图 6 的技术时, 连续两线段各自的完整更新时间 T_0 是在时间上可相重叠, 而不像已知技术为分开。更具体言之, 两连续线段的显示间隔时间可仅为一个帧执行时间 T_1 , 且 n 条线段只需要 $n \cdot T_1$ 的时间就会同时显示在面板上。相较于图 1 至图 4B 所示的传统技术中于显示前段处理区域图像而导致两连续线段的显示间隔时间为一个完整更新时间 T_0 , 以及 n 条线段需要 $n \cdot T_0$ 的时间才能同时显示, 采用管线式并行处理方式可大幅提升显示速度与质量。

[0098] 值得注意的是, 图 5 与图 6 所示的实施例是采用队列暂存与数据重构 (显示前段更新当前帧缓冲存储器 505) 以及区域图像 (显示后段更新先前帧缓冲存储器 507) 相混合的操作原理。然而, 于其它实施例中, 可采用其它不同方式来更新先前帧缓冲存储器 507, 譬如可完全采用队列暂存与数据重构的技术而屏除区域图像的处理, 以使显示速度与质量进一步提升。

[0099] 请参照图 7 所示, 其为依据完全使用队列暂存与数据重构技术的一实施例的一种

显示控制装置的基本架构方块示意图。此显示控制装置 700 可应用至一双稳态显示装置中。于此实施例中,对于先前帧缓冲储存器更新的操作,并非使用复制的方法,而是与显示前段类似,同样是利用队列所暂存的坐标数据来重新绘制线段上的所有像素,之后再储存到先前帧缓冲储存器。

[0100] 与图 5 的显示控制装置 500 类似,图 7 的显示控制装置 700 同样至少包括一时序控制器 702、存储器 704 与一查询表 708。此存储器 704 亦至少包括当前帧缓冲储存器 705 和先前帧缓冲储存器 707。其余与图 5 具有相同功能的元件也采相同的编号,不再冗述。比较图 7 与图 5,两者的主要差异在于图 7 的显示控制装置 700 移除了区域数据计算模块 560。

[0101] 请参照图 6,其显示依据一实施例,图 5 所示的显示控制装置 500 的操作流程图。须注意,于以下的说明中,仅针对其中一条线段与一个队列的操作流程进行说明,然可轻易类推至多条线段与多个队列的操作流程,在此不多作赘述。

[0102] 图 8 所示的流程图,与图 6 类似,因此,相同步骤采相同的编号,在此不再冗述。图 8 与图 6 所示流程的差异主要在于步骤 S626 以步骤 S626A 取代,而采用不同的方式来更新先前帧缓冲储存器 707。于此实施例中,第二显示数据与第三显示数据相同,且也可以同样的方式获得。

[0103] 具体言之,于图 8 的步骤 S626A 中,线段算法模块 520 再一次利用线段的第一显示数据来重建出第三显示数据。同样地,于较佳的情况下,第一显示数据为部分坐标数据,譬如为线段的起始坐标 (X1, Y1) 和终点坐标 (X2, Y2),以及线段算法模块 520 可使线段算法,来绘制线段的所有像素,然后这些像素的显示数据(即第三显示数据)储存到先前帧缓冲储存器 707 的相对应地址。换言之,需要更新的数据量仅为线段本身的数据量而已。相较于已知技术或是图 6 的步骤 S626,其将包围线段的区域内的所有显示数据从当前帧缓冲储存器 505 复制到先前帧缓冲储存器 507 中而需要更新区域 (W×L) 内全部像素的数据量,图 8 的实施例所更新的数据量大幅降低,因此可大幅节省存取的时间。

[0104] 值得注意的是,由于在显示前段采用队列暂存与数据重构的方式来更新当前帧缓冲储存器 705,因此图 7 与图 8 同样可利用管线式并行处理的方式来提升显示速度。除此之外,相较于图 5 与图 6 的实施例,图 7 与图 8 的实施例由于显示后段改采队列暂存与数据重构的方式来更新先前帧缓冲储存器 707,因此除了能够进一步提升显示速度外,更可避免多条线段的区块图像重迭所造成的错误。更多关于图 7 及图 8 的操作细节将于图 12 的相关说明中描述。

[0105] 未重迭的连续线段的处理与显示过程

[0106] 于以下说明中,是以使用者用笔绘制连续三条线段为例,详细说明图 5 的显示控制装置 500 应用图 6 所示的流程时各元件的操作原理。此三条线段譬如图 4A 所示的第一线段、第二线段、第三线段,彼此并未重迭。

[0107] 请参照图 9,其包括图 9-1 至图 9-8,用以说明依据一实施例,于不同阶段中,当前帧缓冲储存器 505 与先前帧缓冲储存器 507 分别所储存的内容,以及在面板所显示的内容。图 9-1 至 9-5 主要是关于显示前段以队列架构处理的操作程序,而图 9-6 至 9-8 则是关于显示后段以区域图像处理的操作程序。

[0108] 首先,假设当前帧缓冲储存器与先前帧缓冲储存器一开始都是空白,如图 9-1 所示。中央处理器一次会传送一条线段的坐标数据,所以需要连续传送三次来传送三条线段

的坐标数据。队列控制模块 540 接收到第一线段 910 的坐标数据后,会将第一条线段的起始坐标 (X_1, Y_1) 和终点坐标 (X_2, Y_2) 储存到第一队列;接收到第二线段 912 的坐标数据后,会将第二线段 912 的起始坐标 (X_2, Y_2) 和终点坐标 (X_3, Y_3) 储存到第二队列;以及接收到第三线段 914 的坐标数据后,会将第三线段 914 的起始坐标 (X_3, Y_3) 和终点坐标 (X_4, Y_4) 储存到第三队列。

[0109] 接下来,线段算法模块 520 依据第一队列所储存的坐标数据,而使用线段算法来重新绘制第一线段 910 的所有像素。然后主控制模块 510 将第一线段 910 所有像素的显示数据一一储存到当前帧缓冲存储器 505。如此一来,当前帧缓冲存储器 505 储存有第一线段 910 的显示数据,如图 9-2 所示。

[0110] 接下来,帧缓冲存储器比较模块 550 会开始比较当前帧缓冲存储器 505 与先前帧缓冲存储器 507 内的所有的图像像素,并于比较结果相同时传送对应 0V 的驱动电压的驱动数据到显示接口 514。或主控制模块 510 于比较结果不同时参照查询表 508 来获得驱动数据以传送到显示接口。随后,帧定时器模块 530 再将第一队列所属的帧定时器加上一个帧执行时间 T_1 。因此,在第一个帧定时器经过 T_1 的计时时间后,人眼会在面板上看到第一线段 910b 的初步显示(颜色较浅),如图 9-3 所示。

[0111] 接下来,类似地,线段算法模块 520 依据第二队列所储存的坐标数据,而使用线段算法重新绘制第二线段 912 的所有像素。并且主控制模块 510 将这些像素的显示数据储存到当前帧缓冲存储器 505。如此一来,当前帧缓冲存储器 505 储存有第一线段 910 与第二线段 912 的显示数据,同样如图 9-3 所示。

[0112] 接下来,帧缓冲存储器比较模块 550 会通过比对当前帧缓冲存储器 505 与先前帧缓冲存储器 507 内的所有的图像像素,以及主控制模块 510 可提供驱动数据至显示接口。随后,帧定时器模块 530 再将第一队列与第二队列各自所属的帧定时器分别皆加上一个帧执行时间 T_1 。因此,在第一个帧定时器经过 $2T_1$ 的计时时间后,亦即第二个帧定时器经过 T_1 的计时时间后,人眼会在面板上看到颜色稍微加强的第一线段 910b,与初步显示的第二线段 912b,如图 9-4 所示。

[0113] 接下来,类似地,线段算法模块 520 依据第三队列所储存的坐标数据,而使用线段算法绘制第三线段 914 的所有像素。并且主控制模块 510 将这些像素的显示数据储存到当前帧缓冲存储器 505。如此一来,当前帧缓冲存储器 505 储存有第一线段 910、第二线段 912 及第三线段 914 的显示数据,同样如图 9-4 所示。

[0114] 接下来,帧缓冲存储器比较模块 550 会通过比对当前帧缓冲存储器 505 与先前帧缓冲存储器 507 内的所有的图像像素,以及主控制模块 510 可提供驱动数据至显示接口。随后,帧定时器模块 530 再将第一至第三队列各自所属的帧定时器分别皆加上一个帧执行时间 T_1 。因此,第一帧定时器经过 $3T_1$ 的计时时间,亦即第二个帧定时器经过 $2T_1$ 的计时时间,亦即第三帧定时器经过 T_1 的计时时间,人眼会在面板上看到颜色更为加强的第一线段 910b、颜色稍微加强的第一线段 912b,与初步显示的第三线段 914b,如图 9-5 所示。

[0115] 接下来,上述当前帧缓冲存储器 505 与先前帧缓冲像素 507 的像素比对步骤与显示步骤是重复进行,藉以逐步加强各线段的颜色,直到第一个帧定时器等于完整更新时间 T_0 (亦即第二与第三个帧定时器分别等于 $T_0 - T_1$ 与 $T_0 - 2T_1$ 的时间),第一条线段 910b 已完全显示在面板上。此时,线段算法模块 520 会利用第一线段 910 的起始坐标和终点坐标,计

算出包围第一线段 910 的矩形区域 (长 L_1 、宽 W_1)。主控制模块 510 继而将此矩形区域内所有像素的显示数据从当前帧缓冲存储器 505 复制到先前帧缓冲存储器 507 的相对应地址,以更新先前帧缓冲存储器 507。如此一来,先前帧缓冲存储器 507 储存有第一线段 910a 的显示数据,如图 9-6 所示。此外,队列控制模块 540 让第一个队列闲置,并且帧定时器模块 530 清除第一个帧定时器。

[0116] 类似地,再经过一个帧执行时间 T_1 ,亦即第二个帧定时器等于完整更新时间 T_0 时,第二线段 912b 也完全显示在面板上。所以,线段算法模块 520 同样计算出包围第二线段 912 的矩形区域 (长 L_2 、宽 W_2),并且主控制模块 510 将此矩形区域内所有像素的显示数据从当前帧缓冲存储器 505 复制到先前帧缓冲存储器 507 的相对应地址,以更新先前帧缓冲存储器 507。如此一来,先前帧缓冲存储器 507 储存有第一线段 910a 及第二线段 912a 的显示数据,如图 9-7 所示。队列控制模块 540 让第二个队列闲置,帧定时器模块 530 清除第二个帧定时器。

[0117] 类似地,再经过一个帧执行时间 T_1 ,亦即第三个帧定时器等于完整更新时间 T_0 时,第三线段 914b 也完全显示在面板上。所以,线段算法模块 520 同样计算出包围第三线段 914 的矩形区域 (长 L_3 、宽 W_3),并且主控制模块 510 将此矩形区域内所有像素的显示数据从当前帧缓冲存储器 505 复制到先前帧缓冲存储器 507 的相对应地址,以更新先前帧缓冲存储器 507。如此一来,先前帧缓冲存储器 507 储存有第一线段 910a、第二线段 912a 及第三线段 914a 的显示数据,如图 9-8 所示。此外,队列控制模块 540 让第三个队列闲置,帧定时器模块 530 清除第三个帧定时器。

[0118] 综上所述,于一个帧执行时间 T_1 后,主控制模块 510 所产生的驱动数据包含第一线段的数据,因此第一线段 910a 可首次显示于面板上。于再一个帧执行时间 T_1 后,主控制模块 510 所产生的驱动数据包含第一线段与第二线段的数据,因此第一线段 910a 可于面板上加强显示 (譬如颜色加重)、以及第二线段 912a 可首次显示于面板上。于再一个帧执行时间 T_1 后,主控制模块 510 所产生的驱动数据包含第一至第三线段的数据,因此第一及第二线段 910a、912a 可于面板上加强显示 (譬如颜色加重)、以及第三线段 914a 可首次显示于面板上。

[0119] 相较于图 1 至图 4B 的已知技术中,每次所产生的驱动数据同一时间仅包含用于显示单一线段的驱动数据,本实施例通过采用管线式并行处理的方式来同时进行不同队列的坐标数据的处理,因此连续两线段各自的完整更新时间系相重迭,而所产生的驱动数据同一时间可包含用于显示多条线段的驱动数据。此外,相较于已知技术中,两连续线段于首次显示时的间隔时间长达一个完整更新时间 T_0 之久,而本实施例可让间隔时间缩减至一个帧执行时间 T_1 。结果,本实施例可大幅降低数据处理的时间,从而有效提升显示速度与显示质量。

[0120] 值得注意的是,本实施例虽针对图 5 所示架构与图 6 所示流程来进行说明,然可轻易类推至图 7 的架构与图 8 的流程。差异主要在于不再以图 9-6 至 9-8 所示方式来更新先前帧缓冲存储器 707。在应用图 7 的架构与图 8 的流程时,线段算法模块 520 再一次使用线段算法来重新建构第一至第三线段 910 至 914 的所有像素,然后主控制模块 510 再利用重建数据来更新先前帧缓冲存储器 707。各阶段的详细流程在此不再冗述。图 7 的架构与图 8 的流程除了如图 6 与图 7 般在显示前段可达到管线式处理以增加显示速度的效果外,

更可降低显示后段更新先前帧缓冲储存器 707 所需数据量与耗费时间,而能进一步提升了显示速度。

[0121] 重迭的连续线段的处理与显示过程

[0122] 在多条线段的区块彼此重迭时的另一种情况下,相较于图 5 与图 6 的实施例,图 7 与图 8 的实施例还可避免管线式并行处理所造成的错误。以下将针对这种线段相重迭的情况,利用图 10 至图 12 来详加解释。

[0123] 于以下说明中,是以使用者用笔绘制连续三条线段为例,分别针对图 5 的显示控制装置 500 应用图 6 所示的流程,以及图 7 的显示控制装置 700 应用图 8 所示的流程,详细各元件的操作原理。此三条线段譬如图 10 所示的第一线段 1010、第二线段 1012、第三线段 1014,其中第一线段 1010 与第三线段 1014 发生相重迭的状况。

[0124] 请先参照图 11,其包括图 11-1 至图 11-6,用以说明依据一实施例,针对图 5 的显示控制装置 500 应用图 6 所示的流程的情况下,于不同阶段中,当前帧缓冲储存器 505 与先前帧缓冲储存器 507 分别所储存的内容,以及在面板所显示的内容。

[0125] 与显示前段相关的图 11-1 至图 11-5 分别与图 9-1 至 9-5 的说明类似,在此为简明起见不再重复说明。然而,差异主要发生在显示后段。在此实施例的显示后段中,当利用包含第一线段 1110a 的区域图像来对先前帧缓冲储存器 507 进行更新时,会导致帧缓冲储存器 507 提早更新第三线段 1114 的显示数据,从而导致第三线段 1114 于面板上无法完全显示(即颜色稍淡)。

[0126] 具体言之,参照图 11-6,在第一帧定时器经过完整更新时间 T_0 而第一线段 1110b 已完全显示的时候(第二与第三帧定时器的时间分别才到 T_0-T_1 与 T_0-2T_1 而第二与第三线段尚未完全显示),区域数据计算模块 560 会利用第一线段 1110 的起始坐标 (X_1, Y_1) 和终点坐标 (X_2, Y_2) ,计算出包围第一线段 1110a 的矩形区域(宽 W_1 和长 L_1)。然后,主控制模块 510 将此矩形区域内所有像素的显示数据从当前帧缓冲储存器 505 复制到先前帧缓冲储存器 507 的相对应地址,以更新先前帧缓冲储存器 507。由于此时第三线段 1114a 的显示数据早已储存在当前帧缓冲器 505 之中,因此复制到先前帧缓冲器 507 的数据也就额外地包括了第三线段 1114a 落于此矩形区域的部分线段的显示数据。

[0127] 接下来尚须进行一次第二线段的相关比对与显示流程与两次第三线段的相关比对与显示流程,当中过程与图 9-7 与图 9-8 的相关说明类似,在此为简明起见而不多作赘述。然而,既然第三线段 1014 的部分线段 1114a 同时储存在当前帧缓冲储存器 505 与先前帧缓冲器 507,当帧缓冲器比较模块 550 比对当前帧缓冲储存器 505 与先前帧缓冲储存器 507 内的所有图像像素时,并无法比对出第三线段 1014 的部分线段的像素差异。结果,未能继续加重第三线段的部分线段的颜色,导致第三线段无法完全显示。

[0128] 请再参照图 12,其包括图 12-1 至图 12-8,用以说明依据一实施例,针对图 7 的显示控制装置 700 应用图 8 所示的流程的情况下,于不同阶段中,当前帧缓冲储存器 705 与先前帧缓冲储存器 707 分别所储存的内容,以及在面板所显示的内容。

[0129] 与显示前段相关的图 12-1 至图 12-5 分别与图 9-1 至图 9-5 以及图 11-1 至图 11-5 的说明类似,在此为简明起见不再重复说明。差异主要在于显示后段,亦即图 12-6 至图 12-8 所表示的相关流程。由于此实施例在显示后段中对先前帧缓冲储存器更新的操作,是利用队列重新绘制线段上的所有像素,再储存到先前帧缓冲储存器 707 中,因此不会发

生如图 11 的实施例中第三线段无法完全显示的问题。

[0130] 以下具体说明。参照图 12-6, 当第一个帧定时器等于完整更新时间 T_0 , 第一线段 1210 已完全显示在面板显示器, 所以时序控制器会利用第一队列所储存的第一线段 1210 的起始坐标 (X_1, Y_1) 和终点坐标 (X_2, Y_2) , 使用线段算法来绘制第一线段 1210 的所有像素, 然后将显示数据循序储存到相对应地址的先前帧缓冲储存器 707。

[0131] 由于在此实施例中, 对依据队列所储存的坐标数据重新绘制第一线段 1210 上的所有像素, 再将第一线段 1210 上的显示数据储存到先前帧缓冲储存器 707, 因此即使第一线段 1210 与第三线段 1214 相重叠, 所更新的数据仍仅为第一线段 1210 本身的显示数据, 不会发生如图 11-6 中更新到第三线段 1214 的显示数据的情况。

[0132] 接下来尚须进行一次的第二线段 1212 的相关比对与显示流程以及两次的第三线段 1214 的相关比对与显示流程, 当中过程如图 12-7 与 12-8 所示, 分别与图 9-7 与图 9-8 的相关说明类似, 在此为简明起见而不多作赘述。然而, 既然第三线段 1214 仅储存在当前帧缓冲储存器 505 而没有被错误地储存至先前帧缓冲器 507, 当帧缓冲器比较模块 550 比对当前帧缓冲储存器 505 与先前帧缓冲储存器 507 内的所有图像像素时, 能够正确地比对出第三线段 1214 的部分线段的像素差异。结果, 第三线段可继续加重颜色而能够完全显示。

[0133] 值得注意的是, 于上述各实施例中, 当比对当前帧缓冲储存器与先前帧缓冲器的显示数据后, 仅于比较结果不同时参照查询表以获得驱动数据。然而, 其仅为一较佳实施例。于其它实施例中, 可设计不需要进行比对, 而直接依据参照查询表的当前帧缓冲储存器与先前帧缓冲器的显示数据以获得驱动数据。此外, 亦可不需要参照查询表以获得数据。只要能够依据当前帧缓冲储存器与先前帧缓冲器的显示数据来获得驱动数据的任何方案, 皆可以采用。

[0134] 此外, 亦须注意的是, 于上述各实施例中, 队列仅储存一线段的两端点的坐标数据, 以及算法模块依据线段的两端点的坐标数据来重制整条线段。然而, 于其它实施例中, 队列可储存一线段的两点以上的坐标数据, 以及算法模块依据这些点的坐标数据来重制整条线段。此外, 队列亦不限于仅储存一线段的部分点的坐标数据而已, 于其它实施例中, 队列可更储存其它与显示相关的显示数据 (譬如为颜色相关的数据)。总之, 只要队列能储存一线段的部分显示数据, 而线段算法模块依据此部分显示数据来重建整条线段即可。

[0135] 综上所述, 于上述实施例中, 由于在显示前段采用队列暂存与数据重构的方式来更新当前帧缓冲储存器, 因此可利用管线式并行处理的方式来处理数据, 结果相较于已知技术可大幅提升显示速度与质量。此外, 于上述部分实施例中, 于显示后段同样可采用队列暂存与数据重构的方式来更新先前帧缓冲储存器, 因此除了能够进一步提升显示速度外, 更可避免多条线段输入而造成区块图像重叠时所造成的错误。

[0136] 虽然本发明已以实施例揭露如上, 然其并非用以限定本发明, 任何所属技术领域中具有通常知识者, 在不脱离本发明的精神和范围内, 当可作些许的更动与润饰, 故本发明的保护范围当视所附的权利要求范围所界定者为准。

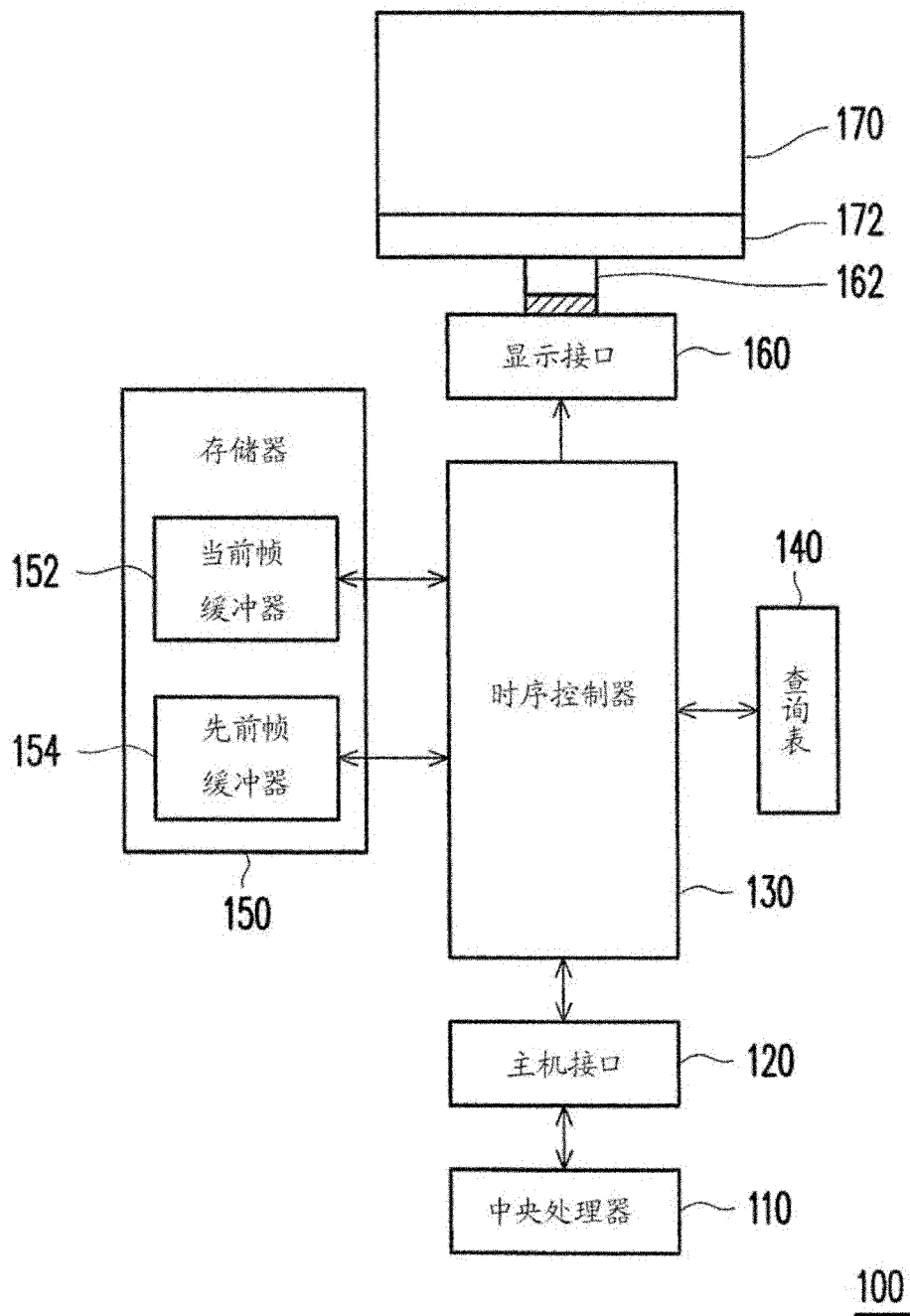


图 1

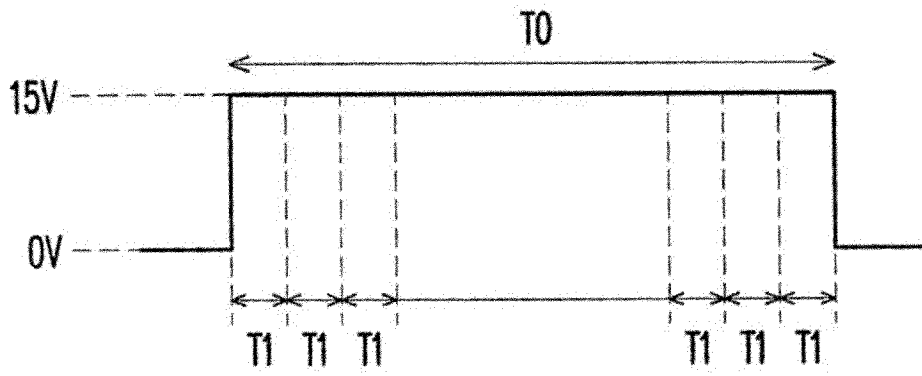


图 2A

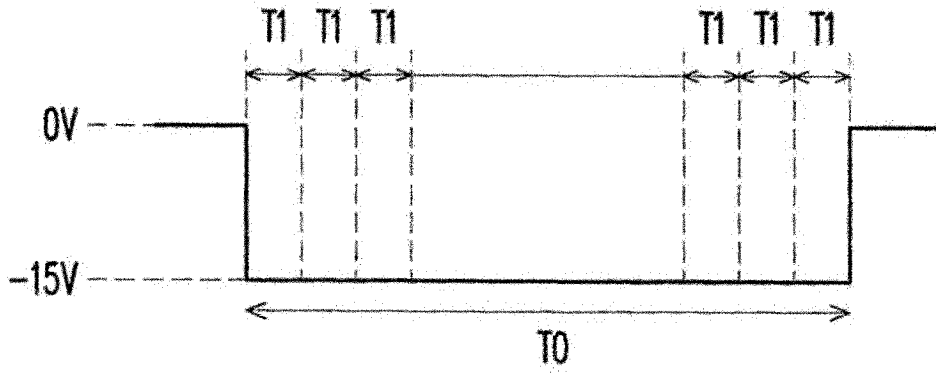


图 2B

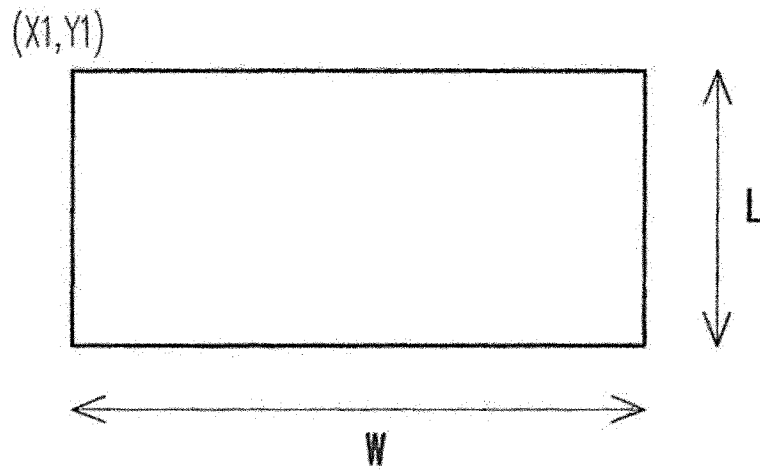


图 3A

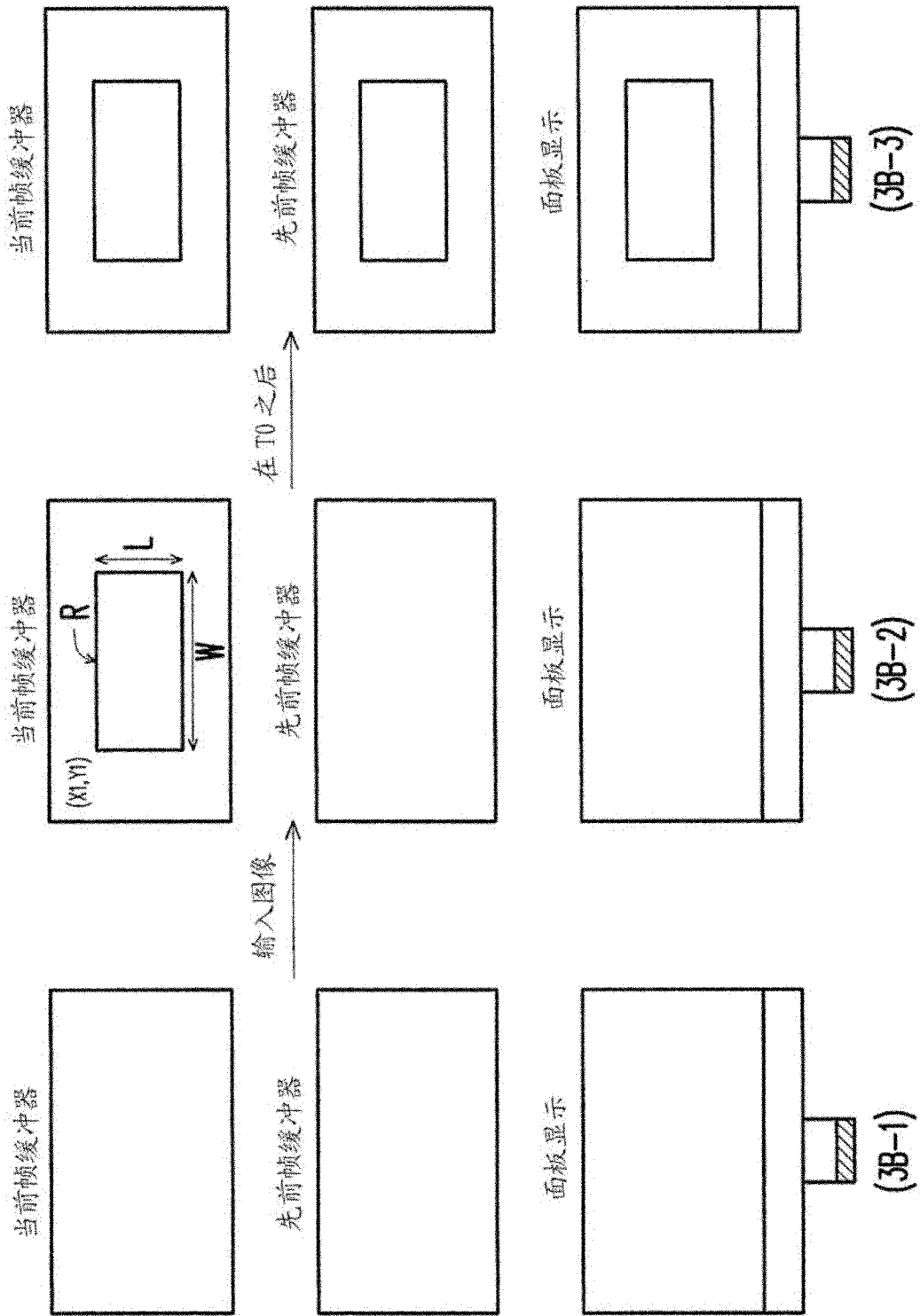


图 3B

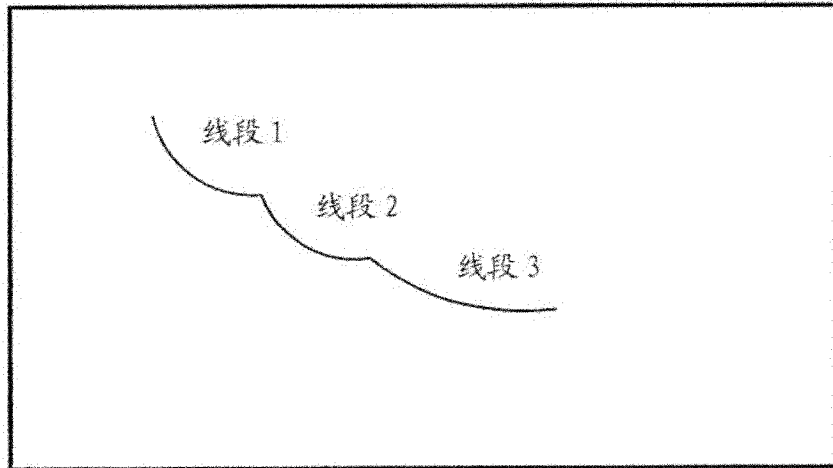


图 4A

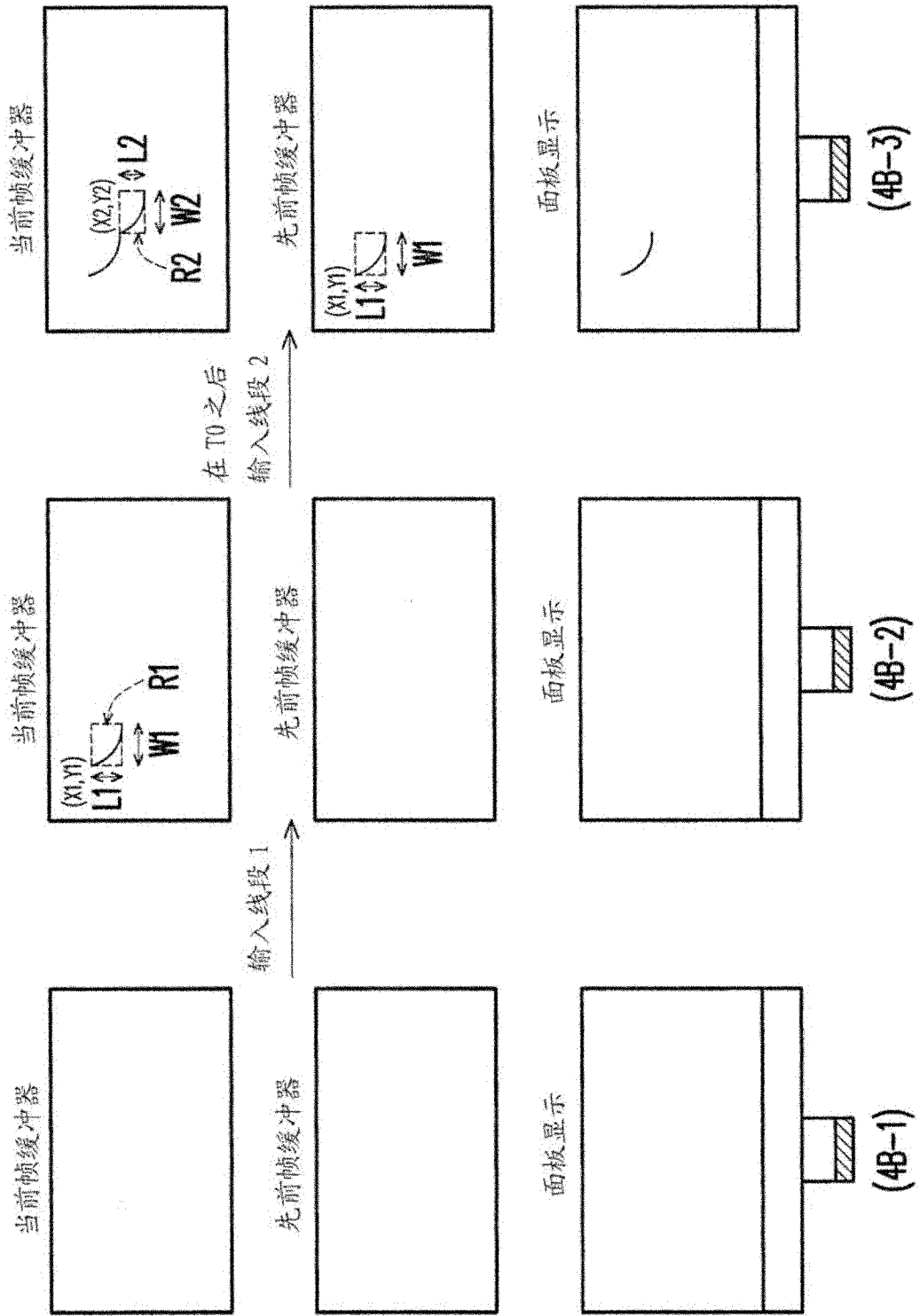


图 4B

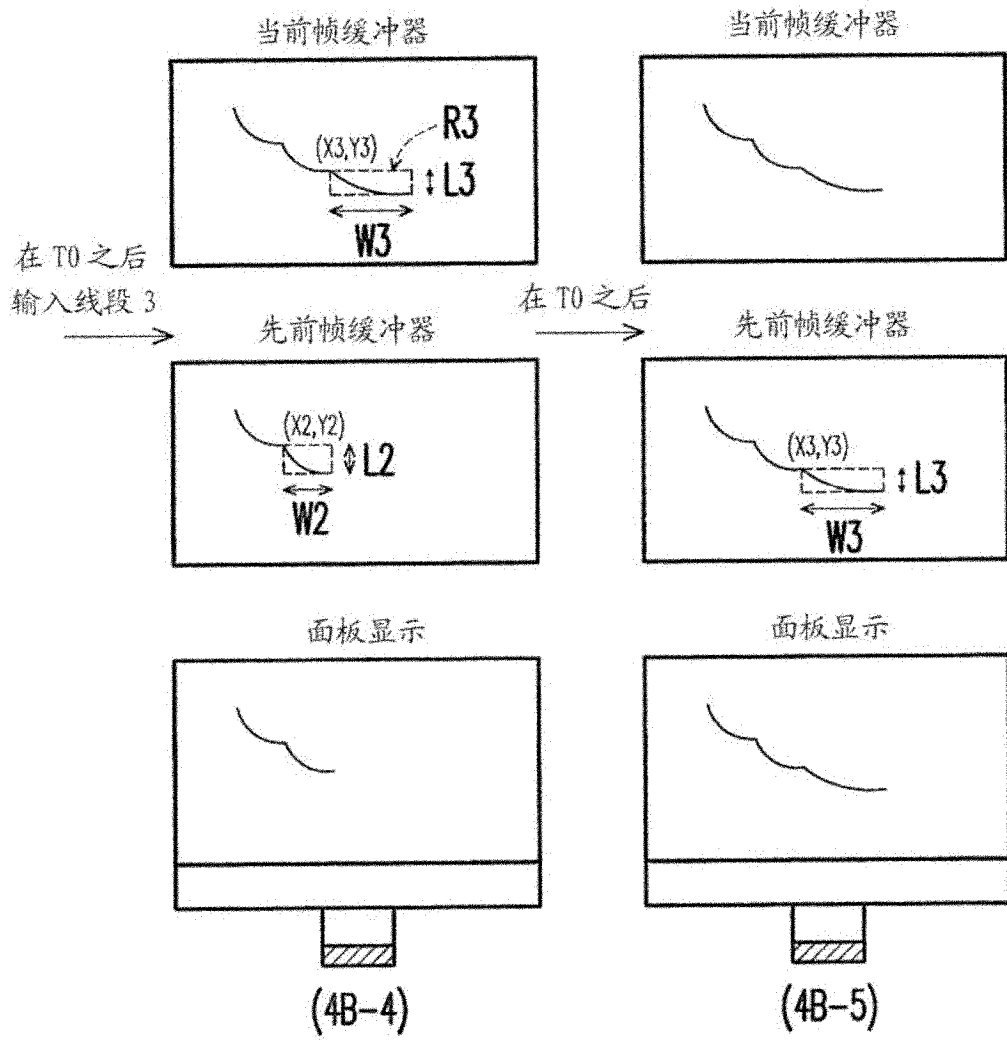


图 4B(续)

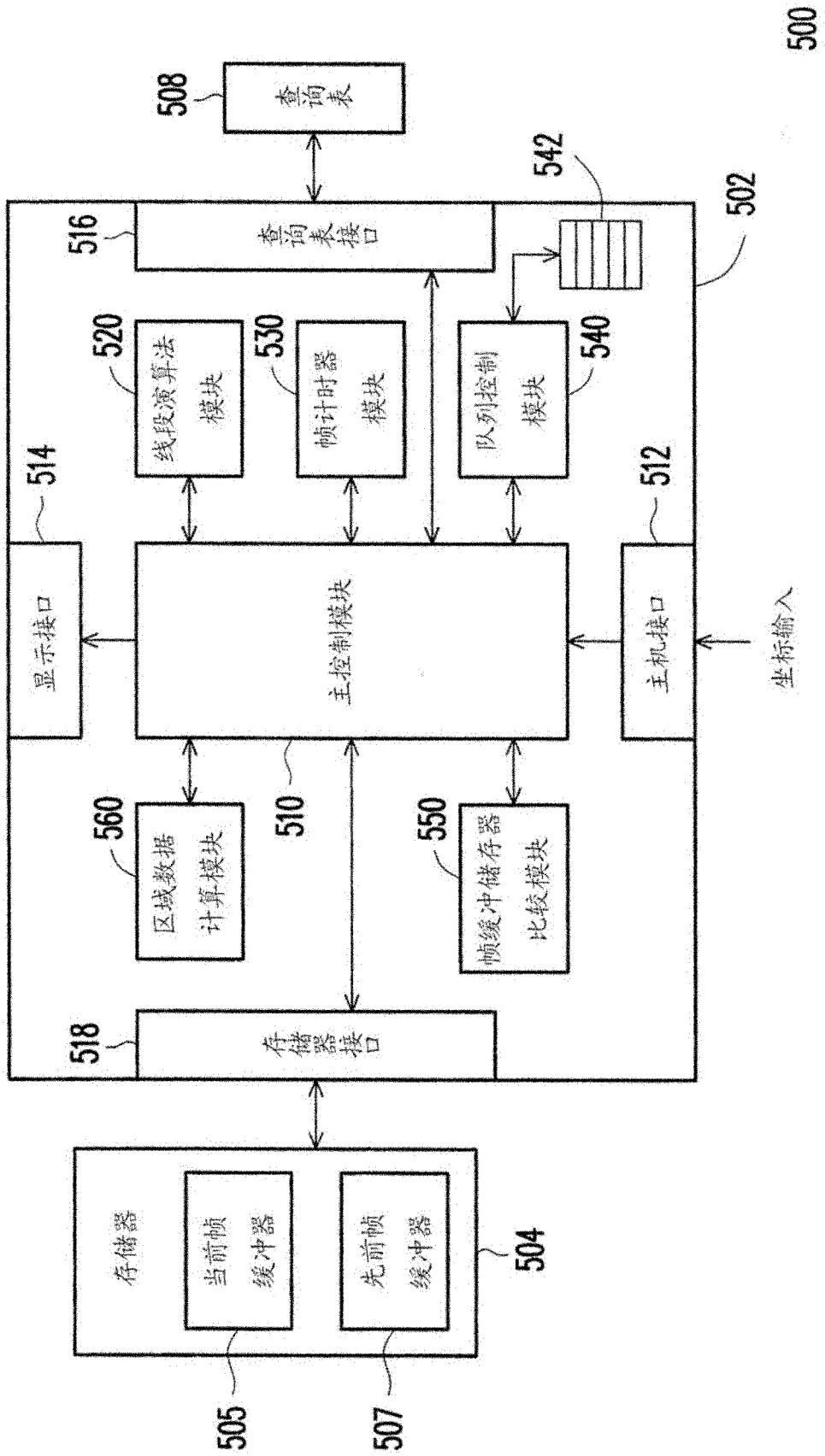


图 5

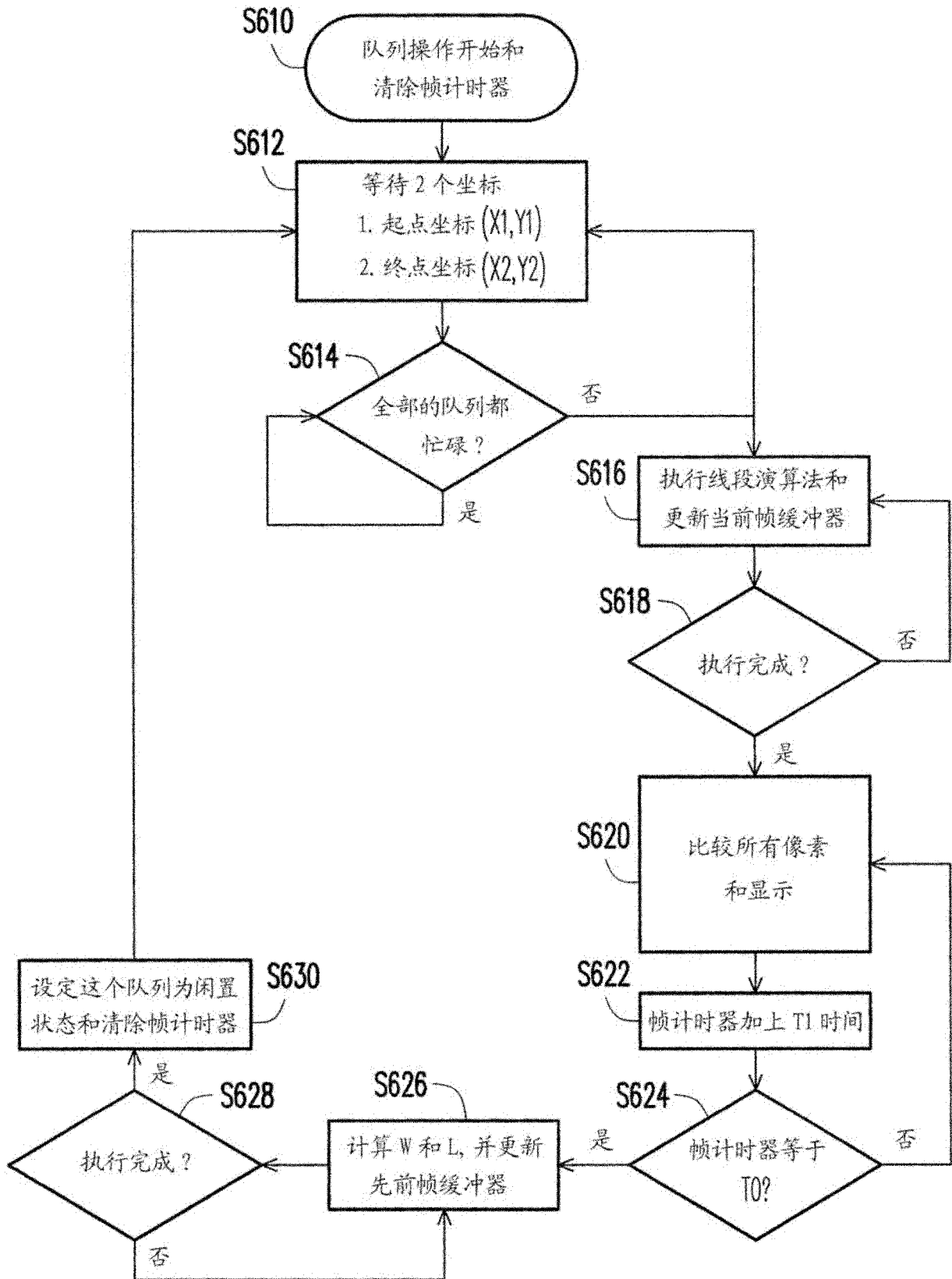


图 6

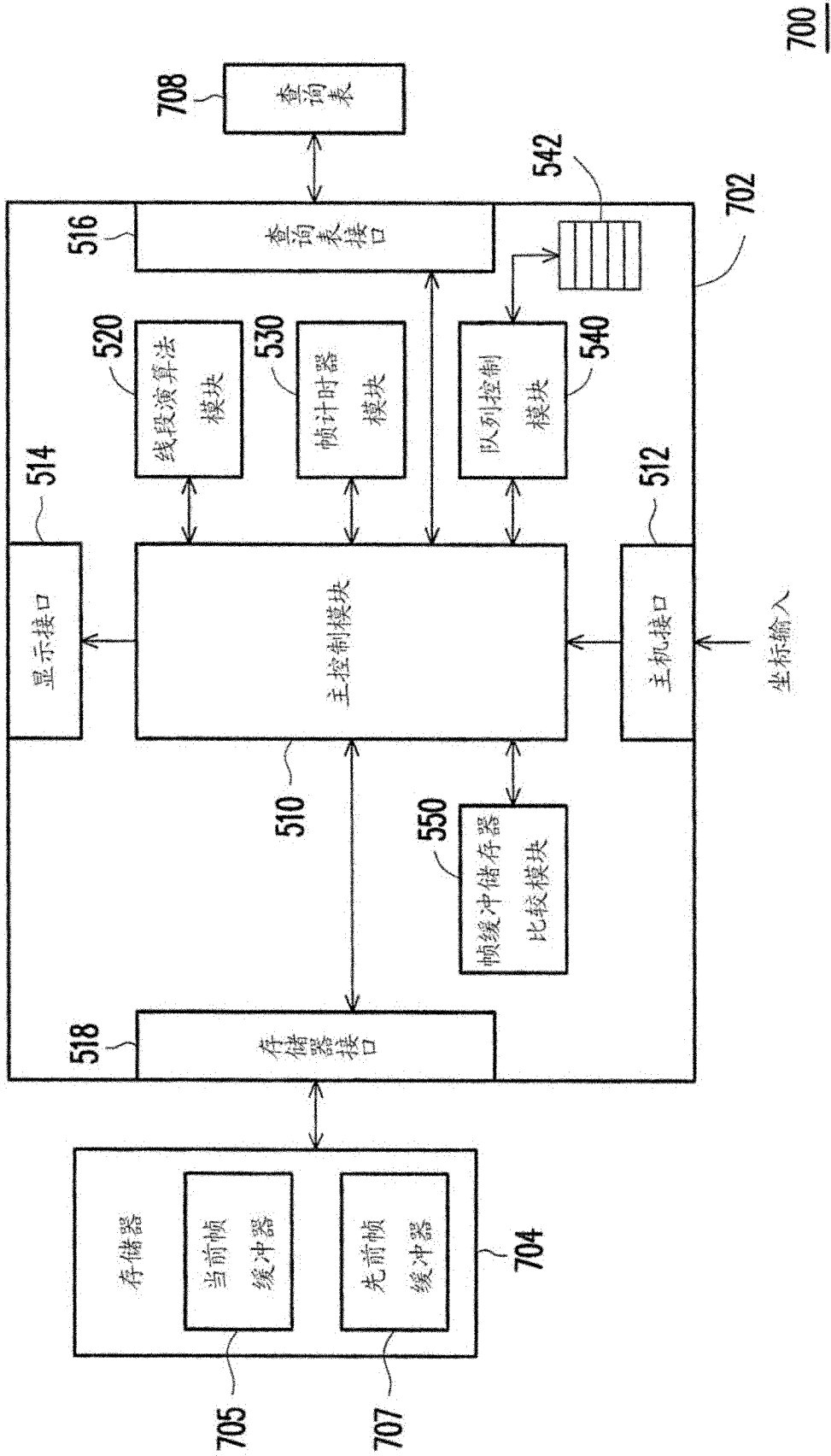


图 7

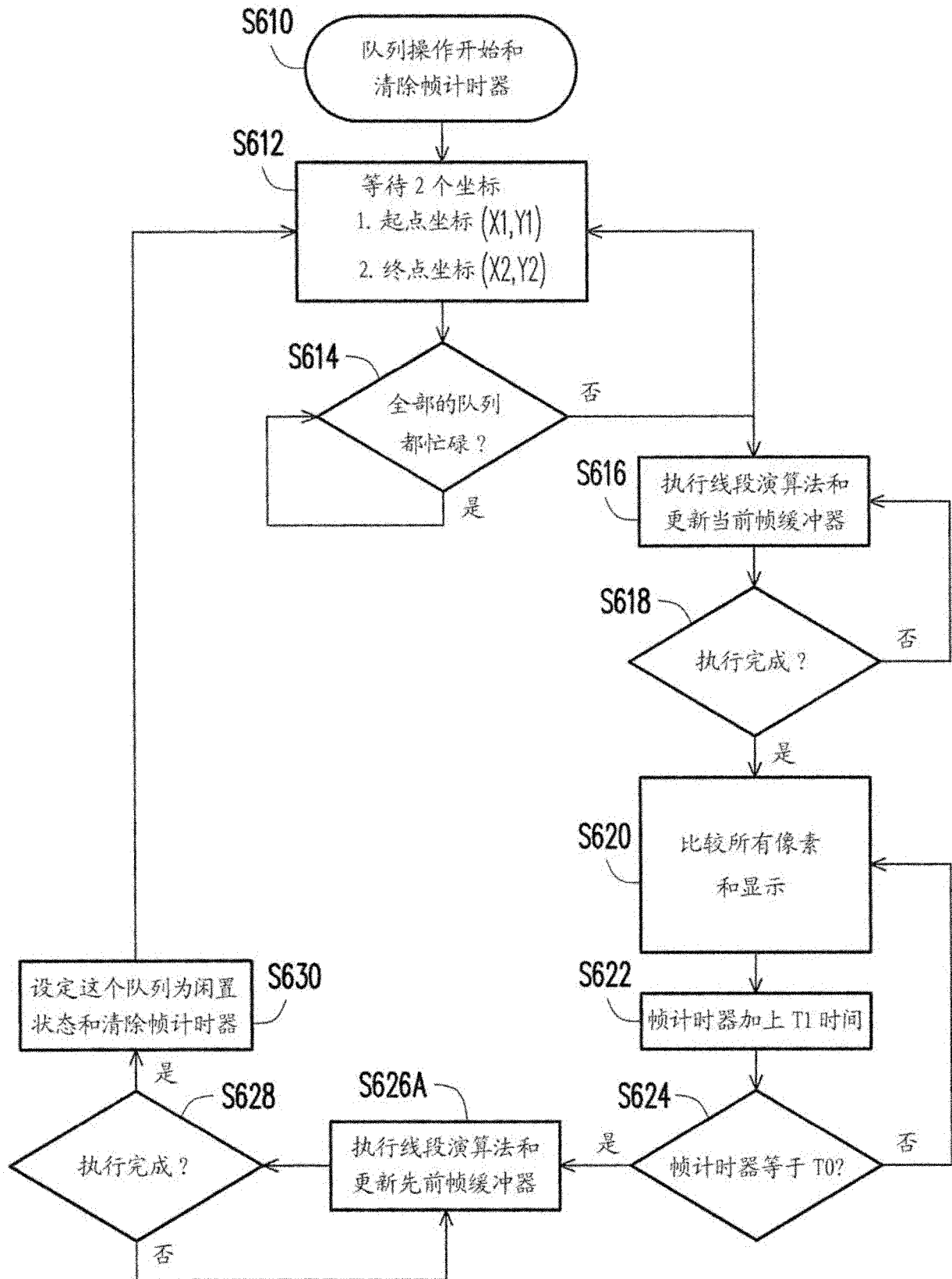


图 8

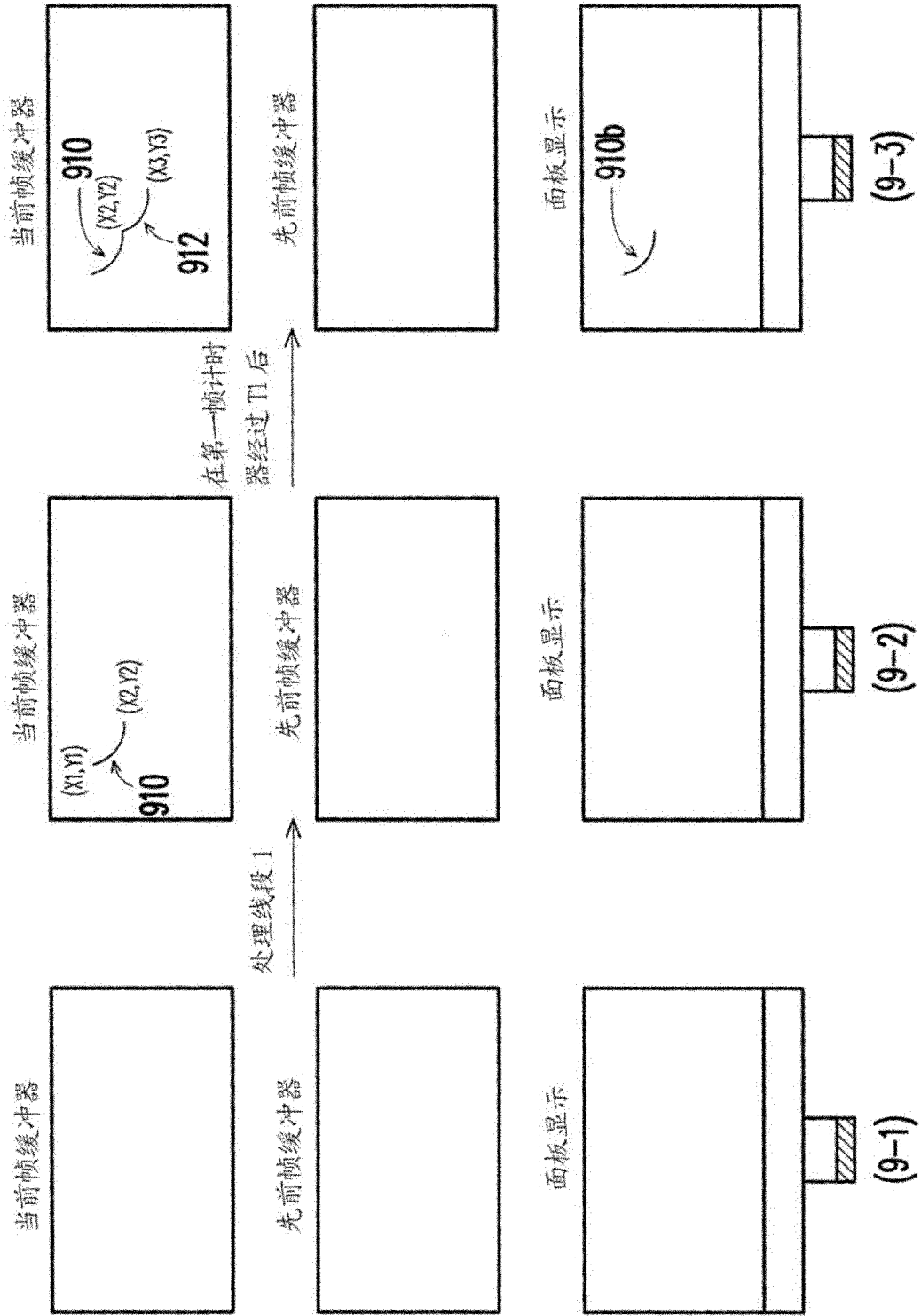


图 9

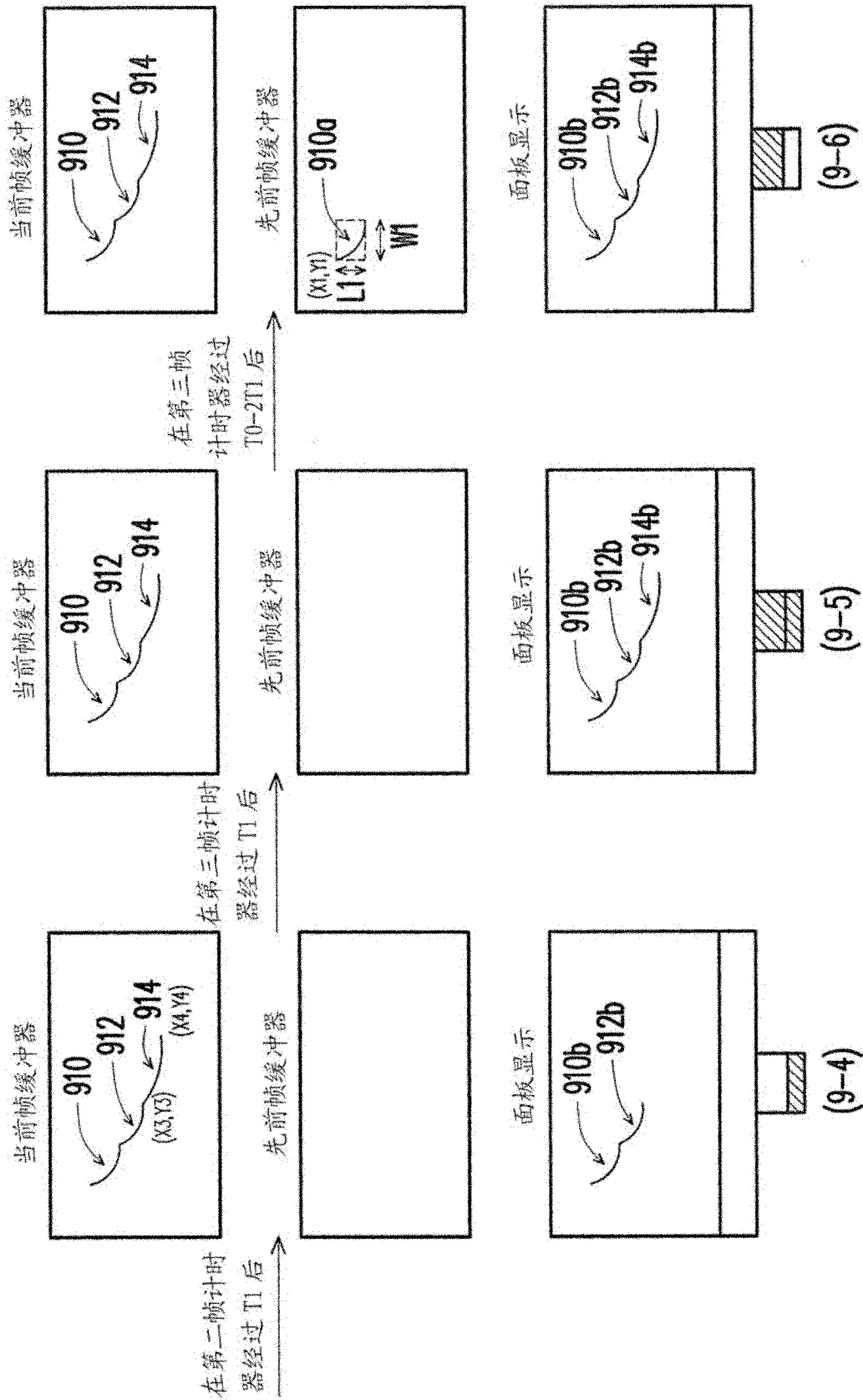


图9(续)

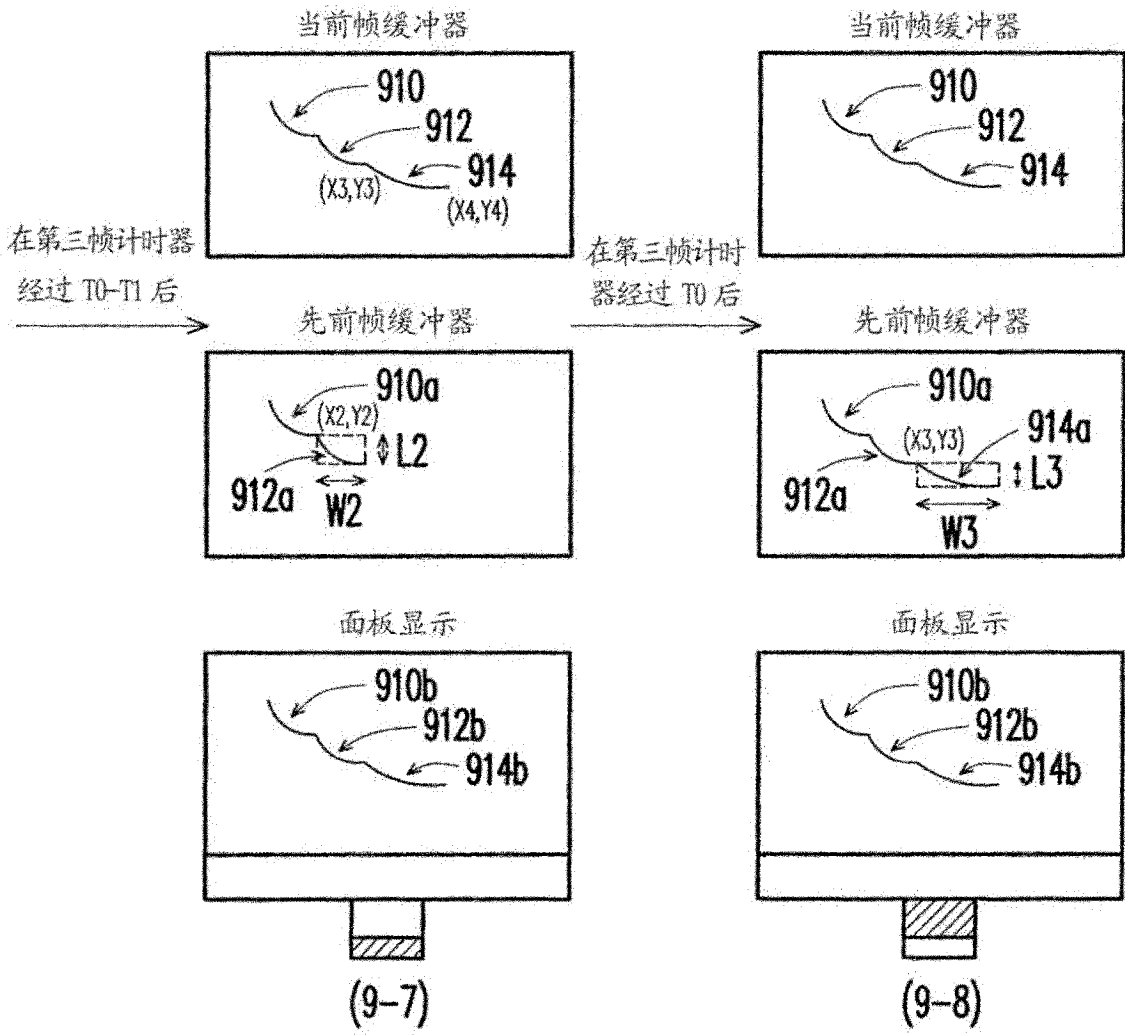


图 9(续)

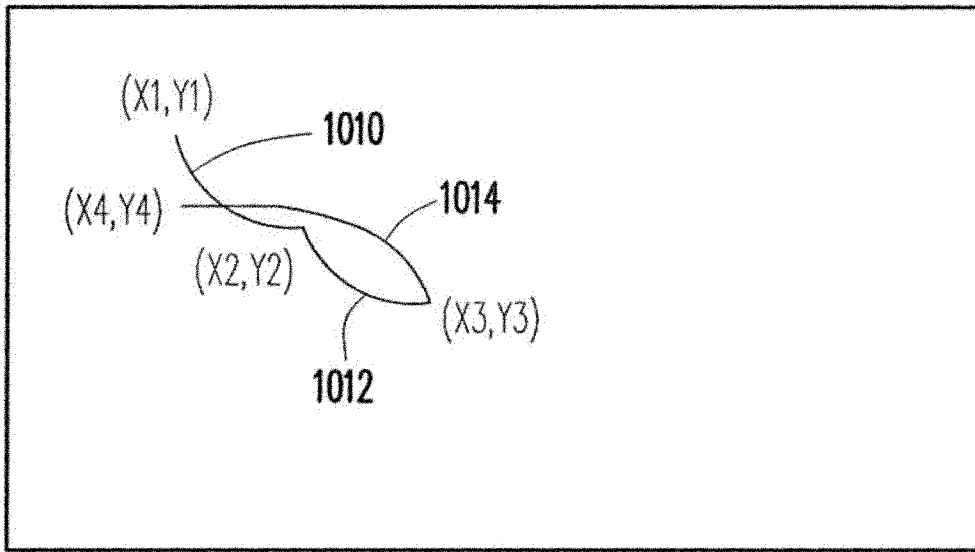


图 10

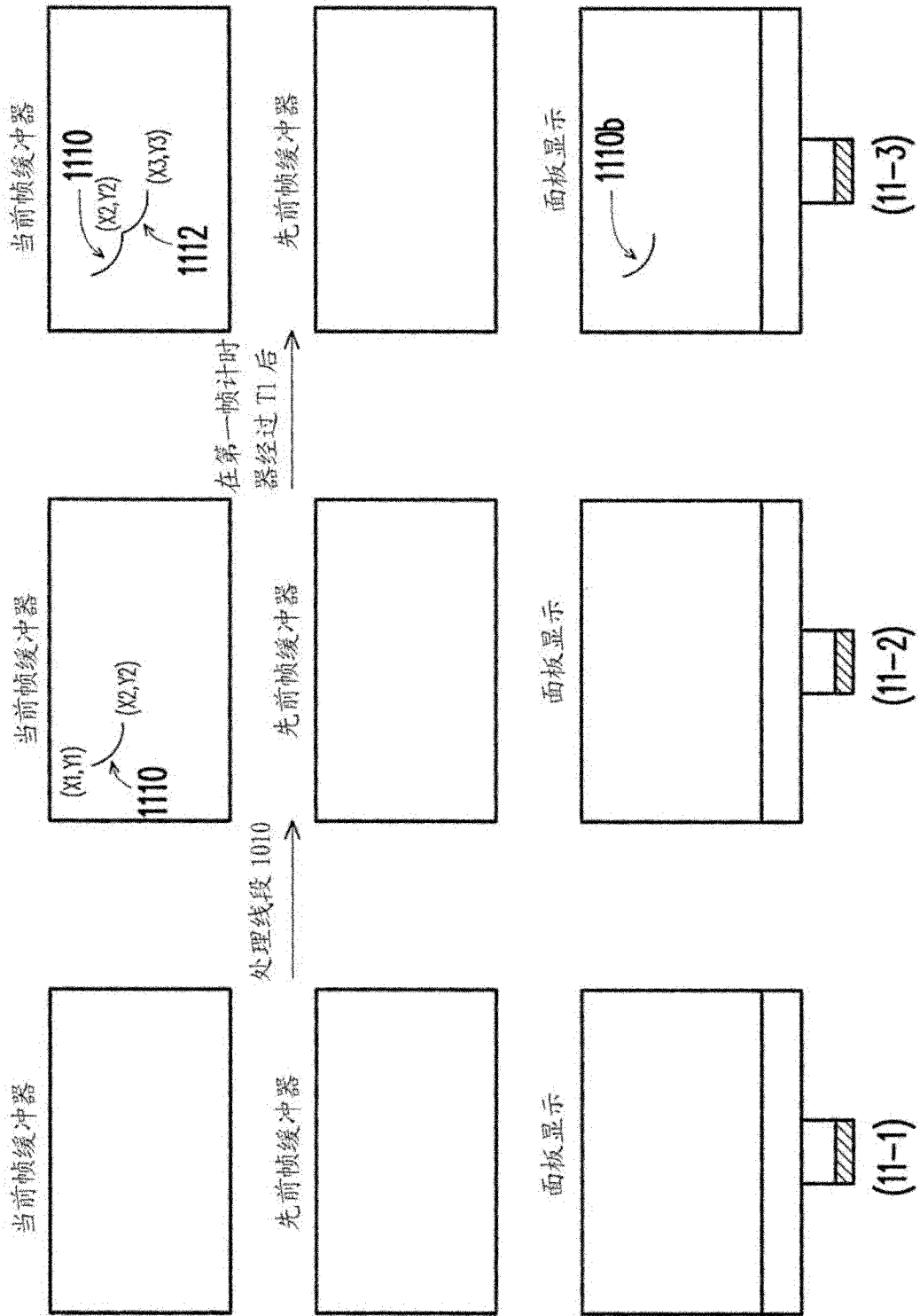


图 11

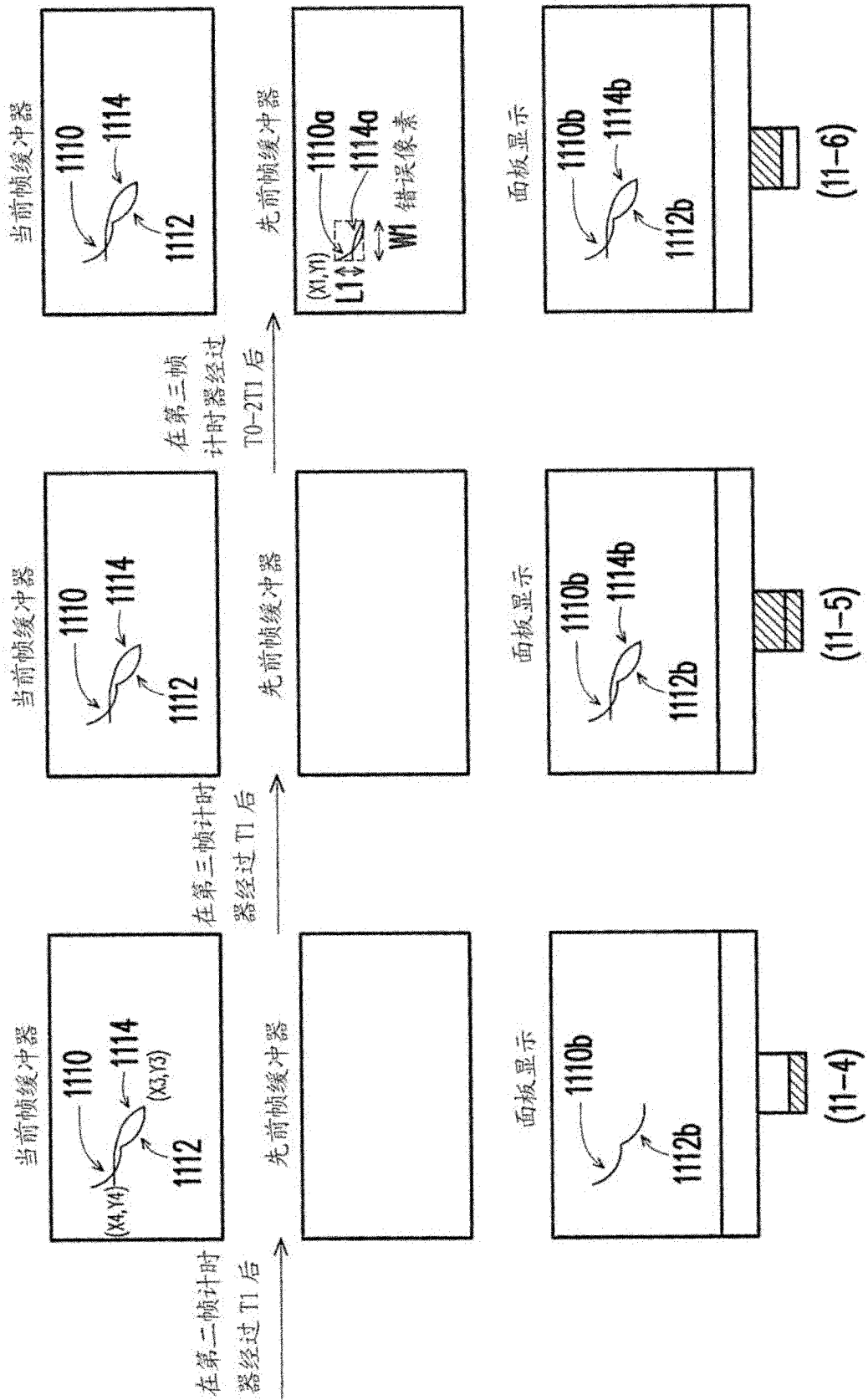


图 11(续)

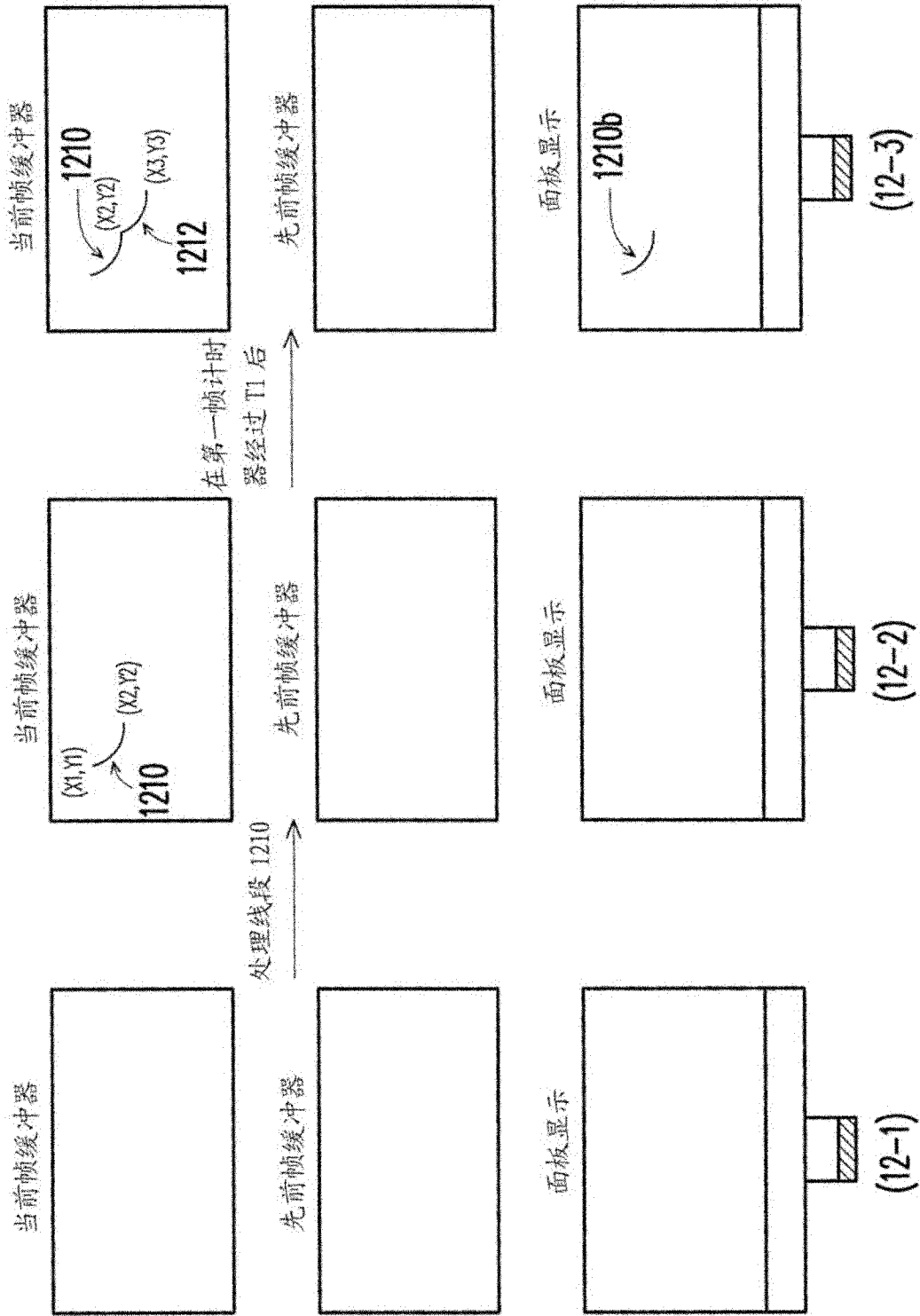


图 12

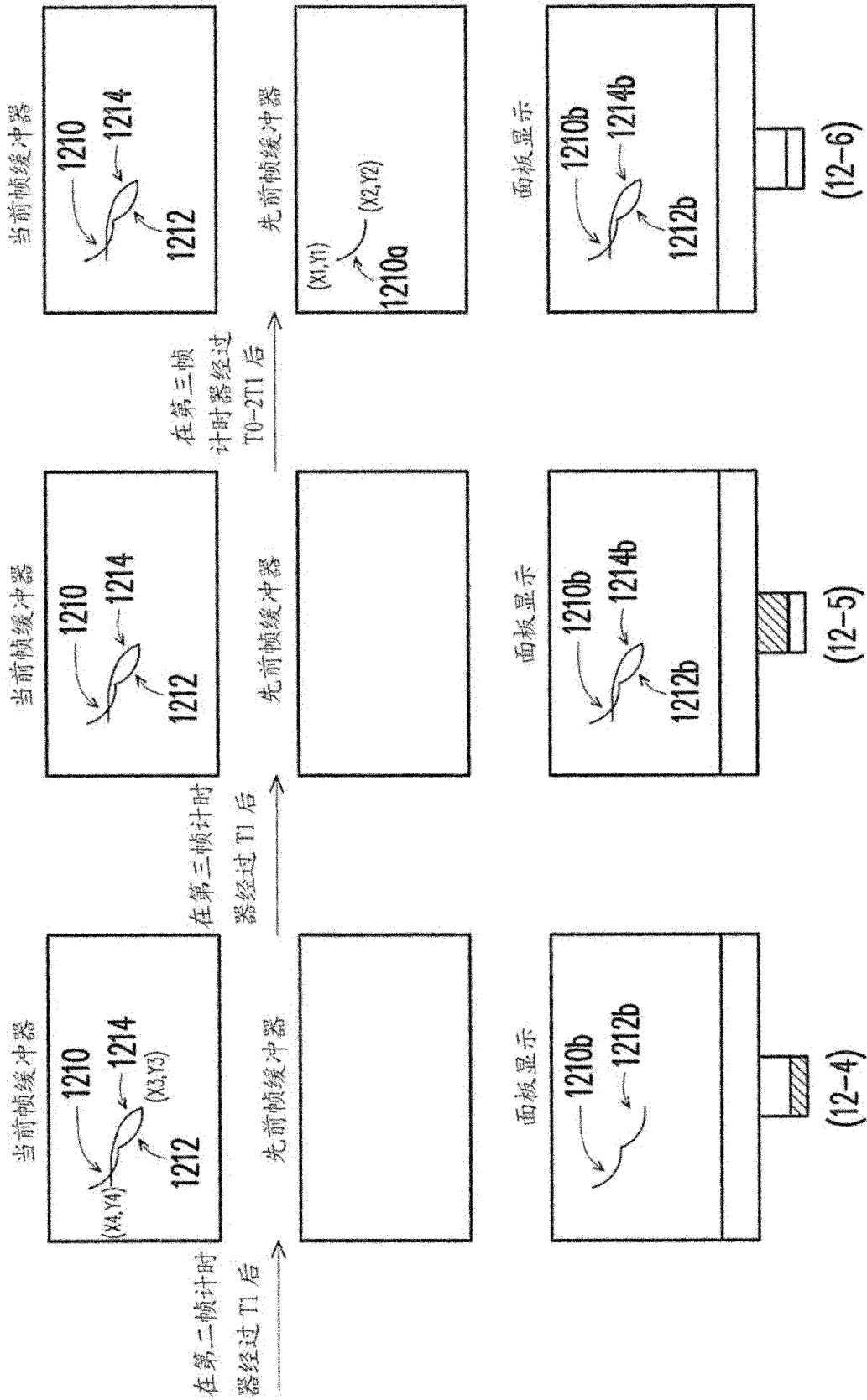


图 12(续)

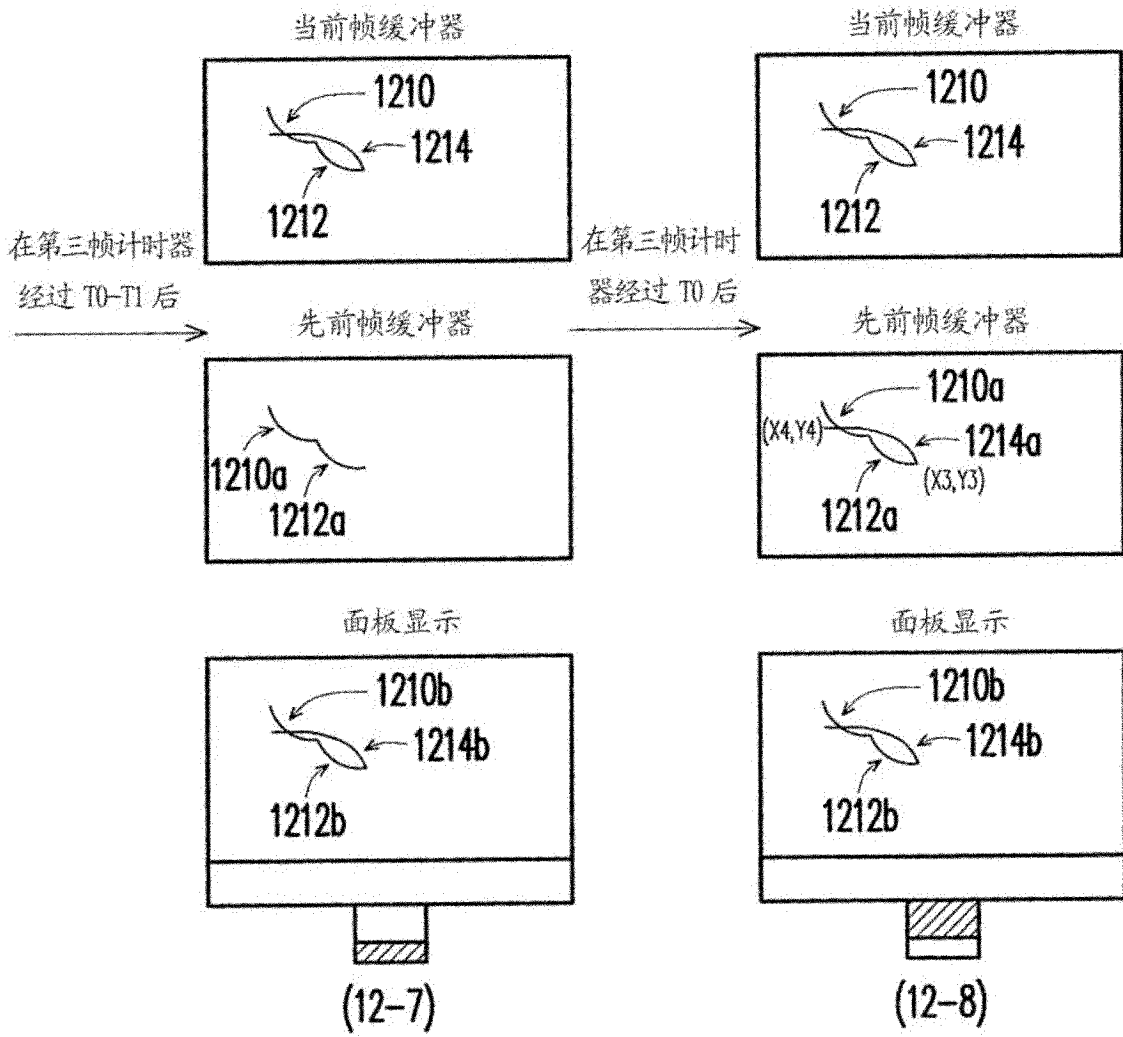


图 12(续)