

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4950051号
(P4950051)

(45) 発行日 平成24年6月13日 (2012. 6. 13)

(24) 登録日 平成24年3月16日 (2012. 3. 16)

(51) Int. Cl.

F I

G O 1 R 31/28 (2006. 01)

G O 1 R 31/28

H

H O 1 L 21/822 (2006. 01)

H O 1 L 27/04

T

H O 1 L 27/04 (2006. 01)

請求項の数 19 (全 17 頁)

(21) 出願番号 特願2007-531379 (P2007-531379)
 (86) (22) 出願日 平成17年9月8日 (2005. 9. 8)
 (65) 公表番号 特表2008-512682 (P2008-512682A)
 (43) 公表日 平成20年4月24日 (2008. 4. 24)
 (86) 国際出願番号 PCT/US2005/032202
 (87) 国際公開番号 W02006/029340
 (87) 国際公開日 平成18年3月16日 (2006. 3. 16)
 審査請求日 平成20年9月3日 (2008. 9. 3)
 (31) 優先権主張番号 10/937, 470
 (32) 優先日 平成16年9月9日 (2004. 9. 9)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 505377474
 フォームファクター, インコーポレイテッド
 アメリカ合衆国 カリフォルニア 945
 51, リバーモア, サウスフロント
 ロード 7005
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (72) 発明者 ミラー, チャールズ エー.
 アメリカ合衆国 カリフォルニア 945
 39, フレモント, セミヨン ドライ
 ブ 48881

審査官 吉岡 一也

最終頁に続く

(54) 【発明の名称】 遠隔でテストチャンネルをバッファリングする装置

(57) 【特許請求の範囲】

【請求項 1】

電子デバイスをテストするためのテストシステムのテストチャンネルにおいて提供された分離バッファと、

該テストチャンネルにおいて、該分離バッファの信号入力と出力との間に提供されたバッファバイパス素子と、

該電子デバイスに接触するように構成されたテストプローブと
 を含み、

該テストチャンネルは、該電子デバイスのテストを制御するためにテストの1つの端部において電氣的に接続しており、該テストプローブの別の端部において終端するように構成され、

前記バッファバイパス素子が伝送ゲートを含み、

信号が、トライステートバッファが動作可能にされるときには前記伝送ゲートを動作不能にするために、該トライステートバッファが動作不能にされるときには該伝送ゲートを動作可能にするために提供される、装置。

【請求項 2】

前記バッファバイパス素子がトランジスタを含む、請求項 1 に記載の装置。

【請求項 3】

前記トランジスタが、前記分離バッファの入力と出力との間に接続されたソースドレイン経路を有する CMOS 装置である、請求項 2 に記載の装置。

10

20

【請求項 4】

電子デバイスをテストするためのテストチャネルにおいて提供された分離バッファと、
該分離バッファと並列に提供されたバッファバイパス素子と、
該電子デバイスのテストを制御するために該テストチャネルをテストに電氣的に接続する
ように構成された電氣的インターフェースと、
該電子デバイスに接触するように構成されたテストプローブと
を含み、
該電氣的インターフェースは、該テストプローブに電氣的に接続され、
前記バッファバイパス素子が伝送ゲートを含み、
信号が、トライステートバッファが動作可能にされるときには前記伝送ゲートを動作不
能にするために、該トライステートバッファが動作不能にされるときには該伝送ゲートを
動作可能にするために提供される、装置。

10

【請求項 5】

前記テストチャネルはそれぞれ、前記テストプローブのうちの 1 つにおいて終端してい
る、請求項 4 に記載の装置。

【請求項 6】

前記プローブ接触点は弾力性のばねを含む、請求項 5 に記載の装置。

【請求項 7】

電子デバイスをテストするためのテストに電氣的に接続するように構成された信号ライ
ンと、

20

該電子デバイスのうちの 1 つに接触するように構成された、該信号ラインから複数のテ
ストプローブまでの複数の分岐と、

分離バッファであって、該分離バッファのそれぞれは該分岐のうちの 1 つにおいて提供
される、分離バッファと、

バッファバイパス素子であって、該バッファバイパス素子それぞれは該分離バッファの
うちの 1 つと電氣的に並列に接続されている、バッファバイパス素子と
を含み、

前記バッファバイパス素子は伝送ゲートを含み、

前記信号ラインにおいて提供されるさらなるバッファであって、前記分離バッファの入
力に接続される出力を有するさらなるバッファをさらに含み、前記バッファバイパス素子
は該さらなるバッファの入力と該分離バッファのうちの 1 つの出力とに電氣的に接続され
る、

30

前記さらなるバッファはトライステートバッファを含み、

信号が、前記トライステートバッファが動作可能にされるときには前記伝送ゲートを動
作不能にするため、該トライステートバッファが動作不能とされるときには該伝送ゲート
を動作可能とするために提供される、装置。

【請求項 8】

前記分離バッファに可変遅延制御入力を提供する出力を有する遅延制御回路をさらに含
む、請求項 7 に記載の装置。

【請求項 9】

40

それぞれのバッファバイパス素子は、前記分離バッファのうちの 1 つの入力および出力
に電氣的に接続されている、請求項 7 に記載の装置。

【請求項 10】

前記テストプローブは、弾力性のばね構造を含んでいる、請求項 7 に記載の装置。

【請求項 11】

前記テストプローブは、弾力性のばね構造を含んでいる、請求項 4 に記載の装置。

【請求項 12】

前記テストチャネルのうちの少なくとも 1 つは、複数の分岐信号ラインに電氣的に接続
された共通の信号ラインを含んでおり、それぞれの分岐信号ラインは、前記プローブのう
ちの 1 つにおいて終端している、請求項 4 に記載の装置。

50

【請求項 1 3】

前記テストチャネルのうちの前記少なくとも 1 つにおいて、前記分離バッファのうちの 1 つが前記分岐ラインのそれぞれに提供される、請求項 1 2 に記載の装置。

【請求項 1 4】

前記テストチャネルのうちの前記少なくとも 1 つにおいて、それぞれのバイパス素子は、前記分離バッファのうちの 1 つの入力および出力に接続されている、請求項 1 3 に記載の装置。

【請求項 1 5】

前記テストチャネルのうちの前記少なくとも 1 つの前記共通の信号ラインにおいて提供されたさらなる分離バッファをさらに含んでいる、請求項 1 3 に記載の装置。

10

【請求項 1 6】

前記テストチャネルのうちの前記少なくとも 1 つにおいて、
前記さらなる分離バッファの出力は、前記分離バッファの入力に接続されており、
それぞれのバイパス素子は、該さらなる分離バッファの入力と該分離バッファのうちの 1 つの出力とに接続されている、請求項 1 5 に記載の装置。

【請求項 1 7】

前記テストチャネルは、複数の分岐信号ラインに電氣的に接続された共通の信号ラインを含んでおり、前記装置は、

テストされるべき複数の電子デバイスに接触するように構成された複数のテストプローブであって、それぞれの分岐は、該複数のテストプローブのうちの 1 つにおいて終端している、複数のテストプローブと、

20

該分岐のうちのそれぞれの分岐において提供されている複数の分離バッファと、
複数のバッファバイパス素子であって、それぞれのバッファバイパス素子は、該分離バッファのうちの 1 つと電氣的に並列に接続されている、バッファバイパス素子と
をさらに含んでいる、請求項 1 に記載の装置。

【請求項 1 8】

テストをさらに含んでおり、該テストは、前記テストチャネルを介して前記電子デバイスにテスト信号を提供することによって、該電子デバイスのテストを制御するように構成されている、請求項 1 7 に記載の装置。

【請求項 1 9】

30

前記テストプローブは、弾力性のばね構造を含んでいる、請求項 1 7 に記載の装置。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本発明は一般的に、信号劣化を防止するために、分離バッファを通して複数のラインに信号を分配することに関する。特に、本発明は、ウエハ上で集積回路 (IC) のテストを可能にするために、ウエハテストシステムの単一テスト信号チャネルを、バッファを通して、複数のテストプローブに接続するためのシステムに関する。

【背景技術】**【0 0 0 2】**

40

図 1 に示されるように、複数の伝送ラインに信号をファンアウトするには、多くの場合、信号は等しい移相で複数の宛先に到達することが必要である。例えば、クロック信号をファンアウトするためには、複数のラインに到達する信号はライン到達点で同期になるように、あるいは位相差なしで分配されるようにクロック信号を分配するために、クロックツリーが使用される。通常は、位相差がないことを確かなものにするために、複数の伝送ラインは同じ長さを有するように設計される。しかしながら、すべてが同じ長さになるように複数のラインの経路をきめることは不可能である場合が中にはあり得る。さらに、障害あるいはラインの劣化が複数のラインの一つに起こり得、リターン信号を引き起こし得、これが他のラインでの信号の混信および重大な減衰の原因となる。

【0 0 0 3】

50

図2に示されるように、分離バッファは障害の影響を減らすために、複数の伝送ラインそれぞれの経路に提供され得る。あいにくと、分離バッファ回路構成は信号に遅延を加えるばかりではなく、通常、到達遅延不確定をもたらしたり、あるいは、複数の伝送ラインの到達点で、實際上、位相差を引き起こす。回路構成差異および温度差異が、同期回路にとって問題となり得るバッファ回路ごとの遅延差異の通常的要因である。

【0004】

クロックツリーは、信号が同期に分配される一つの例を提供するけれども、等しい位相遅延が維持できれば、他のシステムにおいてそのような分配を提供することは便利であろう。図3は、1つのそのようなシステム、すなわち、半導体ウエハ上でICをテストするためのテストシステムを、簡略化した構成図を示す。テストシステムは、通信用ケーブル6でテストヘッド8に接続されたテストコントローラ4で構成されたテスト2を含む。テストシステムはさらに、テストされるウエハ14を取り付けるためのステージ12で構成されたプローバ10を含むが、ステージ12は移動してプローブカード18上のプローブ16と接触し、プローブ16は例えば、弾力性のばねプローブ、ポーゴピン、コブラ型プローブ、伝導性のバンプあるいは当技術分野で知られている、ICに接触するためのプローブの他の形式である。カメラ20および22が、ウエハ14上で形成されるICの接点とのプローブ16の正確なアラインメントを可能にするために、プローバ10およびテストヘッド8に取り付けられて示されている。

【0005】

上記テストシステムにおいて、テストデータはテストコントローラ4によって生成され、通信用ケーブル6を通してテストヘッド8に伝送される。ウエハ上のICからそのとき提供されるテスト結果はテストヘッド8によって受信され、テストコントローラ4に伝送される。テストヘッド8は一組のテストチャンネルを含む。通常は、テストコントローラ4から提供されるテストデータは、ケーブル6を通して提供される個々のテストチャンネルに分割され、チャンネルがそれぞれ、プローブ16のうちの1つの分かれたプローブへ運ばれるようにテストヘッド8において切り離される。テストヘッド8からのチャンネルは、電気的接続24を通して、プローブ16につながれている。

【0006】

ほとんどの場合、プローブ16それぞれは、単一の入出力端子(I/O)すなわち、テストされるウエハ14のIC上のパッドと接触している。次に、テストチャンネルそれぞれはIC入力へテスト信号を送信するかあるいは、ICがその入力信号に応答して期待された通りに作動しているかどうかを決定するために、IC出力信号をモニタし得る。図4はテストチャンネルそれぞれが、単一のプローブにつながれている場所の詳細を示している。図4において、2つの単一チャンネル伝送ライン31および32が、ウエハ14上の2つの別々のIC37₁および37₂上のパッドに接触する2つの個別のプローブ16₁および16₂に提供されている様子が示されている。チャンネル伝送ライン31および32それぞれは、それぞれのドライバ34および35によって駆動されるが、ドライバ34および35は通常テストコントローラ4に位置している。チャンネル伝送ライン31および32からのテストデータは、プローブカード18を通して、個別のプローブ16₁および16₂に分配される。いったんテストが完了すると、ウエハはさいの目に刻まれ、IC37₁から37₄までを切り離す。

【0007】

普通、利用できるテストチャンネルの数よりも多くのI/Oパッドがあるので、テストはいつでもウエハ上のICの一部のみをテストできる。このようにして、ウエハを保持している「プローバ」は、すべてのICがテストされ得るように、ウエハをプローブの下に何度も置き直さなくてはならない。テスト時間の節約およびテストシステムとの多重接触により起こり得るウエハ損傷の防止のため、もしウエハ上のすべてのICが、ウエハを置きなおす必要なく同時に接触テストされれば有利であろう。

【0008】

ウエハを置き直さずに、ウエハ全体をテストするために必要なテストチャンネルの数を減

10

20

30

40

50

らす一つの方法は、図 1 に概略示されているように、単一のテストチャネルを、複数のラインに分配する、すなわちファンアウトすることであるが、可能性としては、同じテストチャネルが、ウエハ上の多数の IC の I/O パッドに信号を提供することがある。一つのチャネルがファンアウトされることができるとは、ファンアウトにより、一つの DUT から提供されたテスト結果に見出された障害は、間違ってもう一つの DUT のテスト結果に現れ得る。例えば、アースにショートされる、一つの DUT 上の接触パッドにおける障害は、第 2 DUT 上の接触パッドをアースにショートさせ、第 2 DUT に間違っても不良としてテストさせる原因となるであろう。さらに、ラインの一つにおける開路障害は、そのラインに接続されているウエハをテスト不能にするであろう。一つのラインにおけるショートであれ、開路であれ、他の DUT 用に意図された他のラインへ同じチャネルから提供されるテスト信号を多大に減衰させるであろう。

10

【 0 0 0 9 】

いずれの I/O パッドにおいても、あるいはいずれの I/O パッドの近くにおいても、障害が、相互接続システムを通過するテスト信号を多大に減衰させないよう防止する一つの方法は、プローブとチャネルライン分岐点との間に分離抵抗器を置くことである。分離抵抗器は、一つの DUT 上でのアースへのショートが、他の DUT をアースに引っ張らないよう防止し、同様に、一つのラインにおける開路から生じる減衰を多大に減じる。“Closed-Grid Bus Architecture For Wafer Interconnect Structure” と題する、特許文献 1 の図 7 はそのような分離抵抗器の使用を説明している。分離抵抗器は障害の影響を減ずるけれども、障害によって引き起こされた減衰を完全に除去するわけではない。さらに、分離抵抗器を付け加えるとラインに寄生キャパシタンスが生じて、テスト信号の立ち上がり時間および立下り時間に悪影響を及ぼし得る RC 遅延をもたらす、間違ってもテスト結果を生成する可能性がある。

20

【 0 0 1 0 】

抵抗器減衰をもたらすことなく障害を分離するもう一つの方法は、チャネル分岐点それぞれとプローブとの間に分離バッファを含むことであるが、これについては図 2 に概略示され、かつ図 5 には一つのテストシステムについてさらに詳細に図示されている。図 5 において、テストのドライバ 40 からの一つの伝送ラインチャネル 42 が、2つの IC 37₁ および 37₂ (それぞれ、テストを受ける装置 “DUT” としてラベル付けされている) 上のパッドに接触するための個別のプローブ 42₁ および 42₂ へチャネル信号を提供するために、プローブカード 18 における 2つのバスライン 50₁ および 50₂ にファンアウトされる。もちろん、1つのチャネルは同様に複数のバスラインで、同じ IC 上の複数のパッドにファンアウトされることができ。

30

【 0 0 1 1 】

分離バッファの一つの欠点は、すでに示されたように、分離バッファがテストからウエハ上の DUT へのテスト信号の伝送に不確実な遅延をもたらすことである。遅延が不確実であるのは、バッファを通しての遅延は温度と給電電圧の変化と共に変化することがあり得るからである。テストからウエハ上の DUT への信号遅延は、ウエハの DUT 上で一連のテストを行う間に変化し、不確実なテスト結果を生成することがあり得る。

40

【 0 0 1 2 】

テストシステムで使用される分離バッファのもう一つの欠点は、テストが、総括的にパラメトリックテストと称されることがある DUT 入力ピンオープン、ショートおよび漏れテストを行うことを、バッファが妨げることである。上に説明されたように、チャネルに導入されたバッファは、1つのライン上のショートあるいは開路の影響がもう一つのラインに影響を与えることを阻止するであろう。これは、分岐ラインを分離することの 1つの利点を提供するけれども、故意にショートあるいは開路条件を使用してテストすることを妨げるであろう。同様に、1つの DUT からの漏れ電流は、バッファによって他のラインから阻止され、これは DUT からの漏れを測定することを妨げる条件となるであろう。

【特許文献 1】米国特許第 6,603,323 号明細書

50

【発明の開示】

【発明が解決しようとする課題】

【0013】

不等遅延をもたらすことなく、かつテストがウエハのDUT上でパラメトリックテストを行うことを妨げることなく、信号を複数の伝送ラインに分配し、バッファを使用して障害からの分離を提供することが望ましい。

【課題を解決するための手段】

【0014】

本発明により、テストがウエハのDUT上で漏れおよびパラメトリックテストを行うことを妨げず、バッファを使用して障害を分離するために、回路構成が提供される。さらに、回路構成は複数の分離バッファを通しての遅延を一定に保つために提供される。

10

【0015】

本発明に従う構成要素を有するウエハテストシステムにおける分離バッファによって、プローブカードを、分岐して分離バッファを通るチャンネルを有するプローブカードに単に変えることで、より効率的で費用効果の高いシステムが提供される。そのような分岐によって、プローバは、より多くのDUTをテストするために何度もウエハに接触するために位置を変えられる必要はない。しかし、テストカードに分岐を使用しなければ、この必要がある。単にプローブカードを分離バッファで置き換えるだけで、新しいテストを購入するより別のもっと格段に安価な方法が提供されもする。

【0016】

20

チャンネルライン経路に含まれるバッファをパラメトリック、あるいは他の漏れテストに提供するために、漏れ電流が通過できるように、チャンネルラインにおけるバッファの入力と出力との間に、バッファバイパス素子が提供される。漏れあるいはパラメトリックテスト測定の間、テストを受けつつあるラインにおけるバッファは不能とされることができ、唯一漏れ電流だけがバッファバイパス素子を通して測定されることができ。一つの実施形態においては、バッファバイパス素子は、バッファそれぞれの入力と出力との間に提供される既知値の抵抗器である。別の実施形態では伝送ゲートが、バッファそれぞれの入力と出力との間に提供される。電力およびアースをバッファから切り離すことに対する別の方法として、トライステートバッファが、漏れあるいはパラメトリックテストの間、バッファを不能とすることができるようになるために使用されることができ。

30

【0017】

さらに本発明によれば、テスト測定値から効果的にバッファ遅延を校正し出すために、リモートバッファを校正するための方法が提供される。第1校正方法は、有効バッファと共に、パラメトリックテストのためのテストモードと同様な漏れテストモードを使用し、さらに、時間領域反射率計(TDR)測定を使用する。バッファ遅延によってもたらされた中断は、漏れ電流のTDR測定において検知され、テストがバッファ遅延を補正することを可能にする。第2の校正方法は、バッファ遅延のない個別のテストチャンネルを使用し、バッファ遅延を除去するためにバッファによる遅延チャンネルと比較する。すべてのバッファが同じウエハ上にあるとすれば、第2の方法は、同じ測定されたバッファ遅延をすべてのバッファ付チャンネルに適用することができる。第3の方法は、例えば、バッファ付きではないプローブカードを使用して測定された遅延など、既知の遅延を有するウエハあるいはDUTを使用する。次に、バッファ付プローブカードタイミングは、バッファ付プローブカードタイミングテスト結果が既知の装置の遅延を示すように調節されるであろう。

40

【0018】

分離バッファ遅延が均一であることを確かなものにするために、バッファ遅延は、給電電圧あるいは分離バッファそれぞれに提供された電流を制御する中央遅延制御回路によって制御される。遅延制御回路は基準遅延ラインおよび基準バッファの入力へ信号を提供する発振器を含む。基準遅延ラインおよび基準バッファは次に、位相比較器に入力を提供する。基準遅延ラインは、分離バッファの遅延を設定するために選択された長さを有する。位相比較器の出力は基準バッファおよび、分岐に提供された分離バッファを駆動するため

50

に、ループフィルタを通して提供される。構成されている通り、遅延制御回路は、システムにおける分離バッファそれぞれのように、基準バッファが基準遅延ラインに等しい遅延を提供するであろう遅延ロックループを實際上形成する。

【 0 0 1 9 】

分離バッファの遅延を変化させると、分離バッファそれぞれの出力電圧を変化させることにもなるので、さらなる実施形態においては、2つのバッファが、チャネル分岐点それぞれとプローブとの間で、順次使用される。第1バッファは可変遅延制御の適用を受ける一方、第2バッファは遅延制御を有さず、システムに、出力に変化のない電圧を供給することができる。

【 0 0 2 0 】

本発明のさらなる詳細が、添付された図面の助けで、以下説明される。

【発明を実施するための最良の形態】

【 0 0 2 1 】

図6は、バッファ50に供給されるバイアス電圧を変化させることのできる遅延制御を有する、分離バッファ50の実施形態である。図6において、バッファ50は、信号入力55および出力56を有するインバータ51を含む。システム給電電圧レール57および58は高圧 $V+$ および低圧 $V-$ を運ぶ。CMOS装置と共に、バイアスあるいは給電電圧は通常 V_{dd} および V_{ss} と称される。通常、レール電圧 $V+$ および $V-$ はバッファに直接供給される。例えば、電圧 $V+$ は5ボルトであり得る一方、 $V-$ はアースあるいはゼロボルトであり得る。しかしながら、図6において、遅延制御回路は、給電電圧を変化させることによって遅延を制御するように設定され、電圧レール $V+$ および $V-$ は、インバータ51へ高および低給電電圧として、それぞれの遅延制御回路60および61を通して提供される。図5および図6には、2つの分離遅延制御回路60および61として示されているけれども、単一合成回路が使用されることができる。さらに、2つの回路60および61は、 $V+$ および $V-$ 電圧両方を変化させるように説明されているけれども、 $V+$ あるいは $V-$ のうちいずれか1つが、望ましい遅延を達成するために、単独に変えられることができる。

【 0 0 2 2 】

バッファに供給される電圧を変化させることによってバッファ遅延を制御することが説明されたけれども、そのようにすることに付随する問題は、例えばインバータ51のようなバッファに供給される電圧の変化は、その出力56で供給される高および低電圧を変化させることである。本発明により、この問題は、図7に図解されているように、一対のインバータ(例えば、CMOSインバータ)として分離バッファそれぞれをインプリメントすることによって対処される。

【 0 0 2 3 】

図7は、インバータ51と直列にインバータ52を加えるために図6を変更することによりバッファが構成される、そのようなインプリメンテーションを図解する。遅延は給電バイアス電圧を変化させることで制御され、第1インバータ51へ供給される電圧のみが、その遅延を制御するように変えられる。第2インバータ52への給電バイアス電圧は $V+$ および $V-$ レールに固定されたままである。第2インバータ52の出力は、総合バッファ50の出力56であるので、総合バッファ50の高および低出力電圧は $V+$ および $V-$ レールに固定されている。いくつかの場合においては、分離バッファ出力は $V+$ および $V-$ レールに固定されたままでなくてはならないので、図7の回路は、固定給電電圧で第2インバータ52を使用する。

【 0 0 2 4 】

異なった遅延制御回路が分離バッファそれぞれに提供され、温度および装置特性が分離バッファ間の遅延を変化させ得る。従って、分離バッファそれぞれによって提供される遅延を制御するために単一遅延制御回路が好ましい。複数の遅延制御回路に対比して、複数の分離バッファのための単一遅延制御回路の使用は、テストシステムに所望の総合回路構成を多大に減少させることもできる。

10

20

30

40

50

【 0 0 2 5 】

複数のバッファの遅延を制御するための単一遅延制御回路の詳細は図 8 に示されている。遅延回路 7 0 は、図 5 同様、ウエハテスト構成の 2 つの分離バッファ 5 0₁、および 5 0₂ に接続されて示されている。しかしながら、遅延制御回路 7 0 は同様に、3 つ以上の分離バッファへ提供されることができ、あるいは、例えばクロックツリーのようなウエハテスト以外の他のタイプの回路の分岐において提供されることができる。さらに、当業者に理解されるであろうように、図示されている遅延制御回路 7 0 は、図 5 および図 6 に示される遅延制御回路 6 0 および 6 1 の組み合わせ、あるいは遅延制御回路 6 0 および 6 1 の個別のものとして機能するように構成されることができる。

【 0 0 2 6 】

遅延制御回路 7 0 は、基準遅延ライン 7 4 および基準バッファ 7 6 両方の入力へ提供される周期信号を生成するために発振器か、あるいはクロック生成器 7 2 を含む。発振器は直列接続のインバータあるいは、例えば抵抗器などのような遅延素子と直列のインバータから構成されることができる。発振器信号周波数およびデューティサイクルは重大ではない、というのは、誤差信号は、同時に基準遅延ライン 7 4 および基準バッファ 7 6 へ入力される発振器の、同じ周期あるいはサイクルの立上がりおよび立下りエッジから来るのみであるからである。

【 0 0 2 7 】

基準遅延ライン 7 4 は、分離バッファ 5 0₁ および 5 0₂ を通る望ましい遅延に等しい遅延を有するように構成される。基準遅延ライン 7 4 の次元は、当業者によって理解されるであろうように、遅延ライン 7 4 を通る遅延を制御するように設定されることができる。基準遅延ライン 7 4 は、分離バッファ 5 0₁ および 5 0₂、基準バッファ 7 6、位相比較器 7 8 その他を含む集積回路上に構成されることができるか、あるいはそのような集積回路の外部に提供されることができる。集積回路上の構成要素の物理的次元は、リソグラフィで制御されることができるので、部分ごとの差異は最小限にされることができる。絶対あるいは相対遅延のさらに正確な制御が所望される、要求の厳しいアプリケーションにおいては、レーザトリミングが遅延ライン 7 4 を同調するために適用されることができる。レーザトリミングなしでは、伝送ライン遅延における若干の差異は、伝送ラインを構成するために使用された材料あるいは物質の T c e のためにもたらされ得る。このような場合、伝送ラインの比較的小さな遅延差異は遅延ロックループを同調することにより安定化されることができる。

【 0 0 2 8 】

位相比較器 7 8 は、基準遅延ライン 7 4 および基準バッファ 7 6 からの出力の位相における相違を測定する。位相比較器 7 8 の出力は低域フィルタすなわち、ループフィルタ回路 8 0 を駆動する。フィルタ 8 0 は、位相誤差に比例する制御電圧を生成するために位相比較器信号をフィルタリングする。この位相誤差制御電圧は次に、基準バッファ 7 6 の遅延を調節するために使用される。電圧制御基準バッファ 7 6、位相比較器 7 8 および低域フィルタ 8 0 の組み合わせは普通、「遅延ロックループ」と称される。このように、遅延制御回路 7 0 は、基準バッファ 7 6 に、タイムプロセスおよび温度から独立した基準を提供し、さらに、制御電圧を、例えば 5 0₁ および 5 0₂ などのような複数の分離バッファに印加する。

【 0 0 2 9 】

図 8 の遅延制御回路 7 0 は、基準バッファ 7 6 を通る遅延を強制して基準遅延ライン 7 4 を通る遅延に合わせる。基準遅延ライン 7 4 を通る遅延は通常は、周囲の条件（例えば、温度あるいは給電の電圧）によって変化しないので、遅延制御回路 7 0 は、周囲の温度あるいは、その給電の電圧における変化にもかかわらず、基準バッファ 7 6 を通る遅延を一定に保つ。

【 0 0 3 0 】

図 8 の遅延制御回路 7 0 はさらに、単一チャネル 4 2 と D U T 3 7₁ および 3 7₂ の間の分岐 4 2₁ および 4 2₂ において提供される分離バッファ 5 0₁ および 5 0₂ のパイア

10

20

30

40

50

ス電圧を制御する。このようにして、遅延制御回路 70 は、基準バッファ 76 および分離バッファ 50₁ および 50₂ を通る遅延を一定に保つ傾向がある。2つの分離バッファ 50₁ および 50₂ が図示されているけれども、図解されているように、他の分岐に提供されたさらなるバッファは回路 70 によって遅延を制御され得る。

【0031】

遅延制御回路 70 は、バッファ遅延を設定するために、基準バッファ 76 および分離バッファ 50₁ および 50₂ に供給されている電圧 $V+$ および $V-$ のいずれか、あるいは両方ともを制御するために接続されることができる。このようにして、ループフィルタ 80 からの接続は、 $V-$ あるいは $V+$ のうちの 1 つからの変化した電圧を提供するための単一ラインかあるいは、 $V+$ および $V-$ それぞれからの変化した電圧を提供するための 2 つのラインを有するバスか、いずれかであることができる。

10

【0032】

バッファ間の遅延が実質的に同じになることを確かなものにするために、基準バッファ 76 および分離バッファ 50₁、50₂ その他はできるだけ同様であるべきであり、あるいは少なくとも分離バッファ 50₁ および 50₂ を通る遅延を受容できる相違以内に保つために必要なくらい同様であるべきである。基準バッファ 76 および分離バッファ 50₁ および 50₂ は同じウエハで製造され、かつ同様な装置および温度特性を確かなものにするために、できるなら同じ IC チップ上に提供されることができることが好ましい。

【0033】

基準バッファ 76 および、分離バッファ 50₁ および 50₂ は図 6 に示される単一インバータ構成かあるいは、図 7 に示される直列インバータであるか、いずれかであることができる。図 6 の単一インバータ構成であれば、遅延制御回路 70 は、バッファインバータのすべてに供給される給電電圧のいずれか、あるいは両方ともを制御する。図 7 の直列インバータ構成であれば、遅延回路 70 は、直列の第 1 インバータの給電バイアス電圧を制御する一方、給電電圧は第 2 直列インバータのため、 $V+$ および $V-$ に固定されたままとなる。図 7 の分離バッファ構成であれば、基準バッファ 76 および分離バッファ 50₁ および 50₂ の両方ともが、遅延がバッファそれぞれにおいて実質的に同じ値に正確に制御されるように、基準および分離バッファの間の類似性を最大限にするために直列インバータを含むほうが好ましい。

20

【0034】

図 9 は低域フィルタすなわち、ループフィルタ 80 のための 1 つの実施形態の詳細を示す。図 8 に示されるように、ループフィルタ 80 は、位相比較器 78 の出力を統合し、かつ $V+$ および $V-$ システム電圧レール間に集中した基準バッファ 76 および分離バッファ 50₁ および 50₂ に 2 つの集中遅延制御電圧 V_H および V_L を提供するように機能する。図 9 に示される回路は、ループフィルタ 80 のための 1 つの実施形態を提供するが、フィルタデザインは重大ではなく、当業者に理解されるであろうように、別の低域フィルタ回路構成によって取って代わられることができる。例えば、コンデンサおよび抵抗器を使用する受動低域フィルタは、能動素子増幅器 90 および 92 を含む図 9 に示されるループ回路 80 に取って代わることができる。

30

【0035】

図 9 のループフィルタ回路 80 は入力として、給電レール電圧 $V+$ および $V-$ および位相比較器 78 の出力を受信する。これらの入力から、図 9 の回路は制御電圧 V_H および V_L を生成する。電圧 V_H は高給電入力（すなわち、CMOS インバータのための V_{dd} 入力）として、基準バッファ 76 および分離バッファに提供される一方、 V_L は低給電入力（すなわち、CMOS インバータのための V_{ss} 入力）として、基準バッファ 76 および分離バッファに提供される。

40

【0036】

ループフィルタ 80 は 2 つの差動増幅器 90 および 92 を含む。増幅器 90 の出力は制御電圧 V_H を提供する一方、増幅器 92 の出力は制御電圧 V_L を提供する。抵抗器 94 はレール電圧 $V+$ を増幅器 90 の非反転（+）入力に接続する一方、抵抗器 96 はレール電

50

圧 V_- を増幅器92の非反転(+)入力に接続する。位相比較器78からの出力は抵抗器98を通して増幅器90の非反転(+)入力へ、かつ抵抗器99を通して増幅器92の反転(-)入力へ接続される。フィードバックが、反転入力をアースに接続する抵抗器101と共に、抵抗器100およびその出力をその反転(-)入力に接続するコンデンサ103によって増幅器90において提供される。フィードバックが抵抗器102および、その出力をその反転(-)入力に接続するコンデンサ104によって増幅器92において提供される。フィードバックコンデンサ103および104は、増幅器90および92が、ノイズを減じるための積算器として機能することを可能にする。抵抗器94、96、98および99は、電圧 V_H および V_L が V_+ および V_- の間に集中することを確かなものにするために機能する。

10

【0037】

多数のバッファを駆動するために、電力増幅器が V_H および V_L 出力を増幅するために加えられ得る。また、コンデンサは V_H および V_L 出力と分離バッファのそれぞれの入力との間に置くことが望ましい。そのようなコンデンサは給電からの高周波ノイズをフィルタリングする。

【0038】

図9の回路は、分離バッファの出力でのデジタル信号がその給電入力を変化させることがないように、かつ V_+ および V_- との間の給電レベルに集中されるようにデザインされている。そうすることによって、次の回路の遷移は、 V_+ および V_- レベルが変化を受けないままであるときのように、信号の立上がりあるいは立下りエッジにおいて、およそ等しい時間に起きるであろう。分離バッファの出力を V_+ および V_- の間に集中させないことによって、1つのエッジは次の回路遷移を通常よりも早く誘発し、誤ったテスト結果が生じる原因となるであろう。

20

【0039】

図9に示される回路構成では、位相比較器78からの位相差信号出力が大きければ大きいほど、 V_H および V_L との間の相違も大きい。分離バッファに適用された場合、バッファ遅延制御回路70からの V_H および V_L との間の相違が大きければ大きいほど、分離バッファによって提供される遅延は小さい。

【0040】

図10は、図9の回路からの V_H および V_L 信号出力に対する作動範囲を図解する図表を示す。 V_H および V_L の範囲は抵抗器94、96、98および99に対して選ばれた値に依存する。 V_H および V_L との間のセンタライン電圧が同じにとどまることを確かなものにするために、位相差の変化と共に、等しい差異が V_H および V_L において起きるように抵抗器94、96、98および99は選ばれる方が好ましい。位相比較器78からの位相差出力信号がゼロのときは、 V_H はその範囲全体の中央にあり、かつ V_L はその範囲全体の中央にあるように、抵抗器の値はさらに選ばれる。 V_H および V_L に対する特定の範囲は、インプリメントされる特別な回路の要求次第で変化するであろう。

30

【0041】

図11は所望の回路構成を全体的に減らすために構成された、図8の分離バッファおよび遅延制御回路に対する別法を示す。図11において、単一可変遅延分離バッファ110が、分岐点の前のチャネル、あるいは伝送ライン42に置かれる。インバータとして示されている分離バッファ110は、その遅延を設定するために遅延制御回路70から可変給電バイアス信号 V_L および V_H を受け取る。固定遅延バッファ112₁および112₂は、そのとき、ファンアウト点の後で分岐42₁および42₂に含まれている。バッファ112₁および112₂はまたインバータとしても図示されているが、システム給電レールから固定給電入力 V_+ および V_- を受け取る。2つのバッファ112₁および112₂が示されているが、ファンアウトは3つ以上へなされることができよう。

40

【0042】

図11の直列インバータ114および116は図8の基準バッファ76の代わりを務める。インバータ114は、ループフィルタ80から可変給電バイアス信号 V_L および V_H

50

を受け取る。インバータ 116 は固定給電レール $V+$ および $V-$ を受け取る。インバータはすべて、同様な装置および温度差異特性を生成するために、同じ半導体ウエハ上で製造されることを含んで、できるだけ同様に製造されることが好ましい。かくて、図 11 の回路は、分離バッファに 1 つの共通チャネルからのファンアウトを提供し、均一な遅延を生成する。図 11 の回路は、図 7 に示されるようにバッファを使用する図 8 の回路に勝る利点を提供する、というのは分岐点それぞれにおいて、ただ 1 つのバッファが必要とされているからである。

【0043】

図 12 は、直列 CMOS インバータによって形成された図 7 の分離バッファのための実施形態を図解するが、インバータ 51 は単一遅延制御回路 160 によって遅延が制御される一方、インバータ 52 は固定遅延を有する。遅延制御回路 160 は、図 11 の遅延制御回路 70 同様、図 7 の回路 60 および 61 の機能を組み合わせる。CMOS インバータ 51 は、図 11 の回路 70 同様、遅延制御回路 160 から生成された遅延制御電圧 V_H および V_L を受け取る PMOS トランジスタ 121 および NMOS トランジスタ 120 を含む。CMOS インバータ 52 は同様に PMOS および NMOS トランジスタを含み、これらトランジスタは固定 $V-$ および $V+$ 電圧レールによって駆動される。

【0044】

図 13 は、図 12 の回路において変化する電圧に対比して、遅延が電流を変化させることによって制御される分離バッファ構成を図解する。図 13 はさらに、バッファは、CMOS インバータと対比して、例えば二極接合トランジスタ (BJT) を使用して作成された差動増幅器など、他の構成をとることができることを図解する。図示されているように、図 13 のバッファ 51 は、電流が遅延制御回路 161 によって制御される電流シンク 130 を有する差動増幅器である。1 つの実施形態においては、遅延制御回路 161 は図 8 の回路 70 として構成されることができる。遅延制御回路 161 のそのような構成においては、図 8 のループフィルタ 80 の出力は、差動増幅器および差動増幅器バッファ 51 として構成された基準バッファ 76 の電流入力を提供するであろう。図 13 のバッファ 51 は、 $+$ および $-$ 差動増幅器入力を形成するバス、電流シンク 130 へ接続された共通エミッタおよび抵抗器 136 および 138 を通して $V+$ 給電レールに提供されたコレクタを有する BJT トランジスタ 132 および 134 を含む。

【0045】

差動増幅器 51 は単独で使用されることができるか、あるいは、もしレールからレールへの単一出力が望まれるならば、第 2 の増幅器 52 を通して出力 56 へ接続されることができる。差動増幅器 51 はレールからレールへの $V+$ および $V-$ 電圧を分配しないであろう、というのは、抵抗器 136 および 138 ならびに電流シンク 130 は出力スイングを制限するからである。レールからレールへの出力が望まれるならば、図 13 に示されるように、 $V+$ および $V-$ レールへ接続された制御電圧 V_{OH} および V_{OL} で比較器として構成された増幅器 52 が所望のレールからレールへのスイングを提供するであろう。

【0046】

図 14 は、パラメトリックテストのための漏れ電流測定を可能にするために、分離バッファ 50₁₋₃ の入力と出力との間の抵抗器 140₁₋₃ によって提供されたバッファバイパス素子がチャネル 42 の分岐において提供された分離バッファ 50₁₋₃ を示す。抵抗器 140₁₋₃ を使用して提供されたバイパス素子はきわめて低い電流漏れ測定を可能にする。低い漏れ測定に便宜を図るために、既知値の抵抗器 140₁₋₃ はバッファ 50₁₋₃ それぞれの入力および出力との間に接続される。図 15 は、図 11 の配置同様、複数のバッファ 110 および 112₁₋₃ を横断する抵抗器 140₁₋₃ を使用してバッファバイパス素子を提供するための、図 14 の回路構成に対する変型例を図解する。

【0047】

図 14 および図 15 の構成で漏れ電流を測定するために、漏れ測定の間、バッファすべておよび測定されている途中ではない DUT への電力およびアースは、給電とバッファとの間および給電と DUT との間に提供された高インピーダンス抵抗スイッチあるいはリレ

10

20

30

40

50

ー（図示されず）を使用して切断される。次に、電圧が抵抗器 140₁₋₃ 全部にわたって強制され、その結果生じる電流が、給電に接続されたままであった DUT すべてに対して測定される。バッファおよび使用されていない DUT は同様に、パラメトリックテストのためには動作不能となっている。

【0048】

図 16 は、チャンネルにおいて提供されているバッファ 150₁₋₂ に対しての漏れおよびパラメトリックテストを可能にするために、伝送ゲート 145₁₋₂ を使用してバッファバイパス素子を提供するためのもう 1 つの実施形態を示す。伝送ゲート 145₁₋₂ がバッファ 150₁₋₂ それぞれの入力および出力の間に提供される。伝送ゲート 145₁₋₂ が、並列に接続されたソースドレイン経路および制御入力を提供するために、インバータを通して共に接続されたゲートを有する PMOS および NMOS トランジスタで、標準的な CMOS 装置として形成されることができる。伝送ゲート 145₁₋₂ は同様に、バッファおよび制御を提供するゲートを横断して接続されたソースドレイン経路を有する単一 PMOS あるいは NMOS トランジスタから形成されることができる。伝送ゲートは同様に、異なるトランジスタのタイプを使用して、例えば BJT トランジスタなどを使用することによって、形成されることができる。図 16 は、もし望まれるならば、伝送ゲート 145₁₋₂ を使用して、複数のバッファ 110 および 112₁₋₂ を横断してバッファバイパス素子を提供するための、図 17 の回路構成に対する変型例を図解する。

【0049】

パラメトリックテストに伝送ゲート 145₁₋₂ を提供するために、1 つの実施形態において、バッファ 150₁₋₂ あるいは 112₁₋₂ は、テストを受ける DUT へ接続された伝送ゲートが動作可能にされている間、トライステートモードに置かれる。このことを図解するために、出力イネーブル信号 OE は、図 16 - 17 において、異なる時間に、トライステートバッファおよび伝送ゲートを動作可能にするために逆極性が提供されて示されている。この実施形態は、より大きな漏れ値を測定するために適切であり、かつバッファ装置の電力とアースの切断は必要ではないであろう。同様に、電力は、テストを受けている途中にない DUT へ接続されたままであることができよう。図 17 の構成で、バッファ 110 はトライステートバッファではない、というのは、その信号経路はバッファ 112₁₋₂ によって阻止されているからである。しかしながら、バッファ 110 からの漏れがテスト測定に影響を与えるならば、トライステート装置としてバッファ 110 を有することが望ましい。図 17 の構成はさらに、図 11 について説明されたように、遅延制御回路からのより少ない数のラインを使用する。

【0050】

本発明はさらに、本発明により説明されたように、バッファバイパス素子を有するバッファでシステムを校正するための方法を提供する。校正は、バッファ遅延が、バッファを含むチャンネルラインを使用して出されたテスト結果から校正されることができるよう、バッファを通る遅延の指示を提供する。校正手順は、図 14 - 17 において示されている回路構成のうち、いずれを使用しても実施されることができる。

【0051】

第 1 構成方法は、バッファあるいは能動であるバッファと共なる、かつさらに従来の時間領域反射率 (TDR) 測定と共なるバッファバイパス素子（漏れテストモードで動作可能にされている）を通して提供された漏れ電流のテストを使用する。バッファ遅延によってもたらされた不連続は、TDR 比較器を使用して検知され、かつ測定され、このようにして、テストシステムのテストがバッファ遅延を差し引くことによって計算し、テストシステムにおけるバッファのために補償することを可能にする。TDR 測定において、テストパルスが提供され、かつ反射パルスはバッファ入力および出力から測定される。バッファの入力および出力からの反射の受け取りの間での時間差は、バッファを通る遅延の決定のために使用される。同様な計算は、複数のバッファがチャンネルにおいて直列で提供されていれば、他のバッファに対しても使用される。

【0052】

図 18 - 19 は異なる長さの遅延を提供するバッファで TDR 測定を使用し、バッファ遅延の決定を図解するタイミング図である。図 18 は、TDR 測定装置から提供されたパルス 160、およびパルスがバッファ遅延とおよそ同じバッファの入力と出力からの、結果として生じたリターン反射 162 および 164 を示す。図 18 に示されているように、バッファ遅延は、バッファの入力と出力からの反射 162 および 164 の立上がりエッジ間の時間差を測定することによって決定される。図 19 は、TDR 装置から提供されたパルス 170 およびパルスがバッファ遅延よりも小さい、結果として生じるリターン反射 172 および 174 を示す。バッファの入力および出力からの反射パルス 172 および 174 は分離されているけれども、2つの反射パルス 172 および 174 の立上がりエッジの間の同様な測定はバッファ遅延を決定する。

10

【0053】

バッファ遅延を決定し除去するための第 2 校正方法においては、個別の比較テストチャネルが、バッファを含むチャネルから使用される。測定が、チャネルに接続された共通の装置の遅延を決定するためになされ、かつ結果の比較がなされ、その相違がバッファ遅延を示す。テストシステムにおけるバッファすべてが同じダイ上であれば、あるいは同じ温度で同じウエハからであれば、この方法は、1つのバッファに対するバッファ遅延決定が、バッファ付チャネルすべてのためのバッファ遅延として使用されることを可能にする。

【0054】

バッファ遅延を決定し除去するための第 3 校正方法においては、既知のあるいは校正された遅延を有するウエハあるいは他の DUT が使用される。テスト装置の遅延が、バッファ付ではないチャネルを使って決定されることができ、次に、測定がバッファ付チャネルに対してなされ、バッファ付チャネルの測定値は、既知の装置の校正された遅延以外の遅延を差し引くことによって、バッファから生じるいかなる遅延も実際的に校正するために調整される。

20

【0055】

本発明は以上、細目にわたって説明されたけれども、これは単に当業者に本発明の作成および使用方法を教示するためであった。多くのさらなる変型例が本発明の範囲内に入るし、その範囲は次の特許請求の範囲によって規定されている通りである。

【図面の簡単な説明】

【0056】

30

【図 1】複数の信号ラインへファンアウトされた単一伝送ラインを示す。

【図 2】複数のラインにおいて提供された分離バッファを有する、複数のラインへファンアウトされた単一伝送ラインを示す。

【図 3】半導体ウエハ上の IC をテストするための、従来のテストシステムの簡略化された構成図を示す。

【図 4】チャネルそれぞれが単一プローブに連結されている従来のテストシステム配置を図解する。

【図 5】ウエハテストの単一チャネルがいかにして、単一チャネルを使って複数の IC を同時にテストするために、分離バッファを有する複数のプローブへファンアウトされることができ、かを図解する。

40

【図 6】バッファに供給される給電バイアス電圧を変化させることによって制御される遅延を有する、分離バッファの 1 つの実施形態を示す。

【図 7】2つの直列インバータによって形成された分離バイアスを図解するが、第 1 に対してのみ給電バイアス電圧が変化される。

【図 8】複数の分離バッファの遅延を制御するための遅延制御回路の詳細を示す。

【図 9】図 8 のループフィルタの実施形態の詳細を示す。

【図 10】図 9 の回路から出力された V_H および V_L 信号に対する作動範囲を図解する図表を示す。

【図 11】チャネル分岐点の前に置かれた可変給電電圧分離バッファ、および分岐それぞれにおいて提供された固定電圧バッファを有する、図 8 の回路に対する別法を示す。

50

【図 1 2】直列 C M O S インバータによって形成された図 7 の分離バッファのための実施形態を図解するが、第 1 直列 C M O S インバータは単一遅延制御回路によって遅延が制御される。

【図 1 3】差動増幅器を流れる電流を変化させることにより遅延が制御される差動増幅器として構成された、分離バッファを有する実施形態を図解する。

【図 1 4】漏れ電流測定を可能にするために、抵抗器によって提供されたバッファバイパス素子を有する、チャンネルの分岐において提供された分離バッファを示す。

【図 1 5】複数のバッファを横断してバッファバイパス素子を提供するための、図 1 4 の回路構成に対する変型例を図解する。

【図 1 6】漏れテストのため、伝送ゲートを使用して提供されたバッファバイパス素子を有する、チャンネルの分岐において提供された分離バッファを示す。

【図 1 7】複数のバッファを横断してバッファバイパス素子を提供するための、図 1 6 の回路構成に対する変型例を図解する。

【図 1 8】時間領域反射率 (T D R) 測定を使用してバッファ遅延を決定することを図解するタイミング図である。

【図 1 9】時間領域反射率 (T D R) 測定を使用してバッファ遅延を決定することを図解するタイミング図である。

10

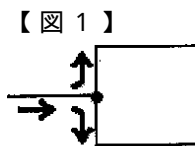


FIG. 1

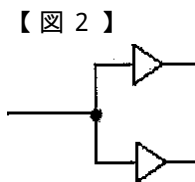


FIG. 2

【図 3】

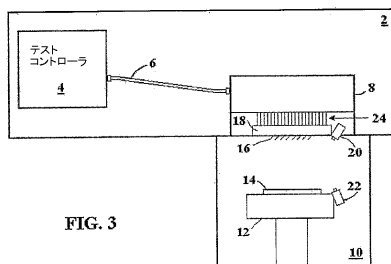


FIG. 3

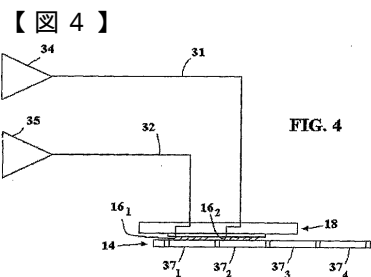


FIG. 4

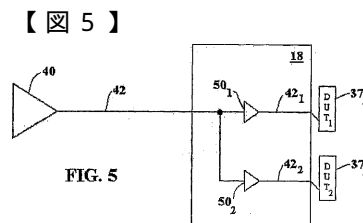


FIG. 5

【図 6】

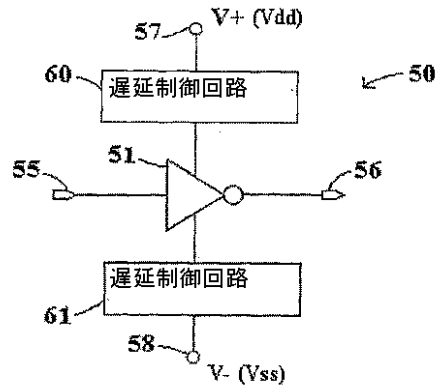


FIG. 6

【図 7】

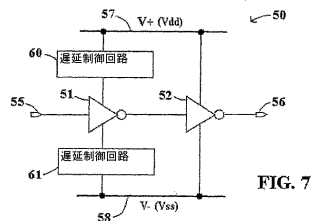


FIG. 7

【図 9】

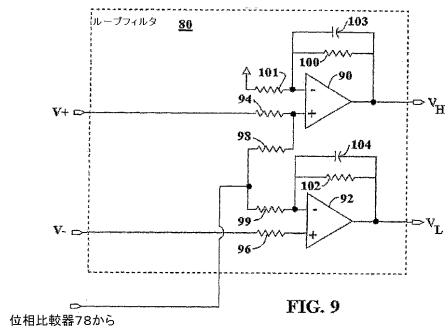


FIG. 9

【図 10】

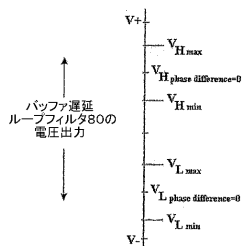


FIG. 10

【図 8】

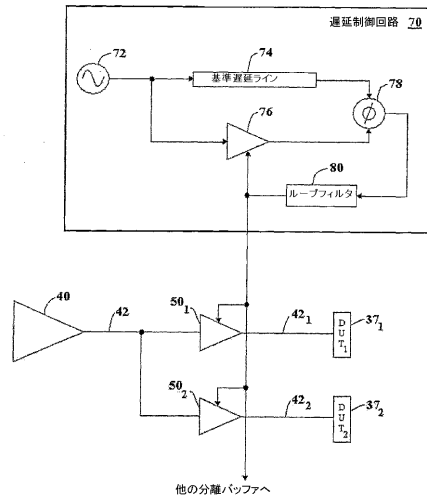


FIG. 8

【図 11】

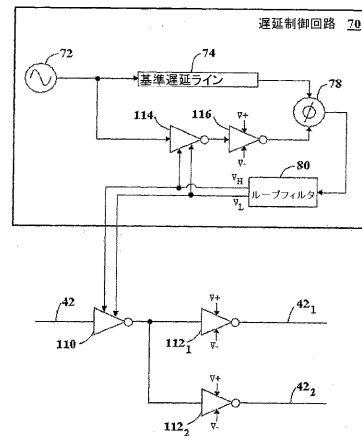


FIG. 11

【図 12】

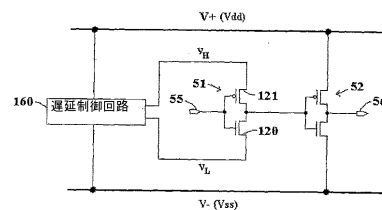


FIG. 12

【図 13】

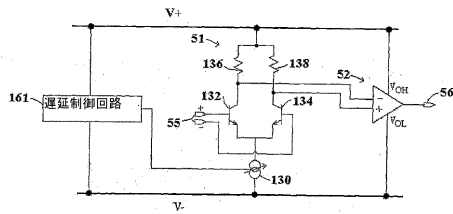


FIG. 13

【図 14】

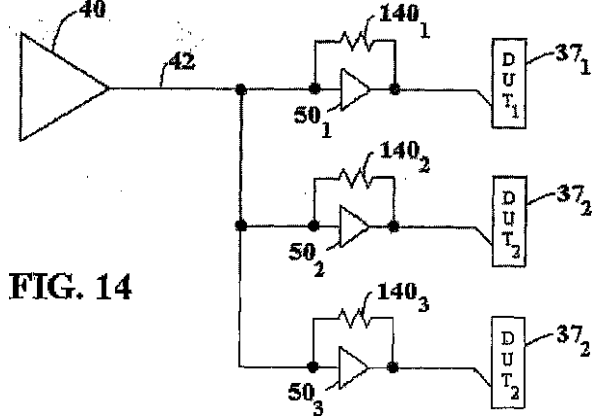


FIG. 14

【図 15】

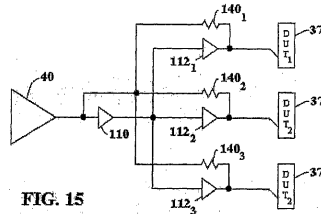


FIG. 15

【図 16】

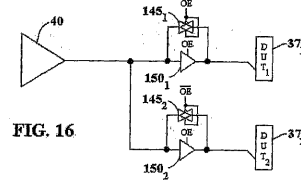


FIG. 16

【図 17】

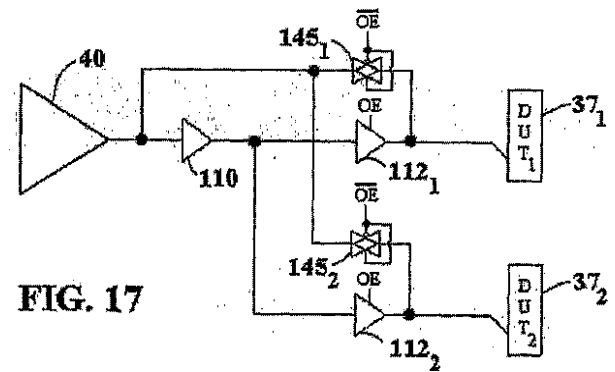


FIG. 17

【図 18】

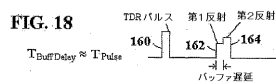


FIG. 18

【図 19】

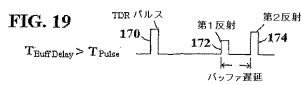


FIG. 19

フロントページの続き

(56)参考文献 特開平 0 8 - 1 0 7 1 8 5 (J P , A)
特開平 1 1 - 3 2 6 4 4 1 (J P , A)
特開平 1 1 - 2 3 1 0 2 2 (J P , A)
特開平 0 7 - 0 2 0 2 0 6 (J P , A)
特開 2 0 0 3 - 2 7 9 6 2 5 (J P , A)
特開 2 0 0 4 - 1 5 6 9 6 9 (J P , A)
実開平 0 3 - 0 1 0 2 7 5 (J P , U)
特開 2 0 0 4 - 1 7 0 0 7 9 (J P , A)
特開平 0 5 - 1 7 2 9 0 0 (J P , A)
特開 2 0 0 4 - 1 9 8 2 6 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G01R 31/28
H01L 21/822
H01L 27/04