(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3778596号
(P3778596)
(45)発行日　平成18年5月24日(2006.5.24)　(24)登録日　平成18年3月10日(2006.3.10)

(51)Int.Cl.　F I
H03F 3/191 (2006.01)　H03F 3/191

請求項の数 7　(全 9 頁)

(21)出願番号　特願平7-239686
(22)出願日　平成7年9月19日(1995.9.19)
(65)公開番号　特開平9-83261
(43)公開日　平成9年3月28日(1997.3.28)
審査請求日　平成14年8月27日(2002.8.27)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100077517
弁理士　石田　敬
(74)代理人　100100871
弁理士　土屋　繁
(74)代理人　100088269
弁理士　戸田　利雄
(74)代理人　100082898
弁理士　西山　雅也
(72)発明者　▲崎▼田　康一
神奈川県川崎市中原区上小田中１０１５番地　富士通株式会社内

最終頁に続く

(54)【発明の名称】同調増幅回路

(57)【特許請求の範囲】

【請求項１】

第１および第２のトランジスタに対して直流的なバイアス電流を加える直流電流通過手段と、

交流の信号成分を通過させる信号通過手段と、

第１の端子が第１の電源線に接続され、制御端子に入力信号が供給され、第２の端子が前記直流電流通過手段と前記信号通過手段とに接続された前記第１のトランジスタと、

第１の端子が前記直流電流通過手段に接続されると共に、該第１の端子から出力信号が出力され、制御端子が前記信号通過手段に接続され、第２の端子が第２の電源線に接続された前記第２のトランジスタと、を備え、周波数選択特性を前記直流電流通過手段および前記信号通過手段のインピーダンスにより規定したことを特徴とする同調増幅回路。

【請求項２】

前記直流電流通過手段は、第１の抵抗手段と第１のインダクタンス手段とを備えることを特徴とする請求項１に記載の同調増幅回路。

【請求項３】

前記信号通過手段は、第１の容量手段を備えることを特徴とする請求項１または２に記載の同調増幅回路。

【請求項４】

前記同調増幅回路は、さらに、前記第２のトランジスタの制御端子と前記第２の電源線とに接続される第２の抵抗手段を備えることを特徴とする請求項１～３のいずれか１項に

記載の同調増幅回路。
【請求項５】
前記同調増幅回路は、さらに、前記第２のトランジスタの制御端子と第１の端子とに接続される第２の容量手段を備えることを特徴とする請求項１～４のいずれか１項に記載の同調増幅回路。
【請求項６】
前記第１の電源線は低電位側電源線であり、且つ、前記第２の電源線は高電位側電源線であることを特徴とする請求項１～５のいずれか１項に記載の同調増幅回路。
【請求項７】
請求項１～６のいずれか１項に記載の同調増幅回路を備えた半導体集積回路装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は同調増幅回路に関し、特に、移動体通信機器等に使用される高周波用の同調増幅回路に関する。
近年、携帯電話等のバッテリ駆動による移動体通信機器が広く普及して来ており、これら携帯電話等に使用される同調増幅回路に対しても、より一層の低消費電力化が要望されている。
【０００２】
【従来の技術】
図１０は同調増幅回路の基本構成を示す回路図である、図１１はバッファ付同調増幅回路の基本構成を示す回路図である。図１０および図１１において、参照符号Ｑ，Ｑ１，Ｑ２はＮＰＮ型バイポーラトランジスタ，Ｒは抵抗，Ｌ，Ｌ０はインダクタンス，そして，Ｃ，Ｃ０は容量を示している。
【０００３】
一般に、無線通信においては、目的の信号だけを良好に送受信し、目的周波数外の信号からの妨害を受けないように、送受信機を設計する必要がある。そのため、送受信機の増幅回路には図１０に示すような共振周波数ｆｏ＝１／$(LC)^{1/2}$,および，共振の鋭さＱｏ＝Ｒ／$(C/L)^{1/2}$を有する同調増幅回路が用いられている。
【０００４】
この図１０に示す同調増幅回路は、無負荷状態では上記発振周波数ｆｏ,および，共振鋭さＱｏ を有しているものの、負荷を接続した場合には、負荷側のインピーダンスの影響を受けて共振特性が変動することになる。
そのため、通常は、図１１に示されるように、同調増幅回路の出力にトランジスタＱ２により構成されるようなバッファ回路（エミッタフォロア回路）を接続し、負荷による共振特性の変動を抑制するようになっている。
【０００５】
【発明が解決しようとする課題】
上述したように、従来、同調増幅回路は、負荷側のインピーダンスの影響を受けないようにするため、バッファ回路を接続するようになっている。しかしながら、このバッファ回路（エミッタフォロア回路）は、該バッファ回路を構成するトランジスタＱ２に対しても適当なバイアスを加えなければならず、回路の消費電力が増加する。
【０００６】
すなわち、高周波同調増幅回路では、安定な周波数選択特性を得ようとする多段化のために消費電力の増大が免れず、特に、携帯電話等のバッテリ駆動による移動体通信機器においては、バッテリ寿命の低下を来たすため大きな問題となっている。
本発明は、上述した従来の同調増幅回路が有する課題に鑑み、消費電力を増大させることなく、安定な周波数選択特性と利得を得ることのできる同調増幅回路の提供を目的とする。
【０００７】

【課題を解決するための手段】
本発明によれば、第１および第２のトランジスタに対して直流的なバイアス電流を加える直流電流通過手段と、交流の信号成分を通過させる信号通過手段と、第１の端子が第１の電源線に接続され、制御端子に入力信号が供給され、第２の端子が前記直流電流通過手段と前記信号通過手段とに接続された前記第１のトランジスタと、第１の端子が前記直流電流通過手段に接続されると共に、該第１の端子から出力信号が出力され、制御端子が前記信号通過手段に接続され、第２の端子が第２の電源線に接続された前記第２のトランジスタと、を備え、周波数選択特性を前記直流電流通過手段および前記信号通過手段のインピーダンスにより規定したことを特徴とする同調増幅回路が提供される。

【０００８】
【発明の実施の形態】
図１は本発明に係る同調増幅回路の原理構成を示す回路図であり、図２は図１に示す同調増幅回路の等価回路を示す図である。図１において、参照符号Ｑ１およびＱ２はＮＰＮ型バイポーラトランジスタであり、また、ＺdcおよびＺsig はインピーダンスを示している。

【０００９】
トランジスタＱ１は増幅回路を構成し、トランジスタＱ２はエミッタフォロアバッファ回路を構成している。インピーダンス（直流電流通過手段）Ｚdcは、トランジスタＱ１，Ｑ２に対して直流的なバイアス電流を加えるためのものであり、また、インピーダンス（信号通過手段）Ｚsig は交流成分（信号成分）だけを通過させて直流的なインピーダンスは無限大となるように構成されている。

【００１０】
図１に示されるように、トランジスタＱ１のベースには入力信号ＩＮが供給され、該トランジスタＱ１のエミッタは低電位電源線Ｖssに接続されている。トランジスタＱ２のコレクタは高電位電源線Ｖccに接続され、該トランジスタＱ２のベースはインピーダンスＺsig を介してトランジスタＱ１のコレクタに接続されている。また、トランジスタＱ２のエミッタはインピーダンスＺdcを介してトランジスタＱ１のコレクタに接続されると共に、該トランジスタＱ２のエミッタから出力信号ＯＵＴが取り出されるようになっている。

【００１１】
すなわち、増幅回路を構成するトランジスタＱ１のバイアス電流は、インピーダンスＺdcを介して、バッファ回路を構成するトランジスタＱ２にも流れることになり、また、増幅回路用のトランジスタＱ１により増幅された信号は、インピーダンスＺsig を介して、バッファ回路用のトランジスタＱ２のベースに供給され、該トランジスタＱ２によるエミッタフォロア出力が出力信号ＯＵＴとして取り出されるようになっている。

【００１２】
図２に示す等価回路（小信号等価回路）を参照して、図１の同調増幅回路の周波数特性を説明する。図２において、参照符号Ｒo1はトランジスタＱ１が有する内部抵抗（等価抵抗）、Ｒo2はトランジスタＱ２が有する内部抵抗、Ｃo1はトランジスタＱ１が有する内部容量、Ｃo2はトランジスタＱ２が有する内部容量を示し、また、ＲＬ は負荷抵抗を示している。なお、参照符号ｇmV1 およびｇmV21は各トランジスタＱ１およびＱ２における等価的な電流源を示している。

【００１３】
図２の等価回路に示されるように、図１に示す回路は、共振回路を構成しており、この共振回路の回路定数を適当に選ぶことにより周波数選択特性を決定することができる。すなわち、トランジスタＱ１およびＱ２が有する抵抗成分（Ｒo1，Ｒo2）並びに容量成分（Ｃo1，Ｃo2）を利用して、共振回路（同調増幅回路）を構成し、その周波数選択特性をインピーダンスＺdcおよびＺsig により規定することができる。

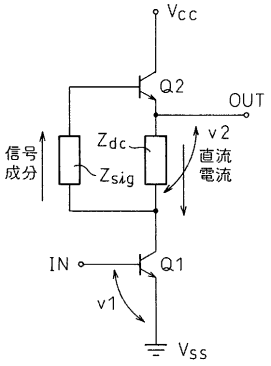
【００１４】
このように、本発明の同調増幅回路によれば、消費電力を増大させることなく、安定な周波数選択特性と利得を得ることができる。

【００１５】
【実施例】
以下、図面を参照して本発明に係る同調増幅回路の実施例を説明する。
図３は本発明の同調増幅回路の第１実施例を示す回路図である。図３に示す第１実施例では、インピーダンス（直流電流通過手段）Ｚdcを抵抗Ｒ２およびインダクタンスＬで構成し、また、インピーダンス（信号通過手段）Ｚsig を容量Ｃで構成するようになっている。
【００１６】
すなわち、インピーダンスＺdcを直列接続された抵抗（抵抗手段）Ｒ２およびインダクタンス（インダクタンス手段）Ｌで構成することにより、増幅回路を構成するトランジスタＱ１およびバッファ回路を構成するトランジスタＱ２の両方に対して、直流的なバイアス電流を流すようになっている。さらに、インピーダンスＺsig を容量（容量手段）Ｃで構成することで該インピーダンスＺsig は交流成分（信号成分）だけを通過させて直流的なインピーダンスは無限大となっており、これにより、増幅回路用のトランジスタＱ１により増幅された信号（交流信号：トランジスタＱ１のコレクタの信号）は、インピーダンスＺsig （容量Ｃ）を介して、バッファ回路用のトランジスタＱ２のベースに供給されることになる。そして、トランジスタＱ２によるエミッタフォロア出力（トランジスタＱ２のエミッタの信号）が同調増幅回路の出力信号ＯＵＴとして取り出されることになる。
【００１７】
ここで、図３に示す本発明の同調増幅回路の第１実施例においては、トランジスタＱ２ベース・コレクタ間に接続された抵抗Ｒ１が設けられており、該抵抗Ｒ２によってトランジスタＱ２によるエミッタフォロアバッファ回路の動作を安定させるようになっている。
図４は本発明の同調増幅回路の第２実施例を示す回路図、図５は本発明の同調増幅回路の第３実施例を示す回路図、図６は本発明の同調増幅回路の第４実施例を示す回路図、図７は本発明の同調増幅回路の第５実施例を示す回路図、そして、図８は本発明の同調増幅回路の第６実施例を示す回路図である。
【００１８】
図４に示す第２実施例は、図３に示す第１実施例に対して、バッファ回路用のトランジスタＱ２のベース・エミッタ間に接続した容量Ｃ２をさらに設けるようにしたもので、この容量Ｃ２によって、トランジスタＱ２によるエミッタフォロアバッファ回路の動作をより一層安定させるようになっている。
図５に示す第３実施例は、図３に示す第１実施例との比較から明らかなように、前述した本発明の第１実施例における増幅回路用およびバッファ回路用のＮＰＮ型バイポーラトランジスタＱ１およびＱ２の両方を、電界効果トランジスタ（ＦＥＴ）Ｑ10およびＱ20により構成したものである。
【００１９】
図６に示す第４実施例は、図４に示す第２実施例との比較から明らかなように、前述した本発明の第２実施例における増幅回路用およびバッファ回路用のＮＰＮ型バイポーラトランジスタＱ１およびＱ２の両方を、電界効果トランジスタＱ10およびＱ20により構成したものである。すなわち、図５の第３実施例に対して、バッファ回路用のトランジスタＱ20のベース・エミッタ間に接続した容量Ｃ２をさらに設け、トランジスタＱ20によるエミッタフォロアバッファ回路の動作をより一層安定させるようにしたものである。
【００２０】
図７に示す第５実施例は、図３に示す第１実施例における増幅回路用のＮＰＮ型バイポーラトランジスタＱ１だけを電界効果トランジスタＱ10により構成したものであり、また、図８に示す第６実施例は、図３に示す第１実施例におけるバッファ回路用のＮＰＮ型バイポーラトランジスタＱ２だけを電界効果トランジスタＱ20により構成したものである。
【００２１】
以上の各実施例において、バイポーラトランジスタＱ１および／またはＱ２を電界効果トランジスタＱ10および／またはＱ20に変更した場合の実質的な動作は同様なので、その説

明は省略する。
図９は本発明の同調増幅回路の各実施例の変形を説明するための図である。すなわち、図９に示す変形例は、図３におけるインピーダンスＺsig の容量Ｃを、端子Ｔ１およびＴ２を介して、可変容量ＣＶによる外付けの素子として構成し、且つ、図３におけるインピーダンスＺdcのインダクタンスＬを、端子Ｔ２およびＴ３を介して、可変インダクタンスＬＶによる外付けの素子として構成したものである。このような変形は、図３に示す第１実施例だけでなく、図４～図８の各実施例に対しても適用することができる。
【００２２】
すなわち、図３～図８に示す本発明の同調増幅回路の第１実施例～第６実施例において、インピーダンスＺsig の容量（Ｃ）を外付けの可変容量ＣＶとして構成し、また、インピーダンスＺdcのインダクタンス（Ｌ）を外付けの可変インダクタンスＬＶとして構成することができ、これら外付けの可変容量ＣＶおよび可変インダクタンスＬＶを制御することにより、同調増幅回路の特性（周波数選択特性）を可変して使用することができる。なお、上記のインピーダンスＺsig の容量（Ｃ）およびインピーダンスＺdcのインダクタンス（Ｌ）は、両方を外付けの可変容量（ＣＶ）および外付けの可変インダクタンス（ＬＶ）とせず、その一方だけを外付けの可変素子として構成してもよいのはもちろんである。
【００２３】
このように、本発明の同調増幅回路の各実施例によれば、バイアス電流を増幅回路用トランジスタおよびバッファ回路用トランジスタで共用することにより消費電力を低減することができる。
【００２４】
【発明の効果】
以上、詳述したように、本発明の同調増幅回路によれば、消費電力を増大させることなく、安定な周波数選択特性と利得を得ることができる。
【図面の簡単な説明】
【図１】本発明に係る同調増幅回路の原理構成を示す回路図である。
【図２】図１に示す同調増幅回路の等価回路を示す図である。
【図３】本発明の同調増幅回路の第１実施例を示す回路図である。
【図４】本発明の同調増幅回路の第２実施例を示す回路図である。
【図５】本発明の同調増幅回路の第３実施例を示す回路図である。
【図６】本発明の同調増幅回路の第４実施例を示す回路図である。
【図７】本発明の同調増幅回路の第５実施例を示す回路図である。
【図８】本発明の同調増幅回路の第６実施例を示す回路図である。
【図９】本発明の同調増幅回路の各実施例の変形を説明するための図である。
【図１０】同調増幅回路の基本構成を示す回路図である。
【図１１】バッファ付同調増幅回路の基本構成を示す回路図である。
【符号の説明】
Ｃ，Ｃ1,Ｃ2 …容量手段（容量）
ＣＶ…可変容量
ＩＮ…入力信号
Ｌ…インダクタンス手段（インダクタンス）
ＬＶ…可変インダクタンス
ＯＵＴ…出力信号
Q1,Q2 …バイポーラトランジスタ
Q10，Q20…電界効果トランジスタ（ＦＥＴ）
R1,R2 …抵抗手段（抵抗）
Ｖcc…第２の電源線（高電位電源線）
Ｖss…第１の電源線（低電位電源線）
Ｚdc…直流電流通過手段
Ｚsig …信号通過手段

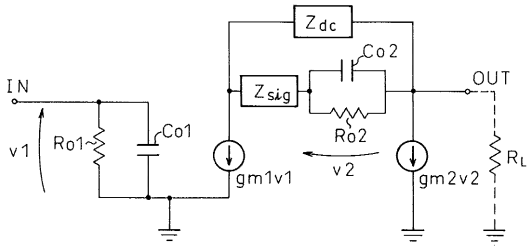
【図１】

本発明に係る同調増幅回路の原理構成を示す回路図



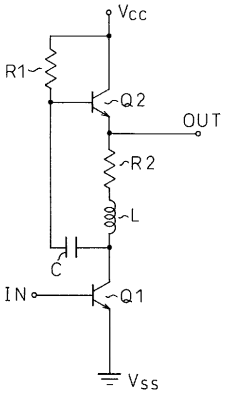
【図２】

図１に示す同調増幅回路の等価回路を示す図



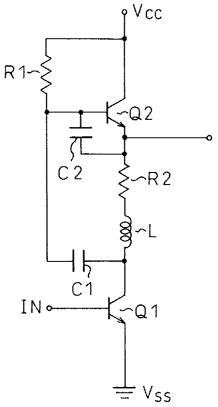
【図３】

本発明の同調増幅回路の第１実施例を示す回路図



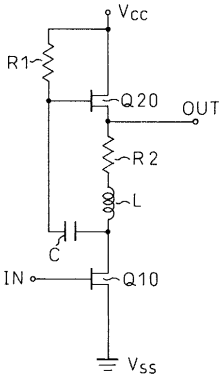
【図４】

本発明の同調増幅回路の第２実施例を示す回路図



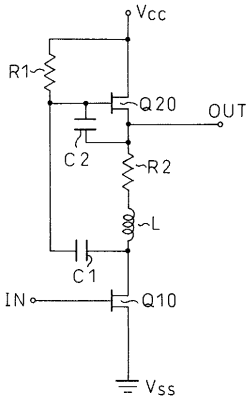
【図５】

本発明の同調増幅回路の第３実施例を示す回路図



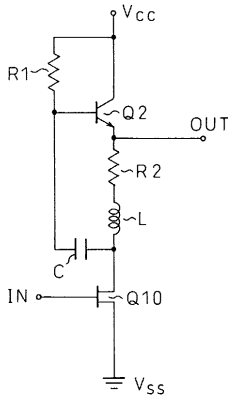
【図６】

本発明の同調増幅回路の第４実施例を示す回路図



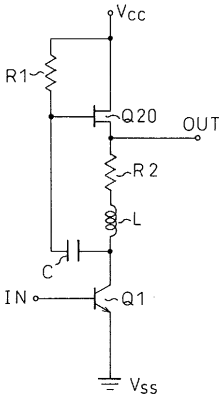
【図７】

本発明の同調増幅回路の第５実施例を示す回路図



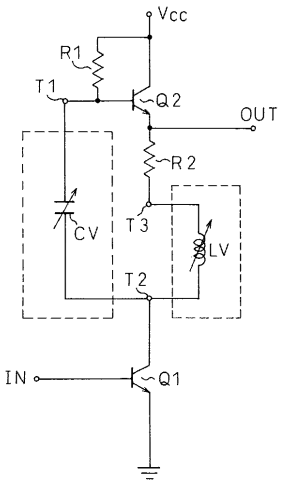
【図８】

本発明の同調増幅回路の第６実施例を示す回路図



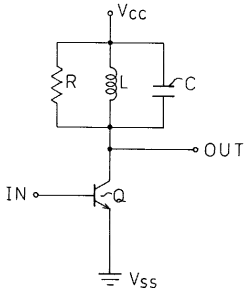
【図９】

本発明の同調増幅回路の各実施例の変形を説明するための図



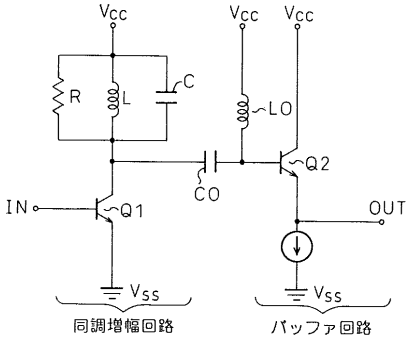
【図１０】

同調増幅回路の基本構成を示す回路図



【図１１】

バッファ付同調増幅回路の基本構成を示す回路図



フロントページの続き

審査官　野元　久道

(56)参考文献　特開平０７－２２６６３４（ＪＰ，Ａ）
特開平０７－１８３７３５（ＪＰ，Ａ）
特開平０６－２２４６３２（ＪＰ，Ａ）
実開昭４９－１０７９４１（ＪＰ，Ｕ）