

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2013年5月2日 (02.05.2013)



(10) 国际公布号
WO 2013/060285 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01) G02F 1/13 (2006.01)
- (21) 国际申请号: PCT/CN2012/083558
- (22) 国际申请日: 2012年10月26日 (26.10.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110331772.X 2011年10月26日 (26.10.2011) CN
- (71) 申请人: 北京京东方光电科技有限公司 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区西环中路8号, Beijing 100176 (CN)。
- (72) 发明人: 曹昆 (CAO, Kun); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 胡明 (HU, Ming); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路8号汇宾大厦 A0601, Beijing 100101 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(54) Title: GRATING LINE DRIVE METHOD, SHIFT REGISTER, GRATING LINE DRIVE APPARATUS AND DISPLAY DEVICE

(54) 发明名称: 栅线驱动方法、移位寄存器、栅线驱动装置及显示设备

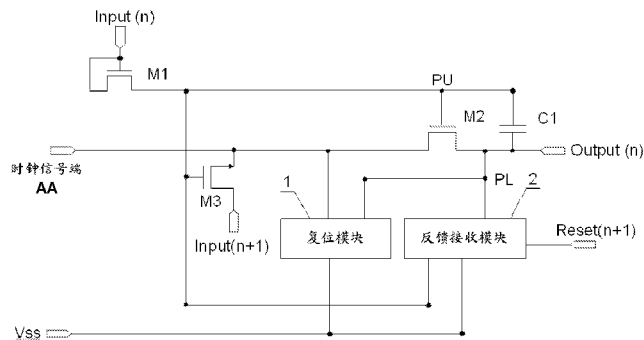


图2 / Fig. 2

1 RESET MODULE
2 FEEDBACK RECEIVING MODULE
AA CLOCK SIGNAL END

(57) Abstract: Disclosed are a grating line drive method, a shift register, and a grating line drive apparatus, relating to the technical field of liquid crystal displays and invented for improving the operation stability of the shift registers. The grating line drive method includes: reducing the threshold value voltage offset of a thin film transistor (M2) corresponding to each row of grating lines; applying a voltage to the thin film transistor (M2) in the shift register to switch on the thin film transistor (M2) so as to provide a scanning signal to each row of grating lines in the shift register so as to drive said row of grating lines to open or close. The shift register includes: a first thin film transistor (M1), a second thin film transistor (M2), a third thin film transistor (M3), a capacitor (C1), a reset module (1) and a feedback module (2). The present invention can be used to drive a grating line.

(57) 摘要:

[见续页]



WO 2013/060285 A1



本发明公开了一种栅线驱动方法、移位寄存器及栅线驱动装置，涉及液晶显示技术领域，为提高移位寄存器的工作稳定性而发明。所述栅线驱动方法包括：降低与每行栅线对应的移位寄存器内薄膜晶体管（M2）的阈值电压偏移；为所述移位寄存器内的薄膜晶体管（M2）的栅极加载电压以开启薄膜晶体管（M2），从而为与所述移位寄存器对应的各行栅线提供行扫描信号以驱动该行栅线打开或关闭。所述移位寄存器包括：第一薄膜晶体管（M1）、第二薄膜晶体管（M2）、第三薄膜晶体管（M3）、电容（C1）、复位模块（1）和反馈模块（2）。本发明可用于对栅线进行驱动。

栅线驱动方法、移位寄存器、栅线驱动装置及显示设备

技术领域

本发明涉及液晶显示技术领域，尤其涉及一种栅线驱动方法、移位寄存器、栅线驱动装置及显示设备。

背景技术

液晶显示的像素阵列包括交错的多行栅线和多列数据线。其中，对栅线的驱动可以通过贴附的集成驱动电路实现。然而近几年随着非晶硅薄膜工艺的不断提高，也可以将栅线驱动电路集成在薄膜晶体管阵列基板上构成移位寄存器来对栅线进行驱动。

由多个移位寄存器构成的栅线驱动装置为像素阵列的多行栅线提供开关信号，从而控制多行栅线依序打开，并由数据线向像素阵列中对应行的像素电极充电，以形成显示图像的各灰阶所需要的灰度电压，进而显示每一帧图像。

在每个移位寄存器中，需要薄膜晶体管的开启和关断来实现对应行的栅线的打开或关闭。但在实际工作过程中，使用一段时间后薄膜晶体管会因为发生阈值电压偏移（这里指正向偏移，即阈值电压的增加）而无法正常开启。

开启薄膜晶体管的阈值电压的增加与其源极和栅极上加载的电压有关，源极和栅极上加载的电压越大、时间越长，开启薄膜晶体管的阈值电压的增加就越大。因此如果一直为一个薄膜晶体管加压，则该薄膜晶体管的阈值电压偏移也会一直增大，使得该薄膜晶体管无法正常打开，最终导致移位寄存器电路无法正常工作。

发明内容

本发明的实施例提供一种栅线驱动方法、移位寄存器、栅线驱动装置及显示设备，能够提高移位寄存器工作的稳定性。

根据本发明实施例，提供了一种栅线驱动方法，包括：

降低与一行栅线对应的移位寄存器内薄膜晶体管的阈值电压偏移；

为所述移位寄存器内的薄膜晶体管的栅极加载电压以开启薄膜晶体管，从而为该行栅线提供行扫描信号以驱动该行栅线打开。

根据本发明实施例，还提供了一种移位寄存器，包括：

第一薄膜晶体管，其栅极和源极连接在一起并与上级触发信号端连接、漏极与作为上拉节点的第一节点连接；

5 第二薄膜晶体管，其栅极与上述第一节点连接、源极与时钟信号端连接、漏极与本级输出端连接；

电容，连接在上述第一节点与本级输出端之间；

复位模块，连接在作为下拉节点的第二节点、时钟信号端和低电平信号端之间，用于在本级输出完成后为上述第二薄膜晶体管的漏极和栅极加载低电平；

10 反馈接收模块，连接在上述第一节点、低电平信号端和本级输出端之间，并与下级反馈信号端连接，用于接收下级反馈信号以将上述第一节点和本级输出端的电平拉低。

根据本发明实施例，还提供了一种栅线驱动装置，包括相互串联的多个如上所述的移位寄存器。

15 此外，根据本发明实施例，还提供了一种显示设备，包括像素阵列和如上所述的栅线驱动装置。

本发明实施例提供了一种栅线驱动方法、移位寄存器、栅线驱动装置和显示设备，如果长时间为一个薄膜晶体管的栅极加压，则容易在该薄膜晶体管的栅绝缘层中形成并积累电子，从而导致该薄膜晶体管的阈值电压偏移。

20 通过在薄膜晶体管的源极加载高电平、栅极加载低电平，根据隧道效应和量子力学的原理，能够使栅绝缘层中形成并积累的电子穿过势垒而到达薄膜晶体管的源极，从而降低与每行栅线对应的移位寄存器内薄膜晶体管的阈值电压偏移，最终能够使移位寄存器电路正常工作，提高了移位寄存器工作的稳定性，延长了移位寄存器的工作寿命。

25

附图说明

图 1 为本发明实施例中栅线驱动方法的示意图；

图 2 为本发明实施例移位寄存器的示意图；

图 3 为本发明移位寄存器的一个具体实施例的示意图；

30 图 4 为图 3 所示移位寄存器的时序控制图；

图 5 为图 3 所示移位寄存器在 t1 阶段的工作示意图；

图 6 为图 3 所示移位寄存器在 t2 阶段的工作示意图；
图 7 为图 3 所示移位寄存器在 t3 阶段的工作示意图；
图 8 为图 3 所示移位寄存器在 t4 阶段的工作示意图；
图 9 为本发明实施例栅线驱动装置的示意图。

5

具体实施方式

下面结合附图对本发明实施例栅线驱动方法、移位寄存器、栅线驱动装置和显示设备进行详细描述。

应当明确，所描述的实施例仅仅是本发明的一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其它实施例，都属于本发明保护的范围。

需要说明的是：本发明实施例中定义的源极、漏极其实名称是可以互换的，而且图中的箭头方向仅表示 TFT 导通，并不表示导通方向。

如图 1 所示，为本发明栅线驱动方法的示意图。所述栅线驱动方法包括：
15 步骤 11，降低与一行栅线对应的移位寄存器内薄膜晶体管的阈值电压偏移；

步骤 12，为所述移位寄存器内的薄膜晶体管的栅极加载电压以开启薄膜晶体管，从而为与该行栅线提供行扫描信号以驱动该行栅线打开。

本发明实施例提供的栅线驱动方法，由于如果一直为一个薄膜晶体管加压，则容易在该薄膜晶体管的栅绝缘层中形成并积累电子，从而导致该薄膜晶体管的阈值电压偏移。通过降低与每行栅线对应的移位寄存器内薄膜晶体管的阈值电压偏移，能够使移位寄存器电路正常工作，提高了移位寄存器工作的稳定性，延长了移位寄存器的工作寿命。

由上面所述可知，薄膜晶体管上阈值电压的偏移一般是由于在该薄膜晶体管
25 的栅绝缘层上形成和积累的电子造成的，因此上述步骤 11，降低与一行栅线对应的移位寄存器内薄膜晶体管的阈值电压偏移可以包括：

步骤 111，使在该薄膜晶体管的栅绝缘层上积累的电子到达该薄膜晶体管的源极，以降低该薄膜晶体管的阈值电压偏移。

需要说明的是，除了在薄膜晶体管的栅绝缘层上形成并积累电子能够造成薄膜晶体管的阈值电压偏移之外，其它原因也能造成阈值电压偏移，如钝化层上的电子积累等。为此，本实施例中降低与每行栅线对应的移位寄存器
30

内薄膜晶体管的阈值电压偏移不仅可以包括如上步骤 111, 还可以包括其它的步骤, 如使钝化层上积累的电子达到薄膜晶体管的源极等。

上述步骤 111, 使在薄膜晶体管的栅绝缘层上积累的电子到达薄膜晶体管的源极包括: 为薄膜晶体管的源极加载高电平、栅极加载低电平, 以使在
5 薄膜晶体管的栅绝缘层上积累的电子到达薄膜晶体管的源极。

为薄膜晶体管的源极加载高电平、栅极加载低电平后, 根据隧道效应和量子力学原理, 能够使在薄膜晶体管的栅绝缘层中形成并积累的电子穿过势垒而到达薄膜晶体管的源极, 从而减小由于薄膜晶体管的栅绝缘层中电子的积累而造成的薄膜晶体管阈值电压偏移。

10 下面, 利用所述的栅线驱动方法, 设计制作了一种移位寄存器, 该移位寄存器具有较高的工作稳定性。举例而言, 如图 2 所示, 本实施例中的移位寄存器包括三个薄膜晶体管、一个存储电容、一个复位模块、一个反馈接收模块和相应的输入输出端。具体包括:

第一薄膜晶体管 M1, 其栅极和源极连接在一起并与上级触发信号端
15 Input (n) 连接、漏极与作为上拉节点的第一节点 PU 连接, 其作用是当接收到由上级触发信号端 Input (n) 发送的高电平信号时控制移位寄存器开始工作, 其中上级触发信号端 Input (n) 在上级移位寄存器 (即第 n-1 级移位寄存器) 的本级输出端 Output (n-1) 为高电平输出时接收到高电平信号;

第二薄膜晶体管 M2, 其栅极与第一节点 PU 连接、源极与时钟信号端连
20 接、漏极与本级输出端 Output (n) 连接, 其作用是为本级输出端 Output (n) 提供高电平输出, 以驱动与本级移位寄存器 (即第 n 级移位寄存器) 对应的一行栅线打开;

第三薄膜晶体管 M3, 其栅极与第一节点 PU 连接、源极与时钟信号端连
25 接、漏极与下级触发信号端 Input (n+1) 连接, 其作用是为本级移位寄存器 (即第 n+1 级移位寄存器) 提供触发信号, 以控制下级移位寄存器开始工作;

电容 C1, 连接在第一节点 PU 与本级输出端 Output (n) 之间;

复位模块 1, 连接在作为下拉节点的第二节点 PL、时钟信号端和低电平信号端 Vss 之间, 用于在本级输出完成后为第二薄膜晶体管 M2 的漏极和栅极加载低电平;

30 反馈接收模块 2, 连接在第一节点 PU、低电平信号端 Vss 和本级输出端 Output (n) 之间, 并与下级反馈信号端 Reset (n+1) 连接, 用于接收下级反

馈信号以将第一节点 PU 和本级输出端 Output (n) 的电平拉低, 其中下级反馈信号端 Reset (n+1) 在下级移位寄存器 (即第 n+1 级移位寄存器) 的本级输出端 Output (n+1) 为高电平输出时接收到高电平信号。所述下级反馈信号端 Reset (n+1) 可以与下级移位寄存器 (即第 n+1 级移位寄存器) 的本级输出端 Output (n+1) 连接, 或者可以与下级移位寄存器 (即第 n+1 级移位寄存器) 的下级触发信号端 Input (n+2) 连接。

应注意, 尽管在图 2 中移位寄存器包括三个薄膜晶体管, 然而本发明实施例并不限于此。例如, 在根据本发明实施例的移位寄存器中可以不包括第三薄膜晶体管 M3, 而直接将第二薄膜晶体管 M2 的漏极连接的本级输出端 Output (n) 同时用作下级触发信号端 Input (n+1)。

因此, 根据本发明另一实施例的移位寄存器包括两个薄膜晶体管、一个存储电容、一个复位模块、一个反馈接收模块和相应的输入输出端。具体包括:

第一薄膜晶体管 M1, 其栅极和源极连接在一起并与上级触发信号端 Input (n) 连接、漏极与作为上拉节点的第一节点 PU 连接, 其作用是当接收到由上级触发信号端 Input (n) 发送的高电平信号时控制移位寄存器开始工作, 其中上级触发信号端 Input (n) 在上级移位寄存器 (即第 n-1 级移位寄存器) 的本级输出端 Output (n-1) 为高电平输出时接收到高电平信号;

第二薄膜晶体管 M2, 其栅极与第一节点 PU 连接、源极与时钟信号端连接、漏极与本级输出端 Output (n) 连接并且与下级触发信号端 Input (n+1) 连接, 其作用是为本级输出端 Output (n) 提供高电平输出, 以驱动与本级移位寄存器 (即第 n 级移位寄存器) 对应的一行栅线打开, 并且为下级移位寄存器 (即第 n+1 级移位寄存器) 提供触发信号, 以控制下级移位寄存器开始工作;

电容 C1, 连接在第一节点 PU 与本级输出端 Output (n) 之间;

复位模块 1, 连接在作为下拉节点的第二节点 PL、时钟信号端和低电平信号端 Vss 之间, 用于在本级输出完成后为第二薄膜晶体管 M2 的漏极和栅极加载低电平;

反馈接收模块 2, 连接在第一节点 PU、低电平信号端 Vss 和本级输出端 Output (n) 之间, 并与下级反馈信号端 Reset (n+1) 连接, 用于接收下级反馈信号以将第一节点 PU 和本级输出端 Output (n) 的电平拉低, 其中下级反

馈信号端 Reset (n+1) 在下级移位寄存器 (即第 n+1 级移位寄存器) 的本级输出端 Output (n+1) 为高电平输出时接收到高电平信号。所述下级反馈信号端 Reset (n+1) 可以与下级移位寄存器 (即第 n+1 级移位寄存器) 的本级输出端 Output (n+1) 连接, 或者可以通过在根据本实施例的下级移位寄存器 (即第 n+1 级移位寄存器) 中添加其它薄膜晶体管 (例如图 2 中的 M3) 来提供所述下级反馈信号端 Reset (n+1)。

本发明实施例提供的移位寄存器, 由于如果一直为一个薄膜晶体管加压, 则容易在薄膜晶体管的栅绝缘层中形成并积累电子, 从而导致该薄膜晶体管的阈值电压偏移。通过在薄膜晶体管的源极加载高电平、栅极加载低电平, 根据隧道效应和量子力学的原理, 能够使在薄膜晶体管的栅绝缘层中形成并积累的电子穿过势垒而到达薄膜晶体管的源极, 从而降低与每行栅线对应的移位寄存器内薄膜晶体管的阈值电压偏移, 最终能够使移位寄存器电路正常工作, 提高了移位寄存器工作的稳定性, 延长了移位寄存器的工作寿命。这里需要说明的是, 由于移位寄存器中各薄膜晶体管的栅绝缘层上电子的形成和积累, 使得相应薄膜晶体管的阈值电压均产生了偏移, 因此可以为移位寄存器中的各薄膜晶体管设置复位模块 1, 以在移位寄存器的本级输出完成后在薄膜晶体管的源极加载高电平、栅极加载低电平, 从而使薄膜晶体管的栅绝缘层中的电子到达薄膜晶体管的源极, 以降低薄膜晶体管的阈值电压偏移。其中由于在移位寄存器中, 第二薄膜晶体管 M2 能够导通时钟信号端和本级输出端, 从而使与该移位寄存器对应的一行栅线打开, 因此该第二薄膜晶体管 M2 在移位寄存器中具有非常重要的作用, 一旦该第二薄膜晶体管 M2 由于阈值电压偏移而无法正常开启, 则将影响显示效果。此外, 该第二薄膜晶体管 M2 上的工作电流一般较大, 容易引起阈值电压偏移。因此本实施例中以第二薄膜晶体管 M2 为例说明如何通过复位模块 1 来降低其阈值电压偏移。应当理解, 本说明是示例性的, 而不是限制性的。

如图 3 所示, 为本发明移位寄存器一个具体实施例的示意图。由图 3 可知所述移位寄存器包括十四个薄膜晶体管、一个存储电容和相应的输入输出端。其中该十四个薄膜晶体管分别为: 第一薄膜晶体管 M1、第二薄膜晶体管 M2、第三薄膜晶体管 M3、第四薄膜晶体管 M4、第五薄膜晶体管 M5、第六薄膜晶体管 M6、第七薄膜晶体管 M7、第八薄膜晶体管 M8、第九薄膜晶体管 M9、第十薄膜晶体管 M10 和第一复位薄膜晶体管 T1、第二复位薄膜晶体

管 T2、第三复位薄膜晶体管 T3 和第四复位薄膜晶体管 T4。存储电容为电容 C1。输入输出端包括：接收上级移位寄存器触发信号的上级触发信号端 Input (n)、为本级移位寄存器输出电平信号的本级输出端 Output (n)、为下级移位寄存器发送触发信号的下级触发信号端 Input (n+1)、接收下级移位寄存器反馈信号的下级反馈信号端 Reset (n+1)、低电平信号端 Vss、以及时钟信号端，该时钟信号端包括第一时钟信号端 CLK 和第二时钟信号端 CLKB，第一时钟信号端 CLK 的时钟信号与第二时钟信号端 CLKB 的时钟信号的频率和占空比完全相同，而仅仅相位相差 180°。

具体地，第一薄膜晶体管 M1，其栅极和源极连接在一起并与上级触发信号端 Input (n) 连接、漏极与作为上拉节点的第一节点 PU 连接；第二薄膜晶体管 M2，其栅极与第一节点 PU 连接、源极与第一时钟信号端 CLK 连接、漏极与本级输出端 Output (n) 连接；第三薄膜晶体管 M3，其栅极与第一节点 PU 连接、源极与第一时钟信号端 CLK 连接、漏极与下级触发信号端 Input (n+1) 连接；第四薄膜晶体管 M4，其栅极与下级反馈信号端 Reset (n+1) 连接、源极与本级输出端连接 Output (n)、漏极与低电平信号端 Vss 连接；第五薄膜晶体管 M5，其栅极与下级反馈信号端 Reset (n+1) 连接、源极与第一节点 PU 连接、漏极与低电平信号端 Vss 连接；第六薄膜晶体管 M6，其栅极与第二时钟信号端 CLKB 连接、源极与第二节点 PL 连接、漏极与低电平信号端 Vss 连接；第七薄膜晶体管 M7，其栅极与第二时钟信号端 CLKB 连接、源极与上级触发信号端 Input (n) 连接、漏极与第一节点 PU 连接；第八薄膜晶体管 M8，其栅极与第一时钟信号端 CLK 连接、源极与第一节点 PU 连接、漏极与第二节点 PL 连接；第九薄膜晶体管 M9，其栅极与复位模块 1 中的第四复位薄膜晶体管 T4 的漏极连接、源极与第一节点 PU 连接、漏极与低电平信号端 Vss 连接；第十薄膜晶体管 M10，其栅极与复位模块 1 中的第四复位薄膜晶体管 T4 的漏极连接、源极本级输出端 Output (n) 连接、漏极与低电平信号端 Vss 连接。第一复位薄膜晶体管 T1，其栅极与第二节点 PL 连接、源极与第三复位薄膜晶体管 T3 的漏极连接、漏极与低电平信号端 Vss 连接；第二复位薄膜晶体管 T2，其栅极与第二节点 PL 连接、源极与第四复位薄膜晶体管 T4 的漏极连接、漏极与低电平信号端 Vss 连接；第三复位薄膜晶体管 T3，其栅极和源极与第一时钟信号端 CLK 连接、漏极与第一复位薄膜晶体管 T1 的源极连接；第四复位薄膜晶体管 T4，其栅极与第三复位薄膜

晶体管 T3 的漏极连接、源极与第一时钟信号端 CLK 连接、漏极与第二复位薄膜晶体管 T2 的源极连接。存储电容 C1 则连接在第一节点 PU 和本级输出端 Output (n) 之间。

其中，第一复位薄膜晶体管 T1、第二复位薄膜晶体管 T2、第三复位薄膜晶体管 T3 和第四复位薄膜晶体管 T4 的结构与第一薄膜晶体管 M1 至第十薄膜晶体管 M10 等的结构相同，由于第一复位薄膜晶体管 T1、第二复位薄膜晶体管 T2、第三复位薄膜晶体管 T3 和第四复位薄膜晶体管 T4 组成了本实施例中的复位模块 1，因此将其与第一薄膜晶体管 M1 至第十薄膜晶体管 M10 在名称上作以区分。

由上述可知，第一复位薄膜晶体管 T1、第二复位薄膜晶体管 T2、第三复位薄膜晶体管 T3 和第四复位薄膜晶体管 T4 组成了本实施例中的复位模块 1，复位模块 1 用于在本级输出完成后为第二薄膜晶体管 M2 的源极加载高电平、栅极加载低电平，这样根据隧道效应和量子力学的原理，能够使第二薄膜晶体管 M2 的栅绝缘层中形成并积累的电子穿过势垒而到达第二薄膜晶体管 M2 的源极，从而降低与每行栅线对应的移位寄存器内第二薄膜晶体管 M2 的阈值电压偏移，最终能够使移位寄存器电路正常工作，提高了移位寄存器工作的稳定性，延长了移位寄存器的工作寿命。

第四薄膜晶体管 M4 和第五薄膜晶体管 M5 组成了反馈接收模块 2。该反馈接收模块 2 用于在本级移位寄存器不工作且下级移位寄存器工作时，保持本级输出端 Output (n) 和作为上拉节点的第一节点 PU 为低电平，从而避免以下情况：本级输出端 Output (n) 在其他干扰信号的作用下变为高电平，并使其所控制的一行栅线在高电平作用下打开，最终造成栅线打开错误。其中，第四薄膜晶体管 M4 用于在下级反馈信号端 Reset (n+1) 的作用下保持本级输出端 Output (n) 为低电平，而第五薄膜晶体管 M5 用于在下级反馈信号端 Reset (n+1) 的作用下保持第一节点 PU 为低电平，以防止第二薄膜晶体管 M2 被误打开。

由图 3 可知，所述移位寄存器还包括第六薄膜晶体管 M6。第六薄膜晶体管 M6 用于在本级移位寄存器不工作时，通过接收第二时钟信号端 CLKB 的高电平信号而将作为下拉节点的第二节点 PL 拉低，从而避免以下情况：本级输出端 Output (n) 在其他干扰信号的作用下变为高电平，并使其所控制的一行栅线在高电平作用下打开，最终造成栅线打开错误。

所述移位寄存器还包括第七薄膜晶体管 M7。第七薄膜晶体管 M7 用于在上级触发信号端 Input (n) 为高电平, 且第二时钟信号端 CLKB 变为高电平时, 加速为存储电容 C1 充电。

所述移位寄存器还包括第八薄膜晶体管 M8。第八薄膜晶体管 M8 用于本
5 级输出端 Output(n) 为高电平的时间内(即在本级移位寄存器的工作时间内), 保证第一节点 PU 持续为高电平状态, 继续为电容 C1 充电, 进一步提高第二薄膜晶体管 M2 的开启能力。

此外, 所述移位寄存器还包括第九薄膜晶体管 M9 和第十薄膜晶体管 M10, 二者与复位模块 1 相结合, 以使得在对第二薄膜晶体管 M2 复位时使
10 第二薄膜晶体管 M2 的栅极和漏极均为低电平, 其中第九薄膜晶体管 M9 用于将第一节点 PU 拉低到低电平, 以避免第二薄膜晶体管 M2 误打开, 第十薄膜晶体管 M10 用于将本级输出端 Output (n) 拉低到低电平, 以避免本级输出端 Output (n) 变为高电平。

应注意, 尽管在图 3 中移位寄存器包括十四个薄膜晶体管, 然而本发明
15 实施例并不限于此。例如, 在根据本发明实施例的移位寄存器中可以不包括第三薄膜晶体管 M3, 而直接将第二薄膜晶体管 M2 的漏极连接的本级输出端 Output (n) 同时用作下级触发信号端 Input (n+1)。

因此, 根据本发明另一实施例的移位寄存器包括十三个薄膜晶体管、一个存储电容和相应的输入输出端。其中该十三个薄膜晶体管分别为: 第一薄
20 膜晶体管 M1、第二薄膜晶体管 M2、第四薄膜晶体管 M4、第五薄膜晶体管 M5、第六薄膜晶体管 M6、第七薄膜晶体管 M7、第八薄膜晶体管 M8、第九薄膜晶体管 M9、第十薄膜晶体管 M10 和第一复位薄膜晶体管 T1、第二复位薄膜晶体管 T2、第三复位薄膜晶体管 T3 和第四复位薄膜晶体管 T4。存储电容为电容 C1。输入输出端包括: 接收上级移位寄存器触发信号的上级触发信
25 号端 Input (n)、为本级移位寄存器输出电平信号并为下级移位寄存器发送触发信号的本级输出端 Output (n)、接收下级移位寄存器反馈信号的下级反馈信号端 Reset (n+1)、低电平信号端 Vss、以及时钟信号端, 该时钟信号端包
30 括第一时钟信号端 CLK 和第二时钟信号端 CLKB, 第一时钟信号端 CLK 的时钟信号与第二时钟信号端 CLKB 的时钟信号的频率和占空比完全相同, 而仅仅相位相差 180°。所述十三个薄膜晶体管的操作与上面结合图 3 所述的实施例中相应薄膜晶体管的操作相同, 在此不再进行赘述。

在实际使用中，本实施例上述技术方案中的各薄膜晶体管可以为氢化非晶薄膜晶体管，但也可以为其他类型的薄膜晶体管。

下面结合图 3 所示的移位寄存器以及图 4 所示的控制时序对本实施例移位寄存器的工作过程作以描述。

5 如图 4 所示，为本实施例中移位寄存器的控制时序图，可以分为 t1、t2、t3 和 t4 四个阶段。其中第一时钟信号端 CLK 和第二时钟信号端 CLKB 周期性交替使用。STV 为开关信号，即上级触发信号端 Input (n)，用于接收来自上级移位寄存器的高电平信号。其中以 1 表示高电平信号，0 表示低电平信号。并且在以下图 5 至图 8 中，以箭头表示薄膜晶体管的导通，以叉号表示
10 薄膜晶体管的关闭。

在 t1 阶段，Input (n) =1，CLK=0，CLKB=1，Reset (n+1) =0。

本级移位寄存器的 STV 信号由上级移位寄存器通过上级触发信号端 Input (n) 提供。如图 5 所示，由于 Input (n) =1，因此第一薄膜晶体管 M1 导通并控制本级移位寄存器开始工作，上级触发信号端 Input (n) 通过第一
15 薄膜晶体管 M1 为存储电容 C1 充电。由于 CLKB=1，因此第七薄膜晶体管 M7 导通，第二时钟信号端 CLKB 通过第七薄膜晶体管 M7 加速为存储电容 C1 充电。此时，第一节点 PU 被拉高而具有高电平，第二薄膜晶体管 M2 导通，由于 CLK=0，因此第一时钟信号端 CLK 的低电平通过第二薄膜晶体管 M2 而输出到本级输出端 Output (n)，该输出的低电平使与本级移位寄存器对
20 应的一行栅线处于低电平状态。进一步地，由于 CLKB=1，第六薄膜晶体管 M6 导通。第六薄膜晶体管 M6 在本级移位寄存器不工作时将第二节点 PL 拉低至 Vss，避免本级输出端 Output (n) 在其他干扰信号的作用下变为高电平。此外，由于第一节点 PU 被拉高至高电平，因此第三薄膜晶体管 M3 导通，又由于第一时钟信号端 CLK=0，因此下级触发信号端 Input (n+1) 被拉低至低
25 电平，即本级移位寄存器在 t1 阶段内未向下级移位寄存器发送触发信号。综上所述可知，t1 阶段为存储电容 C1 的充电阶段。

在 t2 阶段，Input (n) =0，CLK=1，CLKB=0，Reset (n+1) =0。

如图 6 所示，由于在 Input (n) =0、CLKB=0，因此第一薄膜晶体管 M1 和第七薄膜晶体管 M7 关闭，t2 阶段内不再通过上级触发信号端 Input (n) 和
30 第二时钟信号端 CLKB 为存储电容 C1 充电。由于 CLKB=0，第六薄膜晶体管 M6 关闭，从而第六薄膜晶体管 M6 不会将第二节点 PL 拉低。由于

CLK=1, 第二薄膜晶体管 M2 在存储电容 C1 的作用下导通后将第一时钟信号端 CLK 上的高电平输出到本级输出端 Output (n), 进而由本级输出端 Output (n) 将该高电平输出到与本级移位寄存器对应的一行栅线上, 使液晶面板的显示区域内位于该行栅线上的所有薄膜晶体管开启, 数据线开始写入信号。

5 由于 CLK=1, 第八薄膜晶体管 M8 导通并将本级输出端 Output (n) 上的高电平反馈到第一节点 PU, 保证第一节点 PU 持续为高电平状态, 继续为电容 C1 充电, 进一步提高第二薄膜晶体管 M2 的开启能力。在 Output (n)=1 后, 第二节点 PL 被拉高, 从而使第一复位薄膜晶体管 T1 和第二复位薄膜晶体管 T2 导通。此外, 由于 CLK=1, 第三复位薄膜晶体管 T3 导通, 通过合理设置第一复位薄膜晶体管 T1 的沟道宽长比和第三复位薄膜晶体管 T3 的沟道宽长比, 使得第一复位薄膜晶体管 T1 保持第四复位薄膜晶体管 T4 的栅极为低电平。此外, 第二复位薄膜晶体管 T2 保持第四复位薄膜晶体管 T4 的漏极为低电平。由于第四复位薄膜晶体管 T4 关闭, 因此第九薄膜晶体管 M9 和第十薄膜晶体管 M10 关闭, 以保证第一节点 PU 和本级输出端 Output (n) 持续处于高电平状态, 不会被拉低。而且此时第三薄膜晶体管 M3 也在存储电容 C1 的作用下导通, 使下级触发信号端 Input (n+1) 变为高电平, 以向下级移位寄存器发送触发信号。综上所述, t2 阶段为本级移位寄存器的本级输出端 Output (n) 输出高电平的阶段。

在 t3 阶段, Input (n)=0, CLK=0, CLKB=1, Reset (n+1)=1。

20 本级移位寄存器的 Reset 信号由下级移位寄存器通过下级反馈信号端 Reset (n+1) 提供。如图 7 所示, 由于 Reset (n+1)=1, 第四薄膜晶体管 M4 和第五薄膜晶体管 M5 导通, 第四薄膜晶体管 M4 导通后将本级输出端 Output (n) 拉低到 Vss, 第五薄膜晶体管 M5 导通后将第一节点 PU 拉低到 Vss, 从而避免以下情况: 本级输出端 Output (n) 在其他干扰信号的作用下变为高电平, 并使其所控制的一行栅线在高电平作用下打开, 最终造成栅线打开错误。进一步地, 由于 CLKB=1, 第六薄膜晶体管 M6 导通, 第六薄膜晶体管 M6 在本级移位寄存器不工作时将第二节点 PL 拉低至 Vss, 避免本级输出端 Output (n) 在其他干扰信号的作用下变为高电平。综上所述, t3 阶段为下级移位寄存器的本级输出端 Output (n+1) 输出高电平的阶段。

30 在 t4 阶段, Input (n)=0, CLK=1, CLKB=0, Reset (n+1)=0。

如图 8 所示, 由于 CLK=1, 第三复位薄膜晶体管 T3 导通, 从而使第四

复位薄膜晶体管 T4 的栅极变为高电平, 由此使第四复位薄膜晶体管 T4 导通。此外, 第四复位薄膜晶体管 T4 的导通又使第九薄膜晶体管 M9 和第十薄膜晶体管 M10 的栅极变为高电平, 从而使第九薄膜晶体管 M9 和第十薄膜晶体管 M10 导通。第九薄膜晶体管 M9 将第一节点 PU 拉低至 V_{ss} , 第十薄膜晶体管 M10 将本级输出端 Output (n) 拉低至 V_{ss} , 以使得在对第二薄膜晶体管 M2 复位时使第二薄膜晶体管 M2 的栅极和漏极均为低电平。此时, 对于第二薄膜晶体管 M2 而言, 其源极上加载高电平、栅极加载低电平, 因此在栅绝缘层上积累的电子能够穿越势垒而到达第二薄膜晶体管 M2 的源极, 从而降低第二薄膜晶体管 M2 的阈值电压偏移。综上所述, t4 阶段为复位模块 1 工作以使第二薄膜晶体管 M2 的阶段, 即本级移位寄存器的复位阶段。

由上面的描述可知, 本实施例中的移位寄存器能够降低与每行栅线对应的移位寄存器内薄膜晶体管的阈值电压偏移, 最终能够使移位寄存器电路正常工作, 提高了移位寄存器工作的稳定性, 延长了移位寄存器的工作寿命。

同理, 对于不包括第三薄膜晶体管 M3 的实施例, 上述的操作过程同样适用, 在此不再赘述。

除此之外, 本发明实施例还提供了一种栅线驱动装置。如图 9 所示, 所述栅线驱动装置包括串联的多个移位寄存器, 为方便说明图 9 中仅显示了五个移位寄存器, 分别为第 N-2 级移位寄存器、第 N-1 级移位寄存器、第 N 级移位寄存器、第 N+1 级移位寄存器和第 N+2 级移位寄存器。其中, 第 N 级移位寄存器的输出 Output(n), 不仅向第 N-1 级移位寄存器反馈以关断第 N-1 级移位寄存器, 同时还向第 N+1 级移位寄存器输出以作为该第 N+1 级移位寄存器的触发信号。

此外, 如图 9 所示, 对于各级移位寄存器而言, 时钟信号 CLK 和时钟信号 CLKB 是周期性交替使用的。具体地, 第 N 级移位寄存器的时钟信号端被示出为接收时钟信号 CLK, 而第 N-1 级和第 N+1 级移位寄存器的时钟信号端被示出为接收时钟信号 CLKB, 因此, 用于第 N 级移位寄存器的时钟信号与用于第 N-1 级和第 N+1 级移位寄存器的时钟信号的相位完全相反, 即相位相差 180° 。

在另一情况下, 即在时钟信号端包括第一时钟信号端和第二时钟信号端的情况下, 对于各级移位寄存器而言, 时钟信号 CLK 和时钟信号 CLKB 也是周期性交替使用的。对于第 N 级移位寄存器, 第一时钟信号端接收时钟信号

CLK, 第二时钟信号端接收时钟信号 CLKB, 然而对于第 $N-1$ 级和第 $N+1$ 级移位寄存器, 第一时钟信号端接收时钟信号 CLKB, 第二时钟信号端接收时钟信号 CLK。

结合图 2 所示, 每级移位寄存器均包括三个薄膜晶体管, 一个存储电容, 一个复位模块、一个反馈接收模块和相应的输入输出端。具体包括:

第一薄膜晶体管 M1, 其栅极和源极连接在一起并与上级触发信号端 Input (n) 连接、漏极与作为上拉节点的第一节点 PU 连接。其作用是当接收到由上级触发信号端 Input (n) 发送的高电平信号时控制移位寄存器开始工作。其中上级触发信号端 Input (n) 在上级移位寄存器 (即第 $n-1$ 级移位寄存器) 的本级输出端 Output (n-1) 为高电平输出时接收到高电平信号。第二薄膜晶体管 M2, 其栅极与第一节点 PU 连接、源极与时钟信号端连接、漏极与本级输出端 Output (n) 连接。其作用是为本级输出端 Output (n) 提供高电平输出, 以驱动与本级移位寄存器 (即第 n 级移位寄存器) 对应的一行栅线打开。第三薄膜晶体管 M3, 其栅极与第一节点 PU 连接、源极与时钟信号端连接、漏极与下级触发信号端 Input (n+1) 连接。其作用是为本级移位寄存器 (即第 $n+1$ 级移位寄存器) 提供触发信号, 以控制下级移位寄存器开始工作。电容 C1, 连接在第一节点 PU 与本级输出端 Output (n) 之间。复位模块 1, 连接在作为下拉节点的第二节点 PL、时钟信号端和低电平信号端 Vss 之间, 用于在本级输出完成后为第二薄膜晶体管 M2 的源极加载高电平、栅极加载低电平; 反馈接收模块 2, 连接在第一节点 PU、低电平信号端 Vss 和本级输出端 Output (n) 之间, 并与下级反馈信号端 Reset (n+1) 连接, 用于接收下级反馈信号以将第一节点 PU 和本级输出端 Output (n) 的电平拉低。

此外, 根据本发明另一实施例的栅线驱动装置, 结合图 2 和 3 的说明可知, 第 N 级移位寄存器的输出 Output (n) 向第 $N-1$ 级移位寄存器反馈 (即作为下级反馈信号端 Reset (n-1)) 以关断第 $N-1$ 级移位寄存器, 同时第 N 级移位寄存器的下级触发信号端 Input (n+1) 向第 $N+1$ 级移位寄存器输出以作为该第 $N+1$ 级移位寄存器的触发信号。

如前所述, 在根据本发明该另一实施例的栅线驱动装置中的每级移位寄存器中不包括第三薄膜晶体管 M3, 而直接将第二薄膜晶体管 M2 的漏极连接的本级输出端 Output (n) 同时用作下级触发信号端 Input (n+1)。除了不包括第三薄膜晶体管 M3 之外, 该移位寄存器的操作与根据本发明实施例的

栅线驱动装置中的移位寄存器的操作相同，在此不再进行赘述。

5 本发明实施例提供的栅线驱动装置中，由于如果一直为一个薄膜晶体管加压，则容易在该薄膜晶体管的栅绝缘层中形成并积累电子，从而导致该薄膜晶体管的阈值电压偏移。通过在薄膜晶体管的源极加载高电平、栅极加载低电平，根据隧道效应和量子力学的原理，能够使该薄膜晶体管的栅绝缘层中形成并积累的电子穿过势垒而到达薄膜晶体管的源极，从而降低与每行栅线对应的移位寄存器内薄膜晶体管的阈值电压偏移，最终能够使移位寄存器电路正常工作，提高了移位寄存器工作的稳定性，延长了移位寄存器的工作寿命。

10 需要说明的是，本实施例栅线驱动装置中所使用的移位寄存器与上述移位寄存器实施例中所使用的移位寄存器在功能和结构上均相同，因此能够解决同样的技术问题，达到相同的预期效果。

本发明还提供了一种显示设备，其包括像素阵列以及如上所述的栅线驱动装置。

15 尽管上面在液晶显示技术领域描述了本发明实施例，然而本发明实施例不限于此，而且还可以应用于其它的基于像素阵列的显示技术领域，诸如 AMOLED（有源矩阵有机发光二极管面板）等。

20 以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1. 一种栅线驱动方法，其特征在于，包括：

降低与一行栅线对应的移位寄存器内薄膜晶体管的阈值电压偏移；

5 为所述移位寄存器内的薄膜晶体管的栅极加载电压以开启薄膜晶体管，从而为该行栅线提供行扫描信号以驱动该行栅线打开。

2. 根据权利要求 1 所述的栅线驱动方法，其特征在于，所述降低与一行栅线对应的移位寄存器内薄膜晶体管的阈值电压偏移包括：

10 使在所述薄膜晶体管的栅绝缘层上积累的电子到达所述薄膜晶体管的源极，以降低所述薄膜晶体管的阈值电压偏移。

3. 根据权利要求 2 所述的栅线驱动方法，其特征在于，所述使在所述薄膜晶体管的栅绝缘层上积累的电子到达薄膜晶体管的源极包括：

为所述薄膜晶体管的源极加载高电平、栅极加载低电平，以使在所述薄膜晶体管的栅绝缘层上积累的电子到达所述薄膜晶体管的源极。

15 4. 一种移位寄存器，其特征在于，包括：

第一薄膜晶体管，其栅极和源极连接在一起并与上级触发信号端连接、漏极与作为上拉节点的第一节点连接；

第二薄膜晶体管，其栅极与所述第一节点连接、源极与时钟信号端连接、漏极与本级输出端连接；

20 电容，连接在所述第一节点与本级输出端之间；

复位模块，连接在作为下拉节点的第二节点、时钟信号端和低电平信号端之间，用于在本级输出完成后为所述第二薄膜晶体管的漏极和栅极加载低电平；

25 反馈接收模块，连接在所述第一节点、低电平信号端和本级输出端之间，并与下级反馈信号端连接，用于接收下级反馈信号以将所述第一节点和本级输出端的电平拉低。

5. 根据权利要求 4 所述的移位寄存器，其特征在于，所述复位模块包括：

30 第一复位薄膜晶体管，其栅极与所述第二节点连接、源极与第三复位薄膜晶体管的漏极连接、漏极与低电平信号端连接；

第二复位薄膜晶体管，其栅极与所述第二节点连接、源极与第四复位

薄膜晶体管的漏极连接、漏极与低电平信号端连接；

第三复位薄膜晶体管，其栅极和源极与时钟信号端连接、漏极与第一复位薄膜晶体管的源极连接；以及

5 第四复位薄膜晶体管，其栅极与第三复位薄膜晶体管的漏极连接、源极与时钟信号端连接、漏极与第二复位薄膜晶体管的源极连接，

所述移位寄存器还包括：

第九薄膜晶体管，其栅极与所述复位模块中第二复位薄膜晶体管的源极连接、源极与所述第一节点连接、漏极与低电平信号端连接；以及

10 第十薄膜晶体管，其栅极与所述复位模块第二复位薄膜晶体管的源极连接、源极本级输出端连接、漏极与低电平信号端连接。

6. 根据权利要求4所述的移位寄存器，其特征在于，所述反馈接收模块包括：

第四薄膜晶体管，其栅极与下级反馈信号端连接、源极与本级输出端连接、漏极与低电平信号端连接；以及

15 第五薄膜晶体管，其栅极与下级反馈信号端连接、源极与所述第一节点连接、漏极与低电平信号端连接。

7. 根据权利要求4所述的移位寄存器，其特征在于，所述移位寄存器还包括：

20 第六薄膜晶体管，其栅极与第二时钟信号端连接、源极与所述第二节点连接、漏极与低电平信号端连接，其中，所述第二时钟信号端处的时钟信号与所述时钟信号端处的时钟信号完全反相。

8. 根据权利要求4所述的移位寄存器，其特征在于，所述移位寄存器还包括：

25 第七薄膜晶体管，其栅极与第二时钟信号端连接、源极与上级触发信号端连接、漏极与所述第一节点连接，其中，所述第二时钟信号端处的时钟信号与所述时钟信号端处的时钟信号完全反相。

9. 根据权利要求4所述的移位寄存器，其特征在于，所述移位寄存器还包括：

30 第八薄膜晶体管，其栅极与时钟信号端连接、源极与所述第一节点连接、漏极与所述第二节点连接。

10. 根据权利要求4所述的移位寄存器，其特征在于，所述移位寄存器

还包括:

第三薄膜晶体管, 其栅极与所述第一节点连接、源极与时钟信号端连接、漏极与下级触发信号端连接。

11. 一种栅线驱动装置, 其特征在于, 包括相互串联的多个如权利要求 4 至 10 中任一项所述的移位寄存器。

12. 一种显示设备, 其特征在于, 包括像素阵列和如权利要求 11 所述的栅线驱动装置。

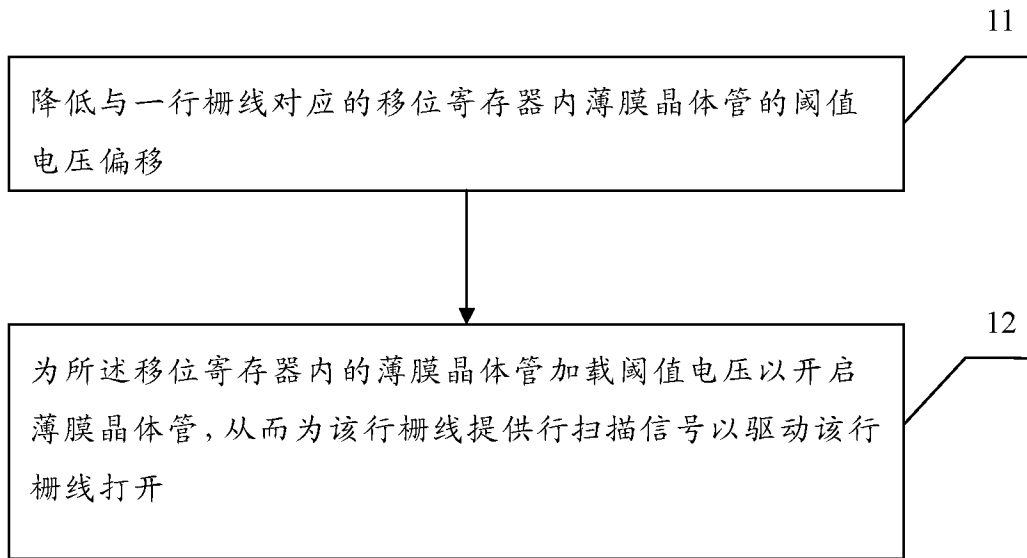


图 1

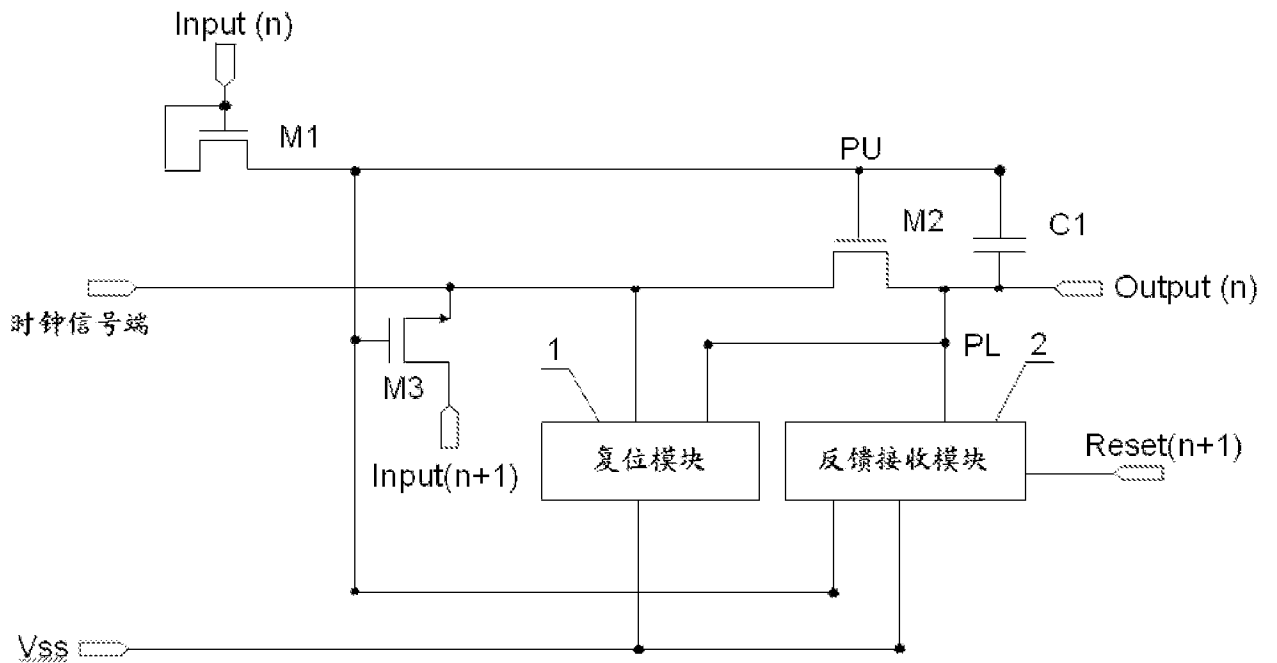


图 2

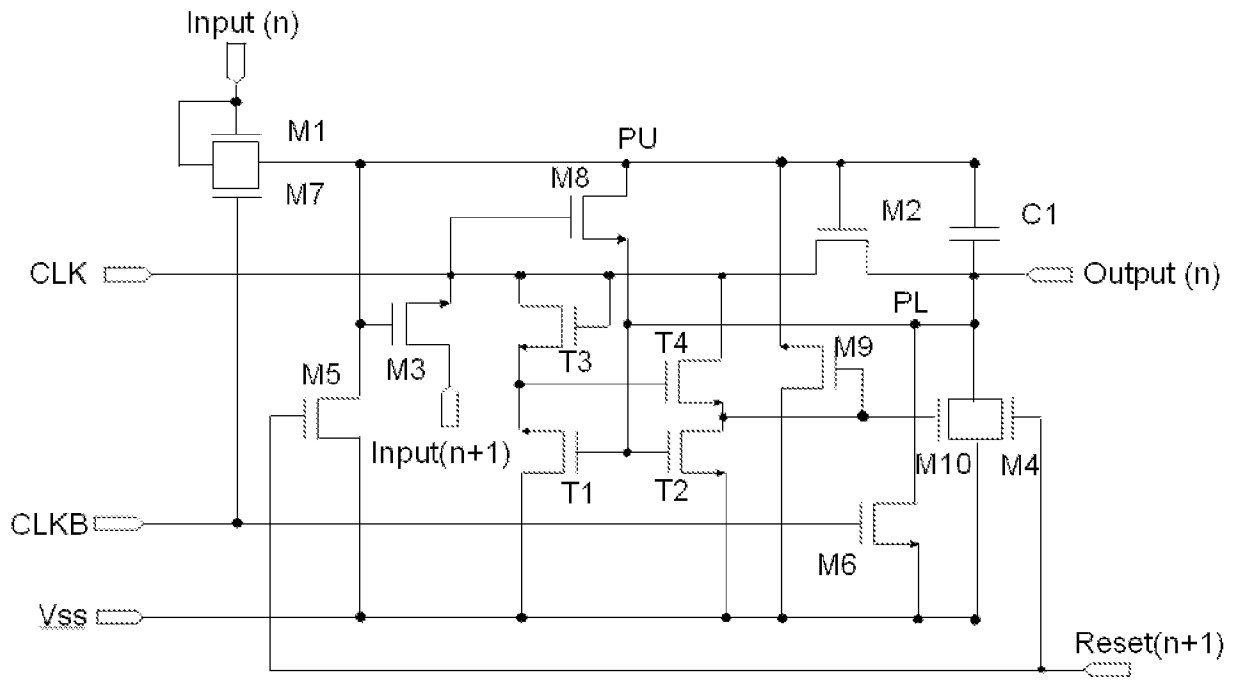


图 3

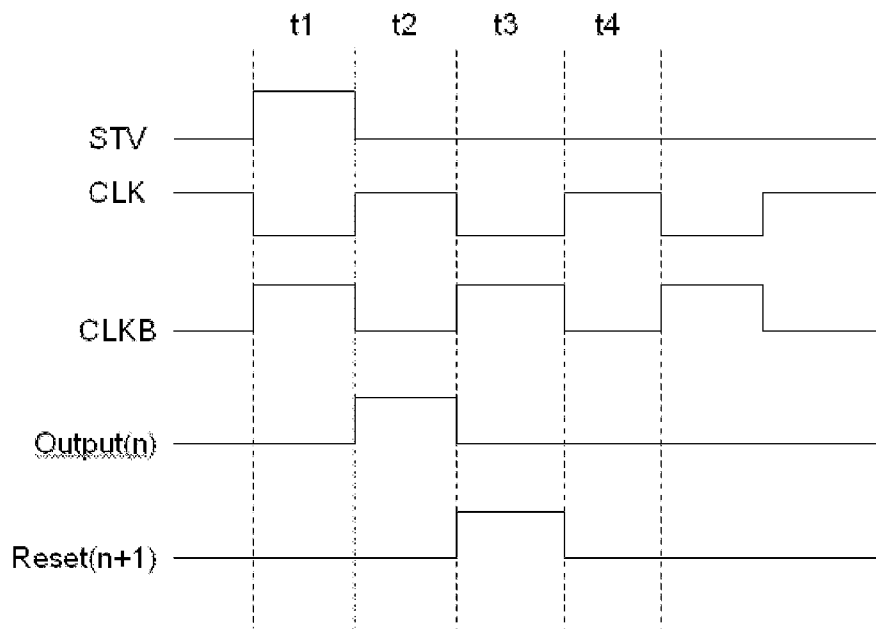


图 4

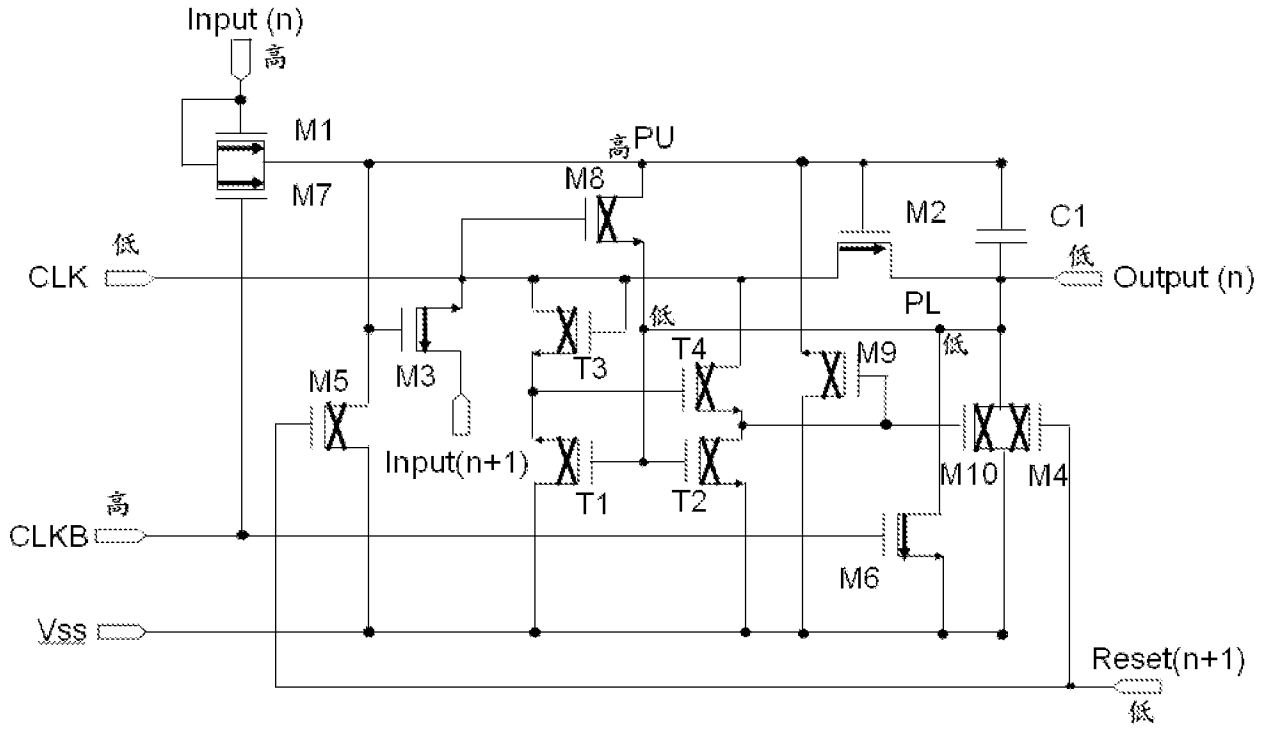


图 5

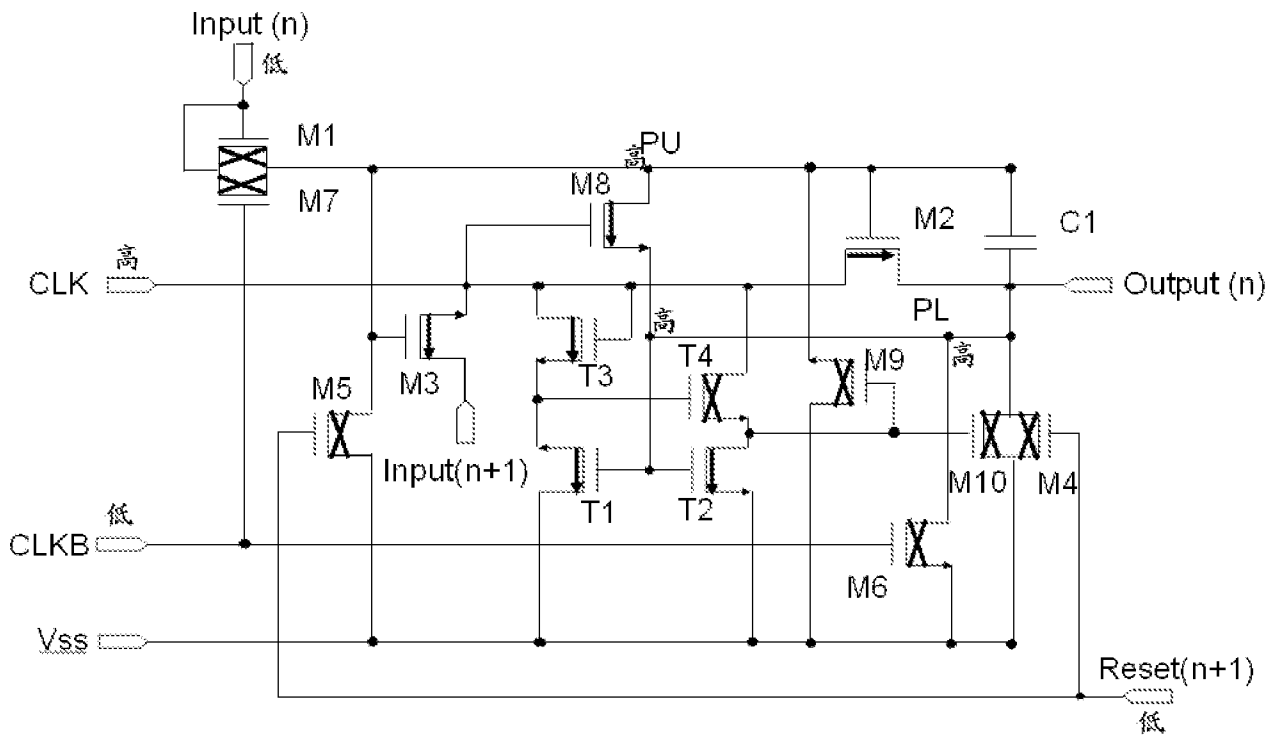


图 6

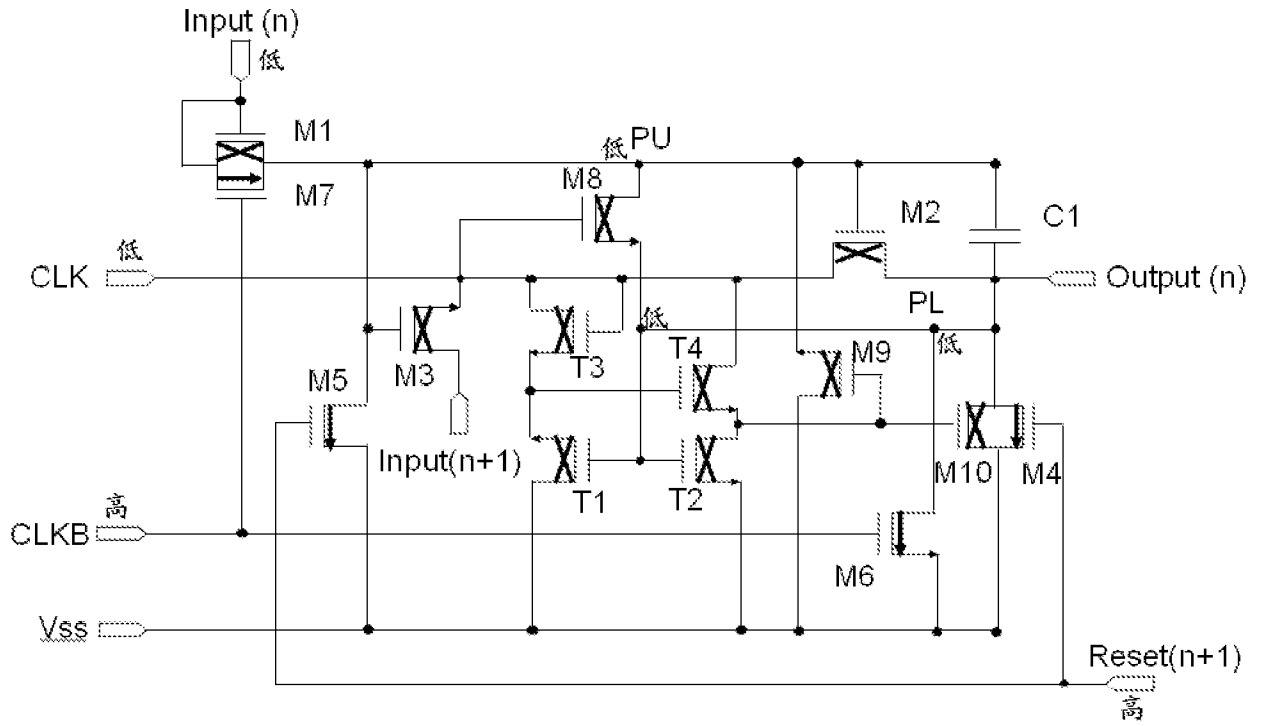


图 7

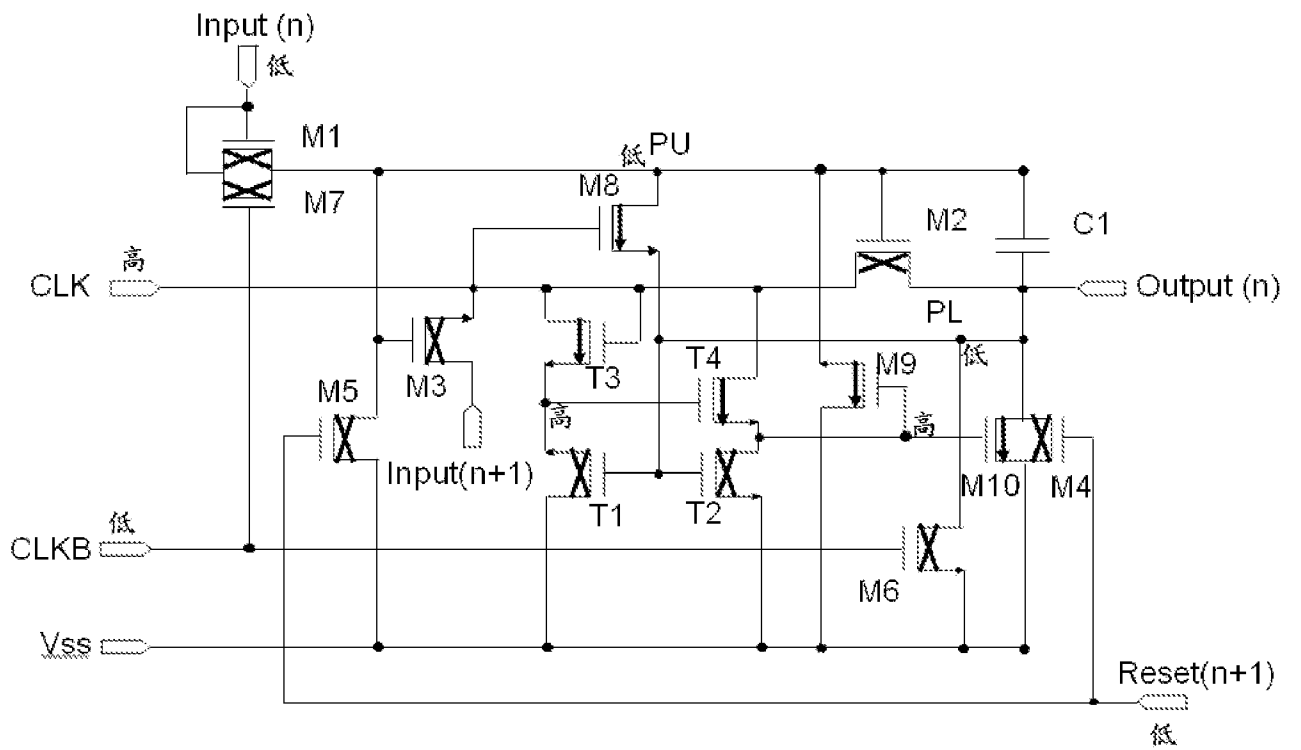


图 8

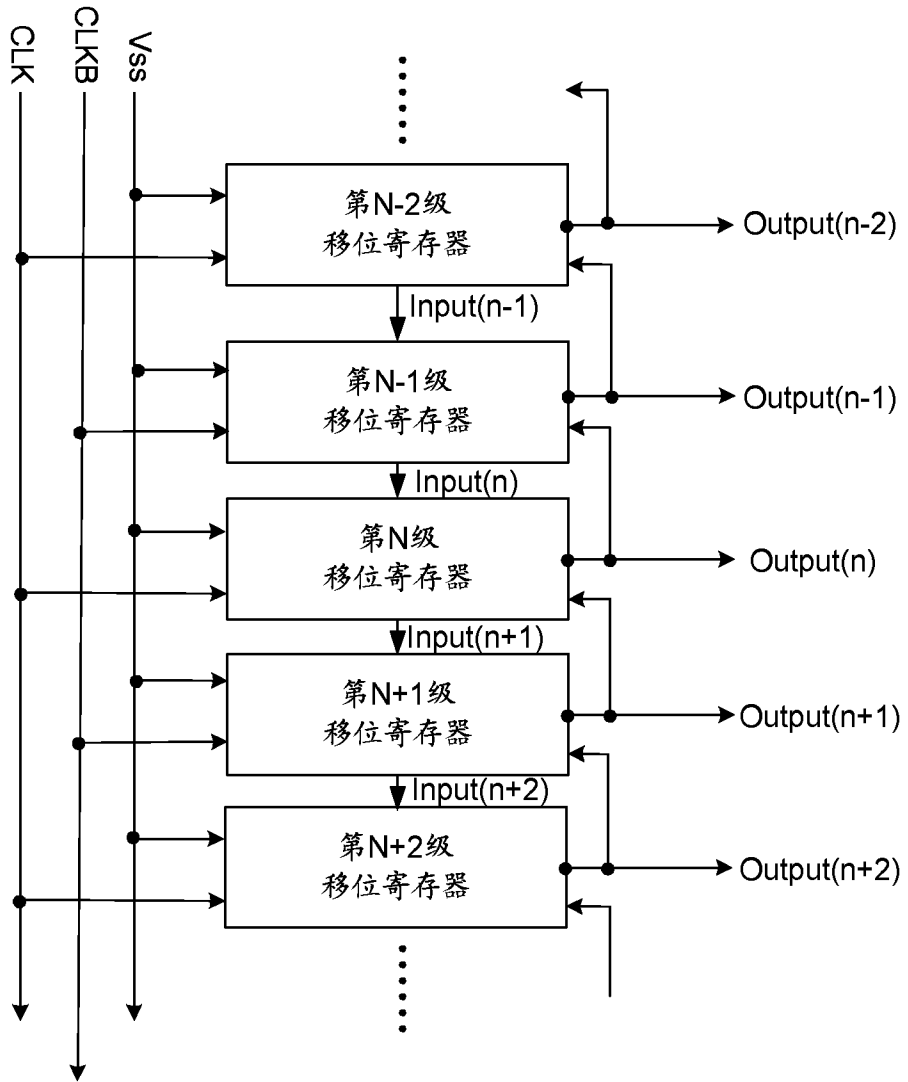


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/083558

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G 3/36-; G02F 1/13-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN, CNKI: shift w register, flip w flop, step+ w register, circulating w register, transistor, TFT, threshold, voltage, level, potential, source, gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 102629459 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 08 August 2012 (08.08.2012), the whole document	1-12
X	CN 101677021 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 24 March 2010 (24.03.2010)	1-4, 6-9, 11-12
A	CN 102012591 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 13 April 2011 (13.04.2011), the whole document	1-12
A	CN 101089939 A (SAMSUNG ELECTRONICS CO., LTD.), 19 December 2007 (19.12.2007), the whole document	1-12
A	EP 1445862 A2 (SAMSUNG ELECTRONICS CO., LTD.), 11 August 2004 (11.08.2004), the whole document	1-12

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

Date of the actual completion of the international search
18 December 2012 (18.12.2012)

Date of mailing of the international search report
17 January 2013 (17.01.2013)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer
LUO, Yun
Telephone No.: (86-10) **62085874**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/083558

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102629459 A	08.08.2012		
CN 101677021 A	24.03.2010		
CN 102012591 A	13.04.2011	CN 102012591 B	30.05.2012
		US 2011058640 A1	10.03.2011
		US 8199870 B2	12.06.2012
		JP 2011060411 A	24.03.2011
		KR 20110025630 A	10.03.2011
		KR 1195440 B1	30.10.2012
CN 101089939 A	19.12.2007	KR 20080057601 A	25.06.2008
		KR 1182770 B1	14.09.2012
		US 2007296681 A1	27.12.2007
		US 8174478 B2	08.05.2012
		KR 20070118447 A	17.12.2007
		CN 101089939 B	14.09.2011
EP 1445862 A2	11.08.2004	US 2007177438 A1	02.08.2007
		EP 1445862 B1	29.07.2009
		JP 4913990 B2	11.04.2012
		US 2004165692 A1	26.08.2004
		US 7317779 B2	08.01.2008
		US 7646841 B2	12.01.2010
		TW 333658 B1	21.11.2010
		KR 20040072131 A	18.08.2004
		KR 100917009 B1	10.09.2009
		DE 602004022211 D1	10.09.2009
		TW 200421352 A	16.10.2004
		JP 2004246358 A	02.09.2004

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/083558

CONTINUATION:

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

G02F 1/13 (2006.01) i

国际检索报告

国际申请号
PCT/CN2012/083558

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G09G3/36-; G02F1/13-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, VEN, CNKI:

移位寄存器, 晶体管, TFT, 电压, 电平, 阈值, 阀值, 门限,

shift w register, flip w flop, step+ w register, circulating w register, transistor, TFT, threshold, voltage, level, potential, source, gate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN102629459A (北京京东方光电科技有限公司) 08.8 月 2012 (08.08.2012) 全文	1-12
X	CN101677021A (北京京东方光电科技有限公司) 24.3 月 2010 (24.03.2010)	1-4, 6-9, 11-12
A	CN102012591A (北京京东方光电科技有限公司) 13.4 月 2011 (13.04.2011) 全文	1-12
A	CN101089939A (三星电子株式会社) 19.12 月 2007 (19.12.2007) 全文	1-12
A	EP1445862A2 (SAMSUNG ELECTRONICS CO LTD) 11.8 月 2004 (11.08.2004) 全文	1-12

其余文件在 C 栏的续页中列出。

见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
18.12 月 2012 (18.12.2012)

国际检索报告邮寄日期
17.1 月 2013 (17.01.2013)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

罗赞
电话号码: (86-10) 62085874

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/083558

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102629459A	08.08.2012		
CN101677021A	24.03.2010		
CN102012591A	13.04.2011	CN102012591B	30.05.2012
		US2011058640A1	10.03.2011
		US8199870B2	12.06.2012
		JP2011060411A	24.03.2011
		KR20110025630A	10.03.2011
		KR1195440B1	30.10.2012
CN101089939A	19.12.2007	KR20080057601A	25.06.2008
		KR1182770B1	14.09.2012
		US2007296681A1	27.12.2007
		US8174478B2	08.05.2012
		KR20070118447A	17.12.2007
		CN101089939B	14.09.2011
EP1445862A2	11.08.2004	US2007177438A1	02.08.2007
		EP1445862B1	29.07.2009
		JP4913990B2	11.04.2012
		US2004165692A1	26.08.2004
		US7317779B2	08.01.2008
		US7646841B2	12.01.2010
		TW333658B1	21.11.2010
		KR20040072131A	18.08.2004
		KR100917009B1	10.09.2009
		DE602004022211D1	10.09.2009
		TW200421352A	16.10.2004
		JP2004246358A	02.09.2004

续:

A. 主题的分类

G09G3/36 (2006.01) i

G02F1/13 (2006.01) i