

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年2月2日(02.02.2012)



PCT



(10) 国際公開番号
WO 2012/014817 A1

- (51) 国際特許分類:
G06F 3/042 (2006.01) G06F 3/041 (2006.01)
- (21) 国際出願番号: PCT/JP2011/066735
- (22) 国際出願日: 2011年7月22日(22.07.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-167446 2010年7月26日(26.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 加藤 浩巳
(KATOHI Hiromi). 臼倉 奈留(USUKURA Naru).
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et
al.); 〒5300004 大阪府大阪市北区堂島浜1丁目

4番16号 アクア堂島西館 インテリクス
国際特許事務所 Osaka (JP).

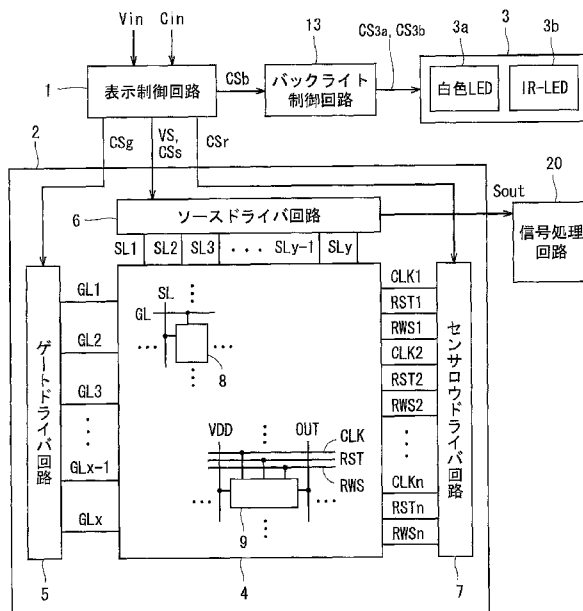
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図1]



- 1 DISPLAY CONTROL CIRCUIT
5 GATE DRIVER CIRCUIT
6 SOURCE DRIVER CIRCUIT
7 SENSOR ROW DRIVER CIRCUIT
13 BACKLIGHT CONTROL CIRCUIT
20 SIGNAL PROCESSING CIRCUIT
3a WHITE LED

(57) Abstract: Provided is a display device equipped with a light sensor wherein a visible light light-source and an invisible light light-source are combined, and wherein the drop in voltage when the invisible light light-source is turned on is suppressed. The display device is provided with a plurality of infrared LEDs (3b), a light sensor (9) which is provided on an image pixel area (4) and which detects reflection light resulting from the light radiated from the infrared LED (3b), a sensor row driver circuit (7) which supplies a sensor driver signal to the light sensor (9), an amplifier circuit (6) which amplifies in accordance with a sensor driver signal a signal read out from the light sensor outputting the same as light sensor signal, a signal processing circuit (20) which processes light sensor signals output from the amplifier circuit (6), and a backlight control circuit (13) which controls the turning on and turning off of a backlight. Inside the image pixel area (4) the light sensor (9) is divided into a plurality of sensor groups. The backlight control circuit (13) turns on the infrared LED (3b) corresponding to the respective sensor groups at mutually different intervals.

(57) 要約:

[続葉有]



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, 添付公開書類:
NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

可視光光源と非可視光光源とを併せ持ち、非可視光光源を点灯した際の電圧降下が抑制された光センサ付き表示装置を提供する。表示装置は、複数の赤外線 LED (3 b) と、画素領域 (4) に設けられて赤外線 LED (3 b) からの出射光に起因する反射光を検出する光センサ (9) と、光センサ (9) へセンサ駆動信号を供給するセンサロウドライバ回路 (7) と、センサ駆動信号に従って光センサ (9) から読み出された信号を増幅し、光センサ信号として出力するアンプ回路 (6) と、前記アンプ回路 (6) から出力された光センサ信号を処理する信号処理回路 (20) と、赤外線 LED (3 b) の点灯および消灯を制御するバックライト制御回路 (13) とを備える。光センサ (9) は、画素領域 (4) 内で複数のセンサ群に分割されている。バックライト制御回路 (13) は、それぞれのセンサ群に対応する赤外線 LED (3 b) を互いに異なる期間に点灯させる。

明 細 書

発明の名称 : 表示装置

技術分野

[0001] 本発明は、フォトダイオード等の光検出素子を有する光センサ付きの表示装置に関し、特に、画素領域内に光センサを備えた表示装置に関する。

背景技術

[0002] 従来、例えばフォトダイオード等の光検出素子を画素内に備えたことにより、外光の明るさを検出したり、ディスプレイに近接した物体の画像を取り込んだりすることが可能な、光センサ付き表示装置が提案されている。このような光センサ付き表示装置は、双方向通信用表示装置や、タッチパネル機能付き表示装置としての利用が想定されている。

[0003] このような光センサ付き表示装置として、可視光線と非可視光線をそれぞれ出射する異なる光源を組み合わせたバックライトを用い、これらの光源を異なるタイミングで点灯させることにより、画像表示と独立して物体の位置検出を行う構成が、特開 2005-275644 号公報に開示されている。

[0004] 前述のように、可視光線用の光源と非可視光線用の光源とを組み合わせたバックライトを用いる構成においては、光センサが光を検出するタイミングに合わせて、非可視光線用の光源を駆動することとなる。この場合、非可視光線用の光源を点灯した時に、バックライトにおいて瞬間的に電圧降下が生じることがある、という課題があった。

発明の開示

[0005] 本発明は、上記の課題を鑑み、光センサ用の非可視光光源を備えた表示装置において、非可視光光源を点灯した際の電圧降下を抑制することを目的とする。

[0006] 上記の目的を達成するために、ここに開示する表示装置は、アクティブマトリクス基板と、複数の非可視光光源と、前記アクティブマトリクス基板の画素領域に設けられ、前記非可視光光源からの出射光に起因する反射光を検

出する光センサと、前記光センサへ、センサ駆動信号を供給するセンサ駆動回路と、前記センサ駆動信号に従って前記光センサから読み出された信号を増幅し、光センサ信号として出力するアンプ回路と、前記アンプ回路から出力された光センサ信号を処理する信号処理回路と、前記非可視光光源の点灯および消灯を制御する光源制御回路とを備える。前記複数の光センサは、前記画素領域内で複数のセンサ群に分割されている。前記光源制御回路は、前記複数のセンサ群におけるそれぞれのセンサ群に対応する非可視光光源を互いに異なる期間に点灯させるように構成されている。

[0007] 上述の構成によれば、光センサ用の非可視光光源を備えた表示装置であって、非可視光光源を点灯した際の電圧降下が抑制された表示装置を提供することができる。

図面の簡単な説明

[0008] [図1]図1は、本発明の実施形態に係る表示装置の構成を示すブロック図である。

[図2]図2は、図1に示す表示装置に含まれる表示パネルにおけるセンサ画素回路の配置を示す図である。

[図3]図3は、図1に示す表示装置において1回駆動を行う場合のバックライトの点灯および消灯タイミング、並びに、センサ画素回路に対するリセットおよび読み出しタイミングを示す図である。

[図4]図4は、図1に示す表示装置において1回駆動を行う場合の表示パネルの信号波形図である。

[図5]図5は、図1に示す表示装置に含まれるセンサ画素回路の概略構成を示す図である。

[図6]図6は、本発明の第1の実施形態に係るセンサ画素回路の回路図である。

[図7]図7は、図6に示すセンサ画素回路のレイアウト図である。

[図8]図8は、図6に示すセンサ画素回路の動作を示す図である。

[図9]図9は、図6に示すセンサ画素回路の信号波形図である。

[図10]図10は、バックライトの構成例をそれぞれ示す分解斜視図である。

[図11]図11は、バックライトの構成例をそれぞれ示す分解斜視図である。

[図12]図12は、バックライトの構成例をそれぞれ示す分解斜視図である。

[図13]図13は、バックライトの構成例をそれぞれ示す分解斜視図である。

[図14]図14は、バックライトの構成例をそれぞれ示す分解斜視図である。

[図15]図15は、図14に示すバックライトの概略構成を示す断面図である。

。

[図16]図16は、バックライト制御回路において、赤外線LEDの点灯／消灯制御を行う回路の構成を示す回路図である。

[図17]図17は、バックライト制御回路の動作を示すタイミングチャートである。

[図18A]図18Aは、第1の実施形態にかかる第1センサ画素回路および第2センサ画素回路のレイアウト図である。

[図18B]図18Bは、第1の実施形態にかかる第1センサ画素回路および第2センサ画素回路のレイアウト図である。

[図19]図19は、第2の実施形態の画素領域におけるセンサ画素回路の配置を示す図である。

[図20]図20は、第2の実施形態における第1～第4の赤外線LED群の点灯および消灯タイミング、並びに、センサ画素回路に対するリセットおよび読み出しタイミングを示す図である。

[図21]図21は、第3の実施形態の画素領域におけるセンサ画素回路の配置を示す図である。

[図22]図22は、第1の赤外線LED群および第2の赤外線LED群の点灯および消灯タイミング、並びに、センサ画素回路に対するリセットおよび読み出しタイミングを示す図である。

[図23]図23は、第3の実施形態に係るセンサ画素回路の変形例の構成を示す回路図である。

[図24]図24は、図23に示すセンサ画素回路のレイアウト図である。

[図25]図 2 3 に示すセンサ画素回路の動作を示す図である。

発明を実施するための形態

- [0009] 本発明の一実施形態にかかる表示装置は、
アクティブマトリクス基板と、
複数の非可視光光源と、
前記アクティブマトリクス基板の画素領域に設けられ、前記非可視光光源からの出射光に起因する反射光を検出する光センサと、
前記光センサへ、センサ駆動信号を供給するセンサ駆動回路と、
前記センサ駆動信号に従って前記光センサから読み出された信号を増幅し、光センサ信号として出力するアンプ回路と、
前記アンプ回路から出力された光センサ信号を処理する信号処理回路と、
前記非可視光光源の点灯および消灯を制御する光源制御回路とを備え、
前記複数の光センサが、前記画素領域内で複数のセンサ群に分割され、
前記光源制御回路が、前記複数のセンサ群におけるそれぞれのセンサ群に対応する非可視光源を互いに異なる期間に点灯させる構成である（第 1 の構成）。
- [0010] 上記の第 1 の構成において、
前記アクティブマトリクス基板が、
ゲートドライバと、
前記ゲートドライバに接続された複数のゲート線とを備え、
前記複数の光センサが、前記ゲート線の整列方向において、複数のセンサ群に分割されていることが好ましい（第 2 の構成）。
- [0011] 前記の第 2 の構成において、前記非可視光光源が、前記画素領域を挟んで前記ゲートドライバと対向する側に配置されていることが好ましい（第 3 の構成）。
- [0012] また、第 3 の構成において、前記ゲート線の延伸方向が、前記アクティブマトリクス基板の長辺に平行であることがさらに好ましい（第 4 の構成）。
- [0013] 前記第 1 の構成において、前記複数の光センサが、前記ゲート線の延伸方

向において、複数のセンサ群に分割されている構成も好ましい（第５の構成）。

[0014] 前記第５の構成において、前記非可視光光源が、前記画素領域の背面に配置されている構成がさらに好ましい（第６の構成）。

[0015] 前記第５または第６の構成において、前記複数の光センサが、前記ゲート線の整列方向においても、複数のセンサ群に分割されている構成が好ましい（第７の構成）。

[0016] 前記第１～第７の構成において、前記センサ駆動回路が、前記光源制御回路と同期して、前記複数のセンサ群におけるそれぞれのセンサ群から逐次読み出しを行うように構成しても良い（第８の構成）。

[0017] 前記第１～第８の構成において、前記非可視光光源が赤外線ＬＥＤであることが好ましい（第９の構成）。

[0018] 前記第１～第９の構成において、

前記光センサが、

前記センサ駆動信号に従い、前記非可視光光源点灯時の蓄積期間で受光量に応じた電荷を蓄積し、読み出し期間が到来すると蓄積電荷に応じたセンサ信号を出力するセンサ画素回路と、

前記センサ駆動信号に従い、前記非可視光光源消灯時の蓄積期間で受光量に応じた電荷を蓄積し、読み出し期間が到来すると蓄積電荷に応じたセンサ信号を出力するオフセンサ画素回路とを含み、

前記信号処理回路が、前記センサ画素回路から出力されたセンサ信号と、前記オフセンサ画素回路から出力されたセンサ信号との差分を求める構成とすることも好ましい（第１０の構成）。

[0019] 前記第１０の構成において、

前記センサ画素回路および前記オフセンサ画素回路のそれぞれは、

１個の受光素子と、

検知した光量に応じた電荷を蓄積する１個の蓄積ノードと、

前記蓄積ノードに電氣的に接続可能な制御端子を有する読み出しトランジ

スタと、

前記受光素子を流れる電流の経路上に設けられ、前記制御信号に従いオン／オフする保持用スイッチング素子とを含む構成とすることがさらに好ましい（第１１の構成）。

[0020] 前記第１１の構成において、

前記センサ画素回路および前記オフセンサ画素回路のそれぞれにおいて、前記保持用スイッチング素子は、前記蓄積ノードと前記受光素子の一端との間に設けられ、

前記受光素子の他端はリセット線に接続されていることが好ましい（第１２の構成）。

[0021] 前記第１０の構成において、

前記センサ画素回路および前記オフセンサ画素回路は、１個の受光素子を共有し、

前記受光素子の一端は前記第１および第２センサ画素回路にそれぞれ含まれる保持用スイッチング素子の一端に接続され、他端は前記リセット線に接続されている構成とすることも好ましい（第１３の構成）。

[0022] また、前記第１～第１３の構成において、

前記アクティブマトリクス基板に対向する対向基板と、

前記アクティブマトリクス基板と対向基板との間に挟持された液晶とをさらに備えた構成とすることも好ましい（第１４の構成）。

[0023] [実施の形態]

以下、本発明のより具体的な実施形態について、図面を参照しながら説明する。なお、以下の実施形態は、本発明にかかる表示装置を液晶表示装置として実施する場合の構成例を示したものであるが、本発明にかかる表示装置は液晶表示装置に限定されず、アクティブマトリクス基板を用いる任意の表示装置に適用可能である。なお、本発明にかかる表示装置は、光センサを有することにより、画面に近接する物体を検知して入力操作を行うタッチパネル付き表示装置や、表示機能と撮像機能とを具備した双方向通信用表示装置

等としての利用が想定される。

[0024] また、以下で参照する各図は、説明の便宜上、本発明の実施形態の構成部材のうち、本発明を説明するために必要な主要部材のみを簡略化して示したものである。従って、本発明にかかる表示装置は、本明細書が参照する各図に示されていない任意の構成部材を備え得る。また、各図中の部材の寸法は、実際の構成部材の寸法および各部材の寸法比率等を忠実に表したものではない。

[0025] [第1の実施形態]

図1は、本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置は、表示制御回路1、表示パネル2、バックライト3、および、バックライト制御回路13（光源制御回路）を備えている。表示パネル2は、画素領域4、ゲートドライバ回路5、ソースドライバ回路6（アンプ回路）、および、センサロウドライバ回路7を含んでいる。画素領域4は、複数の表示画素回路8と複数のセンサ画素回路9（光センサ）を含んでいる。この表示装置は、表示パネル2に画像を表示する機能と、表示パネル2に入射した光を検知する機能とを有する。以下、 x を2以上の整数、 y を3の倍数、 m および n を偶数とし、表示装置のフレームレートを60フレーム／秒とする。

[0026] 図1に示す表示装置には外部から、映像信号 V_{in} とタイミング制御信号 C_{in} が供給される。表示制御回路1は、これらの信号に基づき、表示パネル2に対して映像信号 V_S と制御信号 CS_g 、 CS_s 、 CS_r を出力し、バックライト制御回路13に対して制御信号 CS_b を出力する。映像信号 V_S は、映像信号 V_{in} と同じでもよく、映像信号 V_{in} に信号処理を施した信号でもよい。

[0027] バックライト3は、表示パネル2の背面側に設けられ、表示パネル2の背面に光を照射する。バックライト3は、可視光光源としての白色LED3aと、非可視光光源としての赤外線LED（図1においてはIR-LEDと表記）3bとを含む。可視光光源（ここでは白色LED3a）は、画素領域4

に画像を表示するために用いられる光源である。非可視光光源（ここでは赤外線LED 3b）は、可視光以外の波長域の光を出射する光源である。非可視光光源からの出射光が、表示パネル2の表面に触れている指やタッチペン等で反射されて、センサ画素回路9へ入射することにより、タッチ位置を検出することができる。

[0028] なお、ここでは、可視光光源として白色LED 3aを用い、非可視光光源として赤外線LED 3bを用いるが、それぞれ他の光源を用いることも可能である。例えば、これらの光源として、LED以外の光源を用いることができる。なお、可視光光源が出射する光に、可視光以外の波長域の光が含まれていても構わない。非可視光光源からの出射光については、可視領域の波長成分が含まれていないことが好ましいが、可視領域の波長成分がゼロである必要はない。

[0029] バックライト制御回路13は、白色LED 3aに対して、その点灯／消灯を制御する駆動電流CS 3aを供給する。バックライト制御回路13は、赤外線LED 3bに対して、その点灯／消灯を制御する駆動電流CS 3bを供給する。非可視光光源としての赤外線LED 3bの点灯／消灯タイミングについては、後に詳しく説明する。

[0030] 本実施形態においては、赤外線LED 3bは、第1の赤外線LED群3b1と、第2の赤外線LED群3b2との二つのグループに分割される。本実施形態においては、第1の赤外線LED群3b1に属する赤外線LEDは、画素領域4において垂直方向の上半分へ光を照射する。第2の赤外線LED群3b2に属する赤外線LEDは、第1の赤外線LED群3b1に属する赤外線LEDとは異なるタイミングで発光し、画素領域4において垂直方向の下半分へ光を照射する。

[0031] 表示パネル2の画素領域4には、 $(x \times y)$ 個の表示画素回路8、 $(n \times m / 2)$ 個のセンサ画素回路9が、それぞれ2次元状に配置される。より詳細には、画素領域4には、 x 本のゲート線GL 1～GL x と y 本のソース線SL 1～SL y が設けられる。ゲート線GL 1～GL x は互いに平行に配置

され、ソース線 $SL\ 1 \sim SL\ y$ はゲート線 $GL\ 1 \sim GL\ x$ と直交するように互いに平行に配置される。 $(x \times y)$ 個の表示画素回路 8 は、ゲート線 $GL\ 1 \sim GL\ x$ とソース線 $SL\ 1 \sim SL\ y$ の交点近傍に配置される。各表示画素回路 8 は、1 本のゲート線 GL と 1 本のソース線 SL に接続される。表示画素回路 8 は、赤色表示用、緑色表示用および青色表示用に分類される。これら 3 種類の表示画素回路 8 は、ゲート線 $GL\ 1 \sim GL\ x$ の伸延方向に並べて配置され、1 個のカラー画素を構成する。

[0032] 画素領域 4 には、ゲート線 $GL\ 1 \sim GL\ x$ と平行に、 n 本のクロック線 $CLK\ 1 \sim CLK\ n$ 、 n 本のリセット線 $RST\ 1 \sim RST\ n$ 、および、 n 本の読み出し線 $RWS\ 1 \sim RWS\ n$ が設けられる。また、画素領域 4 には、ゲート線 $GL\ 1 \sim GL\ x$ と平行に、他の信号線や電源線（図示せず）が設けられることがある。センサ画素回路 9 から読み出しを行うときには、ソース線 $SL\ 1 \sim SL\ y$ の中から選択された m 本が電源線 $VDD\ 1 \sim VDD\ m$ として使用され、別の m 本が出力線 $OUT\ 1 \sim OUT\ m$ として使用される。

[0033] 図 2 は、画素領域 4 におけるセンサ画素回路 9 の配置を示す図である。 $(n \times m / 2)$ 個のセンサ画素回路 9 には、第 1 の赤外線 LED 群 3 b 1 の点灯期間に入射した光を検知する第 1 センサ画素回路 9 a と、第 2 の赤外線 LED 群 3 b 2 の点灯期間に入射した光を検知する第 2 センサ画素回路 9 b とが含まれる。第 1 センサ画素回路 9 a と第 2 センサ画素回路 9 b は同数である。後に詳しく説明するが、第 1 の赤外線 LED 群 3 b 1 は、第 1 センサ画素回路 9 a が配置された領域を照射するように配置されている。第 2 の赤外線 LED 群 3 b 2 は、第 2 センサ画素回路 9 b が配置された領域を照射するように配置されている。

[0034] 本実施形態においては、図 2 に示すように、 $(n \times m / 4)$ 個の第 1 センサ画素回路 9 a は、画素領域 4 における垂直方向の上側半分に相当する第 1 の領域、すなわち、クロック線 $CLK\ 1 \sim CLK\ (n / 2)$ が設けられた領域、に配置される。 $(n \times m / 4)$ 個の第 2 センサ画素回路 9 b は、画素領域 4 における垂直方向の下側半分に相当する第 2 の領域、すなわち、クロッ

ク線CLK ($n/2 + 1$) ~ CLK n が設けられた領域、に配置される。

[0035] このように表示パネル2は、第1センサ画素回路9aの出力信号と第2センサ画素回路9bの出力信号を伝搬する複数の出力線OUT1~OUTmを含み、第1センサ画素回路9aと第2センサ画素回路9bは種類ごとに異なる出力線に接続される。

[0036] ゲートドライバ回路5は、ゲート線GL1~GLxを駆動する。より詳細には、ゲートドライバ回路5は、制御信号CSgに基づき、ゲート線GL1~GLxの中から1本のゲート線を順に選択し、選択したゲート線にハイレベル電位を、残りのゲート線にローレベル電位を印加する。これにより、選択されたゲート線に接続されたy個の表示画素回路8が、一括して選択される。

[0037] ソースドライバ回路6は、ソース線SL1~SLyを駆動する。より詳細には、ソースドライバ回路6は、制御信号CSsに基づき、映像信号VSに応じた電位をソース線SL1~SLyに印加する。このときソースドライバ回路6は、線順次駆動を行ってもよく、点順次駆動を行ってもよい。ソース線SL1~SLyに印加された電位は、ゲートドライバ回路5によって選択されたy個の表示画素回路8に書き込まれる。このようにゲートドライバ回路5とソースドライバ回路6を用いてすべての表示画素回路8に映像信号VSに応じた電位を書き込むことにより、表示パネル2に所望の画像を表示することができる。

[0038] センサロウドライバ回路7は、クロック線CLK1~CLKn、リセット線RST1~RSTn、および、読み出し線RWS1~RWSnなどを駆動する。より詳細には、センサロウドライバ回路7は、制御信号CSRに基づき、クロック線CLK1~CLKnに対して、図4に示すタイミングで（詳細は後述）ハイレベル電位とローレベル電位を印加する。また、センサロウドライバ回路7は、制御信号CSRに基づき、リセット線RST1~RSTnの中から($n/2$)本のリセット線を選択し、選択したリセット線にリセット用のハイレベル電位を、残りのリセット線にローレベル電位を印加する

。これにより、ハイレベル電位が印加されたりセット線に接続された ($n \times m / 4$) 個のセンサ画素回路 9 が、一括してリセットされる。

[0039] また、センサロウドライバ回路 7 は、制御信号 CS_r に基づき、読み出し線 $RWS_1 \sim RWS_n$ の中から、隣接する 2 本の読み出し線を順に選択し、選択した読み出し線に読み出し用のハイレベル電位を、残りの読み出し線にローレベル電位を印加する。選択された 2 本の読み出し線に接続された m 個のセンサ画素回路 9 が、一括して読み出し可能状態になる。このときソースドライバ回路 6 は、電源線 $VDD_1 \sim VDD_m$ に対してハイレベル電位を印加する。これにより、読み出し可能状態にある m 個のセンサ画素回路 9 から出力線 $OUT_1 \sim OUT_m$ に、各センサ画素回路 9 で検知した光の量に応じた信号（以下、センサ信号という）が出力される。なお、ここでは、読み出し線 RWS を 2 本ずつ選択して読み出すものとしたが、1 本ずつ選択して読み出すようにしても良い。

[0040] 第 1 センサ画素回路 9 a の出力信号と第 2 センサ画素回路 9 b の出力信号とは、ソースドライバ回路 6 へ送られる。ソースドライバ回路 6 は、前記出力信号をそれぞれ増幅し、増幅後の信号をセンサ出力 S_{out} として表示パネル 2 の外部に出力する。センサ出力 S_{out} は、表示パネル 2 の外部に設けられた信号処理回路 20 によって、必要に応じて適宜の処理を施される。このようにソースドライバ回路 6 とセンサロウドライバ回路 7 を用いてすべてのセンサ画素回路 9 からセンサ信号を読み出すことにより、表示パネル 2 に入射した光を検知することができる。

[0041] 図 3 は、第 1 の赤外線 LED 群 3 b 1 および第 2 の赤外線 LED 群 3 b 2 の点灯および消灯タイミング、並びに、センサ画素回路 9 に対するリセットおよび読み出しタイミングを示す図である。図 3 の例では、第 1 の赤外線 LED 群 3 b 1 および第 2 の赤外線 LED 群 3 b 2 のそれぞれは、1 フレーム期間に 1 回ずつ、所定時間だけ点灯し、それ以外の期間では消灯する。具体的には、第 1 の赤外線 LED 群 3 b 1 は、1 フレーム期間内の時刻 t_a において点灯し、時刻 t_b において消灯する。第 2 の赤外線 LED 群 3 b 2 は、

1 フレーム期間内の時刻 t_b において点灯し、時刻 t_c において消灯する。
また、時刻 t_a においてすべての第1センサ画素回路9aに対するリセットが行われ、時刻 t_b においてすべての第2センサ画素回路9bに対するリセットが行われる。

[0042] 第1センサ画素回路9aは、時刻 t_a から時刻 t_b までの期間A1（第1の赤外線LED群3b1の点灯期間）に入射した光を検知する。第2センサ画素回路9bは、時刻 t_b から時刻 t_c までの期間A2（第2の赤外線LED群3b2の点灯期間）に入射した光を検知する。期間A1と期間A2は同じ長さである。第1センサ画素回路9aからの読み出しと第2センサ画素回路9bからの読み出しは、時刻 t_c 以降に並列に線順次で行われる。なお、図3では、センサ画素回路9からの読み出しは、1フレーム期間内に完了しているが、次のフレーム期間で第1センサ画素回路9aに対するリセットを行うまでに完了すればよい。

[0043] なお、図3においては、センサ画素回路9からの読み出しを1フレーム期間に1回ずつ行う例を示したが、1フレーム期間に2回以上、センサ画素回路9からの読み出しを行うようにしても良い。

[0044] 図4は、図3のタイミングで駆動するための表示パネル2の信号波形図である。図4に示すように、ゲート線GL1～GLxの電位は、1フレーム期間に1回ずつ順に所定時間ずつハイレベルになる。第1の領域にあるクロック線CLK1～CLK($n/2$)の電位は、1フレーム期間に1回、期間A1において（より詳細には、時刻 t_a から時刻 t_b の少し前まで）ハイレベルになる。第2の領域にあるクロック線CLK($n/2+1$)～CLKnの電位は、1フレーム期間に1回、期間A2において（より詳細には、時刻 t_b から時刻 t_c の少し前まで）ハイレベルになる。第1の領域にあるリセット線RST1～RST($n/2$)の電位は、1フレーム期間に1回、期間A1の始めに所定時間だけハイレベルになる。第2の領域にあるリセット線RST($n/2+1$)～RSTnの電位は、1フレーム期間に1回、期間A2の始めに所定時間だけハイレベルになる。読み出し線RWS1～RWSnは

、2本ずつ対にされ、 $(n/2)$ 対の読み出し線の電位は、時刻 t_c 以降に順に所定時間ずつハイレベルになる。

[0045] 図5は、センサ画素回路9の概略構成を示す図である。図5に示すように、第1センサ画素回路9aは、1個のフォトダイオードD1aと1個の蓄積ノードNDaを含んでいる。フォトダイオードD1aは、第1の赤外線LED群3b1が点灯している間（時刻 $t_a \sim t_b$ ）に入射した光の量に応じた電荷を蓄積ノードNDaから引き抜く。第2センサ画素回路9bは、第1センサ画素回路9aと同様に、1個のフォトダイオードD1bと1個の蓄積ノードNDbを含んでいる。フォトダイオードD1bは、第2の赤外線LED群3b2が点灯している間（時刻 $t_b \sim t_c$ ）に入射した光の量に応じた電荷を蓄積ノードNDbから引き抜く。以上のとおり、第1センサ画素回路9aからは、第1の赤外線LED群3b1の点灯時の検知期間に入射した光の量に応じたセンサ信号が読み出される。第2センサ画素回路9bからは、第2の赤外線LED群3b2の点灯時の検知期間に入射した光の量に応じたセンサ信号が読み出される。

[0046] なお、画素領域4に設けるセンサ画素回路9の個数は任意でよい。例えば、画素領域4に、カラー画素と同数の（すなわち、 $(x \times y / 3)$ 個の）センサ画素回路9を設けてもよい。あるいは、画素領域4にカラー画素よりも少ない個数の（例えば、カラー画素の数分の1～数10分の1の）センサ画素回路9を設けてもよい。

[0047] このように本発明の実施形態に係る表示装置は、画素領域4に複数のフォトダイオード（受光素子）を配置した表示装置であって、複数の表示画素回路8および複数のセンサ画素回路9を含む表示パネル2と、センサ画素回路9に対して、第1の赤外線LED群3b1の点灯時の検知期間と、第2の赤外線LED群3b2の点灯時の検知期間とを示すクロック信号CLK（制御信号）を出力するセンサロウドライバ回路7（駆動回路）とを備えている。以下、この表示装置に含まれるセンサ画素回路9の詳細を説明する。以下の説明では、センサ画素回路を画素回路と略称し、信号線上の信号を識別する

ために信号線と同じ名称を使用する（例えば、クロック線CLK a上の信号をクロック信号CLK aという）。

[0048] 第1センサ画素回路9 aは、クロック線CLK a、リセット線RST a、読み出し線RWS a、電源線VDD aおよび出力線OUT aに接続される。第2センサ画素回路9 bは、クロック線CLK b、リセット線RST b、読み出し線RWS b、電源線VDD bおよび出力線OUT bに接続される。これらの実施形態では、第2センサ画素回路9 bは第1センサ画素回路9 aと同じ構成を有し同様に動作するので、第2センサ画素回路9 bに関する説明を適宜省略する。

[0049] 図6は、第1センサ画素回路9 aおよび第2センサ画素回路9 bの具体的な構成の一例を示す回路図である。本実施形態において、図6に示す第1画素回路10 aが、前述の第1センサ画素回路9 aの一具体例であり、第2画素回路10 bが、第2センサ画素回路9 bの一具体例である。図6に示すように、第1画素回路10 aは、トランジスタT1 a、M1 a、フォトダイオードD1 a、および、コンデンサC1 aを含んでいる。第2画素回路10 bは、トランジスタT1 b、M1 b、フォトダイオードD1 b、および、コンデンサC1 bを含んでいる。トランジスタT1 a、M1 a、T1 b、M1 bは、N型TFT（Thin Film Transistor：薄膜トランジスタ）である。

[0050] 第1画素回路10 aでは、フォトダイオードD1 aのアノードはリセット線RST aに接続され、カソードはトランジスタT1 aのソースに接続される。トランジスタT1 aのゲートはクロック線CLK aに接続され、ドレインはトランジスタM1 aのゲートに接続される。トランジスタM1 aのドレインは電源線VDD aに接続され、ソースは出力線OUT aに接続される。コンデンサC1 aは、トランジスタM1 aのゲートと読み出し線RWS aの間に設けられる。第1画素回路10 aでは、トランジスタM1 aのゲートに接続されたノードが、検知した光量に応じた電荷を蓄積する蓄積ノードとなり、トランジスタM1 aは読み出しトランジスタとして機能する。第2画素回路10 bは、第1画素回路10 aと同じ構成を有する。

[0051] 図7は、第1画素回路10aのレイアウト図である。図7に示すように、第1画素回路10aは、ガラス基板上に遮光膜LS、半導体層（斜線部）、ゲート配線層（点模様部）およびソース配線層（白塗り部）を順に形成することにより構成される。半導体層とソース配線層を接続する箇所、および、ゲート配線層とソース配線層を接続する箇所には、コンタクト（白円で示す）が設けられる。トランジスタT1a、M1aは、半導体層とゲート配線層を交差して配置することにより形成される。フォトダイオードD1aは、P層、I層およびN層の半導体層を並べて配置することにより形成される。コンデンサC1aは、半導体層とゲート配線層を重ねて配置することにより形成される。遮光膜LSは、金属製であり、基板の裏側から入った光がフォトダイオードD1aに入射することを防止する。第2画素回路10bは、第1画素回路10aと同様の形態にレイアウトされる。なお、第1および第2画素回路10a、10bを上記以外の形態にレイアウトしてもよい。

[0052] 図8は、図4に示した信号によって駆動された場合の第1画素回路10aの動作を示す図である。図8に示すように、第1画素回路10aは、1フレーム期間に（a）リセット、（b）蓄積、（c）保持、および、（d）読み出しを行う。

[0053] 図9は、図4に示した信号によって駆動された場合の第1画素回路10aと第2画素回路10bの信号波形図である。図9において、BLは、第1の赤外線LED群3b1および第2の赤外線LED群3b2の輝度を表し、Vint aは第1画素回路10aの蓄積ノードの電位（トランジスタM1aのゲート電位）を表し、Vint bは第2画素回路10bの蓄積ノードの電位（トランジスタM1bのゲート電位）を表す。第1画素回路10aについては、時刻t1～時刻t2がリセット期間、時刻t2～時刻t3が蓄積期間、時刻t3～時刻t7が保持期間、時刻t7～時刻t8が読み出し期間となる。第2画素回路10bについては、時刻t4～時刻t5がリセット期間、時刻t5～時刻t6が蓄積期間、時刻t6～時刻t7が保持期間、時刻t7～時刻t8が読み出し期間となる。

- [0054] 第1画素回路10aのリセット期間では、クロック信号CLKaはハイレベル、読み出し信号RWSaはローレベル、リセット信号RSTaはリセット用のハイレベルになる。このとき、トランジスタT1aはオンする。したがって、リセット線RSTaからフォトダイオードD1aとトランジスタT1aを経由して蓄積ノードに電流（フォトダイオードD1aの順方向電流）が流れ（図8（a））、電位Vint aは所定レベルにリセットされる。
- [0055] 第1画素回路10aの蓄積期間では、クロック信号CLKaはハイレベル、リセット信号RSTaと読み出し信号RWSaはローレベルになる。このとき、トランジスタT1aはオンする。このときにフォトダイオードD1aに光が入射すると、蓄積ノードからトランジスタT1aとフォトダイオードD1aを経由してリセット線RSTaに電流（フォトダイオードD1aのフォト電流）が流れ、蓄積ノードから電荷が引き抜かれる（図8（b））。したがって、電位Vint aは、クロック信号CLKaがハイレベルである期間（第1の赤外線LED群3b1の点灯期間）に入射した光の量に応じて下降する。
- [0056] 第1画素回路10aの保持期間では、クロック信号CLKa、リセット信号RSTaおよび読み出し信号RWSaはローレベルになる。このとき、トランジスタT1aはオフする。このときにフォトダイオードD1aに光が入射しても、トランジスタT1aはオフしており、フォトダイオードD1aとトランジスタM1のゲートの間は電氣的に遮断されているので、電位Vint aは変化しない（図8（c））。
- [0057] 第1画素回路10aの読み出し期間では、クロック信号CLKaとリセット信号RSTaはローレベル、読み出し信号RWSaは読み出し用のハイレベルになる。このとき、トランジスタT1aはオフする。このとき電位Vint aは、読み出し信号RWSaの電位の上昇量の (C_{qa}/C_{pa}) 倍（ただし、 C_{pa} は第1画素回路10aの全体の容量値、 C_{qa} はコンデンサC1aの容量値）だけ上昇する。トランジスタM1aは、ソースドライバ回路6に含まれるトランジスタ（図示せず）を負荷としたソースフォロワ増幅

回路を構成し、電位 $V_{int a}$ に応じて出力線 $OUT a$ を駆動する（図 8（d））。

[0058] 第 2 画素回路 10 b は、第 1 画素回路 10 a と同様に動作する。電位 $V_{int b}$ は、リセット期間において所定レベルにリセットされ、蓄積期間ではクロック信号 $CLK b$ がハイレベルである期間（第 2 の赤外線 LED 群 3 b 2 の点灯期間）に入射した光の量に応じて下降し、保持期間では変化しない。読み出し期間では、電位 $V_{int b}$ は読み出し信号 $RWS b$ の電位の上昇量の (C_{qb}/C_{pb}) 倍（ただし、 C_{pb} は第 2 画素回路 10 b の全体の容量値、 C_{qb} はコンデンサ $C1 b$ の容量値）だけ上昇し、トランジスタ $M1 b$ は電位 $V_{int b}$ に応じて出力線 $OUT b$ を駆動する。

[0059] 以上に示すように、本実施形態に係る第 1 画素回路 10 a は、1 個のフォトダイオード $D1 a$ （受光素子）と、検知した光量に応じた電荷を蓄積する 1 個の蓄積ノードと、蓄積ノードに接続された制御端子を有するトランジスタ $M1 a$ （読み出しトランジスタ）と、フォトダイオード $D1 a$ を流れる電流の経路上に設けられ、クロック信号 CLK に従いオン／オフするトランジスタ $T1 a$ （保持用スイッチング素子）とを含んでいる。トランジスタ $T1 a$ は蓄積ノードとフォトダイオード $D1 a$ の一端との間に設けられ、フォトダイオード $D1 a$ の他端はリセット線 $RST a$ に接続される。トランジスタ $T1 a$ は、クロック信号 $CLK a$ に従い、第 1 の赤外線 LED 群 3 b 1 の点灯時の検知期間でオンする。第 2 画素回路 10 b は第 1 画素回路 10 a と同様の構成を有し、第 2 画素回路 10 b に含まれるトランジスタ $T1 b$ は、第 2 の赤外線 LED 群 3 b 2 の点灯時の検知期間でオンする。

[0060] このように、本実施形態においては、フォトダイオード $D1 a$ を流れる電流の経路上に、第 1 の赤外線 LED 群 3 b 1 の点灯時の検知期間でオンするトランジスタ $T1 a$ を設け、フォトダイオード $D1 b$ を流れる電流の経路上に、第 2 の赤外線 LED 群 3 b 2 の点灯時の検知期間でオンするトランジスタ $T1 b$ を設ける。これにより、第 1 の赤外線 LED 群 3 b 1 の点灯時の検知期間では光を検知し、それ以外では検知した光量を保持する第 1 画素回路

10aと、第2の赤外線LED群3b2の点灯時の検知期間では光を検知し、それ以外では検知した光量を保持する第2画素回路10bとを構成することができる。

[0061] [バックライト3の構成例]

ここで、本実施形態におけるバックライト3の構成について、いくつかの具体例を示して説明する。図10～図14は、バックライト3の構成例をそれぞれ示す分解斜視図である。図15は、図14に示すバックライト3の概略構成を示す断面図である。

[0062] 図10～図14に示すバックライト3では、導光板64または74の一方の面に2枚のレンズシート61、62および拡散シート63が設けられ、他方の面には反射シート65または72が設けられている。

[0063] 図10に示すバックライト3の場合、白色LED3aを1次元状に配置したフレキシブルプリント基板66が、導光板64の側面に設けられている。赤外線LED3bは、回路基板67上に2次元状に配置されている。この回路基板67は、反射シート65の背面側に設けられている。反射シート65は、赤外光を透過し、可視光を反射するシートで形成されている。このようなシートとしては、例えばポリエステル系樹脂で形成された反射シートを用いることができる。

[0064] 図10に示したバックライト3において、回路基板67上に2次元状に配置された複数の赤外線LED3bのうち、画素領域4における垂直方向の上側半分に相当する第1の領域に存在するものが、第1の赤外線LED群3b1に属する。また、画素領域4における垂直方向の下側半分に相当する第2の領域に存在するものが、第2の赤外線LED群3b2に属する。

[0065] 図11に示すバックライト3においても、白色LED3aを1次元状に配置したフレキシブルプリント基板66が、導光板64の側面に設けられている。図11に示すバックライト3は、導光板64の他に、もう1枚の導光板68を備えている。赤外線LED3bは、フレキシブル基板69上に1次元状に配置された状態で、導光板68の側面に設けられる。図11に示すバック

クライト 3 においては、導光板 6 8 の背面側に、反射シート 7 0 が設けられている。反射シート 7 0 は、赤外光を反射するシートで形成されている。

[0066] 図 1 1 に示す構成のバックライト 3 によれば、白色 LED 3 a を光源として可視光を出射するバックライト（すなわち、レンズシート 6 1 から反射シート 6 5 まで）に、導光板 6 8、赤外線 LED 3 b、フレキシブル基板 6 9、および反射シート 7 0 を追加することにより、可視光用のバックライト構造をそのまま用いて、可視光と赤外光との両方を出射するバックライト 3 を構成することができる。

[0067] 図 1 1 に示したバックライト 3 において、フレキシブル基板 6 9 上に 1 次元状に配置された複数の赤外線 LED 3 b のうち、画素領域 4 における垂直方向の上側半分に相当する第 1 の領域に対して光を入射するように配置されたものが、第 1 の赤外線 LED 群 3 b 1 に属する。また、画素領域 4 における垂直方向の下側半分に相当する第 2 の領域に対して光を入射するように配置されたものが、第 2 の赤外線 LED 群 3 b 2 に属する。

[0068] 図 1 2 に示すバックライト 3 においては、白色 LED 3 a と赤外線 LED 3 b とを混在して 1 次元状に配置したフレキシブルプリント基板 7 1 が、導光板 6 4 の側面に設けられている。白色 LED 3 a と赤外線 LED 3 b とは、フレキシブルプリント基板 7 1 上に、例えば交互に配置される。反射シート 7 2 としては、可視光と赤外光の両方を反射するシートを使用する。このように、導光板 6 4 の側面に沿って白色 LED 3 a と赤外線 LED 3 b とを混在して配置することにより、可視光用のバックライト構造をほぼそのまま用いて、可視光と赤外光との両方を出射するバックライト 3 を構成することができる。

[0069] 図 1 2 に示したバックライト 3 において、フレキシブルプリント基板 7 1 上に 1 次元状に配置された複数の赤外線 LED 3 b のうち、画素領域 4 における垂直方向の上側半分に相当する第 1 の領域に対して光を入射するように配置されたものが、第 1 の赤外線 LED 群 3 b 1 に属する。また、画素領域 4 における垂直方向の下側半分に相当する第 2 の領域に対して光を入射する

ように配置されたものが、第2の赤外線LED群3b2に属する。

[0070] 図13に示すバックライト3においては、白色LED3aと赤外線LED3bとが、同一の樹脂パッケージ14内に一緒に封入されている。そして、この樹脂パッケージ14が1次元状に配置されたフレキシブルプリント基板73が、導光板64の側面に設けられている。このように白色LED3aと赤外線LED3bとを1つの樹脂パッケージ14内に封入することにより、狭いスペースに多数のLED発光体を配置することができる。なお、1つの樹脂パッケージ14内に白色LED3aと赤外線LED3bとを1個ずつ封入してもよく、複数個ずつ封入してもよい。

[0071] 図13に示したバックライト3において、フレキシブルプリント基板73上に配置された複数の赤外線LED3bのうち、画素領域4における垂直方向の上側半分に相当する第1の領域に対して光を入射するように配置されたものが、第1の赤外線LED群3b1に属する。また、画素領域4における垂直方向の下側半分に相当する第2の領域に対して光を入射するように配置されたものが、第2の赤外線LED群3b2に属する。

[0072] 図14に示すバックライト3においては、白色LED3aと赤外線LED3bとを混在して1次元状に配置したフレキシブルプリント基板71が、導光板74の一方の側面に設けられている。導光板74において、前記一方の側面に対向する側面にも、白色LED3aと赤外線LED3bとを混在して1次元状に配置したフレキシブルプリント基板71が設けられている。

[0073] 図14に示したバックライト3において、フレキシブルプリント基板71上に配置された複数の赤外線LED3bのうち、画素領域4における垂直方向の上側半分に相当する第1の領域に対して光を入射するように配置されたものが、第1の赤外線LED群3b1に属する。また、画素領域4における垂直方向の下側半分に相当する第2の領域に対して光を入射するように配置されたものが、第2の赤外線LED群3b2に属する。

[0074] 図15は、図14に示したバックライト3の断面図である。導光板74は、一方の側面から入射した白色光および赤外光と、反対側の側面から入射し

た白色光および赤外光とが伝搬するように加工されている。このように、導光板 74 において対向する 2 つの側面に沿って、白色 LED 3a と赤外線 LED 3b とを配置することにより、これら 2 種類の LED が導光板 74 およびその他のバックライト部材を共有することとなる。これにより、可視光と赤外光との両方を出射するバックライト 3 を、よりコンパクトな構造で実現することができる。

[0075] [バックライト制御回路 13 の構成]

ここで、バックライト制御回路 13 の構成の一例について説明する。図 16 は、バックライト制御回路 13 において、赤外線 LED 3b の点灯／消灯制御を行う回路の構成を示す回路図である。図 16 に示すように、バックライト制御回路 13 は、外部の電源 18 から電圧供給を受ける。バックライト制御回路 13 は、電源制御回路 131 と、スイッチ素子 132a, 132b とを備えている。図 16 に示す on/off 信号、IR1_{CNT} 信号、IR2_{CNT} 信号は、図 1 に示す制御信号 CSb としてバックライト制御回路 13 へ与えられる。

[0076] on/off 信号は、電源制御回路 131 のオン／オフを制御する。IR1_{CNT} 信号は、スイッチ素子 132a のゲート電極へ与えられ、スイッチ素子 132a のオン／オフを制御する。IR2_{CNT} 信号は、スイッチ素子 132b のゲート電極へ与えられ、スイッチ素子 132b のオン／オフを制御する。スイッチ素子 132a のソース電極は、抵抗 R2 に接続されている。スイッチ素子 132b のソース電極は、抵抗 R3 に接続されている。スイッチ素子 132a, 132b のドレイン電極は、バックライト制御回路 13 の FB 端子に接続されている。

[0077] 図 17 は、バックライト制御回路 13 の動作を示すタイミングチャートである。図 17 に示すように、電源制御回路 131 の出力端子 (V_{out}) からは、第 1 の赤外線 LED 群 3b1 および第 2 の赤外線 LED 群 3b2 のアノードへ、常時、一定電圧 V_a [V] が印加される。そして、時刻 t1 ~ t2 においては、IR1_{CNT} 信号がハイレベルであるのでスイッチ素子 132

aがオンとなり、第1の赤外線LED群3b1へ供給される駆動電流CS3b1の電流値がハイレベル（この例では100[mA]）となる。これにより、第1の赤外線LED群3b1は点灯状態（ON）となる。このとき、IR2_{CNT}信号はローレベルであるので、スイッチ素子132bはオフとなり、第2の赤外線LED群3b2へ供給される駆動電流CS3b2の電流値はローレベル（この例では0[mA]）となる。これにより、第2の赤外線LED群3bは消灯状態（OFF）となっている。なお、この時刻t1～t2の期間が、図3に示す時刻ta～tbの期間A1に相当する。

[0078] 一方、時刻t2においては、IR2_{CNT}信号がローレベルからハイレベルへ切り替わると共に、IR1_{CNT}信号がハイレベルからローレベルへ切り替わる。これにより、第1の赤外線LED群3b1へ供給される駆動電流CS3b1の電流値がローレベル（この例では0[mA]）となり、第2の赤外線LED群3b2へ供給される駆動電流CS3b2の電流値がハイレベル（この例では100[mA]）となる。これにより、時刻t2～t3において、第1の赤外線LED群3b1は消灯状態（OFF）、第2の赤外線LED群3b2は点灯状態（ON）となる。なお、この時刻t2～t3の期間が、図3に示す時刻tb～tcの期間A2に相当する。

[0079] 時刻t3においては、IR1_{CNT}信号がローレベルのまま、IR2_{CNT}信号がハイレベルからローレベルへ切り替わる。これにより、時刻t3以降では、赤外線LED3bは全て消灯状態（OFF）となる。

[0080] 以上のとおり、本実施形態にかかるバックライト制御回路13は、一つの電源制御回路131によって第1の赤外線LED群3b1および第2の赤外線LED群3b2の両方の点灯／消灯を制御可能に構成されている。これにより、第1の赤外線LED群3b1および第2の赤外線LED群3b2を別個に駆動制御する回路を設ける場合と比較して、回路規模を小さくすることができる。

[0081] 以上のとおり、本実施形態によれば、画素領域4の複数のセンサ画素回路9は、画素領域4における垂直方向の上側半分に相当する第1の領域に配置

される第1センサ画素回路9aと、下側半分に相当する第2の領域に配置される第2センサ画素回路9bとの二つのグループに、空間的に分割されている。そして、バックライト3の赤外線LED群3bが、第1センサ画素回路9aへ光を照射する第1の赤外線LED群3b1と、第2センサ画素回路9bへ光を照射する第2の赤外線LED群3b2とに分割されている。さらに、第1の赤外線LED群3b1と、第2の赤外線LED群3b2とが、同一フレームにおいて、互いに異なる期間（期間A1およびA2）に点灯するように制御される。

[0082] このように、第1の赤外線LED群3b1の点灯期間（期間A1）と、第2の赤外線LED群3b2の点灯期間（期間A2）とが重複しないようにすることにより、全ての赤外線LED群3bを同時に点灯させる場合よりも、それぞれの期間におけるバックライト3への供給電流を抑制することができる。言い換えると、全ての赤外線LED群3bを同時に点灯させる場合と比較して、一度に点灯される赤外線LEDの数が半数であるので、各領域の瞬間輝度を高めることができる。また、全ての赤外線LED群3bを同時に点灯させる場合と比較して、瞬間的な大電流供給を必要としないので、バッテリー寿命の低下を回避できるという利点もある。

[0083] なお、上記の説明においては、ゲート線GL1～GLxの整列方向（ゲート線GLの延伸方向に垂直な方向）を垂直方向として、この垂直方向の上側半分に配置されたセンサ画素回路9を第1センサ画素回路9aとし、下側半分に配置されたセンサ画素回路9を第2センサ画素回路9bとした。しかし、画素領域4におけるセンサ画素回路9の分割パターンは、この例に限定されない。

[0084] 以上のとおり、本実施形態においては、画素領域4の複数のセンサ画素回路9は、ゲート線GLの整列方向において第1センサ画素回路9aと第2センサ画素回路9bとに分割されている。なお、図18Aに示すように、ゲートドライバ回路5が、表示パネル2の短辺側に位置し、表示パネル2の長辺がゲート線GLに平行な構成としても良い。あるいは、図18Bに示すよう

に、ゲートドライバ回路 5 が、表示パネル 2 の長辺側に位置し、表示パネル 2 の短辺がゲート線 G L に平行な構成としても良い。

[0085] 図 1 8 A に示す例では、センサ画素回路 9 が、表示パネル 2 の短辺方向（ゲート線 G L の整列方向）において、第 1 センサ画素回路 9 a と第 2 センサ画素回路 9 b とに分割されることとなる。この構成によれば、1 フレーム期間において 1 回の読み出し動作を行うことにより、全てのセンサ画素回路からセンサ出力を読み出せるという利点がある。

[0086] また、図 1 8 B に示す例では、センサ画素回路 9 が、表示パネル 2 の長辺方向（ゲート線 G L の整列方向）において、第 1 センサ画素回路 9 a と第 2 センサ画素回路 9 b とに分割されることとなる。この構成においても、1 フレーム期間において 1 回の読み出し動作を行うことにより、全てのセンサ画素回路からセンサ出力を読み出せるという利点がある。また、この構成において、画素領域 4 を挟んでゲートドライバ回路 5 に対向する位置に赤外線 L E D 3 b を配置することが好ましい。これにより、表示パネル 2 の短辺に平行な方向に光が伝搬するので、第 1 の赤外線 L E D 群 3 b 1 が照射する領域と、第 2 の赤外線 L E D 群 3 b 2 が照射する領域との境界において、境界面内の光量変化幅が小さく、光のロスが少なく済むという利点がある。

[0087] なお、上記の説明においては、センサ画素回路 9 を、第 1 センサ画素回路 9 a と第 2 センサ画素回路 9 b との二つのグループに分割すると共に、赤外線 L E D 3 b を、第 1 の赤外線 L E D 群 3 b 1 と第 2 の赤外線 L E D 群 3 b 2 とに分割した。そして、第 1 センサ画素回路 9 a と第 2 センサ画素回路 9 b のそれぞれのセンシングに対応させて、第 1 の赤外線 L E D 群 3 b 1 と第 2 の赤外線 L E D 群 3 b 2 とを、互いに異なる期間に点灯駆動するものとした。

[0088] しかし、センサ画素回路 9 および赤外線 L E D 3 b のグループ分割数は、上述の二つに限定されるものではなく、三つ以上のグループに分割することも可能である。

[0089] [第 2 の実施形態]

本発明の第2の実施形態について、以下に説明する。第1の実施形態において説明した構成と同様の構成については、第1の実施形態と同じ参照符号を付記し、詳細な説明を省略する。

[0090] 第2の実施形態にかかる表示装置は、センサ画素回路の分割パターンが、第1の実施形態とは異なっている。すなわち、第1の実施形態においては、画素領域4における複数のセンサ画素回路9が、ゲート線GLの整列方向において二つのグループに分割されていた。これに対して、第2の実施形態では、センサ画素回路9は、ソース線SLの整列方向においても二つのグループに分割されている。これにより、センサ画素回路9は、合計4つのグループに分割されている。

[0091] 図19は、第2の実施形態の画素領域4におけるセンサ画素回路9の配置を示す図である。本実施形態においては、図19に示すように、画素領域4の $(n \times m / 2)$ 個のセンサ画素回路9のうち、その $1 / 4$ に相当する $(n \times m / 8)$ 個の第1センサ画素回路9a1は、画素領域4を、垂直2つ水平2つの合計4つに分割した場合の、左上の領域に配置される。言い換えると、第1センサ画素回路9a1は、クロック線CLK1~CLK $(n / 2)$ と、出力線OUT1~OUT $(m / 2)$ との交点近傍にそれぞれ配置される。

[0092] また、同じく $(n \times m / 8)$ 個の第2センサ画素回路9b1は、画素領域4を、垂直2つ水平2つの合計4つに分割した場合の、左下の領域に配置される。言い換えると、第2センサ画素回路9b1は、クロック線CLK $(n / 2 + 1)$ ~CLK n と、出力線OUT1~OUT $(m / 2)$ との交点近傍にそれぞれ配置される。

[0093] 同じく $(n \times m / 8)$ 個の第3センサ画素回路9a2は、画素領域4を、垂直2つ水平2つの合計4つに分割した場合の、右上の領域に配置される。言い換えると、第3センサ画素回路9a2は、クロック線CLK1~CLK $(n / 2)$ と、出力線OUT $(m / 2 + 1)$ ~OUT m との交点近傍にそれぞれ配置される。

[0094] 同じく $(n \times m / 8)$ 個の第4センサ画素回路9b2は、画素領域4を、

垂直2つ水平2つの合計4つに分割した場合の、右下の領域に配置される。言い換えると、第3センサ画素回路9a2は、クロック線CLK ($n/2 + 1$) ~ CLK n と、出力線OUT ($m/2 + 1$) ~ OUT m との交点近傍にそれぞれ配置される。

[0095] また、本実施形態の場合は、第1の実施形態において図10に示した直下型のバックライト3を使用する。本実施形態においては、この直下型のバックライト3において、第1センサ画素回路9a1が配置されている領域に対して直下から光を照射する赤外線LED群を、第1の赤外線LED群3ba1と称する。第2センサ画素回路9b1が配置されている領域に対して直下から光を照射する赤外線LED群を、第2の赤外線LED群3bb1と称する。第3センサ画素回路9a2が配置されている領域に対して直下から光を照射する赤外線LED群を、第3の赤外線LED群3ba2と称する。第4センサ画素回路9b2が配置されている領域に対して直下から光を照射する赤外線LED群を、第4の赤外線LED群3bb2と称する。

[0096] 図20は、本実施形態における第1～第4の赤外線LED群の点灯および消灯タイミング、並びに、センサ画素回路9に対するリセットおよび読み出しタイミングを示す図である。図20の例では、第1の赤外線LED群3ba1、第2の赤外線LED群3bb1、第3の赤外線LED群3ba2、および、第4の赤外線LED群3bb2のそれぞれは、1/2フレーム期間に1回ずつ、所定時間だけ点灯し、それ以外の期間では消灯する。具体的には、第1の赤外線LED群3ba1は、1フレーム期間の前半内の時刻 t_a において点灯し、時刻 t_b において消灯する。第2の赤外線LED群3bb1は、時刻 t_b において点灯し、時刻 t_c において消灯する。なお、時刻 t_a においてすべての第1センサ画素回路9a1に対するリセットが行われ、時刻 t_b においてすべての第2センサ画素回路9b1に対するリセットが行われる。

[0097] 第1センサ画素回路9a1は、1フレーム期間の前半における時刻 t_a から時刻 t_b までの期間A1（第1の赤外線LED群3ba1の点灯期間）に

入射した光を検知する。第2センサ画素回路9b1は、時刻t_bから時刻t_cまでの期間A2（第2の赤外線LED群3bb1の点灯期間）に入射した光を検知する。期間A1と期間A2は同じ長さである。第1センサ画素回路9a1および第2センサ画素回路9b1からの読み出しは、1フレーム期間の前半において、時刻t_c以降に並列に線順次で行われる。なお、図20では、第1センサ画素回路9a1および第2センサ画素回路9b1からの読み出しは、前半の1/2フレーム期間内に完了しているが、後半の1/2フレーム期間で第3センサ画素回路9ba2に対するリセットを行うまでに完了すればよい。

[0098] 第3センサ画素回路9a2は、1フレーム期間の後半における時刻t_dから時刻t_eまでの期間A3（第3の赤外線LED群3ba2の点灯期間）に入射した光を検知する。第4センサ画素回路9b2は、時刻t_eから時刻t_fまでの期間A4（第4の赤外線LED群3bb2の点灯期間）に入射した光を検知する。期間A3と期間A4は、期間A1およびA2と同じ長さである。第3センサ画素回路9a2および第4センサ画素回路9b2からの読み出しは、1フレーム期間の後半において、時刻t_f以降に並列に線順次で行われる。なお、図20では、第3センサ画素回路9a2および第4センサ画素回路9b2からの読み出しは、後半の1/2フレーム期間内に完了しているが、次の前半の1/2フレーム期間で第1センサ画素回路9ba1に対するリセットを行うまでに完了すればよい。

[0099] このように、本実施形態では、センサ画素回路9を、ゲート線GLの整列方向だけでなく、ソース線SLの整列方向においても複数のグループに分割することにより、画素領域4のセンサ画素回路9が4つ以上のグループに分割されている。また、センサ画素回路9の複数のグループのそれぞれに対応するように、赤外線LED3bも同数のグループに分割されている。そして、赤外線LED3bのこれらのグループを、互いに異なる期間に点灯駆動させることにより、赤外線LED3bの全てを同時に点灯させる場合に比較して、それぞれの期間におけるバックライト3への供給電流を抑制することが

できる。言い換えると、全ての赤外線LED 3bを同時に点灯させる場合と比較して、一度に点灯される赤外線LEDの数が少なくなり、各領域の瞬間輝度を高めることができる。また、全ての赤外線LED 3bを同時に点灯させる場合と比較して、瞬間的な大電流供給を必要としないので、バッテリー寿命の低下を回避できるという利点もある。

[0100] なお、本実施形態においては、センサ画素回路9を、ゲート線GLの整列方向と、ソース線SLの整列方向との両方において、複数のグループに分割した構成を例示した。しかし、ゲート線GLの整列方向にセンサ画素回路9を分割することは必須ではない。すなわち、センサ画素回路9を、ソース線SLの整列方向においてのみ、2つ以上のグループに分割した構成としても良い。

[0101] [第3の実施形態]

本発明の第3の実施形態について、以下に説明する。第1または第2の実施形態において説明した構成と同様の構成については、これらの実施形態と同じ参照符号を付記し、詳細な説明を省略する。

[0102] 第3の実施形態にかかる表示装置は、センサ画素回路9が、赤外線LED 3bが点灯していない期間にセンシングを行うことによってノイズ成分のみを検出するオフセンサ画素回路を含む点において、第1の実施形態と異なっている。オフセンサ画素回路からの出力信号を、センサ画素回路9の出力信号から差し引くことにより、センサ画素回路9の出力信号からノイズ成分を除去することができる。

[0103] 図21は、第3の実施形態の画素領域4におけるセンサ画素回路9の配置を示す図である。(n×m/2)個のセンサ画素回路9には、第1の赤外線LED群3b1の点灯期間に入射した光を検知する第1センサ画素回路9aと、第2の赤外線LED群3b2の点灯期間に入射した光を検知する第2センサ画素回路9bと、赤外線LED 3bの消灯期間に入射した光を検知するオフセンサ画素回路9cとが含まれる。

[0104] 第1センサ画素回路9aと第2センサ画素回路9bは同数である。また、

第1の赤外線LED群3b1から光が照射される領域において、第1センサ画素回路9aとオフセンサ画素回路9cとは同数である。第2の赤外線LED群3b2から光が照射される領域において、第2センサ画素回路9bとオフセンサ画素回路9cとは同数である。

[0105] 図21では、画素領域4における垂直方向の上側半分、すなわち、クロック線CLK1～CLK($n/2$)が配置されている領域において、奇数番目のクロック線CLK1～CLK($n/2-1$)と奇数番目の出力線OUT1～OUT($m-1$)の交点近傍に($n \times m/8$)個の第1センサ画素回路9aが配置されている。また、画素領域4における垂直方向の上側半分、すなわち、クロック線CLK1～CLK($n/2$)が配置されている領域において、偶数番目のクロック線CLK2～CLK($n/2$)と奇数番目の出力線OUT1～OUT($m-1$)の交点近傍に、($n \times m/8$)個のオフセンサ画素回路9cが配置されている。

[0106] また、画素領域4における垂直方向の下側半分、すなわち、クロック線CLK($n/2+1$)～CLKnが配置されている領域において、奇数番目のクロック線CLK($n/2+1$)～CLK($n-1$)と奇数番目の出力線OUT1～OUT($m-1$)の交点近傍に($n \times m/8$)個の第2センサ画素回路9bが配置されている。また、画素領域4における垂直方向の下側半分、すなわち、クロック線CLK($n/2+1$)～CLKnが配置されている領域において、偶数番目のクロック線CLK($n/2+2$)～CLKnと奇数番目の出力線OUT1～OUT($m-1$)の交点近傍に、($n \times m/8$)個のオフセンサ画素回路9cが配置されている。

[0107] なお、本実施形態におけるセンサ画素回路9（第1センサ画素回路9a、第2センサ画素回路9b、およびオフセンサ画素回路9c）の構成は、第1の実施形態において図6ないし図9を参照しながら説明した構成と同様であるため、説明は省略する。

[0108] 以上のように、画素領域4における垂直方向の上側半分には第1センサ画素回路9aとオフセンサ画素回路9cが垂直方向において交互に配置され、

下側半分には第2センサ画素回路9bとオフセンサ画素回路9cとが交互に配置されている。これにより、読み出し期間において、読み出し線RWSを2本ずつ選択して読み出しを行う場合に、例えば、読み出し線RWS1に接続された第1センサ画素回路9aと、読み出し線RWS2に接続されたオフセンサ画素回路9cとから同時にセンサ信号を読み出すこととなる。

[0109] 本実施形態のソースドライバ回路6は、第1センサ画素回路9aの出力信号とオフセンサ画素回路9cの出力信号との差と、第2センサ画素回路9bの出力信号とオフセンサ画素回路9cの出力信号との差をそれぞれ求める差分回路（図示せず）を含んでいる。ソースドライバ回路6は、差分回路で求めた光量の差を増幅し、増幅後の信号をセンサ出力Soutとして表示パネル2の外部に出力する。センサ出力Soutは、表示パネル2の外部に設けられた信号処理回路20によって、必要に応じて適宜の処理を施される。このようにソースドライバ回路6とセンサロウドライバ回路7を用いてすべてのセンサ画素回路9からセンサ信号を読み出すことにより、表示パネル2に入射した光を検知することができる。

[0110] なお、第1センサ画素回路9aが配置された領域、すなわち、画素領域4における垂直方向の上側半分に対しては、第1の赤外線LED群3b1が光を照射する。また、第2センサ画素回路9bが配置された領域、すなわち、画素領域4における垂直方向の下側半分に対しては、第2の赤外線LED群3b2が光を照射する。

[0111] 図22は、第1の赤外線LED群3b1および第2の赤外線LED群3b2の点灯および消灯タイミング、並びに、センサ画素回路9に対するリセットおよび読み出しタイミングを示す図である。図22の例では、第1の赤外線LED群3b1および第2の赤外線LED群3b2のそれぞれは、1フレーム期間に1回、所定時間だけ点灯し、それ以外の期間では消灯する。具体的には、第1の赤外線LED群3b1は、1フレーム期間内の時刻taにおいて点灯し、時刻tbにおいて消灯する。また、時刻taにおいてすべての第1センサ画素回路9aに対するリセットが行われ、時刻tbにおいてすべ

ての第2センサ画素回路9bに対するリセットが行われる。また、時刻 t_c においてすべてのオフセンサ画素回路9cに対するリセットが行われる。

[0112] 第1センサ画素回路9aは、時刻 t_a から時刻 t_b までの期間A1（第1の赤外線LED群3b1の点灯期間）に入射した光を検知する。第2センサ画素回路9bは、時刻 t_b から時刻 t_c までの期間A2（第2の赤外線LED群3b2の点灯期間）に入射した光を検知する。オフセンサ画素回路9cは、時刻 t_c から時刻 t_d までの期間A3（赤外線LED3bの消灯期間）に入射した光を検知する。期間A3においては、赤外線LED3bは点灯されていないので、この期間A3においてオフセンサ画素回路9cに蓄積される電流成分は、ノイズ成分のみを含んだものとなる。期間A1、期間A2、および期間A3は互いに同じ長さである。第1センサ画素回路9aからの読み出しと第2センサ画素回路9bからの読み出しとオフセンサ画素回路9cからの読み出しは、時刻 t_d 以降に並列に線順次で行われる。なお、図22では、センサ画素回路9からの読み出しは、1フレーム期間内に完了しているが、次のフレーム期間で第1センサ画素回路9aに対するリセットを行うまでに完了すればよい。

[0113] なお、図22の例では、センサ画素回路9cのリセットおよび光検知を、第1センサ画素回路9aおよび第2センサ画素回路9bのリセットおよび光検知の後に行っている。しかし、センサ画素回路9cのリセットおよび光検知を、第1センサ画素回路9aおよび第2センサ画素回路9bのリセットおよび光検知の前に行っても良い。

[0114] 以上の動作により、読み出し期間において、第1センサ画素回路9aからは、第1の赤外線LED群3b1の点灯時の検知期間（期間A1）に入射した光の量に応じたセンサ信号が読み出される。第2センサ画素回路9bからは、第2の赤外線LED群3b2の点灯時の検知期間（期間A2）に入射した光の量に応じたセンサ信号が読み出される。オフセンサ画素回路9cからは、赤外線LED3bの消灯時の検知期間（期間A3）に入射した光の量に応じたセンサ信号が読み出される。前述のように、ソースドライバ回路6に

含まれる差分回路を用いて、第1センサ画素回路9aの出力信号とオフセンサ画素回路9cの出力信号の差と、第2センサ画素回路9bとオフセンサ画素回路9cの出力信号の差とが求められる。これにより、ノイズ成分が除去されたセンサ出力が得られる。

[0115] [第3の実施形態にかかるセンサ画素回路の変形例]

図23は、第3の実施形態に係るセンサ画素回路の変形例の構成を示す回路図である。図23に示す画素回路30は、トランジスタT1a、T1b、M1a、M1b、フォトダイオードD1、および、コンデンサC1a、C1bを含んでいる。トランジスタT1a、T1b、M1a、M1bは、N型TFTである。図23では、左半分が第1センサ画素回路または第2センサ画素回路に相当し、右半分がオフセンサ画素回路に相当する。画素回路30は、クロック線CLKa、CLKb、リセット線RST、読み出し線RWS、電源線VDDa、VDDb、および、出力線OUTa、OUTbに接続される。

[0116] 図23に示すように、フォトダイオードD1のアノードはリセット線RSTに接続され、カソードはトランジスタT1a、T1bのソースに接続される。トランジスタT1aのゲートはクロック線CLKaに接続され、ドレインはトランジスタM1aのゲートに接続される。トランジスタM1aのドレインは電源線VDDaに接続され、ソースは出力線OUTaに接続される。コンデンサC1aは、トランジスタM1aのゲートと読み出し線RWSの間に設けられる。トランジスタT1bのゲートはクロック線CLKbに接続され、ドレインはトランジスタM1bのゲートに接続される。トランジスタM1bのドレインは電源線VDDbに接続され、ソースは出力線OUTbに接続される。コンデンサC1bは、トランジスタM1bのゲートと読み出し線RWSの間に設けられる。画素回路30では、トランジスタM1aのゲートに接続されたノードが第1蓄積ノードとなり、トランジスタM1bのゲートに接続されたノードが第2蓄積ノードとなり、トランジスタM1a、M1bは読み出しトランジスタとして機能する。図24は、画素回路30のレイア

ウト図である。図24の説明は、第1の実施形態と同じである。

[0117] この構成にかかる画素回路30についても、図22に示したタイミングで駆動することにより、第1の赤外線LED群3b1から光を照射される画素回路30においては、出力線OUTaから、第1の赤外線LED群3b1の点灯時の検知期間（期間A1）に入射した光の量に応じたセンサ信号が読み出される。また、これと同時に、出力線OUTbから、赤外線LED3bの消灯時の検知期間（期間A3）に入射した光の量に応じたセンサ信号が読み出される。したがって、出力線OUTaからのセンサ信号から出力線OUTbからのセンサ信号を差し引くことにより、ノイズのないセンサ出力を得ることができる。

[0118] 同様に、第2の赤外線LED群3b2から光を照射される画素回路30においては、図22に示したタイミングで駆動することにより、出力線OUTaから、第2の赤外線LED群3b2の点灯時の検知期間（期間A2）に入射した光の量に応じたセンサ信号が読み出される。また、これと同時に、出力線OUTbから、赤外線LED3bの消灯時の検知期間（期間A3）に入射した光の量に応じたセンサ信号が読み出される。したがって、出力線OUTaからのセンサ信号から出力線OUTbからのセンサ信号を差し引くことにより、ノイズのないセンサ出力を得ることができる。

[0119] ここで、画素回路30の動作について、図25を参照しながら説明する。なお、ここでは、第1の赤外線LED群3b1から光を照射される画素回路30の動作について説明する。第2の赤外線LED群3b2から光を照射される画素回路30の動作についても、これと同様である。

[0120] 第1の赤外線LED群3b1点灯時のリセット期間（時刻 t_a ）では、クロック信号CLKaはハイレベル、クロック信号CLKbと読み出し信号RWSはローレベル、リセット信号RSTはリセット用のハイレベルになる。このときトランジスタT1aはオンし、トランジスタT1bはオフする。したがって、リセット線RSTからフォトダイオードD1とトランジスタT1aを経由して第1蓄積ノードに電流（フォトダイオードD1の順方向電流）

が流れ（図25（a））、電位 $V_{int a}$ は所定レベルにリセットされる。

[0121] 第1の赤外線LED群3b1点灯時の蓄積期間では、クロック信号CLK aはハイレベル、クロック信号CLK b、リセット信号RSTおよび読み出し信号RWSはローレベルになる。このときトランジスタT1 aはオフし、トランジスタT1 aはオフする。このときにフォトダイオードD1に光が入射すると、第1蓄積ノードからトランジスタT1 aとフォトダイオードD1を経由してリセット線RSTに電流（フォトダイオードD1のフォト電流）が流れ、第1蓄積ノードから電荷が引き抜かれる（図25（b））。したがって、電位 $V_{int a}$ は、この期間（第1の赤外線LED群3b1の点灯時間）に入射した光の量に応じて下降する。なお、この期間では電位 $V_{int b}$ は変化しない。

[0122] 赤外線LED3b消灯時のリセット期間（時刻 t_c ）では、クロック信号CLK bはハイレベル、クロック信号CLK aと読み出し信号RWSはローレベル、リセット信号RSTはリセット用のハイレベルになる。このときトランジスタT1 aはオフし、トランジスタT1 bはオンする。したがって、リセット線RSTからフォトダイオードD1とトランジスタT1 bを経由して第2蓄積ノードに電流（フォトダイオードD1の順方向電流）が流れ（図25（c））、電位 $V_{int b}$ は所定レベルにリセットされる。

[0123] 赤外線LED3b消灯時の蓄積期間（時刻 $t_c \sim t_d$ ）では、クロック信号CLK bはハイレベル、クロック信号CLK a、リセット信号RSTおよび読み出し信号RWSはローレベルになる。このときトランジスタT1 aはオフし、トランジスタT1 bはオンする。このときにフォトダイオードD1に光が入射すると、第2蓄積ノードからトランジスタT1 bとフォトダイオードD1を経由してリセット線RSTに電流（フォトダイオードD1のフォト電流）が流れ、第2蓄積ノードから電荷が引き抜かれる（図25（d））。したがって、電位 $V_{int b}$ は、この期間A3（時刻 $t_c \sim t_d$ 、赤外線LED3bの消灯期間）に入射した光の量に応じて下降する。なお、この期間では電位 $V_{int a}$ は変化しない。

[0124] 保持期間では、クロック信号CLK a、CLK b、リセット信号RSTおよび読み出し信号RWSはローレベルになる。このとき、トランジスタT1 a、T1 bはオフする。このときにフォトダイオードD1に光が入射しても、トランジスタT1 a、T1 bはオフしており、フォトダイオードD1とトランジスタM1 a、M1 bのゲートの間は電氣的に遮断されているので、電位Vint a、Vint bは変化しない（図25（e））。

[0125] 読み出し期間では、クロック信号CLK a、CLK bとリセット信号RSTはローレベル、読み出し信号RWSは読み出し用のハイレベルになる。このときトランジスタT1 a、T1 bはオフする。このときに電位Vint a、Vint bは、読み出し信号RWSの電位の上昇分だけ上昇し、トランジスタM1 aのドレインソース間に電位Vint aに応じた量の電流Iaが流れ、トランジスタM1 bのドレインソース間に電位Vint bに応じた量の電流Ibが流れる（図25（f））。電流Iaは出力線OUT aを經由してソースドライバ回路6に入力され、電流Ibは出力線OUT bを經由してソースドライバ回路6に入力される。

[0126] 以上に示すように、本実施形態に係る画素回路30は、第1の実施形態で説明した第1および第2画素回路10 a、10 bの間で1個のフォトダイオードD1（受光素子）を共有した構成を有する。共有されたフォトダイオードD1のカソードは、第1画素回路相当部分に含まれるトランジスタT1 aのソースと、第2画素回路相当部分に含まれるトランジスタT1 bのソースに接続される。

[0127] 画素回路30によれば、第1の赤外線LED群3 b 1から光が照射される領域にある場合は、第1の赤外線LED群3 b 1の点灯時の光量と、赤外線LED 3 bの消灯時の光量とを検知することができる。したがって、これらの差分をとることにより、ノイズ成分のない状態でセンサ出力を得ることができる。同様に、第2の赤外線LED群3 b 2から光が照射される領域にある場合は、第2の赤外線LED群3 b 2の点灯時の光量と、赤外線LED 3 bの消灯時の光量とを検知することができる。上記と同様に、これらの差分

をとることにより、ノイズ成分のない状態でセンサ出力を得ることができる。また、画素回路30によれば、2種類の画素回路間で1個のフォトダイオードD1を共有することにより、フォトダイオードの感度特性のばらつきの影響がキャンセルされる。また、フォトダイオードの個数を減らし、開口率を高くして、センサ画素回路の感度を高くすることができる。

[0128] なお、ここでは、センサ画素回路9または画素回路30が、ゲート線GLの整列方向において、複数のグループに分割された構成を例示したが、第1の実施形態と同様に、ゲート線GLの整列方向ではなく、ソース線SLの整列方向において、複数のグループに分割された構成としても良い。あるいは、ゲート線GLの整列方向とソース線SLの整列方向との両方において、複数のグループに分割された構成としても良い。

[0129] 以上のように、本実施形態によれば、赤外線LEDが消灯しているときにセンシングを行うオフセット画素回路を備え、赤外線LEDが点灯している期間にセンシングを行うセンサ画素回路の出力から、前記オフセット画素回路の出力を差し引く構成である。この構成によれば、オフセット画素回路の出力はノイズ成分のみを含むので、ノイズ成分を差し引くことにより、精度の高いセンサ出力を得ることができる。

[0130] また、本実施形態によれば、1フレーム期間に第1の赤外線LED群3b1および第2の赤外線LED群3b2のそれぞれを1回ずつ点灯させると共に、同じフレーム内で、全てのセンサ画素回路からのセンサ出力読み出しを行うことができる。すなわち、本実施形態によれば、高速読み出しが可能である。

[0131] また、本実施形態によれば、第1の赤外線LED3b1が点灯した状態で受光素子が光を検知する期間（期間A1）と、第2の赤外線LED3b2が点灯した状態で受光素子が光を検知する期間（期間A2）との間にはほとんど時間差がない。このため、モーション入力に対する追従性が、入力方向に応じて変動することがないという利点がある。また、この本実施形態の表示装置は、リセット完了直後に読み出しを開始し、読み出し完了直後にリセッ

トを開始する。このため、赤外線ＬＥＤの点灯期間や消灯期間の長さや間隔を自由に決定できるという利点もある。

産業上の利用可能性

[0132] 本発明は、非可視光を利用した光センサ機能を有する表示装置として、産業上利用可能である。

請求の範囲

- [請求項1] アクティブマトリクス基板と、
 複数の非可視光光源と、
 前記アクティブマトリクス基板の画素領域に設けられ、前記非可視
 光光源からの出射光に起因する反射光を検出する光センサと、
 前記光センサへ、センサ駆動信号を供給するセンサ駆動回路と、
 前記センサ駆動信号に従って前記光センサから読み出された信号を
 増幅し、光センサ信号として出力するアンプ回路と、
 前記アンプ回路から出力された光センサ信号を処理する信号処理回
 路と、
 前記非可視光光源の点灯および消灯を制御する光源制御回路とを備
 え、
 前記複数の光センサが、前記画素領域内で複数のセンサ群に分割さ
 れ、
 前記光源制御回路が、前記複数のセンサ群におけるそれぞれのセン
 サ群に対応する非可視光源を互いに異なる期間に点灯させる、表示装
 置。
- [請求項2] 前記アクティブマトリクス基板が、
 ゲートドライバと、
 前記ゲートドライバに接続された複数のゲート線とを備え、
 前記複数の光センサが、前記ゲート線の整列方向において、複数の
 センサ群に分割されている、請求項 1 に記載の表示装置。
- [請求項3] 前記非可視光光源が、前記画素領域を挟んで前記ゲートドライバと
 対向する側に配置されている、請求項 2 に記載の表示装置。
- [請求項4] 前記ゲート線の延伸方向が、前記アクティブマトリクス基板の長辺
 に平行である、請求項 3 に記載の表示装置。
- [請求項5] 前記複数の光センサが、前記ゲート線の延伸方向において、複数の
 センサ群に分割されている、請求項 1 に記載の表示装置。

- [請求項6] 前記非可視光光源が、前記画素領域の背面に配置されている、請求項5に記載の表示装置。
- [請求項7] 前記複数の光センサが、前記ゲート線の整列方向においても、複数のセンサ群に分割されている、請求項5または6に記載の表示装置。
- [請求項8] 前記センサ駆動回路が、前記光源制御回路と同期して、前記複数のセンサ群におけるそれぞれのセンサ群から逐次読み出しを行う、請求項1～7のいずれか一項に記載の表示装置。
- [請求項9] 前記非可視光光源が赤外線LEDである、請求項1～8のいずれか一項に記載の表示装置。
- [請求項10] 前記光センサが、
前記センサ駆動信号に従い、前記非可視光光源点灯時の蓄積期間で受光量に応じた電荷を蓄積し、読み出し期間が到来すると蓄積電荷に応じたセンサ信号を出力するセンサ画素回路と、
前記センサ駆動信号に従い、前記非可視光光源消灯時の蓄積期間で受光量に応じた電荷を蓄積し、読み出し期間が到来すると蓄積電荷に応じたセンサ信号を出力するオフセンサ画素回路とを含み、
前記信号処理回路が、前記センサ画素回路から出力されたセンサ信号と、前記オフセンサ画素回路から出力されたセンサ信号との差分を求める、請求項1～9のいずれか一項に記載の表示装置。
- [請求項11] 前記センサ画素回路および前記オフセンサ画素回路のそれぞれは、
1個の受光素子と、
検知した光量に応じた電荷を蓄積する1個の蓄積ノードと、
前記蓄積ノードに電氣的に接続可能な制御端子を有する読み出しトランジスタと、
前記受光素子を流れる電流の経路上に設けられ、前記制御信号に従いオン／オフする保持用スイッチング素子とを含む、請求項10に記載の表示装置。
- [請求項12] 前記センサ画素回路および前記オフセンサ画素回路のそれぞれにお

いて、

前記保持用スイッチング素子は、前記蓄積ノードと前記受光素子の一端との間に設けられ、

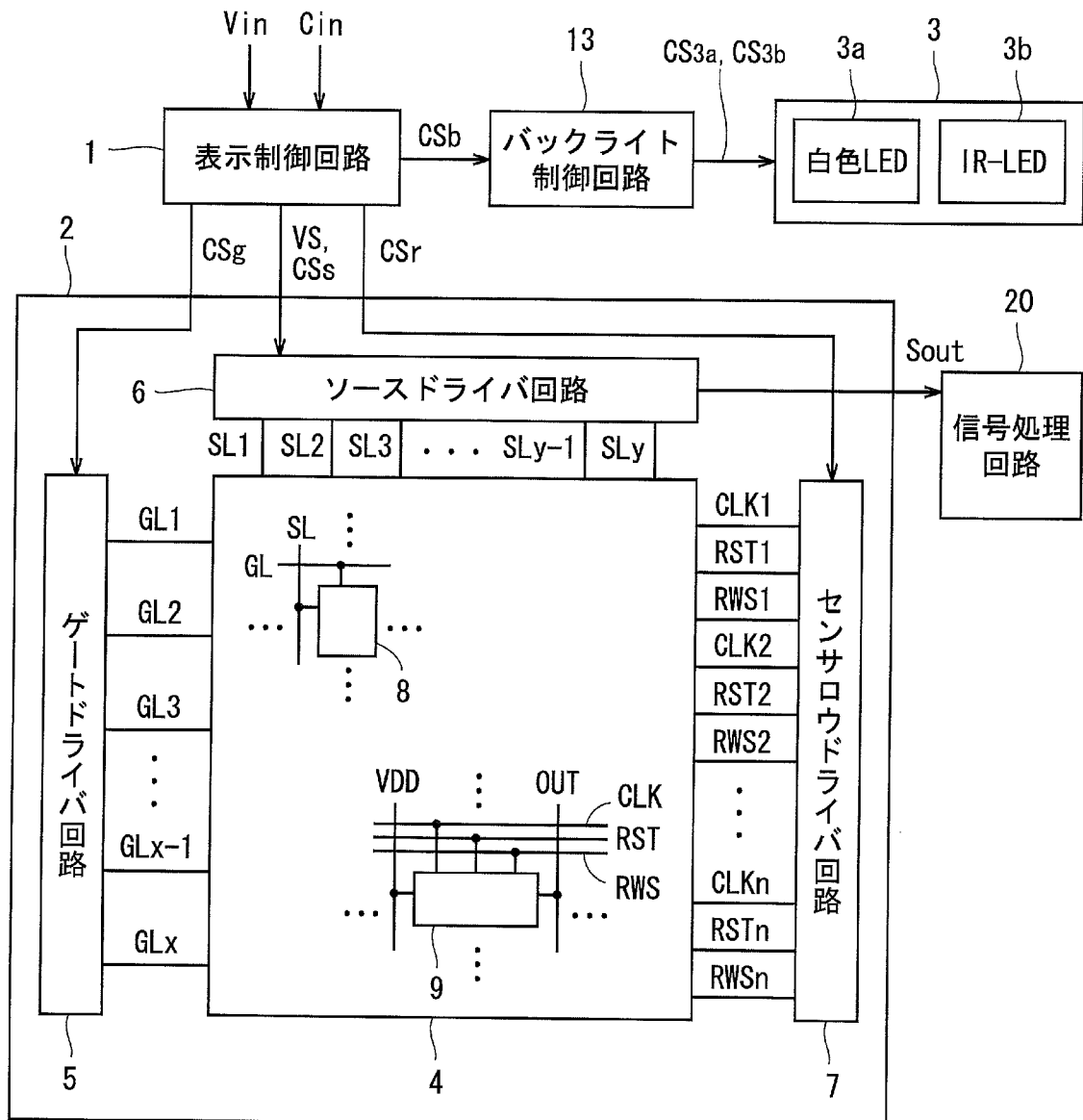
前記受光素子の他端はリセット線に接続されている、請求項 11 に記載の表示装置。

[請求項13] 前記センサ画素回路および前記オフセンサ画素回路は、1 個の受光素子を共有し、

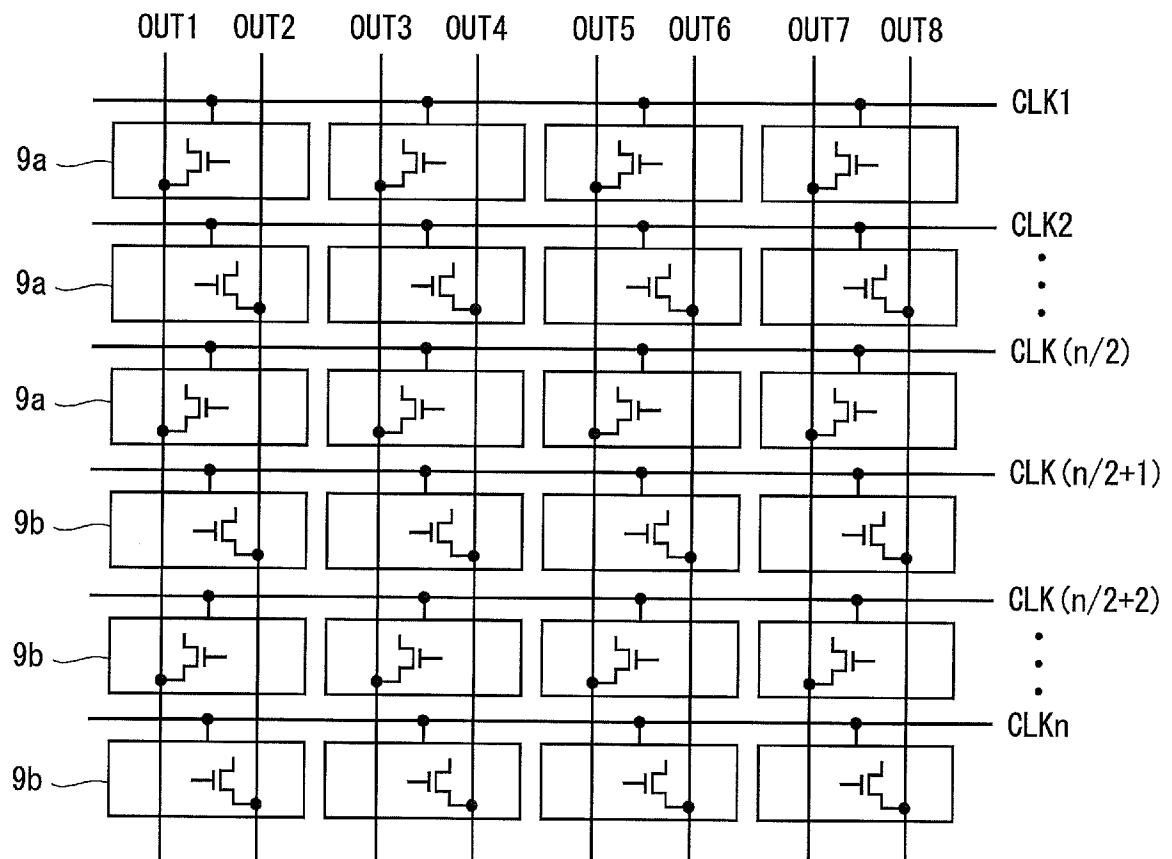
前記受光素子の一端は前記第 1 および第 2 センサ画素回路にそれぞれ含まれる保持用スイッチング素子の一端に接続され、他端は前記リセット線に接続されている、請求項 10 に記載の表示装置。

[請求項14] 前記アクティブマトリクス基板に対向する対向基板と、
前記アクティブマトリクス基板と対向基板との間に挟持された液晶とをさらに備えた、請求項 1 ～ 13 のいずれか一項に記載の表示装置。

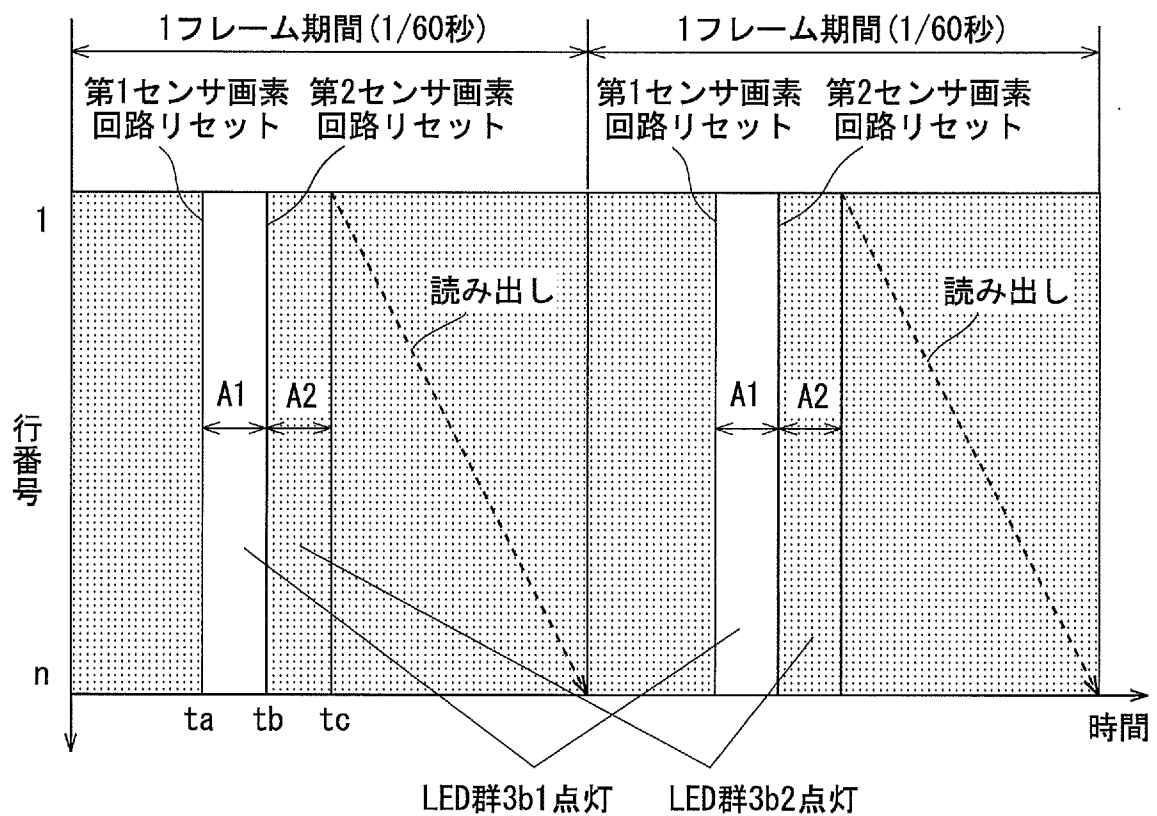
[図1]



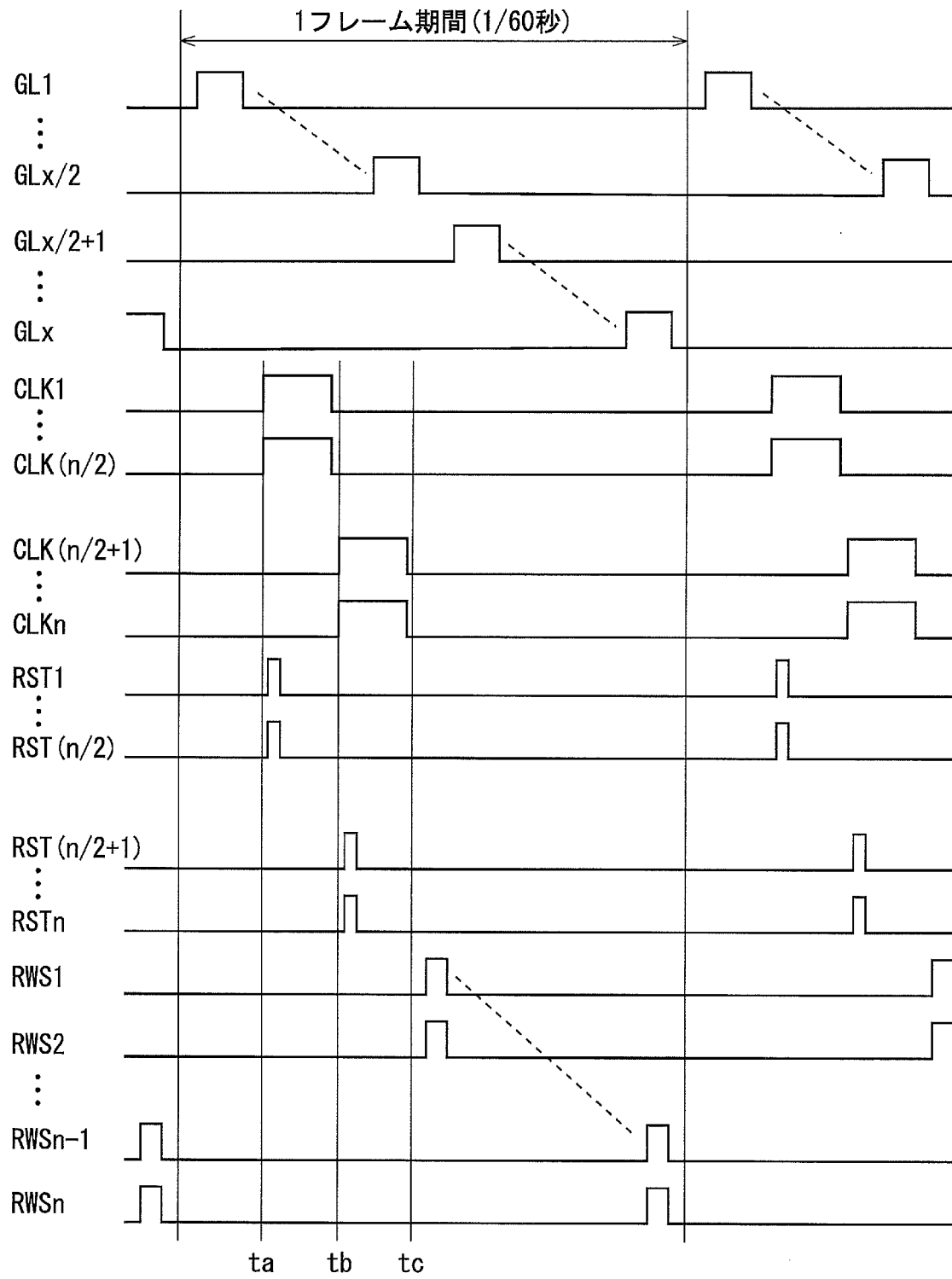
[図2]



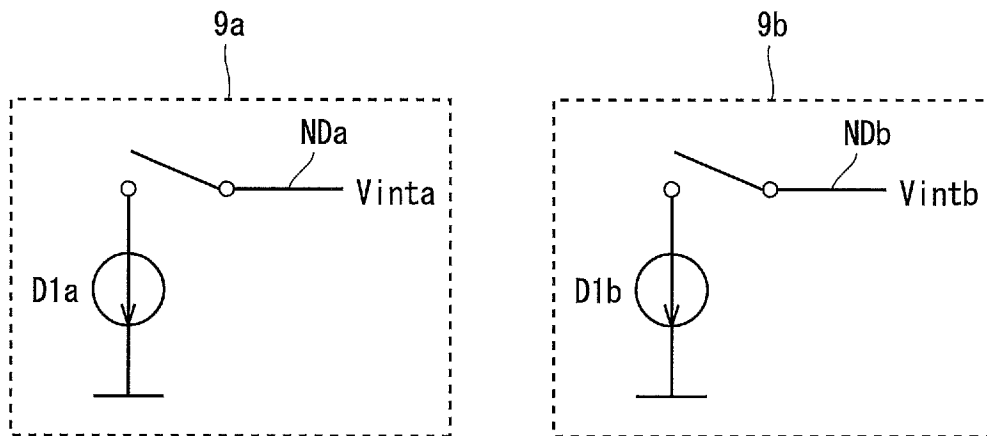
[図3]



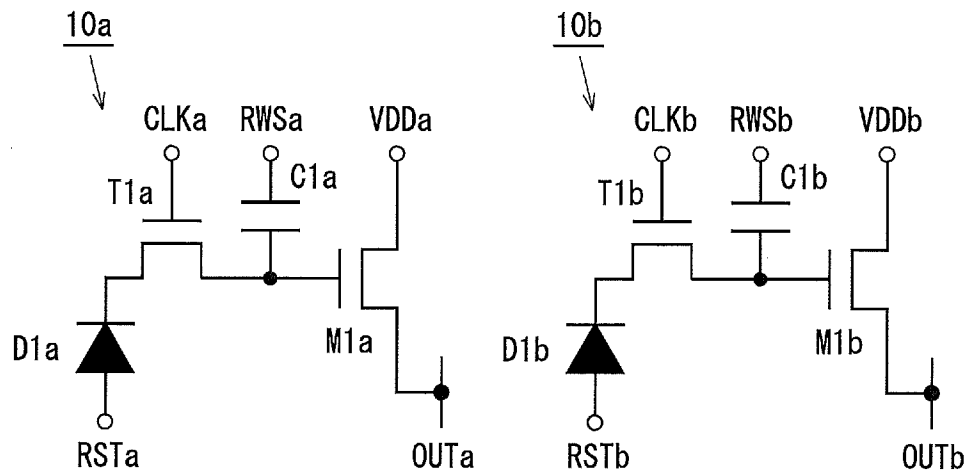
[図4]



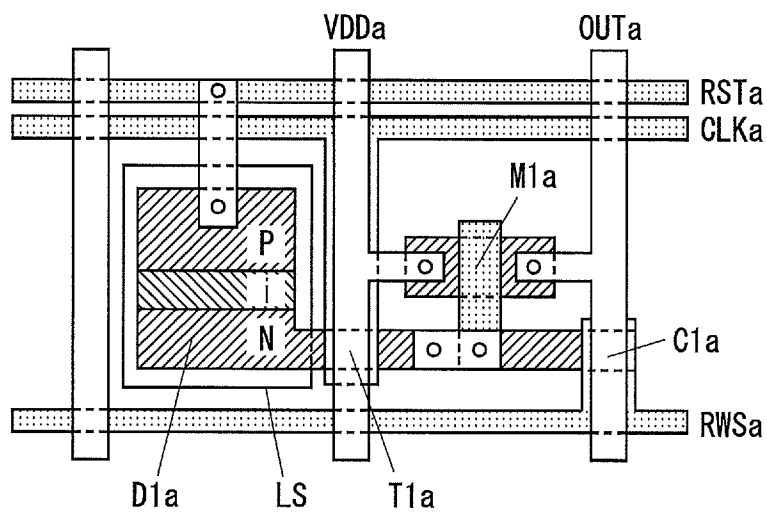
[図5]



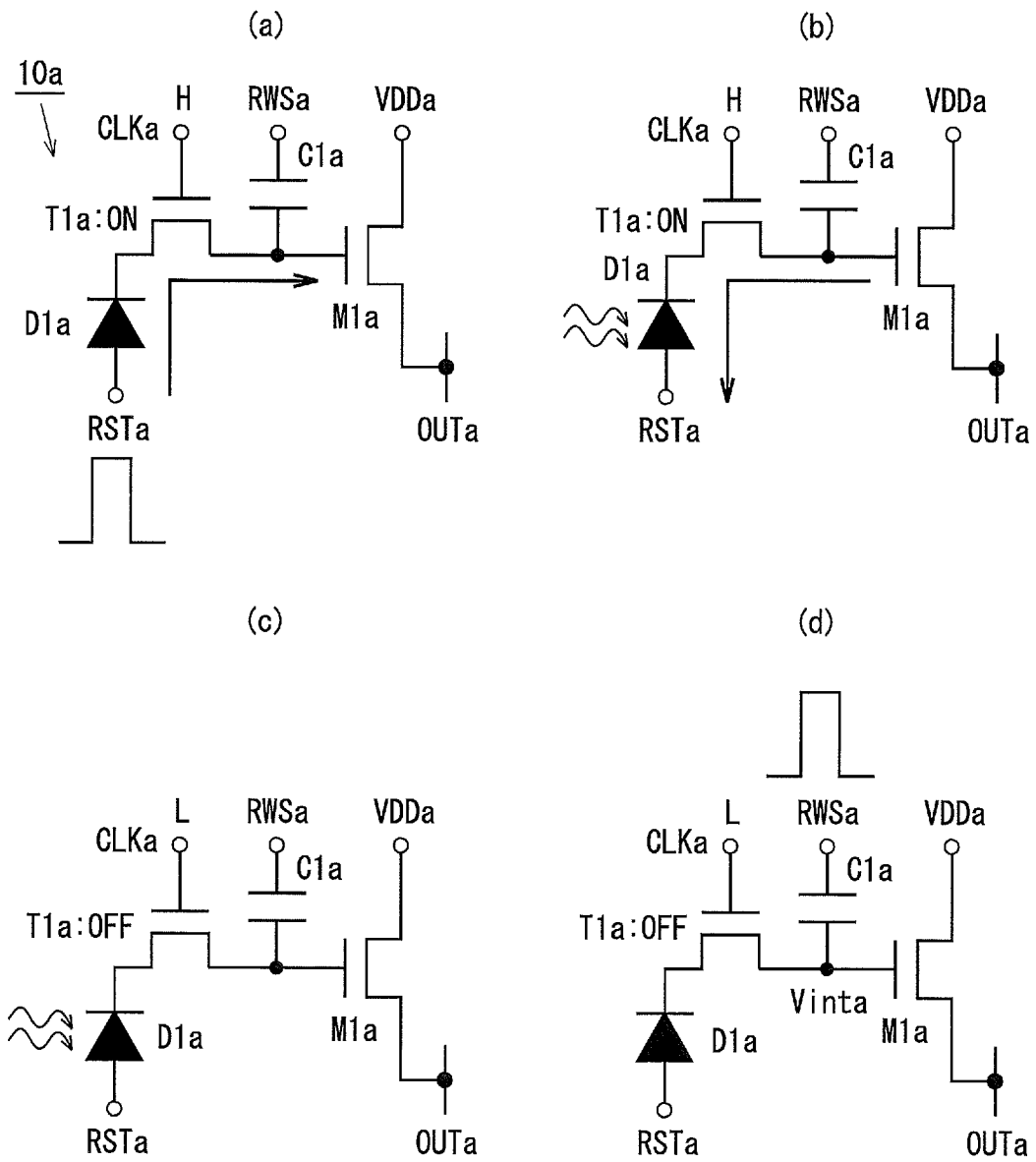
[図6]



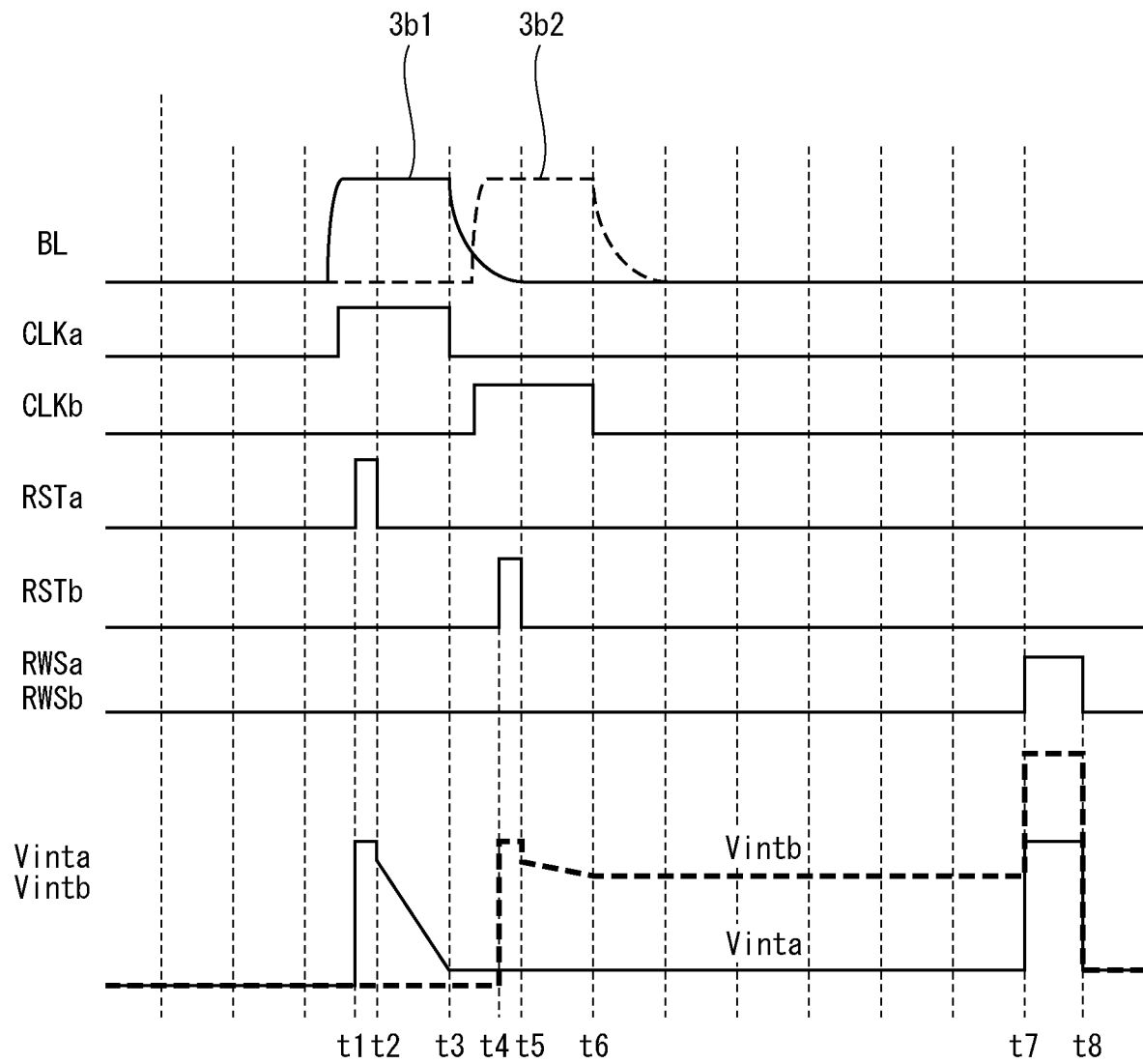
[図7]



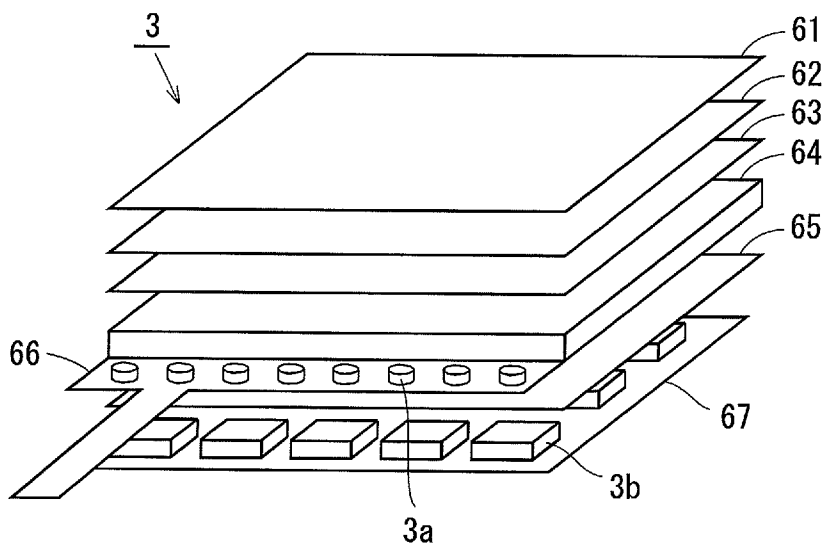
[図8]



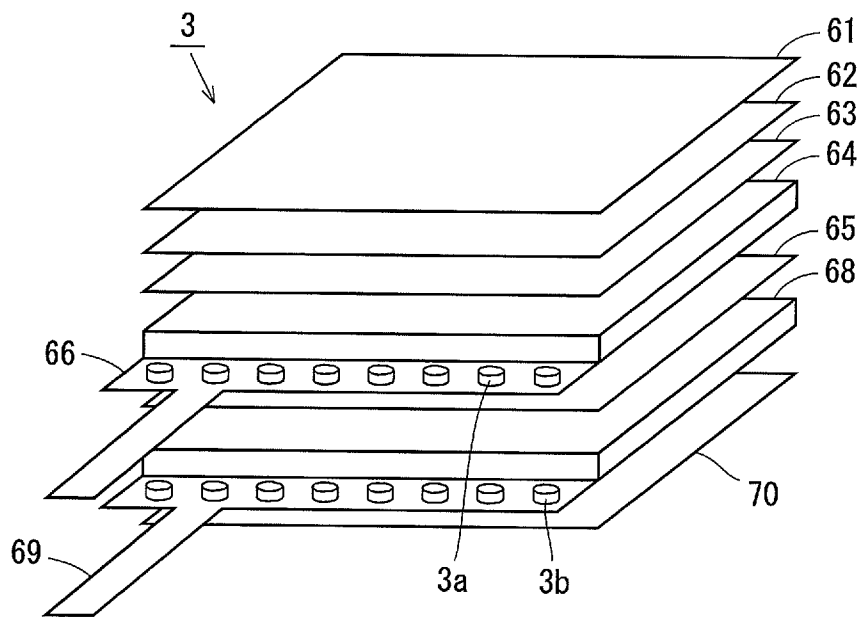
[図9]



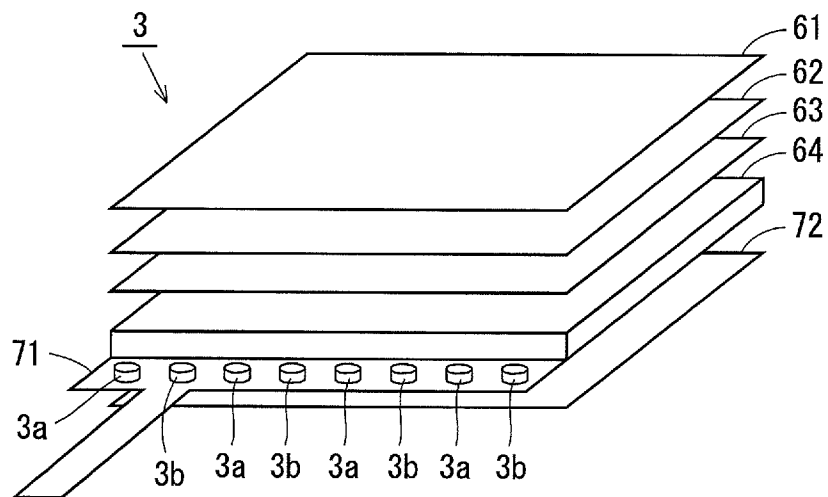
[図10]



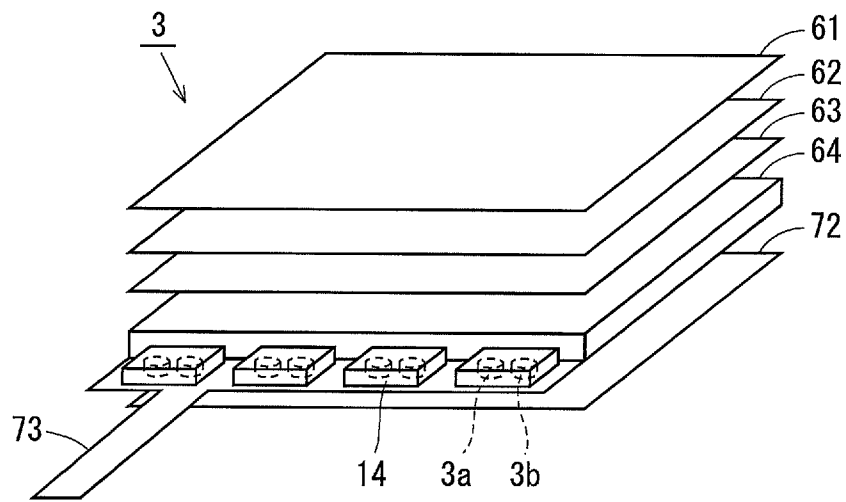
[図11]



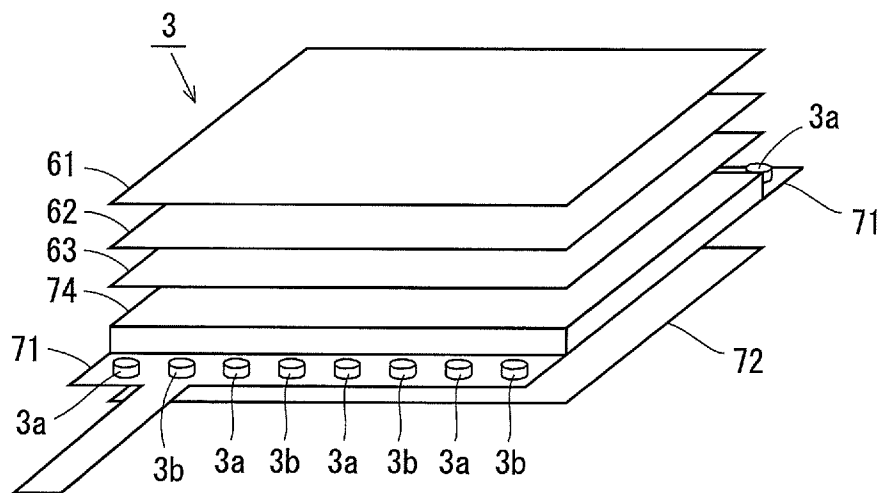
[図12]



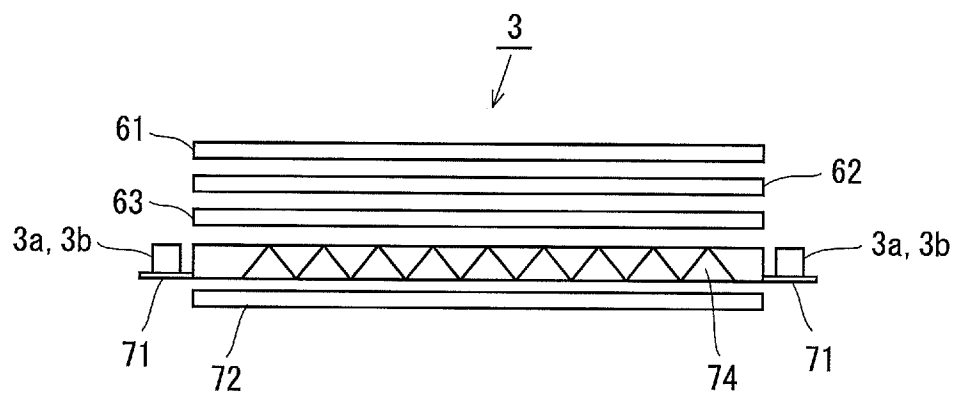
[図13]



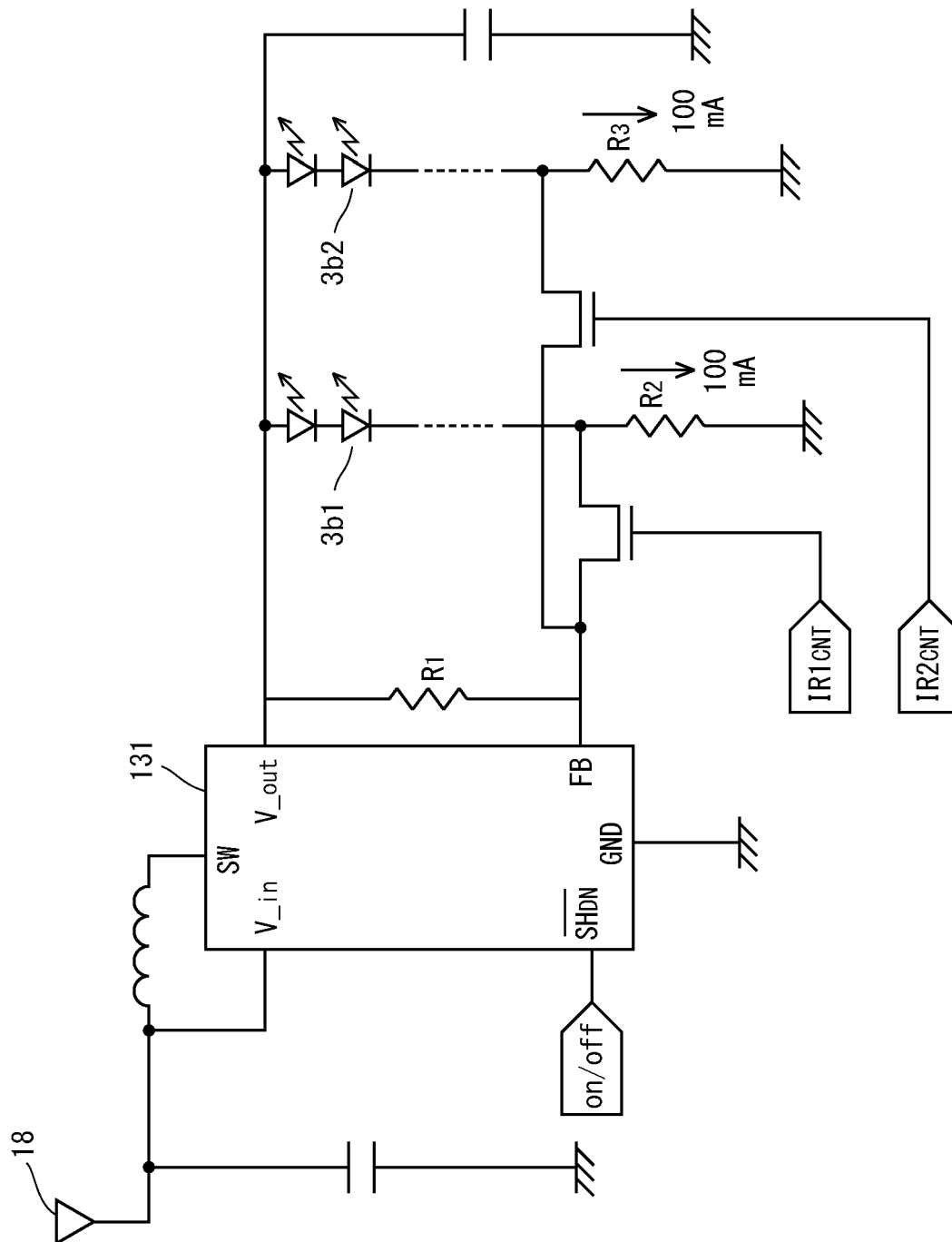
[図14]



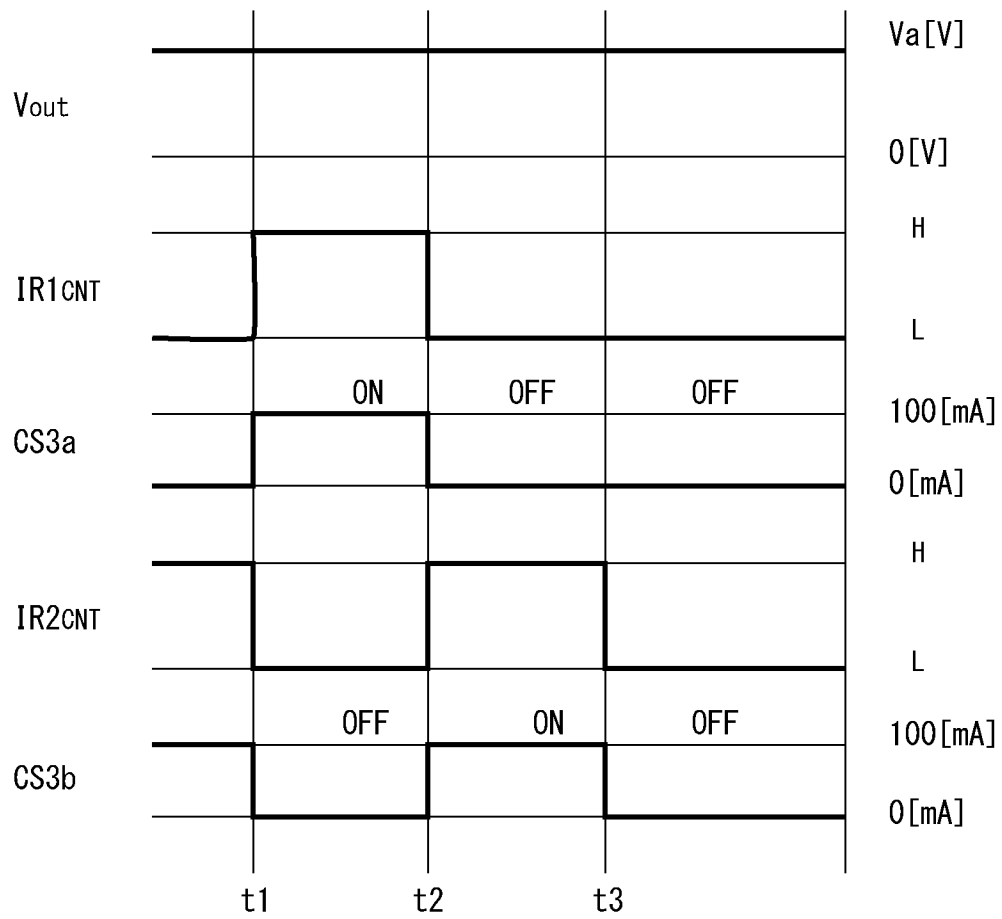
[図15]



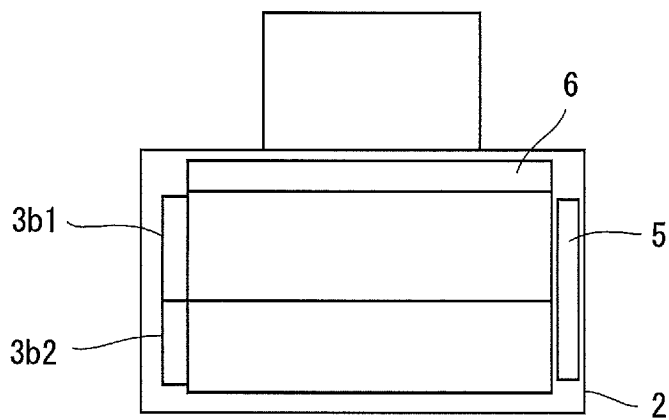
[図16]



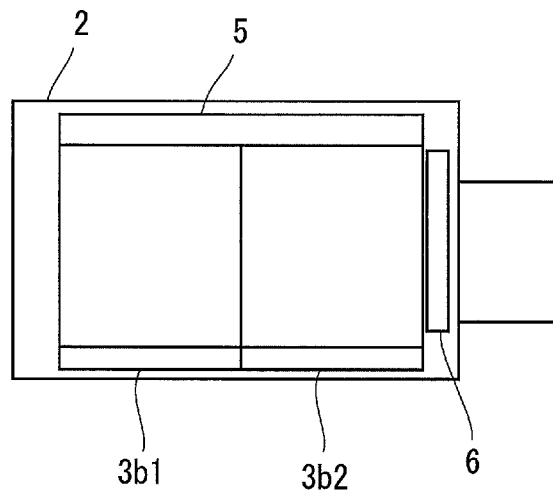
[図17]



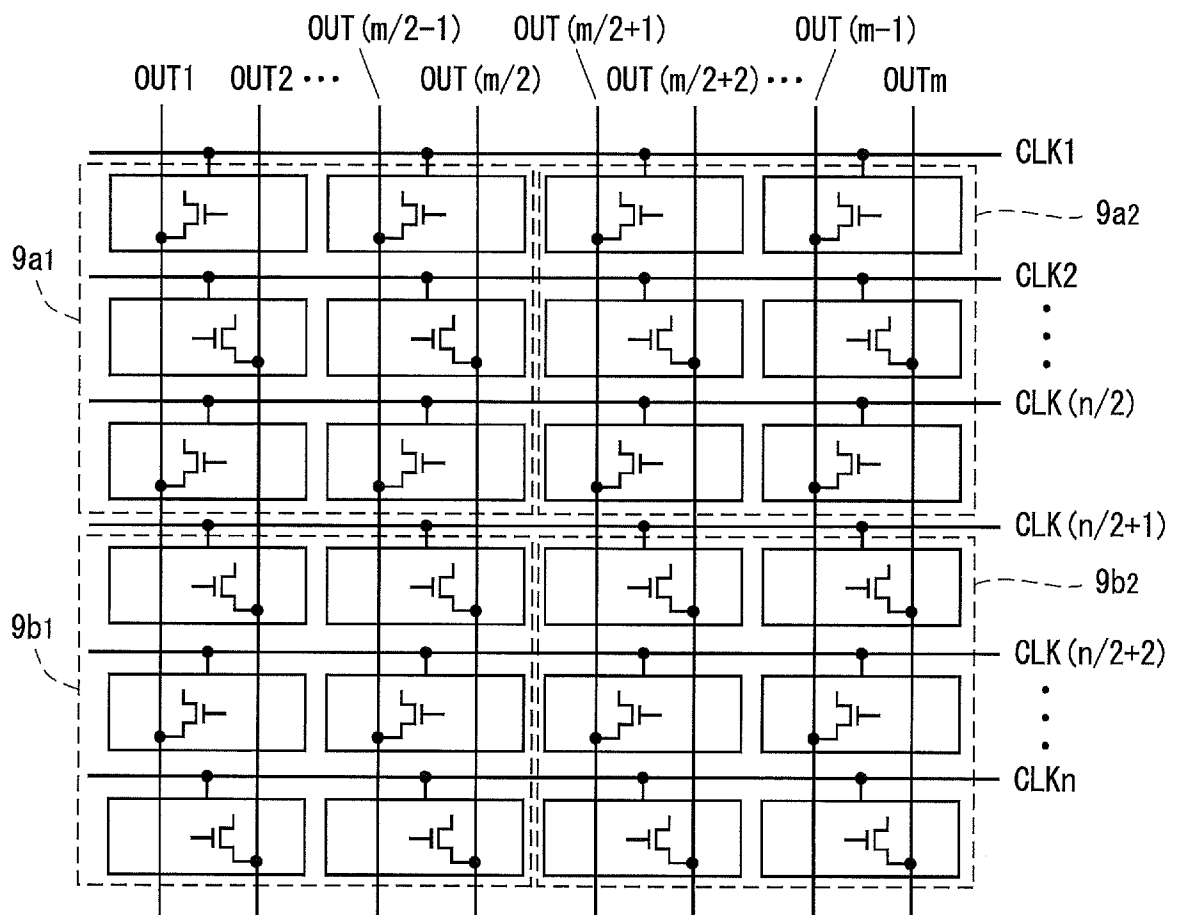
[図18A]



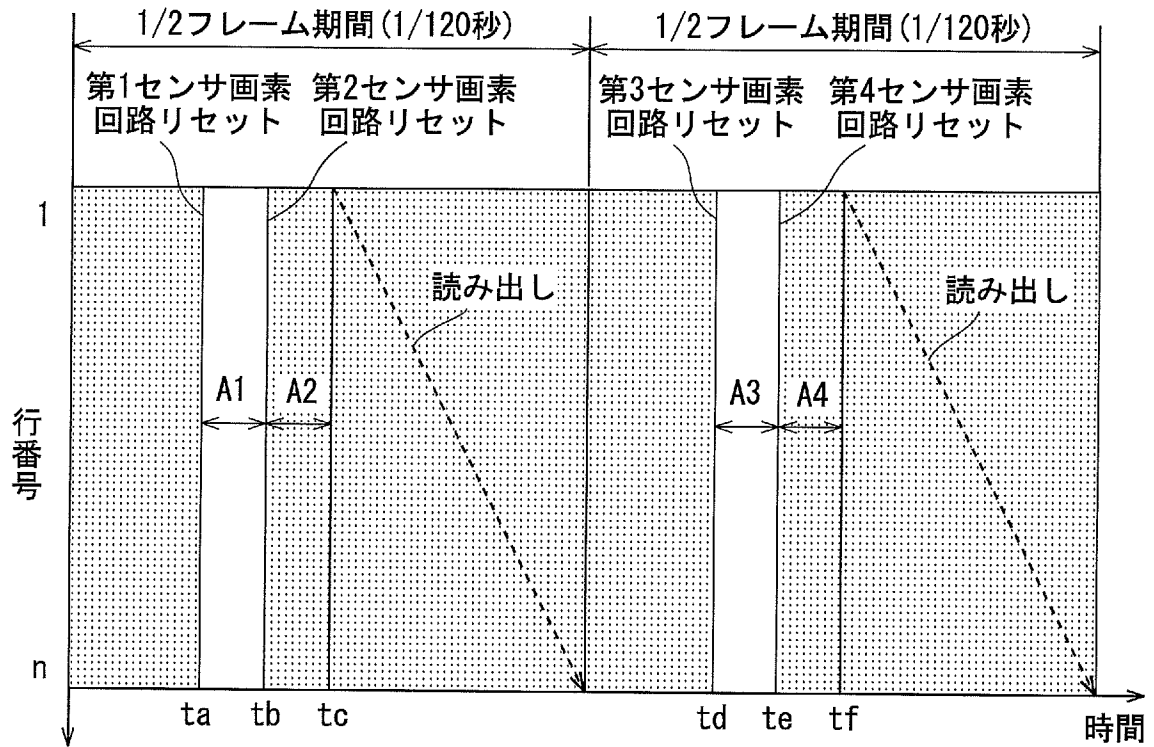
[図18B]



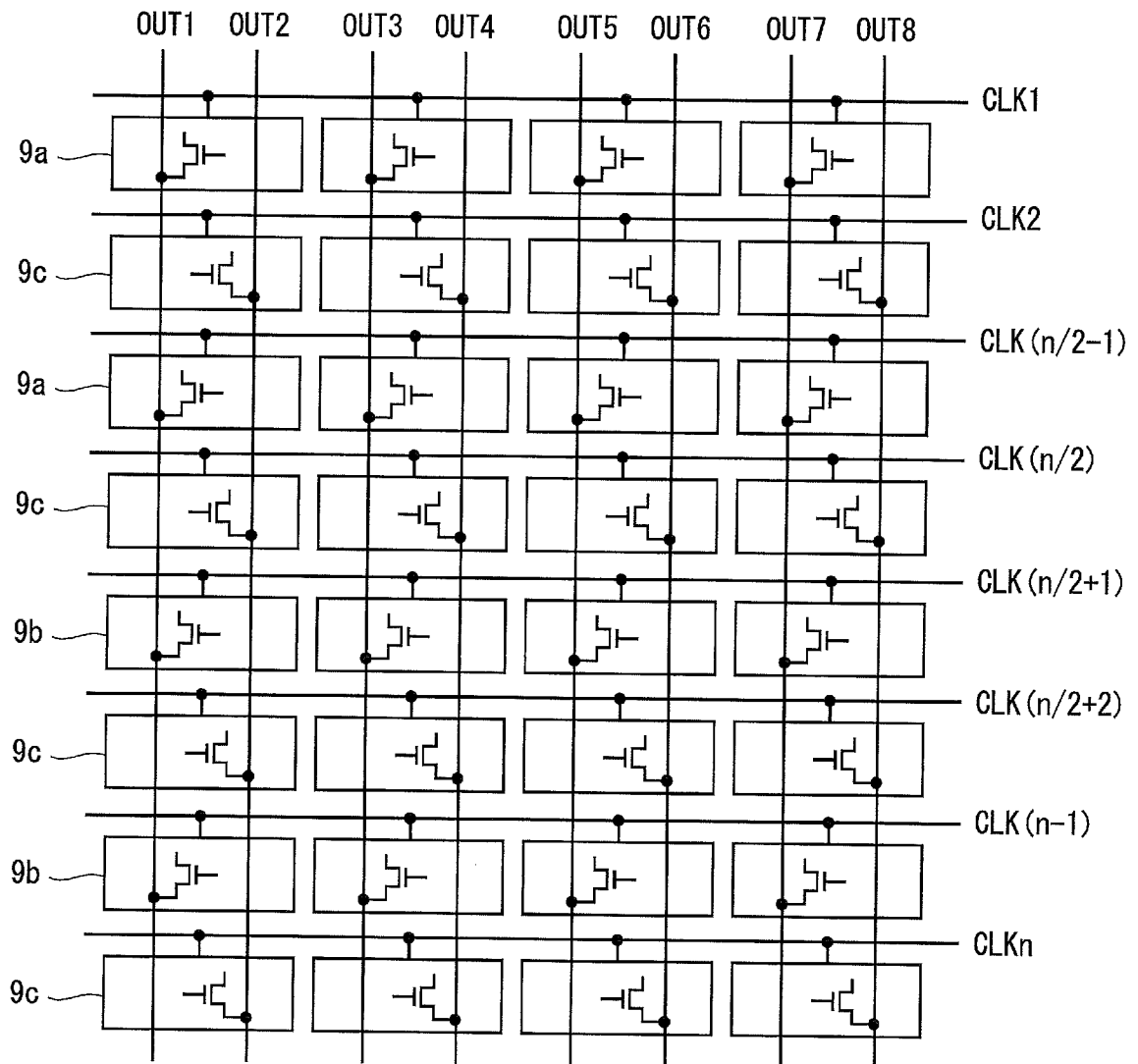
[図19]



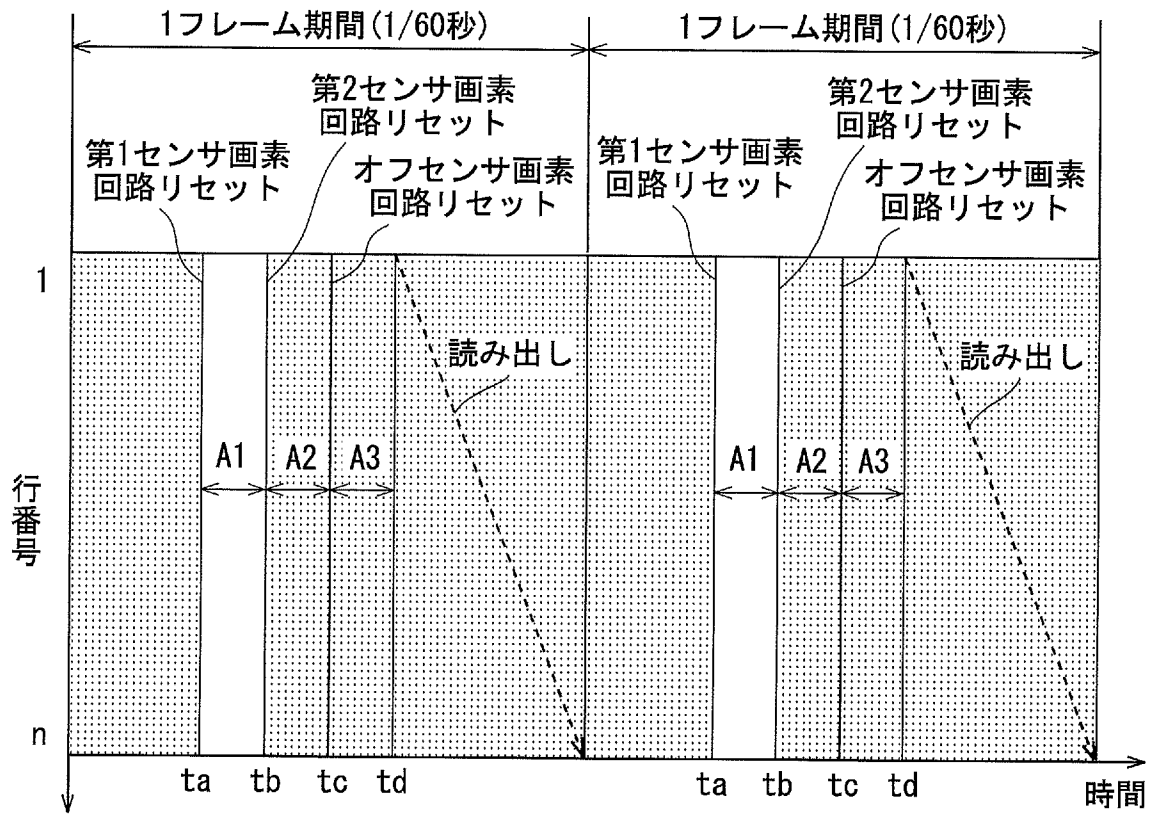
[図20]



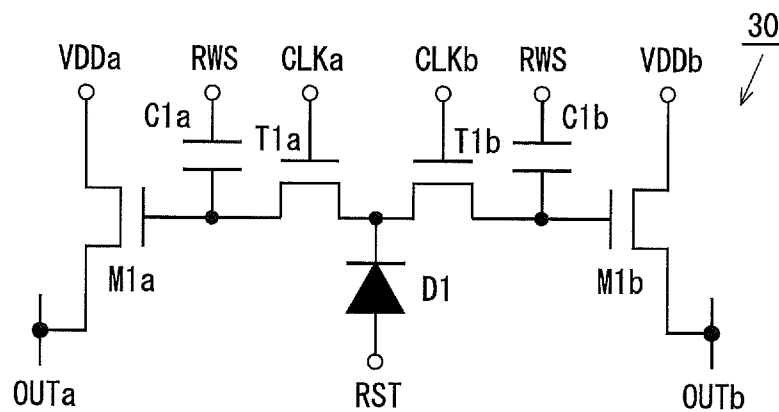
[図21]



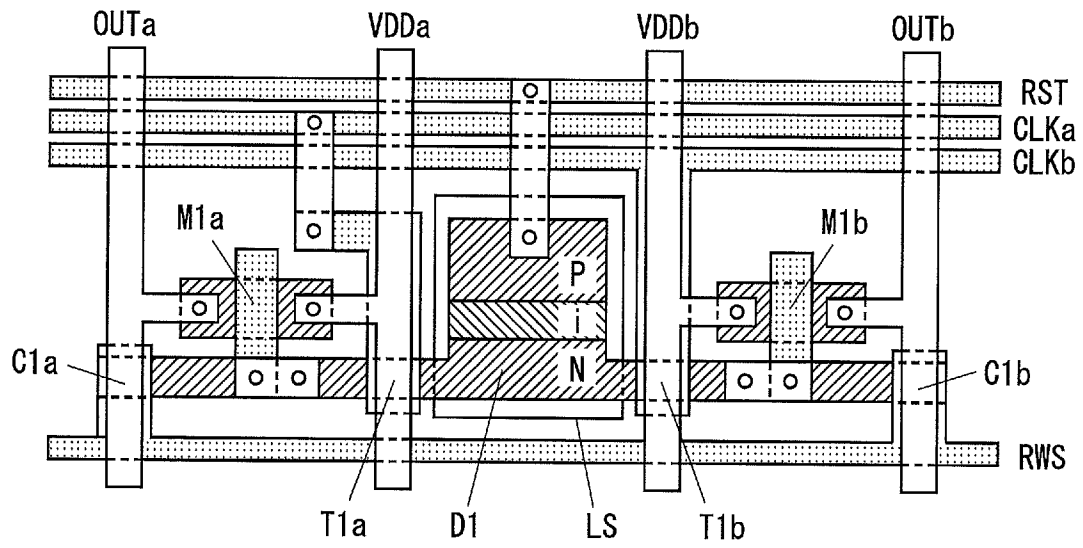
[図22]



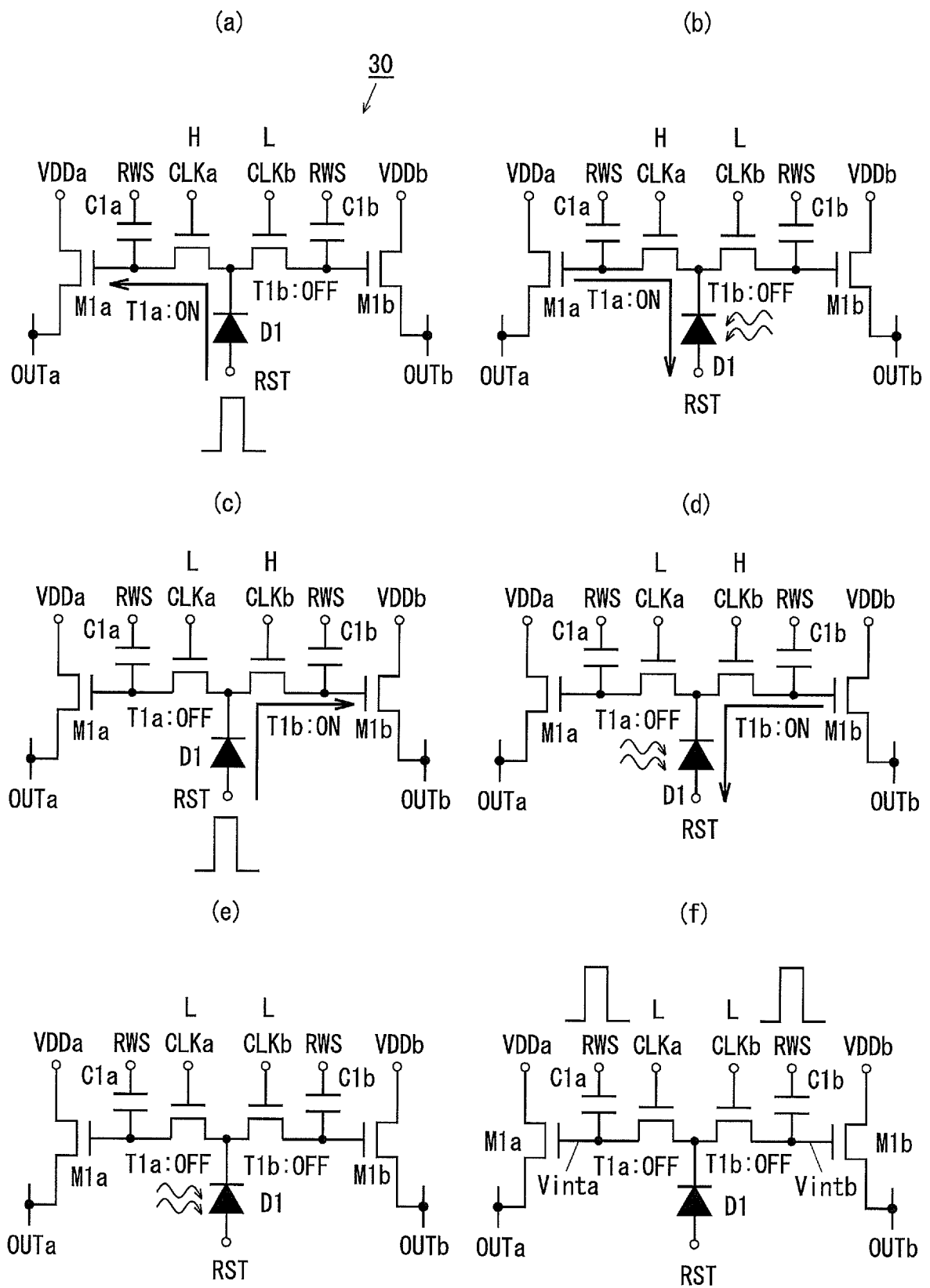
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/066735

A. CLASSIFICATION OF SUBJECT MATTER

G06F3/042 (2006.01) i, G06F3/041 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F3/042, G06F3/041

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-262204 A (Sony Corp.), 30 October 2008 (30.10.2008), entire text; all drawings (Family: none)	1-14
A	JP 2008-234477 A (Denso Corp.), 02 October 2008 (02.10.2008), entire text; all drawings (Family: none)	1-14
A	JP 11-143633 A (Sharp Corp.), 28 May 1999 (28.05.1999), entire text; all drawings (Family: none)	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
17 October, 2011 (17.10.11)

Date of mailing of the international search report
25 October, 2011 (25.10.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F3/042 (2006.01)i, G06F3/041 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F3/042, G06F3/041

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-262204 A (ソニー株式会社) 2008. 10. 30, 全文, 全図 (ファミリーなし)	1-14
A	JP 2008-234477 A (株式会社デンソー) 2008. 10. 02, 全文, 全図 (ファミリーなし)	1-14
A	JP 11-143633 A (シャープ株式会社) 1999. 05. 28, 全文, 全図 (ファミリーなし)	1-14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 1 0 . 2 0 1 1

国際調査報告の発送日

2 5 . 1 0 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

遠藤 尊志

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 2 1

5 E

3 0 5 2