



(12) 发明专利申请

(10) 申请公布号 CN 105895585 A

(43) 申请公布日 2016. 08. 24

(21) 申请号 201510755897. 3

(22) 申请日 2015. 11. 09

(30) 优先权数据

62/116, 103 2015. 02. 13 US

14/739, 418 2015. 06. 15 US

(71) 申请人 台湾积体电路制造股份有限公司
地址 中国台湾新竹

(72) 发明人 李东颖 陈孟谷 黄玉莲

(74) 专利代理机构 北京德恒律治知识产权代理
有限公司 11409

代理人 章社杲 李伟

(51) Int. Cl.

H01L 21/8238(2006. 01)

H01L 27/092(2006. 01)

H01L 29/06(2006. 01)

H01L 29/16(2006. 01)

H01L 29/20(2006. 01)

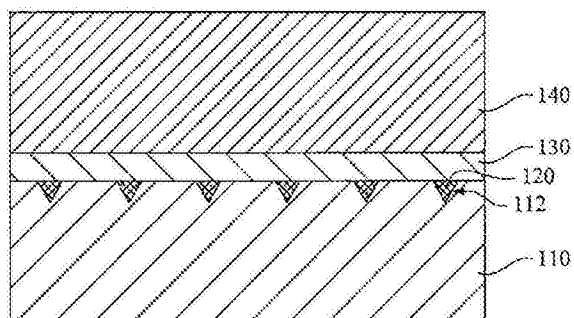
权利要求书1页 说明书14页 附图8页

(54) 发明名称

半导体结构及其制造方法

(57) 摘要

一种半导体结构包括衬底、至少一个第一外延层和至少一个第二外延层。衬底具有在其中多维布置的多个凹槽。第一外延层至少设置在衬底的凹槽中。第二外延层设置在第一外延层上。本发明实施例涉及半导体结构及其制造方法。



1. 一种半导体结构,包括:
衬底,具有多维地布置在所述衬底中的多个凹槽;
至少一个第一外延层,至少设置在所述衬底的凹槽中;以及
至少一个第二外延层,设置在所述第一外延层上。
2. 根据权利要求 1 所述的半导体结构,还包括:
至少一个第三外延层,设置在所述第二外延层上。
3. 根据权利要求 2 所述的半导体结构,其中,所述第二外延层的晶格参数介于所述第三外延层的晶格参数和所述衬底的晶格参数之间。
4. 根据权利要求 1 所述的半导体结构,其中,所述第二外延层中具有多个凹槽;并且还包括:
至少一个第三外延层,至少设置在所述第二外延层的凹槽中。
5. 根据权利要求 4 所述的半导体结构,其中,所述第二外延层的凹槽是多维布置的。
6. 根据权利要求 4 所述的半导体结构,其中,所述第二外延层的凹槽不与所述衬底的凹槽对准。
7. 根据权利要求 1 所述的半导体结构,还包括:
至少一个隔离结构,至少部分地设置在所述第二外延层中。
8. 根据权利要求 1 所述的半导体结构,其中,所述第二外延层进一步设置在所述衬底上,并且所述第一外延层和所述衬底之间的第一晶格失配大于所述第二外延层和所述衬底之间的第二晶格失配。
9. 一种半导体结构,包括:
至少一个第一晶体层,具有沿着至少两条相交线布置的多个凹槽;以及
至少一个第二晶体层,设置在所述第一晶体层的凹槽中和所述第一晶体层上。
10. 一种用于制造半导体结构的方法,所述方法包括:
在第一晶体层中形成多个多维地布置的第一凹槽;以及
至少在所述第一晶体层的凹槽中形成至少一个第二晶体层,并且在所述第二晶体层上形成至少一个第三晶体层。

半导体结构及其制造方法

[0001] 优先权声明和交叉引用

[0002] 本申请要求于 2015 年 2 月 13 日提交的美国临时专利申请第 62/116,103 号的优先权,其结合于此作为参考。

技术领域

[0003] 本发明实施例涉及半导体结构及其制造方法。

背景技术

[0004] 晶格失配的半导体材料的集成是诸如互补金属氧化物半导体 (CMOS) 场效应晶体管 (FET) 的高性能半导体器件的一个路径,这是由于它们较高的载流子迁移率。例如,硅 (Si) 上锗异质外延 (Ge) 对例如高性能 p- 沟道金属氧化物半导体场效应晶体管 (p- 沟道 MOSFET) 是有前景的和是用于将光电子器件与硅 CMOS 技术集成的潜在路径。假设可以节约成本地获得锗表面,在硅上异质外延地生长锗也是提供用于许多诸如光电二极管和发光二极管的其他应用的锗晶圆的替代品的路径。

发明内容

[0005] 根据本发明的一些实施例,提供了一种半导体结构,包括:衬底,具有多维地布置在所述衬底中的多个凹槽;至少一个第一外延层,至少设置在所述衬底的凹槽中;以及至少一个第二外延层,设置在所述第一外延层上。

[0006] 根据本发明的另一些实施例,还提供了一种半导体结构,包括:至少一个第一晶体层,具有沿着至少两条相交线布置的多个凹槽;以及至少一个第二晶体层,设置在所述第一晶体层的凹槽中和所述第一晶体层上。

[0007] 根据本发明的又一些实施例,还提供了一种用于制造半导体结构的方法,所述方法包括:在第一晶体层中形成多个多维地布置的第一凹槽;以及至少在所述第一晶体层的凹槽中形成至少一个第二晶体层,并且在所述第二晶体层上形成至少一个第三晶体层。

附图说明

[0008] 当结合附图进行阅读时,从以下详细描述可最佳理解本发明的各方面。应该注意,根据工业中的标准实践,各个部件未按比例绘制。实际上,为了清楚的讨论,各个部件的尺寸可以任意地增大或减小。

[0009] 图 1 至图 3 是根据本发明的一些实施例的在各个阶段的半导体结构的截面图。

[0010] 图 4 至图 5 是根据本发明的一些实施例的图 1 的衬底的顶视图。

[0011] 图 6 至图 8 是根据本发明的一些实施例的在各个阶段的半导体结构的截面图。

[0012] 图 9 至图 12 是根据本发明的一些实施例的图 6 的衬底的顶视图。

[0013] 图 13 至图 17 是根据本发明的一些实施例的在各个阶段的半导体结构的截面图。

具体实施方式

[0014] 以下公开内容提供了许多用于实现所提供主题的不同特征的不同实施例或实例。下面描述了组件和布置的具体实例以简化本发明。当然,这些仅仅是实例,而不旨在限制本发明。例如,在以下描述中,在第二部件上方或者上形成第一部件可以包括第一部件和第二部件直接接触形成的实施例,并且也可以包括在第一部件和第二部件之间可以形成额外的部件,从而使得第一部件和第二部件可以不直接接触的实施例。此外,本发明可在各个实例中重复参考标号和 / 或字符。该重复是为了简单和清楚的目的,并且其本身不指示所讨论的各个实施例和 / 或配置之间的关系。

[0015] 而且,为便于描述,在此可以使用诸如“在...之下”、“在...下方”、“下部”、“在...之上”、“上部”等的空间相对术语,以描述如图所示的一个元件或部件与另一个(或另一些)元件或部件的关系。除了图中所示的方位外,空间相对位置术语旨在包括器件在使用或操作中的不同方位。装置可以以其他方式定向(旋转 90 度或在其他方位上),并且本文使用的空间相对描述符可以同样地作相应的解释。

[0016] 图 1 至图 3 是根据本发明的一些实施例的在各个阶段的半导体结构的截面图。图 4 至图 5 是根据本发明的一些实施例的图 1 的衬底 110 的顶视图。

[0017] 参考图 1。在衬底 110 中形成多个第一凹槽 112。衬底 110 由诸如晶体硅的半导体材料制成。例如,衬底 110 是块状硅或绝缘体上硅(SOI)衬底的有源层。

[0018] 通过光刻和蚀刻工艺形成第一凹槽 112。光刻和蚀刻工艺包括光刻胶应用、曝光、显影、蚀刻和光刻胶去除。例如,通过旋涂对衬底 110 施加光刻胶。然后预烘烤光刻胶以驱除过量的光刻胶溶剂。在预烘烤之后,将光刻胶曝光于强光的图案。曝光于光造成化学变化,其允许一些光刻胶溶于显影剂。在显影之前可以实施曝光后烘烤(PEB)以帮助减少由入射光的破坏性和建设性干涉图案造成的驻波现象。然后对光刻胶施加显影剂以去除溶于显影剂中的一些光刻胶。然后硬烘剩余的光刻胶以固化剩余的光刻胶。蚀刻衬底 110 的未被剩余的光刻胶保护的部分以形成第一凹槽 112。在蚀刻衬底 110 之后,通过,例如,灰化或剥离从衬底 110 去除光刻胶。

[0019] 例如,衬底 110 的蚀刻可以是各向异性湿蚀刻。当衬底 110 由晶体硅制成时,用于蚀刻衬底 110 的蚀刻剂可以是,例如,氢氧化钾(KOH)基溶液、乙二胺邻苯二酚(EPD)基溶液、四甲基氢氧化铵(TMAH)基溶液或它们的组合。KOH 在 $\langle 100 \rangle$ 结晶方向中显示的蚀刻速率选择性比在 $\langle 111 \rangle$ 结晶方向中显示的蚀刻速率选择性高 400 倍。EPD 在 $\langle 100 \rangle$ 结晶定向中显示的蚀刻速率选择性比在 $\langle 111 \rangle$ 结晶定向中显示的蚀刻速率选择性高 35 倍。TMAH 在 $\langle 100 \rangle$ 结晶定向中显示的蚀刻速率选择性比在 $\langle 111 \rangle$ 结晶定向中显示的蚀刻速率选择性高 12.5 倍至 50 倍。因此,通过各向异性湿蚀刻形成的第一凹槽 112 可以具有 V 形的截面。

[0020] 图 4 至图 5 是根据本发明的一些实施例的图 1 的衬底 110 的顶视图。第一凹槽 112 多维地布置在衬底 110 中。也就是说,第一凹槽 112 沿着诸如行和列的至少两条相交线布置。在一些实施例中,第一凹槽 112 以非交错的模式布置(如图 4 所示)。在一些实施例中,第一凹槽 112 以交错的模式布置(如图 5 所示)。在一些实施例中,当从顶部看时,第一凹槽 112 是菱形的(如图 4 和图 5 所示)。

[0021] 在一些实施例中,第一凹槽 112 占据衬底 110 的顶面上的区域,并且被第一凹槽 112 占据的区域与衬底 110 的顶面的比例在从约 10% 至约 90% 的范围内。在一些实施例

中,第一凹槽 112 的至少一个具有从约 10nm 至约 1000nm 的范围内的至少一个尺寸。

[0022] 参考图 2。至少在第一凹槽 112 中形成第一外延层 120,在第一外延层 120 上形成第二外延层 130,并且在第二外延层 130 上形成第三外延层 140。第一外延层 120、第二外延层 130 和 / 或第三外延层 140 由具有与衬底 110 失配的晶格的一种或多种材料制成。在一些实施例中,第一外延层 120、第二外延层 130 和 / 或第三外延层 140 由锗或硅锗制成。锗和硅之间的晶格失配为约 4%。在一些其他实施例中,第一外延层 120、第二外延层 130 和 / 或第三外延层 140 由一种 III-V 族化合物或多种 III-V 族化合物制成。III-V 族化合物和硅之间的晶格失配在从约 8% 至约 12% 的范围内。因此,如果衬底 110 缺少第一凹槽 112,则由于第一外延层 120 和衬底 110 之间的晶格失配,第一外延层 120、第二外延层 130 和 / 或第三外延层 140 可能有外延缺陷。例如,外延缺陷可以是穿透位错 (TD)。

[0023] 由于第一外延层 120 形成在第一凹槽 112 中,第一外延层 120 中的穿透位错 (TD) 终止在第一凹槽 112 的侧壁处。此外,由于第一凹槽 112 是多维布置的,所以第一凹槽 112 可以将 TD 多维地终止在第一外延层 120 中。也就是说,沿着不同方向延伸的 TD 可以限制 (trapped) 于第一凹槽 112 中。

[0024] 在一些实施例中,衬底 110、第一外延层 120、第二外延层 130 和第三外延层 140 的晶格参数从衬底 110 朝着远离衬底 110 的方向变化。换言之,第一外延层 120 的晶格参数介于第二外延层 130 的晶格参数和衬底 110 的晶格参数之间,第二外延层 130 的晶格参数介于第三外延层 140 的晶格参数和第一外延层 120 的晶格参数之间和 / 或第二外延层 130 的晶格参数介于第三外延层 140 的晶格参数和衬底 110 的晶格参数之间。因此,第一外延层 120 和衬底 110 之间的晶格失配小于第二外延层 130 和衬底 110 之间的晶格失配,第一外延层 120 和衬底 110 之间的晶格失配小于第三外延层 140 和衬底 110 之间的晶格失配,第二外延层 130 和第一外延层 120 之间的晶格失配小于第三外延层 140 和第一外延层 120 之间的晶格失配,第二外延层 130 和第一外延层 120 之间的晶格失配小于第三外延层 140 和衬底 110 之间的晶格失配,第二外延层 130 和衬底 110 之间的晶格失配小于第三外延层 140 和衬底 110 之间的晶格失配,第三外延层 140 和衬底 110 之间的晶格失配小于第三外延层 140 和第一外延层 120 之间的晶格失配,和 / 或第三外延层 140 和第一外延层 120 之间的晶格失配小于第三外延层 140 和衬底 110 之间的晶格失配。由于邻近的衬底 110、第一外延层 120、第二外延层 130 和第三外延层 140 之间的晶格失配减小,由邻近的衬底 110、第一外延层 120、第二外延层 130 和第三外延层 140 之间的界面产生的穿透位错 (TD) 也减小。

[0025] 在一些实施例中,第一外延层 120 和衬底 110 之间的晶格失配可以大于第二外延层 130 和衬底 110 之间的晶格失配。在这样的实施例中,从第一外延层 120 和衬底 110 之间的界面倾向于产出穿透位错 (TD)。由于第一外延层 120 形成在第一凹槽 112 中,从第一外延层 120 和衬底 110 之间的界面产生的 TD 可以限制于第一凹槽 112 中。

[0026] 在一些实施例中,第一外延层 120、第二外延层 130 和第三外延层 140 中的至少一个的晶格参数可以是常数。在一些其他实施例中,第一外延层 120、第二外延层 130 和第三外延层 140 中的至少一个的晶格参数可以随着其厚度变化。

[0027] 当衬底 110 由硅制成,并且第一外延层 120、第二外延层 130 和第三外延层 140 由硅锗或锗制成时,衬底 110、第一外延层 120、第二外延层 130 和第三外延层 140 的晶格参数

从衬底 110 朝着远离衬底 110 的方向增加。换言之,第一外延层 120 的晶格参数大于衬底 110 的晶格参数,第二外延层 130 的晶格参数大于第一外延层 120 的晶格参数,和 / 或第三外延层 140 的晶格参数大于第二外延层 130 的晶格参数。

[0028] 由于锗的晶格参数高于硅的晶格参数,所以硅锗或锗的晶格参数随着其锗含量的增加而增加。因此,当衬底 110 由硅制成,并且第一外延层 120、第二外延层 130 和第三外延层 140 由硅锗或锗制成时,衬底 110、第一外延层 120、第二外延层 130 和第三外延层 140 的锗含量从衬底 110 朝着远离衬底 110 的方向增加。换言之,第一外延层 120 的锗含量大于衬底 110 的锗含量,第二外延层 130 的锗含量大于第一外延层 120 的锗含量,和 / 或第三外延层 140 的锗含量大于第二外延层 130 的锗含量。

[0029] 在一些实施例中,第一外延层 120、第二外延层 130 和第三外延层 140 中的至少一个的锗含量可以是常数。在一些其他实施例中,第一外延层 120、第二外延层 130 和第三外延层 140 中的至少一个的锗含量可以随着其厚度变化。

[0030] 在一些其他实施例中,第一外延层 120、第二外延层 130 和第三外延层 140 中的至少两个可以具有不同的晶格参数。在一些其他实施例中,第一外延层 120、第二外延层 130 和第三外延层 140 中的至少两个可以具有相同的晶格参数并且可以由相同的材料制成。在第一外延层 120、第二外延层 130 和第三外延层 140 中的至少两个具有相同的晶格参数并且由相同的材料制成的实施例中,第一外延层 120、第二外延层 130 和第三外延层 140 中的所述至少两个之间的界面可以不存在,并且因此第一外延层 120、第二外延层 130 和第三外延层 140 中的所述至少两个可以认为是一个外延层。

[0031] 第一外延层 120、第二外延层 130 和第三外延层 140 可以通过例如,分子束外延 (MBE) 或化学汽相沉积 (CVD) 形成。具体地,第一外延层 120 过填充第一凹槽 112。然后,通过去除工艺去除在第一凹槽 112 外面的过量的第一外延层 120。在一些实施例中,通过化学机械抛光 (CMP) 工艺来去除过载的第一外延层 120。在去除工艺之后,第二外延层 130 形成在第一外延层 120 和衬底 110 上。然后,可以对第二外延层 130 实施可选的平坦化工艺。例如,对第二外延层 130 实施的平坦化工艺是 CMP 工艺。然后,在第二外延层 130 上形成第三外延层 140。在形成第三外延层 140 之后,可以对第三外延层 140 实施另一任选的平坦化工艺。类似地,例如,对第三外延层 140 实施的平坦化工艺是 CMP 工艺。

[0032] 在形成第三外延层 140 之后,对第三外延层 140 实施掺杂剂注入工艺以在第三外延层 140 中形成有源区。有源区将用于稍后形成的有源器件的部件,诸如 n- 沟道金属氧化物半导体场效应晶体管 (n- 沟道 MOSFET)、p- 沟道 MOSFET、平坦 MOSFET 或鳍式场效应晶体管 (finFET)。如果将在有源区上形成 n- 沟道 MOSFET,那么在有源区中形成 p 阱。如果将在有源区上形成 p- 沟道 MOSFET,那么在有源区中形成 n 阱。

[0033] 如果第三外延层 140 由诸如锗或硅锗的 IV 族半导体材料制成,那么掺杂剂可以是来自 III 族元素的受体或来自 V 族元素的供体。例如,当第三外延层 140 由具有四价电子的 IV 族半导体材料制成时,具有三价电子的硼 (B)、铝 (Al)、镟 (In)、镓 (Ga) 或它们的组合可以用作掺杂剂以在第三外延层 140 中形成 p 阱。另一方面,当第三外延层 140 由具有四价电子的 IV 族半导体材料制成时,具有五价电子的磷 (P)、砷 (As)、锑 (Sb)、铋 (Bi) 或它们的组合可以用作掺杂剂以在第三外延层 140 中形成 n 阱。

[0034] 在一些实施例中,将形成 p- 沟道金属氧化物半导体场效应晶体管 (p- 沟道

MOSFET) 和 n- 沟道 MOSFET 的有源区由诸如锗或硅锗的基本上相同的材料制成。在一些实施例中, 将形成 p- 沟道 MOSFET 的有源区由锗或硅锗制成, 并且将形成 n- 沟道 MOSFET 的有源区由一种和多种 III-V 族化合物形成。在这样的实施例中, 将形成 p- 沟道 MOSFET 的有源区和将形成 n- 沟道 MOSFET 的有源区可以分别地形成。换言之, 形成、图案化和注入第一外延层 120、第二外延层 130 和第三外延层 140 以形成一些有源区, 并且然后形成和注入一个或多个其他外延层以形成其他有源区。

[0035] 参考图 3。多个隔离结构 150 至少部分地形成在第三外延层 140 中以使有源区 145 分隔开。在一些实施例中, 隔离结构 150 是, 例如, 浅沟槽隔离 (STI) 结构。具体地, 在第三外延层 140 上形成硬掩模层并且图案化硬掩模层以在其中形成开口, 从而暴露出第三外延层 140 的部分。然后, 蚀刻第三外延层 140 的暴露部分以在第三外延层 140 中形成沟槽 152。用于形成沟槽 152 的蚀刻可以是, 例如, 反应离子蚀刻 (RIE)。在形成沟槽 152 之后, 介电材料 154 过填充沟槽 152。介电材料 154 是, 例如, 氧化硅、氮化硅、固化的可流动的介电材料或它们的组合。然后, 通过, 例如, 化学机械抛光 (CMP) 去除沟槽 154 外面的过量的介电材料 154。在 CMP 之后, 从第三外延层 140 去除硬掩模层以形成隔离结构 150。

[0036] 在形成隔离结构 150 之后, 可以实施一个或多个工艺步骤以在有源区 145 上形成有源器件的一个或多个部件, 诸如 n- 沟道金属氧化物半导体场效应晶体管 (n- 沟道 MOSFET)、p- 沟道 MOSFET、平坦 MOSFET 或鳍式场效应晶体管 (finFET)。由于在第一外延层 120 中的穿透位错 (TD) 限制于第一凹槽 112 中, 并且从衬底 110、第一外延层 120、第二外延层 130 和第三外延层 140 之间的界面产生的 TD 减小, 所以在有源区 145 中的 TD 可以被消除或减少到可接受的水平。

[0037] 图 6 至图 8 是根据本发明的一些实施例的在各个阶段的半导体结构的截面图。图 9 至图 12 是根据本发明的一些实施例的图 6 的衬底 110 的顶视图。

[0038] 参考图 6。在衬底 110 中形成多个第一凹槽 112。衬底 110 由诸如晶体硅的半导体材料制成。例如, 衬底 110 是块状硅或绝缘体上硅 (SOI) 衬底的有源层。

[0039] 通过光刻和蚀刻工艺形成第一凹槽 112。光刻和蚀刻工艺包括光刻胶应用、曝光、显影、蚀刻和光刻胶去除。例如, 通过旋涂对衬底 110 施加光刻胶。然后预烘烤光刻胶以驱除过量的光刻胶溶剂。在预烘烤之后, 将光刻胶曝光于强光的图案。曝光于光造成化学变化, 其允许一些光刻胶溶于显影剂。在显影之前可以实施曝光后烘烤 (PEB) 以帮助减少由入射光的破坏性和建设性干涉图案造成的驻波现象。然后对光刻胶施加显影剂以去除溶于显影剂中的一些光刻胶。然后硬烘烤剩余的光刻胶以固化剩余的光刻胶。蚀刻衬底 110 的未被剩余的光刻胶保护的部分以形成第一凹槽 112。在蚀刻衬底 110 之后, 例如, 通过灰化或剥离从衬底 110 去除光刻胶。

[0040] 衬底 110 的蚀刻可以是诸如反应离子蚀刻 (RIE) 的干蚀刻。RIE 是一种干蚀刻的类型, 其与湿蚀刻相比具有不同的特性。RIE 使用化学反应等离子体以形成第一凹槽 112。通过电磁场在低压情况下 (真空) 生成等离子体。来自化学反应等离子体的高能离子撞击衬底 110 并且与衬底 110 反应。在一些实施例中, 可以使用氯 (Cl) 或溴 (Br) 基 RIE 以形成第一凹槽 112。通过 RIE 形成的第一凹槽 112 可以具有矩形截面或 U 形截面。

[0041] 图 9 至图 12 是根据本发明的一些实施例的图 6 的衬底 110 的顶视图。第一凹槽 112 多维地布置在衬底 110 中。换言之, 第一凹槽 112 沿着诸如行和列的至少两条相交线布

置。在一些实施例中,第一凹槽 112 以非交错的模式布置(如图 9 和图 11 所示)。在其他实施例中,第一凹槽 112 以交错的模式布置(如图 10 和图 12 所示)。在一些实施例中,当从顶部看时,第一凹槽 112 是矩形(如图 9 和图 10 所示)。在其他实施例中,当从顶部看时,第一凹槽 112 是圆形(如图 11 和图 12 所示)。

[0042] 在一些实施例中,第一凹槽 112 占据衬底 110 的顶面上的区域,并且被第一凹槽 112 占据的区域与衬底 110 的顶面的比例在从约 10% 至约 90% 的范围内。在一些实施例中,第一凹槽 112 的至少一个具有至少一个在从约 10nm 至约 1000nm 的范围内的尺寸。

[0043] 参考图 7。至少在第一凹槽 112 中形成第一外延层 120,在第一外延层 120 上形成第二外延层 130,并且在第二外延层 130 上形成第三外延层 140。第一外延层 120、第二外延层 130 和 / 或第三外延层 140 由具有与衬底 110 失配的晶格的一种或多种材料制成。在一些实施例中,第一外延层 120、第二外延层 130 和 / 或第三外延层 140 由锗或硅锗制成。锗和硅之间的晶格失配为约 4%。在其他实施例中,第一外延层 120、第二外延层 130 和 / 或第三外延层 140 由一种 III-V 族化合物或多种 III-V 族化合物制成。III-V 族化合物和硅之间的晶格失配在从约 8% 至约 12% 的范围内。因此,如果衬底 110 缺少第一凹槽 112,则由于第一外延层 120 和衬底 110 之间的晶格失配,第一外延层 120、第二外延层 130 和 / 或第三外延层 140 可能有外延缺陷。例如,外延缺陷可以是穿透位错 (TD)。

[0044] 由于第一外延层 120 形成在第一凹槽 112 中,第一外延层 120 中的穿透位错 (TD) 终止在第一凹槽 112 的侧壁处。此外,由于第一凹槽 112 是多维布置的,所以第一凹槽 112 可以将 TD 多维地终止第一外延层 120 中。也就是说,沿着不同方向延伸的 TD 可以限制于第一凹槽 112 中。

[0045] 在一些实施例中,衬底 110、第一外延层 120、第二外延层 130 和第三外延层 140 的晶格参数从衬底 110 朝着远离衬底 110 的方向变化。换言之,第一外延层 120 的晶格参数介于第二外延层 130 的晶格参数和衬底 110 的晶格参数之间,第二外延层 130 的晶格参数介于第三外延层 140 的晶格参数和第一外延层 120 的晶格参数之间和 / 或第二外延层 130 的晶格参数介于第三外延层 140 的晶格参数和衬底 110 的晶格参数之间。因此,第一外延层 120 和衬底 110 之间的晶格失配小于第二外延层 130 和衬底 110 之间的晶格失配,第一外延层 120 和衬底 110 之间的晶格失配小于第三外延层 140 和衬底 110 之间的晶格失配,第二外延层 130 和第一外延层 120 之间的晶格失配小于第三外延层 140 和第一外延层 120 之间的晶格失配,第二外延层 130 和第一外延层 120 之间的晶格失配小于第三外延层 140 和衬底 110 之间的晶格失配,第二外延层 130 和衬底 110 之间的晶格失配小于第三外延层 140 和衬底 110 之间的晶格失配,第三外延层 140 和第一外延层 120 之间的晶格失配小于第三外延层 140 和衬底 110 之间的晶格失配,和 / 或第三外延层 140 和第一外延层 120 之间的晶格失配小于第三外延层 140 和衬底 110 之间的晶格失配。由于邻近的衬底 110、第一外延层 120、第二外延层 130 和第三外延层 140 之间的晶格失配减小,由邻近的衬底 110、第一外延层 120、第二外延层 130 和第三外延层 140 之间的界面产生的穿透位错 (TD) 也减小。

[0046] 在一些实施例中,第一外延层 120 和衬底 110 之间的晶格失配可以大于第二外延层 130 和衬底 110 之间的晶格失配。在这样的实施例中,从第一外延层 120 和衬底 110 之间的界面倾向于产生穿透位错 (TD)。由于第一外延层 120 形成在第一凹槽 112 中,从第一

外延层 120 和衬底 110 之间的界面产生的 TD 可以限制于第一凹槽 112 中。

[0047] 在一些实施例中,第一外延层 120、第二外延层 130 和第三外延层 140 中的至少一个的晶格参数可以是常数。在一些其他实施例中,第一外延层 120、第二外延层 130 和第三外延层 140 中的至少一个的晶格参数可以随着其厚度变化。

[0048] 当衬底 110 由硅制成,并且第一外延层 120、第二外延层 130 和第三外延层 140 由硅锗或锗制成时,衬底 110、第一外延层 120、第二外延层 130 和第三外延层 140 的晶格参数从衬底 110 朝着远离衬底 110 的方向增加。换言之,第一外延层 120 的晶格参数大于衬底 110 的晶格参数,第二外延层 130 的晶格参数大于第一外延层 120 的晶格参数,和 / 或第三外延层 140 的晶格参数大于第二外延层 130 的晶格参数。

[0049] 由于锗的晶格参数高于硅的晶格参数,所以硅锗或锗的晶格参数随着其锗含量的增加而增加。因此,当衬底 110 由硅制成,并且第一外延层 120、第二外延层 130 和第三外延层 140 由硅锗或锗制成时,衬底 110、第一外延层 120、第二外延层 130 和第三外延层 140 的锗含量从衬底 110 朝着远离衬底 110 的方向增加。换言之,第一外延层 120 的锗含量大于衬底 110 的锗含量,第二外延层 130 的锗含量大于第一外延层 120 的锗含量,和 / 或第三外延层 140 的锗含量大于第二外延层 130 的锗含量。

[0050] 在一些实施例中,第一外延层 120、第二外延层 130 和第三外延层 140 中的至少一个的锗含量可以是常数。在一些其他实施例中,第一外延层 120、第二外延层 130 和第三外延层 140 中的至少一个的锗含量可以随着其厚度变化。

[0051] 在一些其他实施例中,第一外延层 120、第二外延层 130 和第三外延层 140 中的至少两个可以具有不同晶格参数。在一些其他实施例中,第一外延层 120、第二外延层 130 和第三外延层 140 中的至少两个可以具有相同晶格参数并且可以由相同的材料制成。在第一外延层 120、第二外延层 130 和第三外延层 140 中的至少两个具有相同的晶格参数并且由相同的材料制成的实施例中,第一外延层 120、第二外延层 130 和第三外延层 140 中的所述至少两个之间的界面可以不存在,并且因此第一外延层 120、第二外延层 130 和第三外延层 140 中的所述至少两个可以认为是一个外延层。

[0052] 第一外延层 120、第二外延层 130 和第三外延层 140 可以通过例如,分子束外延 (MBE) 或化学汽相沉积 (CVD) 形成。具体地,第一外延层 120 过填充第一凹槽 112。然后,通过去除工艺去除在第一凹槽 112 外面的过量的第一外延层 120。在一些实施例中,通过化学机械抛光 (CMP) 工艺来去除过载的第一外延层 120。在去除工艺之后,第二外延层 130 形成在第一外延层 120 和衬底 110 上。然后,可以对第二外延层 130 实施可选的平坦化工艺。例如,对第二外延层 130 实施的平坦化工艺是 CMP 工艺。然后,在第二外延层 130 上形成第三外延层 140。在形成第三外延层 140 之后,可以对第三外延层 140 实施其他的可选的平坦化工艺。类似地,例如,对第三外延层 140 实施的平坦化工艺是 CMP 工艺。

[0053] 在形成第三外延层 140 之后,对第三外延层 140 实施掺杂剂注入工艺以在第三外延层 140 中形成有源区。有源区将用于之后将形成的有源器件的部件,诸如 n- 沟道金属氧化物半导体场效应晶体管 (n- 沟道 MOSFET)、p- 沟道 MOSFET、平坦 MOSFET 或鳍式场效应晶体管 (finFETs)。如果将在有源区上形成 n- 沟道 MOSFET,那么 p 阱形成在有源区中。如果将在有源区上形成 p- 沟道 MOSFET,那么 n 阱形成在有源区中。

[0054] 如果第三外延层 140 由诸如锗或硅锗的 IV 族半导体材料制成,那么掺杂剂可以是

来自 III 族元素的受体或来自 V 族元素的供体。当第三外延层 140 由具有四价电子的 IV 族半导体材料制成时,例如,具有三价电子的硼 (B)、铝 (Al)、镓 (Ga) 或它们的组合,可以用作掺杂剂以在第三外延层 140 中形成 p 阱。另一方面,当第三外延层 140 由具有四价电子的 IV 族半导体材料制成时,具有五价电子的磷 (P)、砷 (As)、锑 (Sb)、铋 (Bi) 或它们的组合,可以用作掺杂剂以在第三外延层 140 中形成 n 阱。

[0055] 在一些实施例中,将形成 p- 沟道金属氧化物半导体场效应晶体管 (p- 沟道 MOSFET) 和 n- 沟道 MOSFET 的有源区由诸如锗或硅锗的基本上相同的材料制成。在一些其他实施例中,将形成 p- 沟道 MOSFET 的有源区由锗或硅锗制成,并且将形成 n- 沟道 MOSFET 的有源区由一个或多个 III-V 族化合物形成。在这样的实施例中,将形成 p- 沟道 MOSFET 的有源区和将形成 n- 沟道 MOSFET 的有源区可以分别地形成。换言之,形成、图案化和注入第一外延层 120、第二外延层 130 和第三外延层 140 以形成一些有源区,并且然后形成和注入一个或多个其他外延层以形成其他有源区。

[0056] 参考图 8。多个隔离结构 150 至少部分地形成在第三外延层 140 中以使有源区 145 分隔开。在一些实施例中,例如,隔离结构 150 是浅沟槽隔离 (STI) 结构。具体地,在第三外延层 140 上形成硬掩模层并且图案化硬掩模层以在其中形成开口,从而暴露出第三外延层 140 的部分。然后,蚀刻第三外延层 140 的暴露部分以在第三外延层 140 中形成沟槽 152。用于形成沟槽 152 的蚀刻可以是,例如,反应离子蚀刻 (RIE)。在形成沟槽 152 之后,介电材料 154 过填充沟槽 152。介电材料 154 是,例如,氧化硅、氮化硅、固化的可流动的介电材料或它们的组合。然后,通过,例如,化学机械抛光 (CMP) 去除沟槽 154 外面的过量的介电材料 154。在 CMP 之后,从第三外延层 140 去除硬掩模层以形成隔离结构 150。

[0057] 在形成隔离结构 150 之后,可以实施一个或多个工艺步骤以在有源区 145 上形成有源器件的一个或多个部件,诸如 n- 沟道金属氧化物半导体场效应晶体管 (n- 沟道 MOSFET)、p- 沟道 MOSFET、平坦 MOSFET 或鳍式场效应晶体管 (finFETs)。由于在第一外延层 120 中的穿透位错 (TD) 限制于第一凹槽 112 中,并且从衬底 110、第一外延层 120、第二外延层 130 和第三外延层 140 之间的界面产生的 TD 减小,所以在有源区 145 中的 TD 可以被消除或减少到可接受的水平。

[0058] 图 13 至图 17 是根据本发明的一些实施例的在各个阶段的半导体结构的截面图。

[0059] 参考图 13。在衬底 110 中形成多个第一凹槽 112。衬底 110 由诸如晶体硅的半导体材料制成。例如,衬底 110 是块状硅或绝缘体上硅 (SOI) 衬底的有源层。

[0060] 通过光刻和蚀刻工艺形成第一凹槽 112。光刻和蚀刻工艺包括光刻胶应用、曝光、显影、蚀刻和光刻胶去除。例如,通过旋涂对衬底 110 施加光刻胶。然后预烘烤光刻胶以驱除过量的光刻胶溶剂。在预烘烤之后,将光刻胶曝光于强光的图案。曝光于光造成化学变化,其允许一些光刻胶溶于显影剂。在显影之前可以实施曝光后烘烤 (PEB) 以帮助减少由入射光的破坏性和建设性干涉图案造成的驻波现象。然后对光刻胶施加显影剂以去除溶于显影剂中的一些光刻胶。然后硬烘烤剩余的光刻胶以固化剩余的光刻胶。蚀刻衬底 110 的未被剩余的光刻胶保护的部分以形成第一凹槽 112。在蚀刻衬底 110 之后,通过,例如,灰化或剥离从衬底 110 去除光刻胶。

[0061] 在一些实施例中,衬底 110 的蚀刻可以是,例如,各向异性湿蚀刻。当衬底 110 由晶体硅制成时,用于蚀刻衬底 110 的蚀刻剂可以是,例如,氢氧化钾 (KOH) 基溶液、乙二胺邻苯

二酚 (EPD) 基溶液、四甲基氢氧化铵 (TMAH) 基溶液或它们的组合。氢氧化钾 KOH 在 $\langle 100 \rangle$ 结晶方向中显示的蚀刻速率选择性比在 $\langle 111 \rangle$ 方向中显示的蚀刻速率选择性高 400 倍。乙二胺邻苯二酚 (EPD) 在 $\langle 100 \rangle$ 结晶方向中显示的蚀刻速率选择性比在 $\langle 111 \rangle$ 方向中显示的蚀刻速率选择性高 35 倍。四甲基氢氧化铵 (TMAH) 在 $\langle 100 \rangle$ 结晶方向中显示的蚀刻速率选择性比在 $\langle 111 \rangle$ 方向中显示的蚀刻速率选择性高 12.5 倍至 50 倍。因此,通过各向异性湿蚀刻形成的第一凹槽 112 可以具有 V 形的截面。

[0062] 在一些其他实施例中,衬底 110 的蚀刻可以是诸如反应离子蚀刻 (RIE) 的干蚀刻。RIE 是一种干蚀刻,其与湿蚀刻相比具有不同的特性。RIE 使用化学反应等离子体以形成第一凹槽 112。通过电磁场在低压情况下 (真空) 生成等离子体。来自化学反应等离子体的高能离子撞击衬底 110 并且与衬底 110 反应。在一些实施例中,可以使用氯 (Cl) 或溴 (Br) 基 RIE 以形成第一凹槽 112。通过 RIE 形成的第一凹槽 112 可以具有矩形截面或 U 形截面。

[0063] 第一凹槽 112 多维地布置在衬底 110 中。换言之,第一凹槽 112 沿着诸如行和列的至少两条相交线布置。在一些实施例中,当从顶部看时,第一凹槽 112 以非交错的模式布置。在一些其他实施例中,当从顶部看时,第一凹槽 112 以交错的模式布置。当从顶部看时,第一凹槽 112 可以是,例如,菱形、矩形或圆形。

[0064] 在一些实施例中,第一凹槽 112 占据衬底 110 的顶面上的区域,并且被第一凹槽 112 占据的区域与衬底 110 的顶面的比例在从约 10% 至约 90% 的范围内。在一些实施例中,第一凹槽 112 的至少一个具有至少一个在从约 10nm 至约 1000nm 的范围内的尺寸。

[0065] 参考图 14。至少在第一凹槽 112 中形成第一外延层 120,并且在第一外延层 120 上形成第二外延层 130。第一外延层 120 和 / 或第二外延层 130 由具有与衬底 110 失配的晶格的一种或多种材料制成。在一些实施例中,第一外延层 120 和 / 或第二外延层 130 由锗或硅锗制成。锗和硅之间的晶格失配为约 4%。在一些其他实施例中,第一外延层 120 和 / 或第二外延层 130 由一种 III-V 族化合物或多种 III-V 族化合物制成。III-V 族化合物和硅之间的晶格失配在从约 8% 至约 12% 的范围内。因此,如果衬底 110 缺少第一凹槽 112,则由于第一外延层 120 和衬底 110 之间的晶格失配,第一外延层 120 和 / 或第二外延层 130 可能有外延缺陷。外延缺陷可以是,例如,穿透位错 (TD)。

[0066] 由于第一外延层 120 形成在第一凹槽 112 中,第一外延层 120 中的穿透位错 (TD) 终止在第一凹槽 112 的侧壁处。此外,由于第一凹槽 112 是多维布置的,所以第一凹槽 112 可以将 TD 多维地终止在第一外延层 120 中。也就是说,沿着不同方向延伸的 TD 可以限制于第一凹槽 112 中。

[0067] 第一外延层 120 和第二外延层 130 可以通过例如,分子束外延 (MBE) 或化学汽相沉积 (CVD) 形成。具体地,第一外延层 120 过填充第一凹槽 112。然后,通过去除工艺去除在第一凹槽 112 外面的过量的第一外延层 120。在一些实施例中,通过化学机械抛光 (CMP) 工艺来去除过载的第一外延层 120。在去除工艺之后,第二外延层 130 形成在第一外延层 120 和衬底 110 上。然后,可以对第二外延层 130 实施可选的平坦化工艺。例如,平坦化工艺是化学机械抛光 (CMP) 工艺。

[0068] 参考图 15。在第二外延层 130 中形成多个第二凹槽 132。通过光刻和蚀刻工艺形成第二凹槽 132。光刻和蚀刻工艺包括光刻胶应用、曝光、显影、蚀刻和光刻胶去除。例如,通过旋涂对第二外延层 130 施加光刻胶。然后预烘烤光刻胶以驱除过量的光刻胶溶剂。在

预烘烤之后,将光刻胶曝光于强光的图案。曝光于光造成化学变化,其允许一些光刻胶溶于显影剂。在显影之前可以实施曝光后烘烤(PEB)以帮助减少由入射光的破坏性和建设性干涉图案造成的驻波现象。然后对光刻胶施加显影剂以去除溶于显影剂中的一些光刻胶。然后硬烘剩余的光刻胶以固化剩余的光刻胶。蚀刻第二外延层 130 的未被剩余的光刻胶保护的部分以形成第二凹槽 132。在蚀刻第二外延层 130 之后,通过,例如,灰化或剥离从第二外延层 130 去除光刻胶。

[0069] 第二外延层 130 的蚀刻可以是诸如反应离子蚀刻(RIE)的各向异性湿蚀刻或干蚀刻。通过各向异性湿蚀刻形成的第二凹槽 132 可以具有 V 形的截面。通过 RIE 形成的第二凹槽 132 可以具有矩形截面或 U 形截面。

[0070] 在一些实施例中,第二凹槽 132 与第一凹槽 112 交错。在一些实施例中,第二凹槽 132 可以不与第一凹槽 112 对准。在这个配置中,穿透位错(TD)的未限制于第一凹槽 112 中的至少部分终止在第二凹槽 132 的侧壁处。因此,可以进一步减少 TD。在一些其他实施例中,第二凹槽 132 可以与第一凹槽 112 对准。

[0071] 第二凹槽 132 多维地布置在第二外延层 130 中。换言之,第二凹槽 132 沿着诸如行和列的至少两条相交线布置。在一些实施例中,当从顶部看时,第二凹槽 132 以非交错的模式布置。在一些其他实施例中,当从顶部看时,第二凹槽 132 以交错的模式布置。当从顶部看时,第二凹槽 132 可以是,例如,菱形、矩形或圆形。

[0072] 在一些实施例中,第二凹槽 132 占据第二外延层 130 的顶面上的区域,并且被第二凹槽 132 占据的区域与第二外延层 130 的顶面的比例在从约 10%至约 90%的范围内。在一些实施例中,第二凹槽 132 的至少一个具有至少一个在从约 10nm 至约 1000nm 的范围内的尺寸。

[0073] 参考图 16。至少在第二凹槽 132 中形成第三外延层 140,并且在第三外延层 140 上形成第四外延层 143。在一些实施例中,第三外延层 140 和 / 或第四外延层 143 由锗或硅锗制成。在一些其他实施例中,第三外延层 140 和 / 或第四外延层 143 由一种 III-V 族化合物或多种 III-V 族化合物制成。

[0074] 由于第三外延层 140 形成在第二凹槽 132 中,第三外延层 140 中的穿透位错(TD)终止在第二凹槽 132 的侧壁处。此外,由于第二凹槽 132 是多维布置的,所以第二凹槽 132 可以将 TD 多维地终止在第三外延层 140 中。换言之,沿着不同方向延伸的 TD 可以限制于第二凹槽 132 中。

[0075] 第三外延层 140 和第四外延层 143 可以通过例如,分子束外延(MBE)或化学汽相沉积(CVD)形成。具体地,第三外延层 140 过填充第二凹槽 132。然后,通过去除工艺去除在第二凹槽 132 外面的过量的第三外延层 140。在一些实施例中,通过化学机械抛光(CMP)工艺来去除过载的第三外延层 140。在去除工艺之后,第四外延层 143 形成在第三外延层 140 和第二外延层 130 上。然后,可以对第四外延层 143 实施可选的平坦化工艺。平坦化工艺是,例如,化学机械抛光(CMP)工艺。

[0076] 在一些实施例中,衬底 110、第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 的晶格参数从衬底 110 朝着远离衬底 110 的方向变化。换言之,第一外延层 120 的晶格参数介于第二外延层 130 的晶格参数和衬底 110 的晶格参数之间,第二外延层 130 的晶格参数介于第三外延层 140 的晶格参数和第一外延层 120 的晶格参数之间、第

二外延层 130 的晶格参数介于第四外延层 143 的晶格参数和衬底 110 的晶格参数之间,和 / 或第三外延层 140 的晶格参数介于第四外延层 143 的晶格参数和第二外延层 130 的晶格参数之间。在这样的配置中,由于邻近的衬底 110、第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 之间的晶格失配减小,由邻近的衬底 110、第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 之间的界面产生的穿透位错 (TD) 也减小。

[0077] 在一些实施例中,第一外延层 120 和衬底 110 之间的晶格失配可以大于第二外延层 130 和衬底 110 之间的晶格失配。在这样的实施例中,从第一外延层 120 和衬底 110 之间的界面倾向于产生穿透位错 (TD)。由于第一外延层 120 形成在第一凹槽 112 中,从第一外延层 120 和衬底 110 之间的界面产生的 TD 可以限制于第一凹槽 112 中。

[0078] 类似地,在一些实施例中,第三外延层 140 和第二外延层 130 之间的晶格失配可以大于第四外延层 143 和第二外延层 130 之间的晶格失配。在这样的实施例中,从第三外延层 140 和第二外延层 130 之间的界面倾向于产生穿透位错 (TD)。由于第三外延层 140 形成在第二凹槽 132 中,从第三外延层 140 和第二外延层 130 之间的界面产生的 TD 可以限制于第二凹槽 132 中。

[0079] 在一些实施例中,第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 中的至少一个的晶格参数可以是常数。在一些其他实施例中,第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 中的至少一个的晶格参数可以随其厚度变化。

[0080] 当衬底 110 由硅制成,并且第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 由硅锗或锗制成时,衬底 110、第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 的晶格参数从衬底 110 朝着远离衬底 110 的方向增加。换言之,第一外延层 120 的晶格参数大于衬底 110 的晶格参数,第二外延层 130 的晶格参数大于第一外延层 120 的晶格参数,第三外延层 140 的晶格参数大于第二外延层 130 的晶格参数,和 / 或第四外延层 143 的晶格参数大于第三外延层 140 的晶格参数。

[0081] 由于锗的晶格参数高于硅的晶格参数,所以硅锗或锗的晶格参数随着其锗含量的增加而增加。因此,当衬底 110 由硅制成,并且第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 由硅锗或锗制成时,衬底 110、第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 的锗含量从衬底 110 朝着远离衬底 110 的方向增加。换言之,第一外延层 120 的锗含量大于衬底 110 的锗含量,第二外延层 130 的锗含量大于第一外延层 120 的锗含量,第三外延层 140 的锗含量大于第二外延层 130 的锗含量,和 / 或第四外延层 143 的锗含量大于第三外延层 140 的锗含量。

[0082] 在一些实施例中,第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 中的至少一个的锗含量可以是常数。在一些其他实施例中,第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 中的至少一个的锗含量可以随其厚度变化。

[0083] 在一些实施例中,第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 中的至少两个可以具有不同的晶格参数。在一些其他实施例中,第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 中的至少两个可以具有相同晶格参数并且可以由相同的材料制成。在第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 中的至少两个具有相同的晶格参数并且由相同的材料制成的实施例中,第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 中的所述至少两个之间的界面可以

不存在,并且因此第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 中的所述至少两个可以认为是一个外延层。

[0084] 在形成第四外延层 143 之后,对第四外延层 143 实施掺杂剂注入工艺以在第四外延层 143 中形成有源区。有源区将用于之后将形成的有源器件的部件,诸如 n- 沟道金属氧化物半导体场效应晶体管 (n- 沟道 MOSFET)、p- 沟道 MOSFET、平坦 MOSFET 或鳍式场效应晶体管 (finFET)。如果将在有源区上形成 n- 沟道 MOSFET,那么 p 阱形成在有源区中。如果将在有源区上形成 p- 沟道 MOSFET,那么 n 阱形成在有源区中。

[0085] 如果第四外延层 143 由诸如锗或硅锗的 IV 族半导体材料制成,那么掺杂剂可以是来自 III 族元素的受体或来自 V 族元素的供体。当第四外延层 143 由具有四价电子的 IV 族半导体材料制成时,例如,具有三价电子的硼 (B)、铝 (Al)、镓 (Ga) 或它们的组合可以用作掺杂剂以在第四外延层 143 中形成 p 阱。另一方面,当第四外延层 143 由具有四价电子的 IV 族半导体材料制成时,具有五价电子的磷 (P)、砷 (As)、锑 (Sb)、铋 (Bi) 或它们的组合,可以用作掺杂剂以在第四外延层 143 中形成 n 阱。

[0086] 在一些实施例中,将形成 p- 沟道金属氧化物半导体场效应晶体管 (p- 沟道 MOSFET) 和 n- 沟道 MOSFET 的有源区由诸如锗或硅锗的基本上相同的材料制成。在一些其他实施例中,将形成 p- 沟道 MOSFET 的有源区由锗或硅锗制成,并且将形成 n- 沟道 MOSFET 的有源区由一个或多个 III-V 族化合物形成。在这样的实施例中,将形成 p- 沟道 MOSFET 的有源区和将形成 n- 沟道 MOSFET 的有源区可以分别地形成。换言之,形成、图案化和注入第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 以形成一些有源区,并且然后形成和注入一个或多个其他外延层以形成一些其他有源区。

[0087] 参考图 17。多个隔离结构 150 至少部分地形成在第四外延层 143 中以使有源区 145 分隔开。在一些实施例中,隔离结构 150 是,例如,浅沟槽隔离 (STI) 结构。具体地,在第四外延层 143 上形成硬掩模层并且图案化硬掩模层以在其中形成开口,从而暴露出第四外延层 143 的部分。然后,蚀刻第四外延层 143 的暴露部分以在第四外延层 143 中形成沟槽 152。用于形成沟槽 152 的蚀刻可以是,例如,反应离子蚀刻 (RIE)。在形成沟槽 152 之后,介电材料 154 过填充沟槽 152。介电材料 154 是,例如,氧化硅、氮化硅、固化的可流动的介电材料或它们的组合。然后,通过,例如,化学机械抛光 (CMP) 去除沟槽 154 外面的过量的介电材料 154。在 CMP 之后,从第四外延层 143 去除硬掩模层以形成隔离结构 150。

[0088] 在形成隔离结构 150 之后,可以实施一个或多个工艺步骤以在有源区 145 上形成有源器件的一个或多个部件,诸如 n- 沟道金属氧化物半导体场效应晶体管 (n- 沟道 MOSFET)、p- 沟道 MOSFET、平坦 MOSFET 或鳍式场效应晶体管 (finFET)。由于穿透位错 (TD) 限制于第一凹槽 112 和第二凹槽 132 中,并且从第一外延层 120、第二外延层 130、第三外延层 140 和第四外延层 143 之间的界面产生的 TD 减小,所以在有源区 145 中的 TD 可以被消除或减少到可接受的水平。

[0089] 一些实施例将缺陷陷阱凹槽并入异质外延结构内。缺陷陷阱凹槽可以限制从不同材料之间的界面产生的穿透位错 (TD) 并且防止 TD 延伸至有源区内。此外,缺陷陷阱凹槽是多维布置的,并且因此沿着不同方向延伸的 TD 可以限制于缺陷陷阱凹槽。

[0090] 根据一些实施例,一种半导体结构包括衬底、至少一个第一外延层和至少一个第二外延层。衬底具有在其中多维布置的多个凹槽。第一外延层至少设置在衬底的凹槽中。

第二外延层设置在第一外延层上。

[0091] 根据一些实施例,一种半导体结构包括至少一个第一晶体层和至少一个第二晶体层。第一晶体层具有沿着至少两条相交线布置的多个凹槽。第二晶体层设置在第一晶体层的凹槽中和第一晶体层上。

[0092] 根据一些实施例,提供了一种用于制造半导体结构的方法。该方法包括在第一晶体层中形成多个多维布置的第一凹槽;以及至少在第一晶体层的凹槽中形成至少一个第二晶体层并且在第二晶体层上形成至少一个第三晶体层。

[0093] 根据本发明的一些实施例,提供了一种半导体结构,包括:衬底,具有多维地布置在所述衬底中的多个凹槽;至少一个第一外延层,至少设置在所述衬底的凹槽中;以及至少一个第二外延层,设置在所述第一外延层上。

[0094] 在上述半导体结构中,还包括:至少一个第三外延层,设置在所述第二外延层上。

[0095] 在上述半导体结构中,所述第二外延层的晶格参数介于所述第三外延层的晶格参数和所述衬底的晶格参数之间。

[0096] 在上述半导体结构中,所述第二外延层中具有多个凹槽;并且还包括:至少一个第三外延层,至少设置在所述第二外延层的凹槽中。

[0097] 在上述半导体结构中,所述第二外延层的凹槽是多维布置的。

[0098] 在上述半导体结构中,所述第二外延层的凹槽不与所述衬底的凹槽对准。

[0099] 在上述半导体结构中,还包括:至少一个隔离结构,至少部分地设置在所述第二外延层中。

[0100] 在上述半导体结构中,所述第二外延层进一步设置在所述衬底上,并且所述第一外延层和所述衬底之间的第一晶格失配大于所述第二外延层和所述衬底之间的第二晶格失配。

[0101] 在上述半导体结构中,所述衬底的凹槽以交错的模式布置。

[0102] 在上述半导体结构中,所述衬底的凹槽以非交错的模式布置。

[0103] 根据本发明的另一些实施例,还提供了一种半导体结构,包括:至少一个第一晶体层,具有沿着至少两条相交线布置的多个凹槽;以及至少一个第二晶体层,设置在所述第一晶体层的凹槽中和所述第一晶体层上。

[0104] 在上述半导体结构中,所述第一晶体层和多个所述第二晶体层的晶格参数从所述第一晶体层朝着远离所述第一晶体层的方向变化。

[0105] 在上述半导体结构中,多个所述第二晶体层的至少一个中具有多个凹槽。

[0106] 在上述半导体结构中,多个所述第二晶体层的至少一个具有沿着至少两个相交线布置的多个凹槽。

[0107] 在上述半导体结构中,多个所述第二晶体层的至少一个具有与所述第一晶体层的凹槽交错的多个凹槽。

[0108] 在上述半导体结构中,还包括:至少一个隔离结构,至少部分地设置在所述第二晶体层中。

[0109] 根据本发明的又一些实施例,还提供了一种用于制造半导体结构的方法,所述方法包括:在第一晶体层中形成多个多维地布置的第一凹槽;以及至少在所述第一晶体层的凹槽中形成至少一个第二晶体层,并且在所述第二晶体层上形成至少一个第三晶体层。

[0110] 在上述方法中,还包括:在所述第三晶体层上形成至少一个第四晶体层,其中,介于所述第三晶体层和所述第一晶体层之间的第一晶格失配小于介于所述第四晶体层和所述第一晶体层之间的第二晶格失配。

[0111] 在上述方法中,还包括:在所述第三晶体层中形成多个第二凹槽;以及至少在所述第二凹槽中形成至少一个第四晶体层。

[0112] 在上述方法中,还包括:在所述第三晶体层中至少部分地形成至少一个隔离结构。

[0113] 上面概述了若干实施例的特征,使得本领域技术人员可以更好地理解本发明的方面。本领域技术人员应该理解,他们可以容易地使用本发明作为基础来设计或修改用于实施与本文所介绍实施例相同的目的和/或实现相同优势的其他工艺和结构。本领域技术人员也应该意识到,这种等同构造并不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,本文中他们可以做出多种变化、替换以及改变。

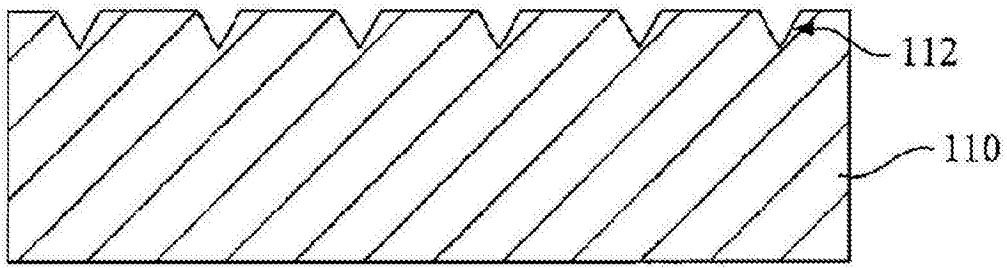


图 1

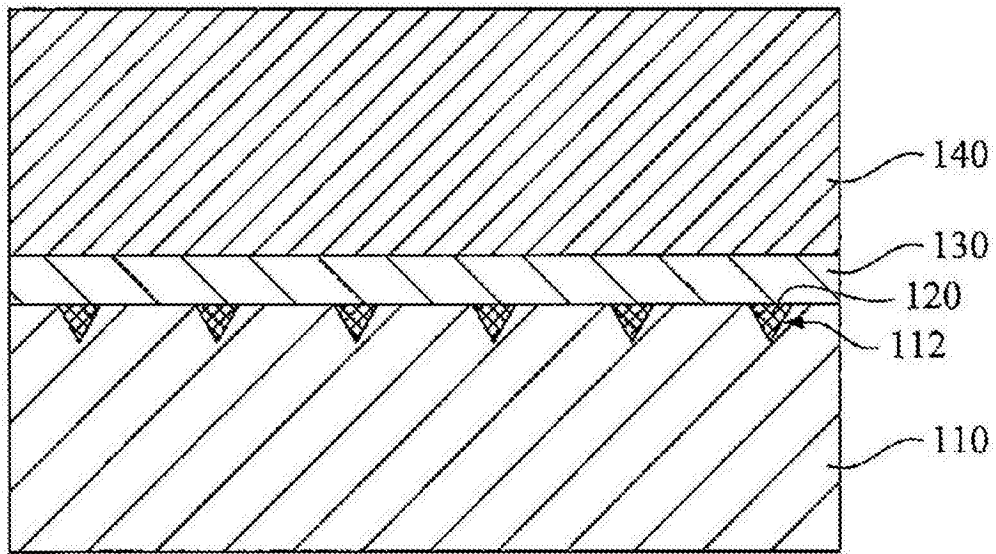


图 2

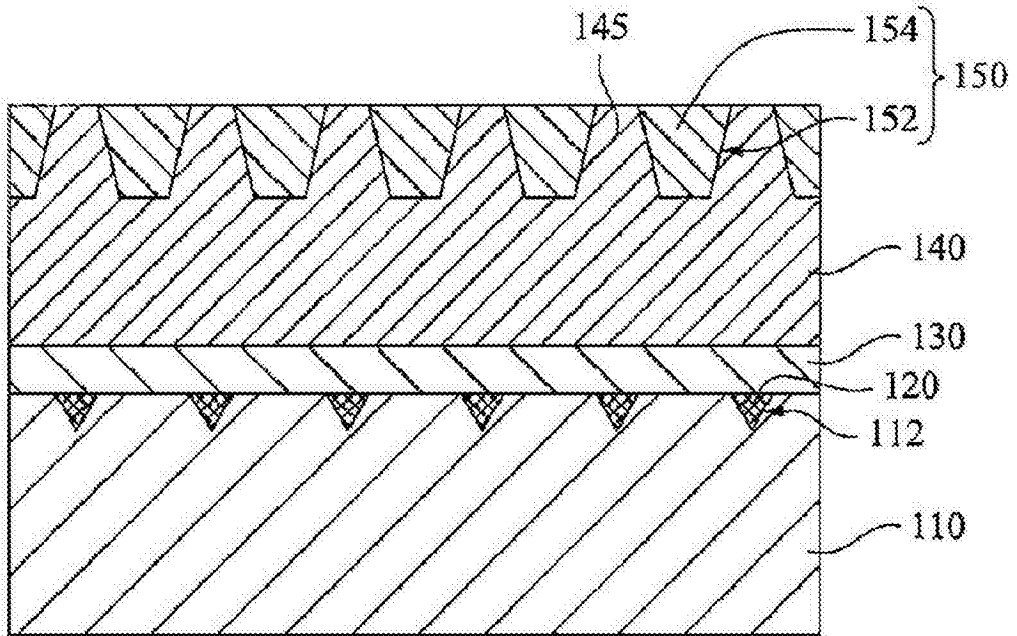


图 3

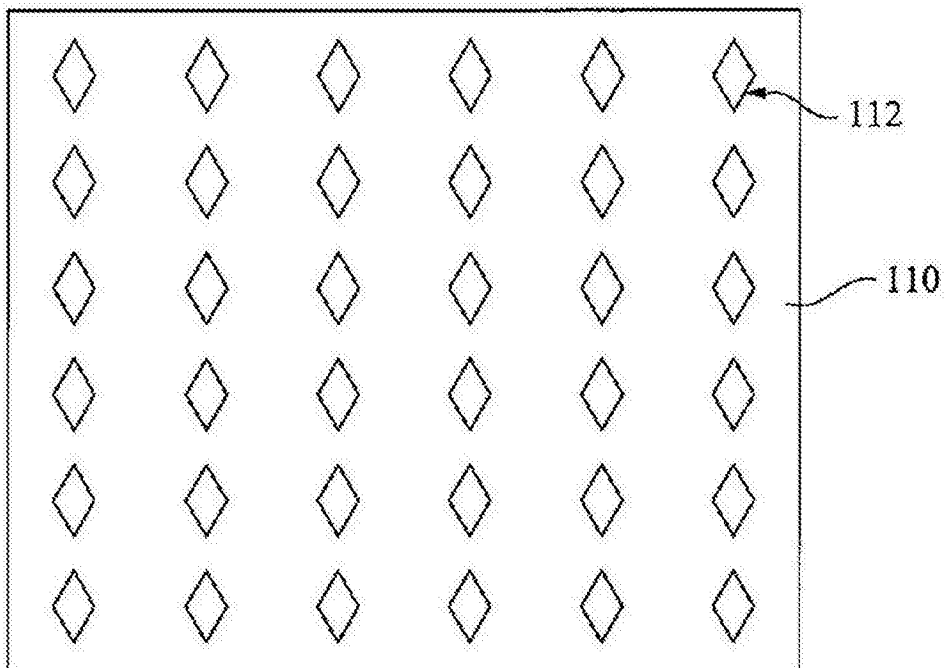


图 4

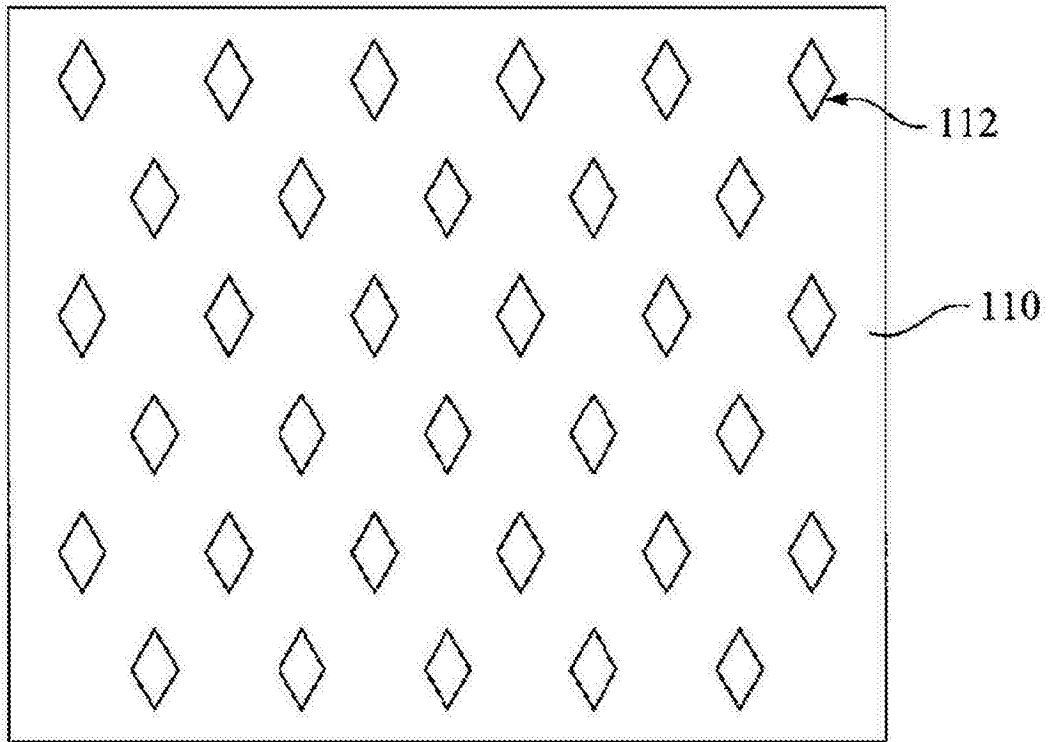


图 5

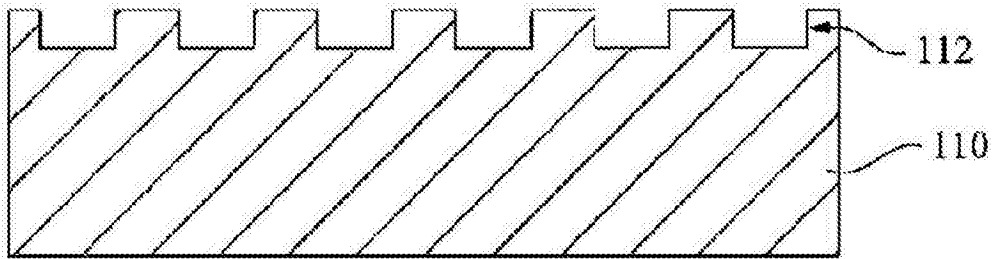


图 6

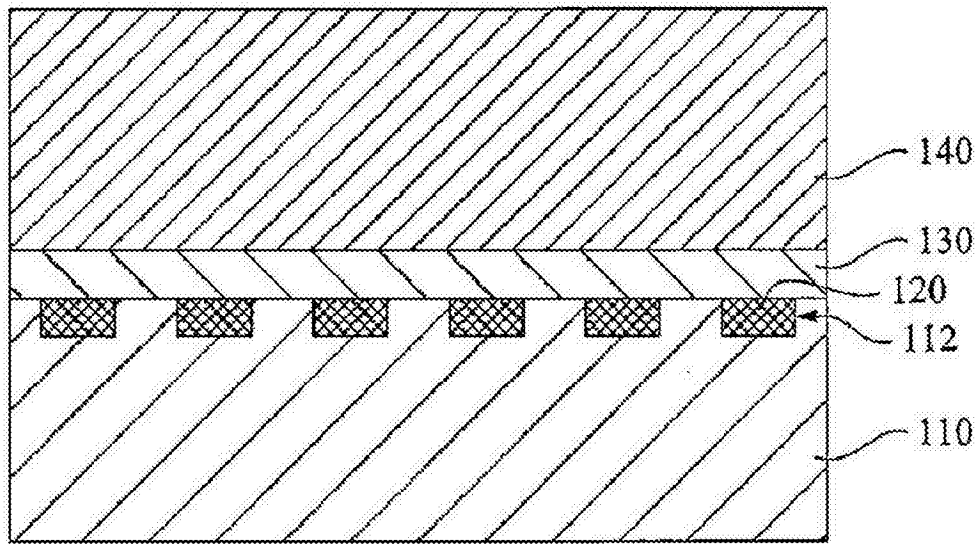


图 7

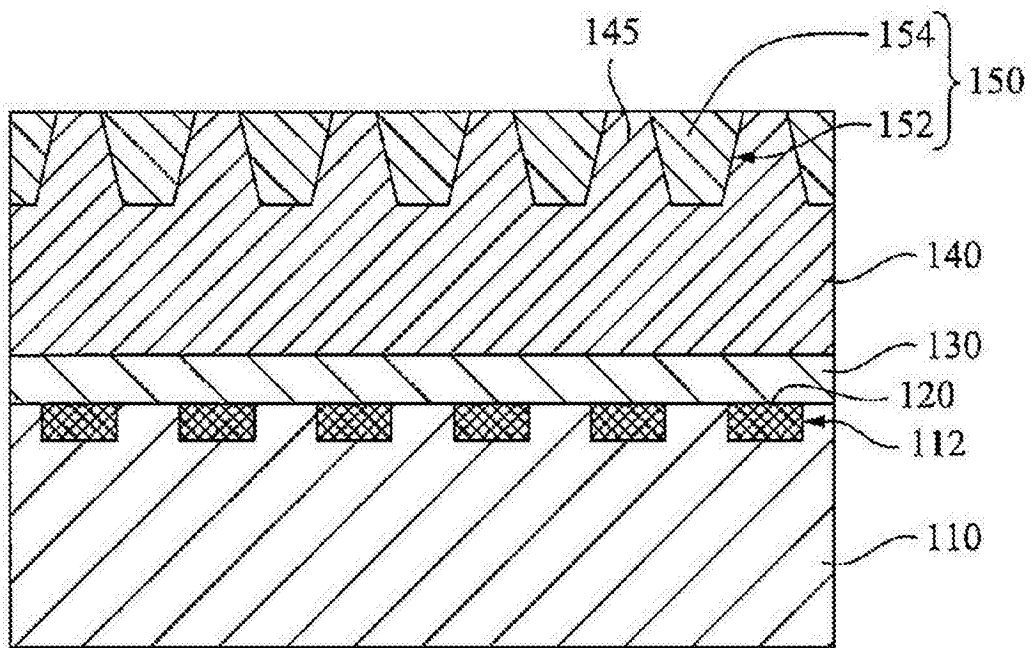


图 8

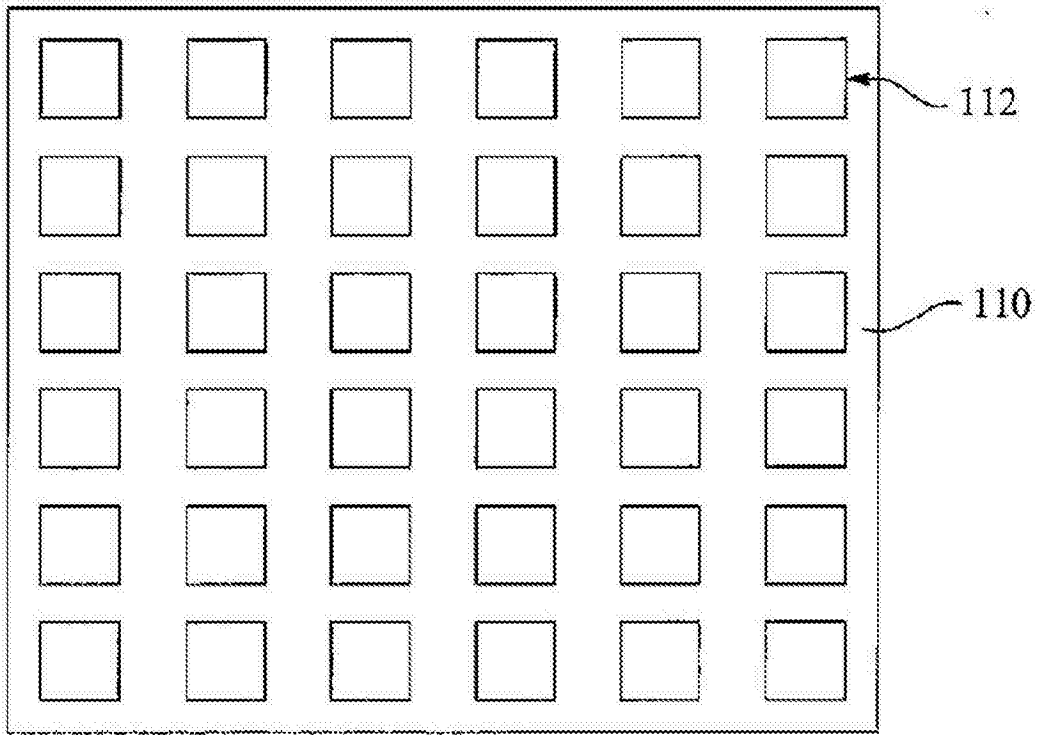


图 9

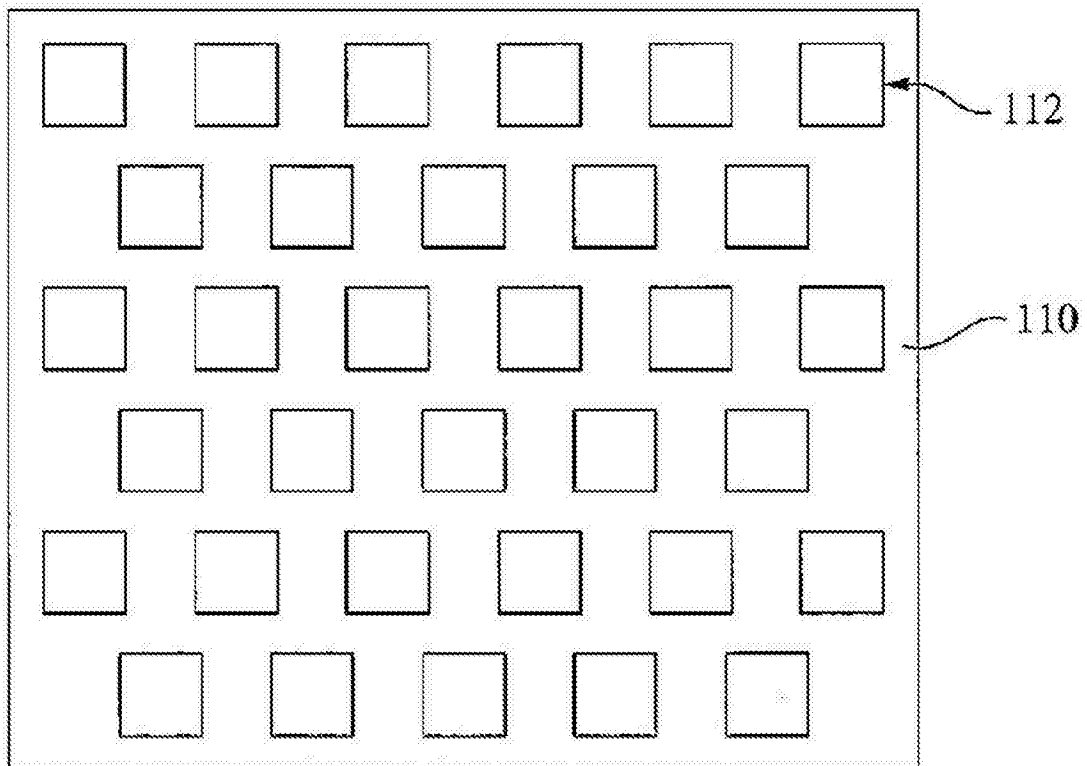


图 10

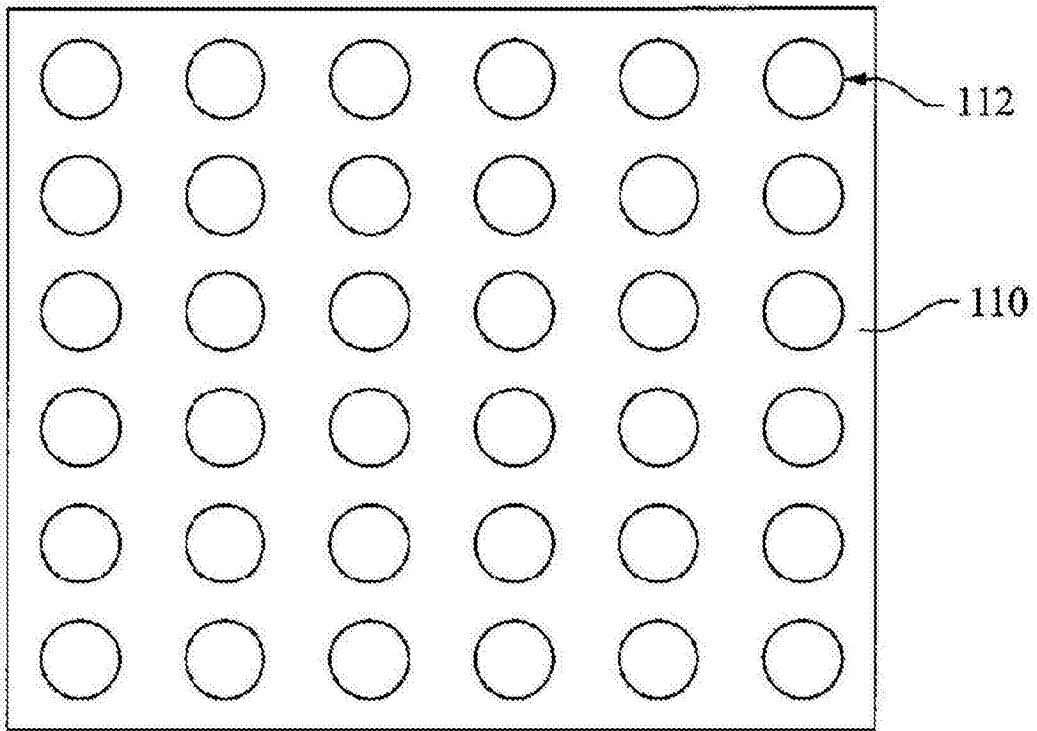


图 11

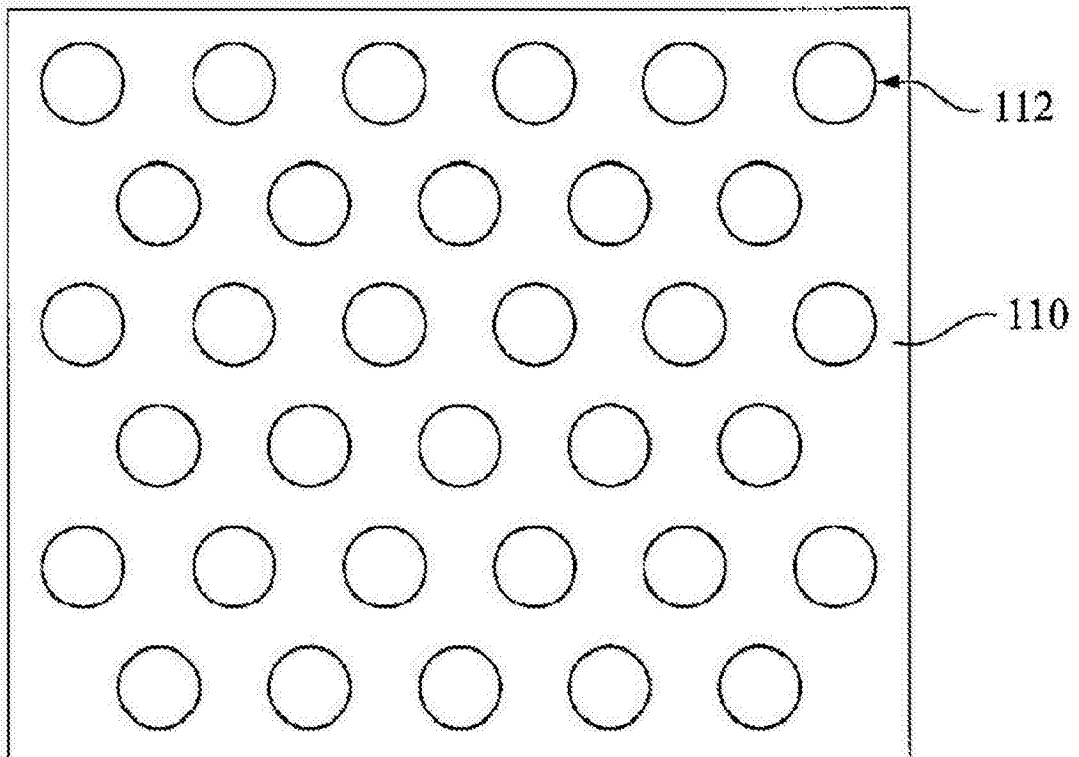


图 12

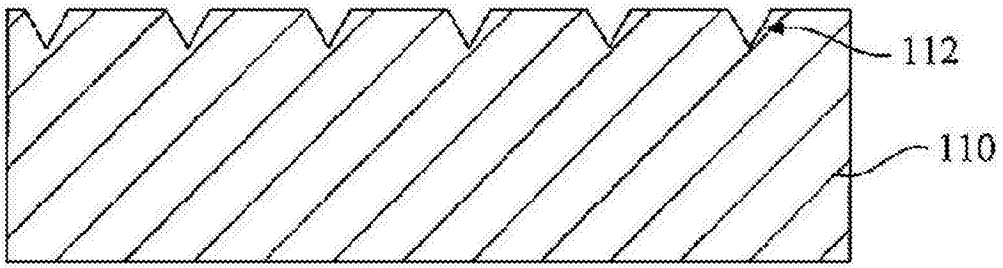


图 13

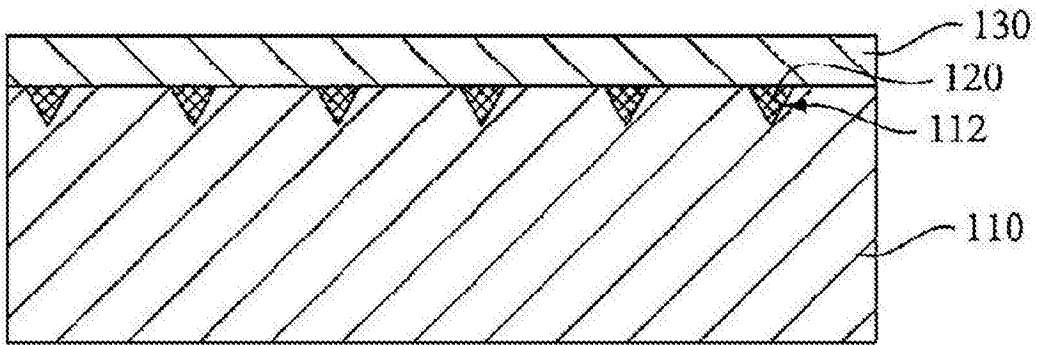


图 14

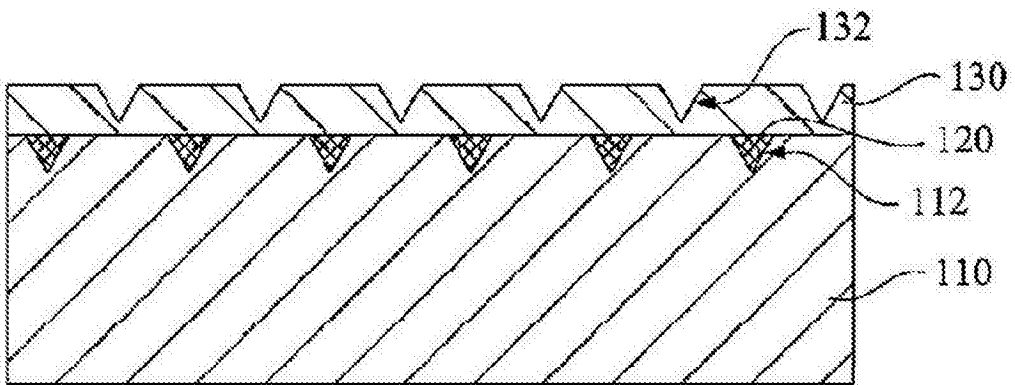


图 15

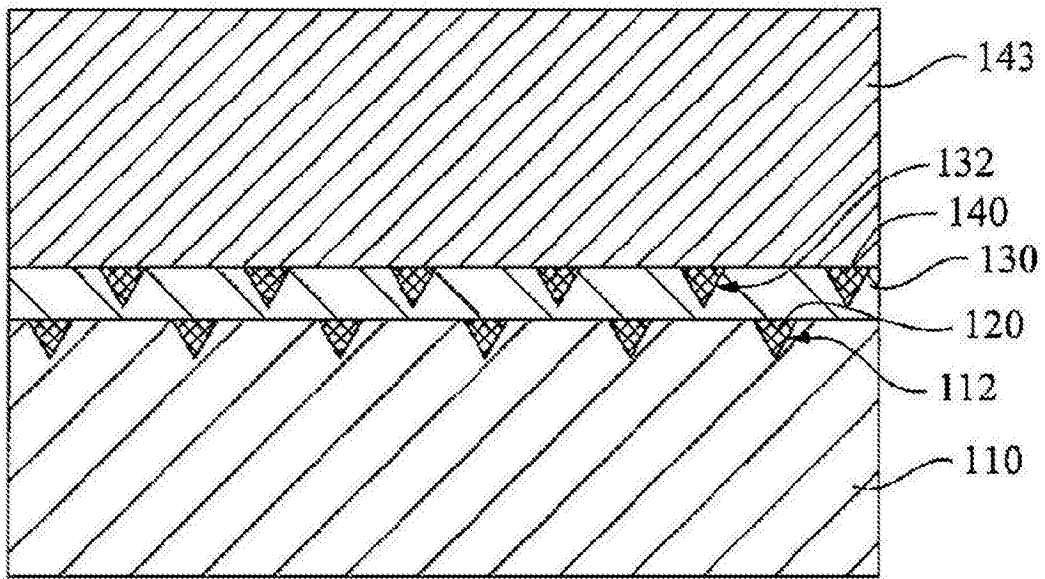


图 16

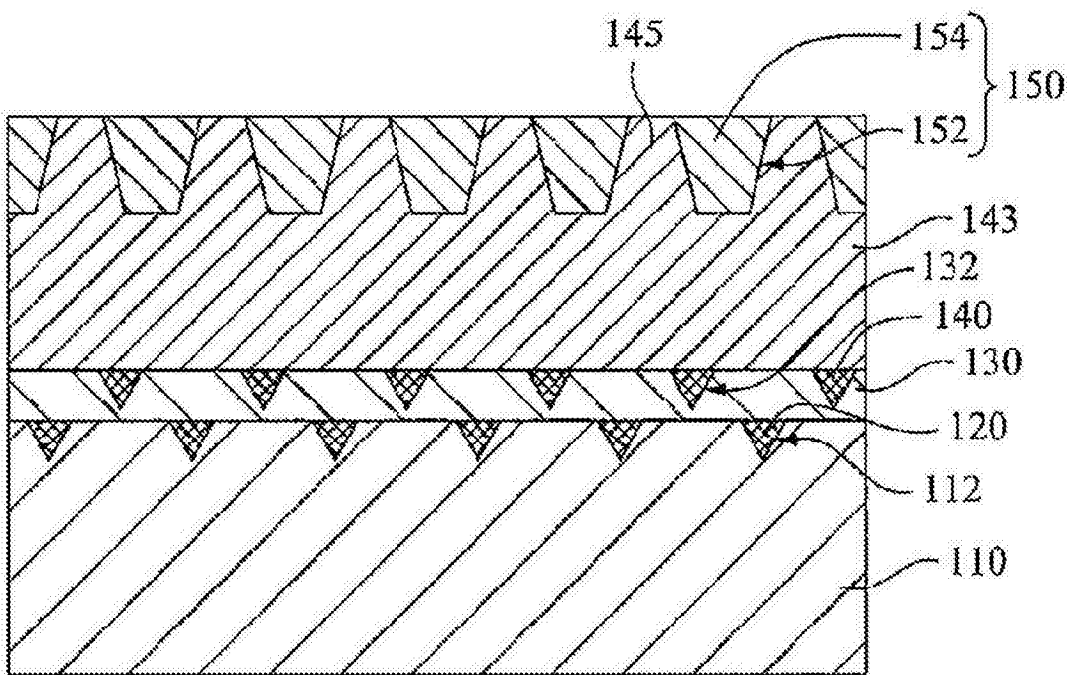


图 17