



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I657444 B

(45)公告日：中華民國 108 (2019) 年 04 月 21 日

(21)申請案號：106131939

(22)申請日：中華民國 106 (2017) 年 09 月 18 日

(51)Int. Cl. : **G11C11/419 (2006.01)**

(30)優先權：2016/09/30 美國

62/402,975

2017/07/21 美國

15/656,147

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY LTD. (TW)

新竹市新竹科學工業園區力行六路8號

(72)發明人：阿加沃爾 潘卡伊 AGGARWAL, PANKAJ (IN)；吳經緯 WU, CHING-WEI
(TW)；阿省 傑敏恩 巴拉特瑪 ASEEM, JAYMEEN BHARATKUMAR (IN)

(74)代理人：陳長文；馮博生

(56)參考文獻：

US 7414878B1

US 8964458B2

US 8971133B1

US 2011/0051535A1

US 2014/0269112A1

審查人員：蔡明宏

申請專利範圍項數：10 項 圖式數：3 共 37 頁

(54)名稱

寫入位元胞的電路及方法

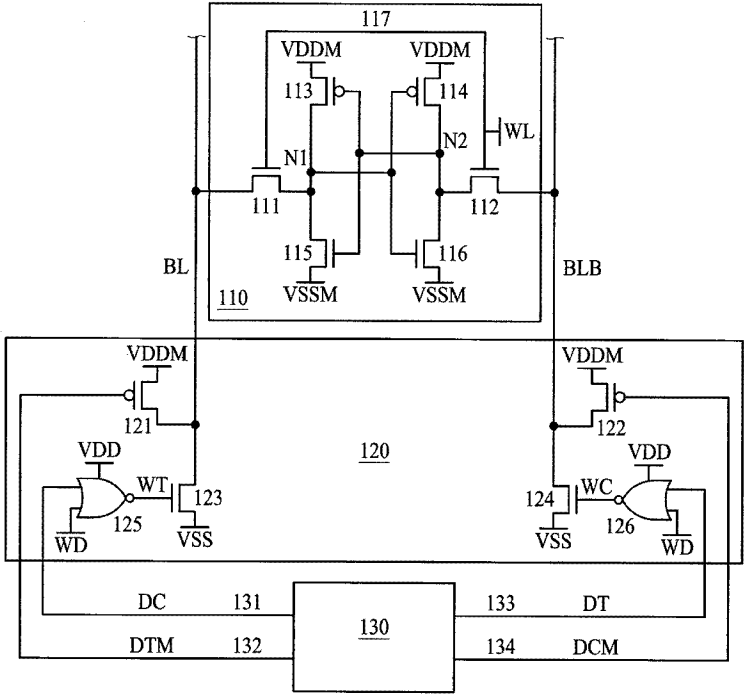
CIRCUIT AND METHOD FOR WRITING TO A BIT CELL

(57)摘要

本發明實施例揭露一種電路，其包含：一位元線；一電源節點，其具有一第一電源電壓位準；一參考節點，其具有一參考電壓位準；一通閘，其經耦合於該位元線與該電源節點之間；及一驅動器，其經耦合於該位元線與該參考節點之間。該通閘回應於一第一信號而將該位元線耦合至該電源節點，且該驅動器回應於一第二信號而將該位元線耦合至該參考節點。該第一信號係基於該第一電源電壓位準，且該第二信號係基於該參考電壓位準與該第一電源電壓位準之間的一第二電源電壓位準。

A circuit includes a bit line, a power node having a first power voltage level, a reference node having a reference voltage level, a pass gate coupled between the bit line and the power node, and a driver coupled between the bit line and the reference node. The pass gate couples the bit line to the power node responsive to a first signal, and the driver couples the bit line to the reference node responsive to a second signal. The first signal is based on the first power voltage level, and the second signal is based on a second power voltage level between the reference voltage level and the first power voltage level.

指定代表圖：



【圖1】

符號簡單說明：

- 100 . . . 記憶體電路
- 110 . . . 位元胞
- 111 . . . 位元胞通開
- 112 . . . 位元胞通開
- 113 . . . p型金屬氧化物半導體(PMOS)電晶體
- 114 . . . p型金屬氧化物半導體(PMOS)電晶體
- 115 . . . n型金屬氧化物半導體(NMOS)電晶體
- 116 . . . n型金屬氧化物半導體(NMOS)電晶體
- 117 . . . 字線
- 120 . . . 驅動器電路
- 121 . . . 位元線通開
- 122 . . . 位元線通開
- 123 . . . 驅動器
- 124 . . . 驅動器
- 125 . . . 邏輯閘
- 126 . . . 邏輯閘
- 130 . . . 輸入電路
- 131 . . . 信號路徑/信號線
- 132 . . . 信號路徑/信號線
- 133 . . . 信號路徑/信號線
- 134 . . . 信號路徑/信號線
- BL . . . 第一位元線
- BLB . . . 第二位元線
- DC . . . 信號
- DCM . . . 信號

- DT . . . 信號
- DTM . . . 信號
- N1 . . . 節點
- N2 . . . 節點
- VDD . . . 第二電源
節點
- VDDM . . . 電源節
點
- VSS . . . 參考節點
- VSSM . . . 參考節
點
- WC . . . 信號
- WD . . . 信號
- WL . . . 信號
- WT . . . 信號

【發明說明書】

【中文發明名稱】

寫入位元胞的電路及方法

【英文發明名稱】

CIRCUIT AND METHOD FOR WRITING TO A BIT CELL

【技術領域】

本發明實施例係有關寫入位元胞的電路及方法。

【先前技術】

在一些記憶體電路中，記憶體陣列依高於其他電路操作所依之一電源電壓位準的一電源電壓位準操作。記憶體陣列之較高電壓位準支援記憶體胞之可靠運行，而其他電路之較低電壓位準減少電力需求。

藉由單獨啟用電路效能特徵，具有多個電力域之電路實現超過具有單一電力域之電路之效能位準的總體電路效能。

【發明內容】

根據本發明的一實施例，一種電路包括：一位元線；一電源節點，其具有一第一電源電壓位準；一參考節點，其具有一參考電壓位準；一通閘，其經耦合於該位元線與該電源節點之間；及一驅動器，其經耦合於該位元線與該參考節點之間；其中該通閘經組態以回應於一第一信號而將該位元線耦合至該電源節點，該第一信號係基於該第一電源電壓位準，且該驅動器經組態以回應於一第二信號而將該位元線耦合至該參考節點，該第二信號係基於該參考電壓位準與該第一電源電壓位準之間的一第二電源電壓位準。

根據本發明的一實施例，一種記憶體電路包括：一參考節點，其具

有一參考電壓位準；一記憶體域電源節點，其具有一記憶體域電源電壓位準；一第一位元線；一第二位元線；一位元胞，其包含一第一胞位元胞通閘及一第二位元胞通閘，該第一位元胞通閘經組態以將該位元胞選擇性地耦合至該第一位元線，該第二位元胞通閘經組態以將該位元胞選擇性地耦合至該第二位元線；及一驅動器電路，其包括一第一位元線通閘、一第二位元線通閘、一第一驅動器及一第二驅動器；其中該位元胞經組態以依該記憶體域電源位準操作，該第一位元線通閘經組態以將該第一位元線選擇性地耦合至該記憶體域電源節點，該第二位元線通閘經組態以將該第二位元線選擇性地耦合至該記憶體域電源節點，該第一驅動器經組態以將該第一位元線選擇性地耦合至該參考節點，且該第二驅動器經組態以將該第二位元線選擇性地耦合至該參考節點。

根據本發明的一實施例，一種寫入一位元胞之方法包括：將該位元胞耦合至一第一位元線及一第二位元線，該第一位元線及該第二位元線具有一第一電壓位準；將該第一位元線或該第二位元線之一第一者驅動至高於該第一電壓位準之一第二電壓位準，該第二電壓位準對應於該位元胞之一操作電壓；及將該第一位元線或該第二位元線之一第二者驅動至低於該第一電壓位準之一參考電壓位準。

【圖式簡單說明】

自結合附圖閱讀之以下詳細描述最佳地理解本揭露之態樣。應注意，根據標準工業實踐，各種構件未按比例繪製。事實上，為使論述清楚，可任意地增大或減小各種構件之尺寸。

圖1係根據一些實施例之一記憶體電路之一圖式。

圖2係根據一些實施例之一輸入電路之一圖式。

圖3係根據一些實施例之寫入一位元胞之一方法之一流程圖。

【實施方式】

以下揭露提供用於實施所提供標的之不同特徵的諸多不同實施例或實例。下文將描述組件、值、操作、材料、配置或其類似者之特定實例以簡化本揭露。當然，此等僅為實例且不旨在限制。可考量其他組件、值、操作、材料、配置或其類似者。例如，在以下描述中，使一第一構件形成於一第二構件上方或一第二構件上可包含其中形成直接接觸之該第一構件及該第二構件的實施例，且亦可包含其中可在該第一構件與該第二構件之間形成額外構件使得該第一構件及該第二構件可不直接接觸的實施例。另外，本揭露可在各種實例中重複元件符號及/或字母。此重複係為了簡單及清楚且其本身不指示所論述之各種實施例及/或組態之間的一關係。

此外，為了方便描述，可在本文中使用的空間相對術語(諸如「下面」、「下方」、「下」、「上方」、「上」及其類似者)來描述一元件或構件與另一(些)元件或構件之關係，如圖中所繪示。空間相對術語除涵蓋圖中所描繪之定向之外，亦旨在涵蓋裝置在使用或操作中之不同定向。設備可依其他方式定向(旋轉90度或依其他定向)且亦可據此解譯本文中所使用之空間相對描述詞。

一種記憶體電路包含：一位元線；一電源節點，其具有一記憶體域電源電壓位準；一參考節點，其具有一參考電壓位準；一通閘，其經耦合於該位元線與該電源節點之間；及一驅動器，其經耦合於該位元線與該參考節點之間。該通閘回應於一第一信號而將該位元線選擇性地耦合至該電源節點，且該驅動器回應於一第二信號而將該位元線選擇性地耦合至該參考節點。該第一信號係基於該記憶體域電源電壓位準，且該第二信號係基

於該參考電壓位準與該記憶體域電源電壓位準之間的一第二電源電壓位準。

圖1係根據一些實施例之一記憶體電路100之一圖式。記憶體電路100包含一位元胞110、一驅動器電路120及一輸入電路130。位元胞110及驅動器電路120之各者經電耦合至一第一位元線BL及一第二位元線BLB。信號路徑131至134將輸入電路130連接至驅動器電路120。

位元胞110係記憶體電路100之一記憶體位元胞。在一些實施例中，位元胞110係複數個(圖中未展示)位元胞之一者且一或多個位元胞(圖中未展示)及位元胞110經電耦合至第一位元線BL及第二位元線BLB。

在圖1所描繪之實施例中，位元胞110係六電晶體位元胞，其經組態為一靜態隨機存取記憶體(SRAM)電路之一記憶體胞。在一些實施例中，位元胞110包含少於或多於六個電晶體。在一些實施例中，位元胞110經組態為除一SRAM電路之一記憶體胞之外的一記憶體胞。

位元胞110包含位元胞通閘111及112、p型金屬氧化物半導體(PMOS)電晶體113及114及n型金屬氧化物半導體(NMOS)電晶體115及116。通閘111及PMOS電晶體114及NMOS電晶體115之閘極端子經電耦合至一節點N1。通閘112及PMOS電晶體113及NMOS電晶體116之閘極端子經電耦合至一節點N2。通閘111及112之閘極經電耦合至一字線117。

PMOS電晶體113及114之各者之一源極端子經電耦合至一電源節點VDDM，且NMOS電晶體115及116之各者之一源極端子經電耦合至一參考節點VSSM。電源節點VDDM具有對應於一記憶體域之一電源電壓位準且亦指稱具有一記憶體域電源電壓位準之一記憶體域電源節點。參考節點VSSM具有用於記憶體域之一參考電壓位準，其亦指稱具有一記憶體域參

考電壓位準之一記憶體域參考節點。

在一些實施例中，電源節點VDDM具有0.7伏特(V)至1.0伏特之相對於記憶體域參考電壓位準之一記憶體域電壓位準。

藉由PMOS電晶體113及114及NMOS電晶體115及116之組態，記憶體胞100經組態以在操作中將記憶體域電源電壓位準或記憶體域參考電壓位準之一者儲存於節點N1處且將記憶體域電源電壓位準或記憶體域參考電壓位準之另一者儲存於節點N2處。

在操作中，一第一邏輯狀態或值對應於節點N1儲存記憶體域電源電壓位準及節點N2儲存記憶體域參考電壓位準，且一第二邏輯狀態或值對應於節點N1儲存記憶體域參考電壓位準及節點N2儲存記憶體域電源電壓位準。

通閘111經組態以回應於字線117上之一信號WL而選擇性地將節點N1電耦合至位元線BL或將節點N1與位元線BL電解耦合。通閘112經組態以回應於字線117上之信號WL而選擇性地將節點N2電耦合至位元線BLB或將節點N2與位元線BLB電解耦合。

在一些實施例中，信號WL具有：一第一邏輯狀態，其對應於信號WL具有記憶體域電源電壓位準(其係相同於記憶體域電源節點VDDM上之電壓位準的電壓位準)；及一第二邏輯狀態，其對應於信號WL具有記憶體域參考電壓位準(其係相同於記憶體域參考節點VSSM上之電壓位準的電壓位準)。在一些實施例中，信號WL藉此係基於記憶體域電源電壓位準。在一些實施例中，信號WL具有並非基於記憶體域電源電壓位準之一不同方案。

藉由通閘111及112之組態，在一讀取操作中，位元線BL用於判定節

點N1之電壓位準，且位元線BLB用於判定節點N2之電壓位準。在一讀取操作中，藉此使用位元線BL及BLB來判定位元胞110之一邏輯狀態或值。

藉由通閘111及112之組態，在一寫入操作中，位元線BL用於建立節點N1上之一電壓位準，且位元線BLB用於建立節點N2上之一電壓位準。在一寫入操作中，藉此使用位元線BL及BLB來將一邏輯狀態或值寫入至位元胞110。

驅動器電路120包含位元線通閘121及122、驅動器123及124及邏輯閘125及126。通閘121經耦合於記憶體域電源節點VDDM與位元線BL之間，且通閘122經耦合於記憶體域電源節點VDDM與位元線BLB之間。驅動器123經耦合於位元線BL與一參考節點VSS之間及邏輯閘125與參考節點VSS之間。驅動器124經耦合於位元線BLB與參考節點VSS之間及邏輯閘126與參考節點VSS之間。邏輯閘125及126之各者經電耦合至一第二電源節點VDD。

第二電源節點VDD具有對應於與記憶體域分離之一域的一第二電源電壓位準。參考節點VSS具有一第二參考電壓位準。

在一些實施例中，第二電源節點VDD具有0.3 V至0.6 V之相對於第二參考電壓位準之一第二電源電壓位準。在一些實施例中，記憶體域電壓位準比第二電源電壓位準大300毫伏特(mV)至500 mV。在一些實施例中，記憶體域電壓位準比第二電源電壓位準大至少350 mV。

在一些實施例中，參考節點VSS之第二參考電壓位準係參考節點VSSM之記憶體域參考電壓位準。在一些實施例中，參考節點VSS之第二參考電壓位準具有不同於參考節點VSSM之記憶體域參考電壓位準之值的一值。

通閘121之一汲極端子經電耦合至位元線BL，通閘121之一源極端子經電耦合至記憶體域電源節點VDDM，且通閘121之一閘極端子經電耦合至信號線132。藉此，通閘121經組態以回應於信號路徑132上之一信號DTM而將位元線BL電耦合至記憶體域電源節點VDDM。

在操作中，信號DTM控制通閘121以將位元線BL選擇性地驅動至記憶體域電源電壓位準。在一些實施例中，信號DTM具有：一第一邏輯狀態，其對應於信號DTM具有記憶體域電源電壓位準；及一第二邏輯狀態，其對應於信號DTM具有記憶體域參考電壓位準。在一些實施例中，信號DTM藉此係基於記憶體域電源電壓位準。在一些實施例中，信號DTM具有並非基於記憶體域電源電壓位準之一不同方案。

通閘122之一汲極端子經電耦合至位元線BLB，通閘122之一源極端子經電耦合至記憶體域電源節點VDDM，且通閘122之一閘極端子經電耦合至信號線134。藉此，通閘122經組態以回應於信號路徑134上之一信號DCM而將位元線BLB電耦合至記憶體域電源節點VDDM。

在操作中，信號DCM控制通閘122以將位元線BLB選擇性地驅動至記憶體域電源電壓位準。在一些實施例中，信號DCM具有：一第一邏輯狀態，其對應於信號DCM具有記憶體域電源電壓位準；及一第二邏輯狀態，其對應於信號DCM具有記憶體域參考電壓位準。在一些實施例中，信號DCM藉此係基於記憶體域電源電壓位準。在一些實施例中，信號DCM具有並非基於記憶體域電源電壓位準之一不同方案。在一些實施例中，信號DCM對應於使一資料位元在一寫入操作中寫入至位元胞110之一資料互補信號。

在圖1所描繪之實施例中，通閘121及122之各者包含一PMOS電晶

體。在一些實施例中，通閘121包含一NMOS電晶體或能夠回應於信號DTM而將位元線BL選擇性地耦合至記憶體域電源節點VDDM之另一適合切換裝置。在一些實施例中，通閘122包含一NMOS電晶體或能夠回應於信號DCM而將位元線BLB選擇性地耦合至記憶體域電源節點VDDM之另一適合切換裝置。

驅動器123之一汲極端子經電耦合至位元線BL，驅動器123之一源極端子經電耦合至參考節點VSS，且驅動器123之一閘極端子經電耦合至邏輯閘125之一輸出端子。藉此，驅動器123經組態以回應於邏輯閘125之輸出端子上之一信號WT而將位元線BL電耦合至參考節點VSS。

在操作中，信號WT藉此控制驅動器123以將位元線BL選擇性地驅動至第二參考電壓位準。在一些實施例中，信號WT具有：一第一邏輯狀態，其對應於信號WT具有第二電源電壓位準；及一第二邏輯狀態，其對應於信號WT具有第二參考電壓位準。在一些實施例中，信號WT藉此係基於第二電源電壓位準。在一些實施例中，信號WT具有並非基於第二電源電壓位準之一不同方案。

驅動器124之一汲極端子經電耦合至位元線BLB，驅動器124之一源極端子經電耦合至參考節點VSS，且驅動器124之一閘極端子經電耦合至邏輯閘126之一輸出端子。藉此，驅動器124經組態以回應於邏輯閘126之輸出端子上之一信號WC而將位元線BLB電耦合至參考節點VSS。

在操作中，信號WC藉此控制驅動器124將位元線BLB選擇性地驅動至第二參考電壓位準。在一些實施例中，信號WC具有：一第一邏輯狀態，其對應於信號WC具有第二電源電壓位準；及一第二邏輯狀態，其對應於信號WC具有第二參考電壓位準。在一些實施例中，信號WC藉此係

基於第二電源電壓位準。在一些實施例中，信號WC具有並非基於第二電源電壓位準之一不同方案。在一些實施例中，信號WC對應於使一資料位元在一寫入操作中寫入至位元胞110之一寫入互補信號。

在圖1所描繪之實施例中，驅動器123及124之各者包含一NMOS電晶體。在一些實施例中，驅動器123包含一PMOS電晶體或能夠回應於信號WT而將位元線BL選擇性地耦合至參考節點VSS之另一適合切換裝置。在一些實施例中，驅動器124包含一PMOS電晶體或能夠回應於信號WC而將位元線BLB選擇性地耦合至參考節點VSS之另一適合切換裝置。

邏輯閘125包含：一第一輸入端子，其經電耦合至信號路徑131；及一第二輸入端子，其經組態以接收由與記憶體電路100分離之一電路(圖中未展示)產生之一信號WD。在一些實施例中，信號WD係由一寫入線解碼器電路產生之一寫入解碼信號。在一些實施例中，在一寫入操作中，信號WD具有一邏輯狀態，其指示位元胞110或經電耦合至位元線BL及BLB之另一位元胞係寫入操作之一目標。在一些實施例中，在一寫入操作中，信號WD具有一邏輯狀態，其基於解碼一多位元記憶體位址來指示位元胞110或經電耦合至位元線BL及BLB之另一位元胞係寫入操作之一目標。

藉此，邏輯閘125經組態以產生輸出端子上之信號WT，信號WT具有由信號線131上之信號DC之邏輯狀態及信號WD之邏輯狀態判定的一邏輯狀態。在操作中，信號DC及WD藉此控制由驅動器123接收之信號WT，如上文所描述。

信號DC及WD之各者係基於第二電源電壓位準。在一些實施例中，信號WD對應於用於一寫入操作中之位元胞110的一寫入解碼信號，在寫入操作期間，信號WD具有第二參考電壓位準。

邏輯閘126包含：一第一輸入端子，其經電耦合至信號路徑133；及一第二輸入端子，其經組態以接收信號WD。藉此，邏輯閘126經組態以產生輸出端子上之信號WC，信號WC具有由信號線133上之信號DT之邏輯狀態及信號WD之邏輯狀態判定的一邏輯狀態。在操作中，信號DT及WD藉此控制由驅動器124接收之信號WC，如上文所描述。

信號DT係基於第二電源電壓位準。

在圖1所描繪之實施例中，邏輯閘125及126之各者係一NOR（反或）閘。在一些實施例中，邏輯閘125包含一或多個其他類型之邏輯閘，其適合於回應於一或多個輸入信號（諸如信號DC及WD）而產生用於控制驅動器123之信號WT。在一些實施例中，邏輯閘126包含一或多個其他類型之邏輯閘，其適合於回應於一或多個輸入信號（諸如信號DT及WD）而產生用於控制驅動器124之信號WC。

輸入電路130係諸如下文將相對於圖2而描述之電路200的一電路，其經組態以產生信號路徑131至134上之各自信號DC、DTM、DT及DCM。

輸入電路130經組態以基於信號DT來產生信號DTM及基於信號DC來產生信號DCM。在一些實施例中，輸入電路130經組態以產生與具有第二參考電壓位準之信號DT同步的具有記憶體域參考電壓位準之信號DTM。在一些實施例中，輸入電路130經組態以產生與具有第二電源電壓位準之信號DC同步的具有記憶體域電源電壓位準之信號DCM。

在一些實施例中，輸入電路130經組態以在一寫入操作中：產生信號DC及DTM作為一互補對，使得信號DC及DTM具有彼此不同之邏輯狀態；及產生信號DT及DCM作為一互補對，使得信號DT及DCM具有彼此不同之邏輯狀態。

在一些實施例中，在一寫入操作中，成一互補對之信號DC及DTM結合對應於寫入操作之信號WD之一邏輯狀態致使位元線BL電耦合至記憶體域電源節點VDDM或參考節點VSS。在一些實施例中，在一寫入操作中，成一互補對之信號DT及DCM結合對應於寫入操作之信號WD之一邏輯狀態致使位元線BLB電耦合至記憶體域電源節點VDDM或參考節點VSS。

在一些實施例中，輸入電路130經組態以在一寫入操作中產生信號DT及DC作為一互補對，產生與信號DT同步之信號DTM，且產生與信號DC同步之信號DCM。

在一些實施例中，在一寫入操作中，成一互補對之信號DT及DC、與信號DT同步之信號DTM及與信號DC同步之信號DCM致使：位元線BL電耦合至記憶體域電源節點VDDM，同時位元線BLB電耦合至參考節點VSS；或位元線BL電耦合至參考節點VSS，同時位元線BLB電耦合至記憶體域電源節點VDDM。

藉此，記憶體電路100經組態以在一寫入操作中使用位元線BL來在節點N1處建立記憶體域電源電壓位準或第二參考電壓位準之一第一者且使用位元線BLB來在節點N2處建立記憶體域電源電壓位準或第二參考電壓位準之一第二者。在一寫入操作中，記憶體電路100藉此使用位元線BL及BLB來將兩個可行邏輯狀態或值之一者寫入至位元胞110。

在一寫入操作之一非限制性實例中，當信號WD具有第二參考電壓位準且信號WL具有記憶體域電源電壓位準時，記憶體電路100將一邏輯值寫入至位元胞110。在寫入操作中，具有第二參考電壓位準之信號WD藉由使信號DC反相而致使邏輯閘125產生用於驅動器123之信號WT及藉由使信號DT反相而致使邏輯閘126產生用於驅動器124之信號WC。因此，

在寫入操作中，成一互補對之信號DT及DC致使位元線BL或BLB之一者被驅動至記憶體域電源電壓位準，同時位元線BL或BLB之另一者被驅動至第二參考電壓位準。

在寫入操作中，具有記憶體域電源電壓位準之信號WL致使位元胞通閘111將位元線BL電耦合至節點N1及致使位元胞通閘112將位元線BLB電耦合至節點N2。藉此，在寫入操作中，將節點N1驅動至記憶體域電源電壓位準或第二參考電壓位準之一者，同時將節點N2驅動至記憶體域電源電壓位準或第二參考電壓位準之另一者。

若在寫入操作中將邏輯值寫入至位元胞110致使位元線BL將節點N1驅動至記憶體域電源電壓位準，則切斷電晶體114以允許由位元線BLB將節點N2驅動至第二參考電壓位準。若在寫入操作中將邏輯值寫入至位元胞110致使位元線BLB將節點N2驅動至記憶體域電源電壓位準，則切斷電晶體113以允許由位元線BL將節點N1驅動至第二參考電壓位準。

藉由記憶體電路100之組態而保證對位元胞110之一寫入操作藉由確保在寫入操作期間切斷電晶體113或電晶體114之相關者而將節點N1及N2之各者驅動至一所要電壓位準。因為在一寫入操作期間切斷相關電晶體，所以保證在一寫入操作中將一所要邏輯值寫入至位元胞110，其中信號WL之一轉變先於信號WT或WC之一轉變。在其中因被驅動至記憶體域電源電壓位準而未切斷相關電晶體之一寫入操作中，若相關驅動器無法將經耦合至電晶體之源極的節點驅動至第二參考電壓位準，則會發生一寫入失敗。

藉由在一寫入操作期間將位元線BL或BLB之一者驅動至記憶體域電源電壓位準且將位元線BL或BLB之另一者驅動至第二參考電壓位準而無

需一虛設讀取操作來在寫入操作之前使位元線BL及BLB歸零。

與其中位元線BL及位元線BLB兩者均未選擇性地耦合至記憶體域電源節點VDDM之其他方法相比，記憶體電路100經組態以避免寫入失敗及虛設讀取操作。與其中使用具有增強驅動能力之交叉鎖存PMOS電晶體或NMOS驅動器來驅動位元線BL及BLB之其他方法相比，記憶體電路100亦具有一較小面積及較低總洩漏。

在一些實施例中，記憶體電路100具有一組態，其包含除圖1中所描繪之實施例之通閘、驅動器、邏輯閘及/或信號之外的一或多個通閘、驅動器、邏輯閘及/或信號，使得在一寫入操作中，依其他方式將位元線BL或BLB之一者驅動至記憶體域電源電壓位準，同時將位元線BL或BLB之另一者驅動至第二參考電壓位準，藉此獲得上文相對於圖1中所描繪之實施例所描述之益處。

輸入電路130經組態使得在寫入操作外之一或多個操作中，如上文所描述，輸入電路130產生具有第二電源電壓位準之信號DT及DC之各者，同時信號DTM及DCM之各者具有記憶體域電源電壓位準。藉此，記憶體電路100經組態使得在寫入操作外之一或多個操作期間，位元線BL藉由通閘121而與記憶體域電源節點VDDM電解耦合且藉由驅動器123而與參考節點VSS電解耦合，同時位元線BLB藉由通閘122而與記憶體域電源節點VDDM電解耦合且藉由驅動器124而與參考節點VSS電解耦合。

位元線BL及BLB之各者藉由在寫入操作外之一或多個操作期間與記憶體域電源節點VDDM及參考節點VSS電解耦合而能夠藉由一或多個電路(圖中未展示)而電耦合至第二電源節點VDD，藉此被驅動或被預充電至第二電源電壓位準。在一些實施例中，寫入操作外之一或多個操作包含一讀

取操作或一閒置或睡眠狀態。

圖2係根據一些實施例之一輸入電路200之一圖式。輸入電路200可用作上文相對於記憶體電路100及圖1所描述之輸入電路130。輸入電路200包含一反相器210、NAND (反及)閘220至240及轉換電路250及260。反相器210及NAND閘220至240之各者經組態以在具有上文相對於記憶體電路100及圖1所描述之第二電源電壓位準的一電力域270中操作。輸入電路200經組態以自輸入電路200外部之一或多個電路(圖中未展示)接收信號DLAT、BLAT、SCANLATENB及CKP_WRITE且基於信號DLAT、BLAT、SCANLATENB及CKP_WRITE而產生信號DC、DCM、DT及DTM。

反相器210經組態以在輸入端子處自一外部源(未展示)接收信號DLAT且在輸出端子處輸出一信號DLATB。在操作中，反相器210使信號DLAT反相以產生信號DLATB。

NAND閘220經組態以在一第一輸入端子處自一外部源(圖中未展示)接收信號BLAT及在一第二輸入端子處自一外部源(圖中未展示)接收信號SCANLATENB且在輸出端子上輸出一信號BLATN。在操作中，NAND閘220對信號BLAT及SCANLATENB執行一NAND運算以產生信號BLATN。

NAND閘230經組態以在一第一輸入端子處接收信號DLATB、在一第二輸入端子處接收信號BLATN及在一第三輸入端子處自一外部源(圖中未展示)接收信號CKP_WRITE且在信號線231上輸出信號DC。在操作中，NAND閘230對信號DLATB、BLATN及CKP_WRITE執行一NAND運算以產生信號DC。

NAND閘240經組態以在一第一輸入端子處接收信號DLAT、在一第二輸入端子處接收信號BLATN及在一第三輸入端子處接收信號CKP_WRITE且在信號線241上輸出信號DT。在操作中，NAND閘240對信號DLAT、BLATN及CKP_WRITE執行一NAND運算以產生信號DT。

因為反相器210及NAND閘220至240之各者經組態以在電力域270中操作，所以信號DLAT、BLAT、SCANLATENB、DLATB、BLATN、CKP_WRITE、DC及DT之各者係基於第二電源電壓位準。

轉換電路250經組態以接收信號線231上之信號DC且產生信號線251上之信號DCM。轉換電路250經電耦合至記憶體域電源節點VDDM且經組態以基於記憶體域電源電壓位準而產生信號DCM。

轉換電路250經組態以產生與信號DC同步之信號DCM。在一些實施例中，與信號DC同步之信號DCM包含具有由轉換電路250引入之一延遲的信號DCM，其中該延遲相對於記憶體電路100之操作之時序而言係微不足道的。

轉換電路250經組態以基於記憶體域電源電壓位準而產生信號DCM。在一些實施例中，轉換電路250經組態以藉由使由信號DC輸入之一電壓位準自第二電源電壓位準移位至記憶體域電源電壓位準而產生信號DCM。

在圖2所描繪之實施例中，轉換電路250包含兩個反相器(圖中未標記)，其等經組態以產生基於記憶體域電源電壓位準且與信號DC同步之信號DCM。在一些實施例中，轉換電路250包含適合於產生基於記憶體域電源電壓位準且與信號DC同步之信號DCM的一或多個其他電路元件。

轉換電路260經組態以接收信號線241上之信號DT且產生信號線261

上之信號DTM。轉換電路260經電耦合至記憶體域電源節點VDDM且經組態以基於記憶體域電源電壓位準而產生信號DTM。

轉換電路260經組態以產生與信號DT同步之信號DTM。在一些實施例中，與信號DT同步之信號DTM包含具有由轉換電路260引入之一延遲的信號DTM，其中該延遲相對於記憶體電路100之操作之時序而言係微不足道的。

轉換電路260經組態以基於記憶體域電源電壓位準而產生信號DTM。在一些實施例中，轉換電路260經組態以藉由使由信號DT輸入之一電壓位準自第二電源電壓位準移位至記憶體域電源電壓位準而產生信號DTM。

在圖2所描繪之實施例中，轉換電路260包含兩個反相器(圖中未標記)，其等經組態以產生基於記憶體域電源電壓位準且與信號DT同步之信號DTM。在一些實施例中，轉換電路260包含適合於產生基於記憶體域電源電壓位準且與信號DT同步之信號DTM的一或多個其他電路元件。

藉由輸入電路200之組態，NAND閘230經組態以產生信號DC作為信號DLATB之一反相型式，如由信號BLATN及CKP_WRITE所實現。藉由輸入電路200之組態，NAND閘240經組態以產生信號DT作為信號DLAT之一非反相型式，如由信號BLATN及CKP_WRITE所實現。

因此，輸入電路200經組態以產生信號DC及DT作為一互補對。因為信號DCM與信號DC同步且信號DTM與信號DT同步，所以輸入電路200經組態以產生信號DCM及DTM作為一互補對。

藉此，在一寫入操作中，信號BLAT、SCANLATENB及CKP_WRITE能夠產生可用於電路100中之信號DC、DCM、DT及DTM，如上

文相對於圖1所描述。

在寫入操作外之一或多個操作中，如上文相對於記憶體電路100及圖1所描述，具有第二參考電壓位準之信號CKP_WRITE致使信號DC及DT之各者具有第二電源電壓位準且致使信號DCM及DTM之各者具有記憶體域電源電壓位準。

藉此，輸入電路200經組態以可用作記憶體電路100之輸入電路130，使得上文相對於記憶體電路100及圖1所描述之益處係可獲得的。

圖3係根據一或多個實施例之寫入一位元胞之一方法300之一流程圖。在一些實施例中，方法300經實施以寫入一SRAM之一位元胞。在一些實施例中，方法300經實施以寫入記憶體電路100之位元胞110，如上文相對於圖1所描述。

在一些實施例中，除圖3中所描繪之操作之外，亦在圖3中所描繪之操作之前、在圖3中所描繪之操作之間及/或在圖3中所描繪之操作之後執行操作。在一些實施例中，依除圖3中所描繪之順序之外的一順序執行圖3中所描繪之操作。

在操作310中，在一些實施例中，將一第一位元線及一第二位元線驅動至一第一電壓位準。該第一電壓位準對應於一記憶體域外之一記憶體電路之一域。在一些實施例中，該第一位元線係位元線BL，該第二位元線係位元線BLB，且將該第一位元線及該第二位元線驅動至該第一電壓位準包含：將位元線BL及BLB驅動至第二電源節點VDD上之第二電源電壓位準，如上文相對於記憶體電路100及圖1所描述。

在操作320中，將位元胞耦合至該第一位元線及該第二位元線。該第一位元線及該第二位元線具有該第一電壓位準。在一些實施例中，將該位

元胞耦合至該第一位元線及該第二位元線包含：使用一或多個位元胞通閘。在一些實施例中，將該位元胞耦合至該第一位元線及該第二位元線包含：使用位元胞通閘111來將位元胞110耦合至位元線BL及使用位元胞通閘112來將位元胞110耦合至位元線BLB，如上文相對於記憶體電路100及圖1所描述。

在一些實施例中，將該位元胞耦合至該第一位元線及該第二位元線包含：回應於基於一記憶體域電源電壓位準之一信號而將該位元胞選擇性地耦合至該第一位元線或該第二位元線之一或兩者。在一些實施例中，將該位元胞耦合至該第一位元線及該第二位元線包含：回應於基於記憶體域電源節點VDDM上之記憶體域電源電壓位準的信號WL而將位元胞110耦合至位元線BL及BLB，如上文相對於記憶體電路100及圖1所描述。

在操作330中，將該第一位元線或該第二位元線之一第一者驅動至高於該第一電壓位準之一第二電壓位準。將該第一位元線或該第二位元線之該第一者驅動至該第二電壓位準包含：將該第一位元線或該第二位元線之該第一者驅動至該位元胞之一操作電壓。在一些實施例中，將該第一位元線或該第二位元線之該第一者驅動至該第二電壓位準包含：將該第一位元線或該第二位元線之該第一者驅動至記憶體域電源節點VDDM上之記憶體域電源電壓位準，如上文相對於記憶體電路100及圖1所描述。

在一些實施例中，將該第一位元線或該第二位元線之該第一者驅動至該第二電壓位準包含：控制一位元線通閘以將該第一位元線或該第二位元線之該第一者電耦合至具有該第二電壓之一電源節點。在一些實施例中，將該第一位元線或該第二位元線之該第一者驅動至該第二電壓位準包含：控制位元線通閘121或122之一者以將位元線BL或BLB之一者電耦合

至具有記憶體域電源電壓位準之記憶體域電源節點VDDM，如上文相對於記憶體電路100及圖1所描述。

在一些實施例中，將該第一位元線或該第二位元線之該第一者驅動至該第二電壓位準包含：使用基於該第二電壓位準之一信號來控制一位元線通閘。在一些實施例中，將該第一位元線或該第二位元線之該第一者驅動至該第二電壓位準包含：使用信號DTM或DCM之一者來控制位元線通閘121或122之一者，如上文相對於記憶體電路100及圖1所描述。

在一些實施例中，將該第一位元線或該第二位元線之該第一者驅動至該第二電壓位準包含：使用具有一轉變之一信號來控制一位元線通閘，該轉變滯後於控制位元胞中之通閘的一信號之一轉變。在一些實施例中，將該第一位元線或該第二位元線之該第一者驅動至該第二電壓位準包含：使用具有一轉變之信號WT或WC之一者來控制通閘121或122之一者，該轉變滯後於一信號WL之一轉變，如上文相對於記憶體電路100及圖1所描述。

在一些實施例中，將該第一位元線或該第二位元線之該第一者驅動至該第二電壓位準包含：基於來自基於該第一電壓位準之一信號的該第二電壓位準而產生信號。在一些實施例中，將該第一位元線或該第二位元線之該第一者驅動至該第二電壓位準包含：基於來自基於第二電源電壓位準之信號DC或DT之一對應者的記憶體域電源電壓位準而產生信號DCM或DTM之一者，如上文相對於輸入電路200及圖2所描述。

在操作340中，在一些實施例中，回應於將該第一位元線或該第二位元線之該第一者驅動至該第二電壓位準而切斷一位元胞電晶體。在一些實施例中，回應於將該第一位元線或該第二位元線之該第一者驅動至該第二

電壓位準而切斷一位元胞電晶體包含：切斷一SRAM位元胞之一PMOS電晶體。

在一些實施例中，回應於將該第一位元線或該第二位元線之該第一者驅動至該第二電壓位準而切斷一位元胞電晶體包含：切斷位元胞110之電晶體113或114之一者，如上文相對於記憶體電路100及圖1所描述。

在操作350中，將該第一位元線或該第二位元線之一第二者驅動至低於該第一電壓位準之一參考電壓位準。將該第一位元線或該第二位元線之該第二者驅動至該參考電壓位準包含：將該第一位元線或該第二位元線之該第二者驅動至該記憶體域外之該記憶體電路之該域之一參考電壓位準。在一些實施例中，該記憶體域外之該記憶體電路之該域之該參考電壓位準相同於該記憶體域之一參考電壓位準。

在一些實施例中，將該第一位元線或該第二位元線之該第二者驅動至該參考電壓位準包含：將位元線BL或BLB之一者驅動至參考節點VSS上之第二參考電壓位準，如上文相對於記憶體電路100及圖1所描述。

在一些實施例中，將該第一位元線或該第二位元線之該第二者驅動至該參考電壓位準包含：控制一驅動器以將該第一位元線或該第二位元線之該第二者電耦合至具有參考電壓之一參考節點。在一些實施例中，將該第一位元線或該第二位元線之該第二者驅動至該參考電壓位準包含：控制驅動器123或124之一者以將位元線BL或BLB之一者電耦合至具有第二參考電壓位準之參考節點VSS，如上文相對於記憶體電路100及圖1所描述。

在一些實施例中，將該第一位元線或該第二位元線之該第二者驅動至該參考電壓位準包含：使用基於該第一電壓位準之一信號來控制一驅動器。在一些實施例中，將該第一位元線或該第二位元線之該第二者驅動至

該參考電壓位準包含：使用信號WT或WC之一者來控制驅動器123或124之一者，如上文相對於記憶體電路100及圖1所描述。

在操作360中，在一些實施例中，使該第一位元線及該第二位元線返回至該第一電壓位準。在一些實施例中，使該第一位元線及該第二位元線返回至該第一電壓位準包含：控制通閘以將該第一位元線及該第二位元線與具有該第二電壓位準之一電源節點解耦合。在一些實施例中，使該第一位元線及該第二位元線返回至該第一電壓位準包含：控制驅動器以將該第一位元線及該第二位元線與具有該參考電壓位準之一參考節點解耦合。

在一些實施例中，使該第一位元線及該第二位元線返回至該第一電壓位準包含：控制通閘121及122以將位元線BL及BLB與具有記憶體域電源電壓位準之記憶體域電源節點VDDM解耦合，如上文相對於記憶體電路100及圖1所描述。在一些實施例中，使該第一位元線及該第二位元線返回至該第一電壓位準包含：控制驅動器123及124以將位元線BL及BLB與具有第二參考電壓位準之參考節點VSS解耦合，如上文相對於記憶體電路100及圖1所描述。

在一些實施例中，使該第一位元線及該第二位元線返回至該第一電壓位準包含：基於對應於寫入操作外之操作的一信號而控制通閘及驅動器。在一些實施例中，使該第一位元線及該第二位元線返回至該第一電壓位準包含：基於信號CKP_WRITE而控制通閘121及122及驅動器123及124，如上文相對於記憶體電路100及圖1及輸入電路200及圖2所描述。

藉由將一第一位元線或一第二位元線之一第一者驅動至高於一第一電壓位準之一第二電壓位準且將該第一位元線或該第二位元線之一第二者驅動至一參考電壓位準，方法300確保將一所要邏輯值寫入一位元胞。藉

此，與其中未將一位元線驅動至高於一第一電壓位準之一第二電壓位準的方法相比，方法300提供改良可靠性及較少洩漏，如上文相對於記憶體電路100所描述。

在一些實施例中，一種電路包括：一位元線；一電源節點，其具有一第一電源電壓位準；一參考節點，其具有一參考電壓位準；一通閘，其經耦合於該位元線與該電源節點之間；及一驅動器，其經耦合於該位元線與該參考節點之間。該通閘經組態以回應於一第一信號而將該位元線耦合至該電源節點，該第一信號係基於該第一電源電壓位準，且該驅動器經組態以回應於一第二信號而將該位元線耦合至該參考節點，該第二信號係基於該參考電壓位準與該第一電源電壓位準之間的一第二電源電壓位準。

在一些實施例中，一種記憶體電路包括：一參考節點，其具有一參考電壓位準；一記憶體域電源節點，其具有一記憶體域電源電壓位準；一第一位元線；一第二位元線；及一位元胞。該位元胞包括：一第一位元胞通閘，其經組態以將該位元胞選擇性地耦合至該第一位元線；及一第二位元胞通閘，其經組態以將該位元胞選擇性地耦合至該第二位元線。一驅動器電路包括一第一位元線通閘、一第二位元線通閘、一第一驅動器及一第二驅動器。該位元胞經組態以在該記憶體域電源位準處操作，該第一位元線通閘經組態以將該第一位元線選擇性地耦合至該記憶體域電源節點，該第二位元線通閘經組態以將該第二位元線選擇性地耦合至該記憶體域電源節點，該第一驅動器經組態以將該第一位元線選擇性地耦合至該參考節點，且該第二驅動器經組態以將該第二位元線選擇性地耦合至該參考節點。

在一些實施例中，一種寫入一位元胞之方法包括：將該位元胞耦合

至一第一位元線及一第二位元線，該第一位元線及該第二位元線具有一第一電壓位準；將該第一位元線或該第二位元線之一第一者驅動至高於該第一電壓位準之一第二電壓位準，該第二電壓位準對應於該位元胞之一操作電壓；及將該第一位元線或該第二位元線之一第二者驅動至低於該第一電壓位準之一參考電壓位準。

上文已概述若干實施例之特徵，使得熟習此項技術者可較佳地理解本揭露之態樣。熟習此項技術者應瞭解，其可容易將本揭露用作用於設計或修改其他製程及結構的一基礎以實施相同目的及/或達成本文中所引入之實施例之相同優點。熟習此項技術者亦應認知，此等等效建構不應背離本揭露之精神及範疇，且其可在不背離本揭露之精神及範疇的情況下對本文作出各種改變、置換及更改。

【符號說明】

100	記憶體電路
110	位元胞
111	位元胞通閘
112	位元胞通閘
113	p型金屬氧化物半導體(PMOS)電晶體
114	p型金屬氧化物半導體(PMOS)電晶體
115	n型金屬氧化物半導體(NMOS)電晶體
116	n型金屬氧化物半導體(NMOS)電晶體
117	字線
120	驅動器電路
121	位元線通閘

122	位元線通閘
123	驅動器
124	驅動器
125	邏輯閘
126	邏輯閘
130	輸入電路
131	信號路徑/信號線
132	信號路徑/信號線
133	信號路徑/信號線
134	信號路徑/信號線
200	輸入電路
210	反相器
220	NAND (反及)閘
230	NAND (反及)閘
231	信號線
240	NAND (反及)閘
241	信號線
250	轉換電路
251	信號線
260	轉換電路
261	信號線
270	電力域
300	方法

310	操作
320	操作
330	操作
340	操作
350	操作
360	操作
BL	第一位元線
BLAT	信號
BLATN	信號
BLB	第二位元線
CKP_WRITE	信號
DC	信號
DCM	信號
DLAT	信號
DLATB	信號
DT	信號
DTM	信號
N1	節點
N2	節點
SCANLATENB	信號
VDD	第二電源節點
VDDM	電源節點
VSS	參考節點

VSSM	參考節點
WC	信號
WD	信號
WL	信號
WT	信號



申請日: 106/09/18

IPC分類: G11C 11/419 (2006.01)

I657444

【發明摘要】

【中文發明名稱】

寫入位元胞的電路及方法

【英文發明名稱】

CIRCUIT AND METHOD FOR WRITING TO A BIT CELL

【中文】

本發明實施例揭露一種電路，其包含：一位元線；一電源節點，其具有一第一電源電壓位準；一參考節點，其具有一參考電壓位準；一通閘，其經耦合於該位元線與該電源節點之間；及一驅動器，其經耦合於該位元線與該參考節點之間。該通閘回應於一第一信號而將該位元線耦合至該電源節點，且該驅動器回應於一第二信號而將該位元線耦合至該參考節點。該第一信號係基於該第一電源電壓位準，且該第二信號係基於該參考電壓位準與該第一電源電壓位準之間的一第二電源電壓位準。

【英文】

A circuit includes a bit line, a power node having a first power voltage level, a reference node having a reference voltage level, a pass gate coupled between the bit line and the power node, and a driver coupled between the bit line and the reference node. The pass gate couples the bit line to the power node responsive to a first signal, and the driver couples the bit line to the reference node responsive to a second signal. The first signal is based on the first power voltage level, and the second signal is based on a second power voltage level between the reference voltage level and the first power voltage level.

公告本

【指定代表圖】

圖1

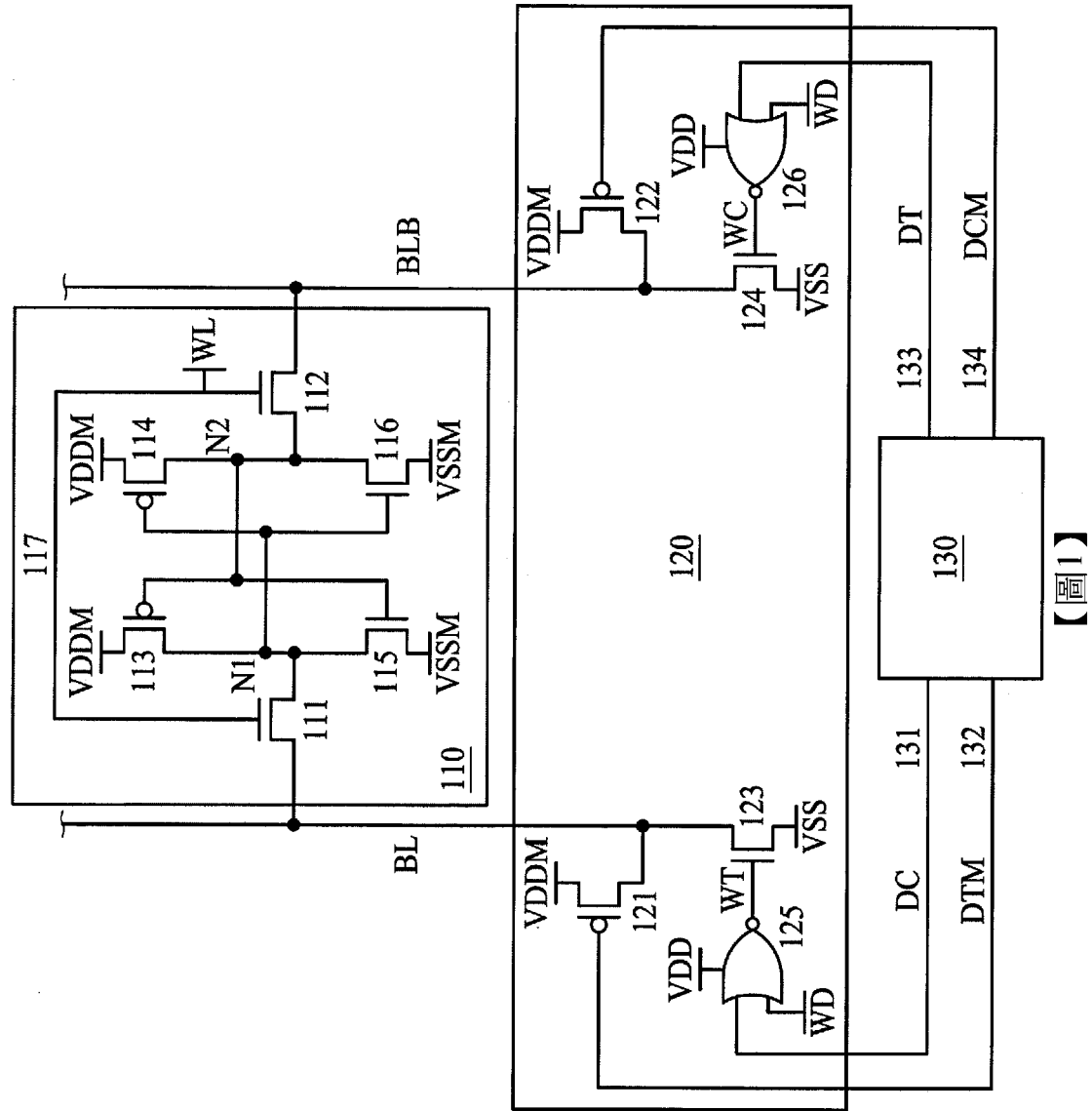
【代表圖之符號簡單說明】

100	記憶體電路
110	位元胞
111	位元胞通閘
112	位元胞通閘
113	p型金屬氧化物半導體(PMOS)電晶體
114	p型金屬氧化物半導體(PMOS)電晶體
115	n型金屬氧化物半導體(NMOS)電晶體
116	n型金屬氧化物半導體(NMOS)電晶體
117	字線
120	驅動器電路
121	位元線通閘
122	位元線通閘
123	驅動器
124	驅動器
125	邏輯閘
126	邏輯閘
130	輸入電路
131	信號路徑/信號線
132	信號路徑/信號線
133	信號路徑/信號線

134	信號路徑/信號線
BL	第一位元線
BLB	第二位元線
DC	信號
DCM	信號
DT	信號
DTM	信號
N1	節點
N2	節點
VDD	第二電源節點
VDDM	電源節點
VSS	參考節點
VSSM	參考節點
WC	信號
WD	信號
WL	信號
WT	信號

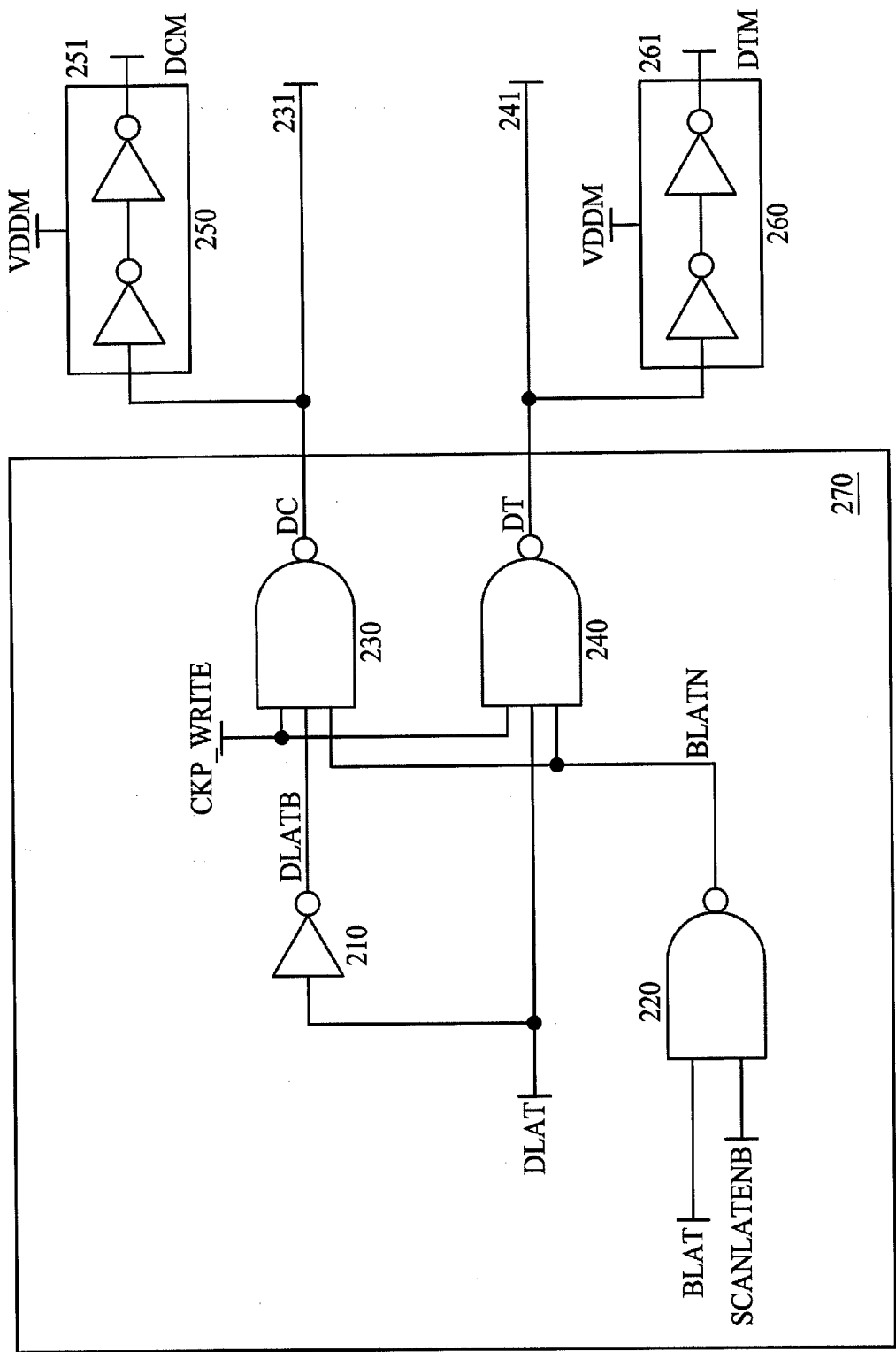
【發明圖式】

100



【圖1】

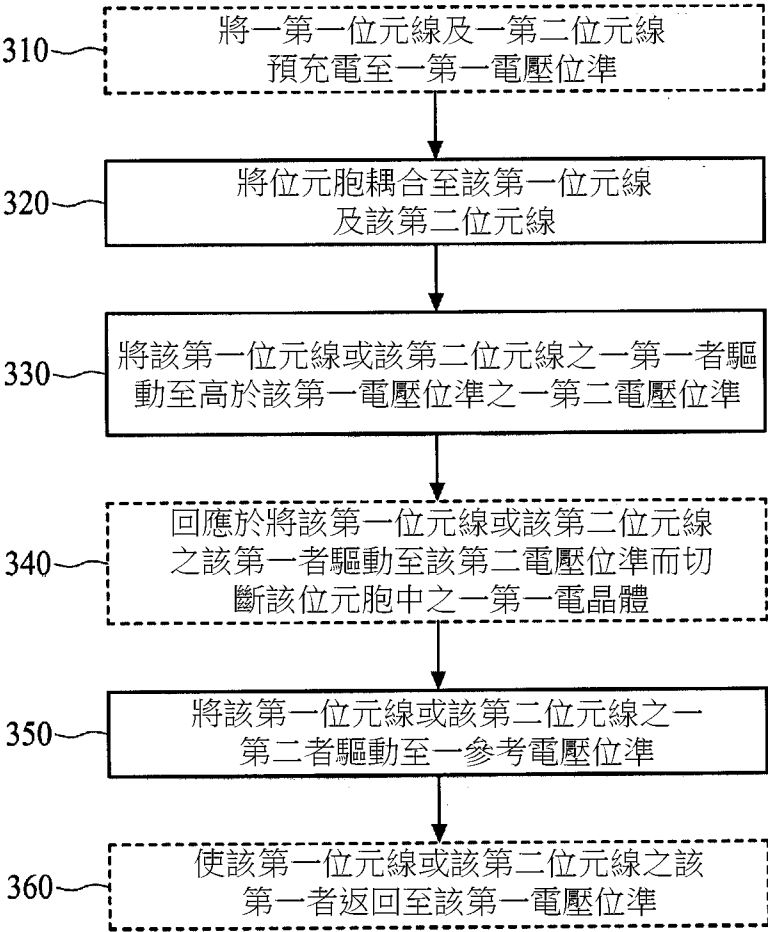
200



270

【圖2】

300



【圖3】

【發明申請專利範圍】

【第1項】

一種電路，其包括：

一第一位元線；

一電源節點，其具有一第一電源電壓位準；

一參考節點，其具有一參考電壓位準；

一第一通閘，其經耦合於該第一位元線與該電源節點之間；

一第一驅動器，其經耦合於該位元線與該參考節點之間；

一第一轉換電路經組態以將一第一信號轉換為一第二信號，該第一電源電壓位準代表該第二信號的一最大值，且位於該參考電壓位準以及該第一電源電壓位準之間的一中間電源電壓位準代表該第一信號的一最大值，且該第一轉換電路包含：

至少一反相器其代表該第一轉換電路的一輸出與該第一轉換電路的一輸入之間的一信號路徑的至少一對應部份；

其中：

該第一通閘經組態以回應於該第二信號；及

該第一驅動器經組態以回應於一第三信號而將該第一位元線耦合至該參考節點，而該中間電源電壓位準代表該第三信號的一最大值。

【第2項】

如請求項1之電路，其進一步包括：

一信號產生器，經組態以產生該第一信號。

【第3項】

如請求項2之電路，其中該信號產生器包含：

一NAND (反及)閘，其經組態以基於三個輸入信號而產生該第一信號。

【第4項】

如請求項1之電路，其中：

該第一電源電壓位準係一記憶體電路之一記憶體域之一電源電壓位準。

【第5項】

如請求項1之電路，其進一步包括：

一第二位元線；

一第二通閘，其經耦合於該第二位元線與該電源節點之間；

一第二驅動器，其經耦合於該第二位元線與該參考節點之間；及

一第二轉換電路經組態以將該第三信號轉換成一第四信號，該第一電源電壓位準代表該第四信號的一最大值，且該第二轉換電路包含：

至少一反相器，其代表該第二轉換電路的一輸出與該第二轉換電路的一輸入間的一信號路徑的至少一對應部份，

其中：

該第二通閘經組態以回應於該第四信號而將該第二位元線耦合至該電源節點；及

該第二驅動器經組態以回應於該第一信號而將該第二位元線耦合至該參考節點。

【第6項】

如請求項5之電路，其中：

該信號產生器，經組態另以在一寫入操作期間產生該第二信號及該第四信號作為一互補對。

【第7項】

如請求項5之電路，其中：

該信號產生器，經組態另以產生一第五信號及一第六信號；

其中：

該第五信號及該第六信號係基於該第二電源電壓位準；

該第一信號及該第二信號係基於該第五信號；及

該第三信號及該第四信號係基於該第六信號。

【第8項】

一種記憶體電路，其包括：

一參考節點，其具有一參考電壓位準；

一記憶體域電源節點，其具有一記憶體域電源電壓位準；

一第一位元線；

一第二位元線；

一位元胞，其包含：

一第一位元胞通閘，其經組態以將該位元胞選擇性地耦合至該第一位元線；及

一第二位元胞通閘，其經組態以將該位元胞選擇性地耦合至該第二位元線；及

一驅動器電路，其包括一第一位元線通閘、一第二位元線通閘、一第一驅動器及一第二驅動器；

一第一轉換電路，經組態以將一第一信號轉換為一對應第三信號；

一第二轉換電路，經組態以將一第二信號轉換為一對應第四信號，該記憶體域電源電壓位準代表該第三信號與該第四信號中每一信號的一最大值，且該參考電壓位準以及該記憶體域電源電壓位準之間的一中間電源電壓位準代表該第一信號與該第二信號中的每一信號的一最大值，

該第一轉換電路與該第二轉換電路中的每一轉換電路包含：

至少一反相器，其代表對應轉換電路的一輸入與該對應轉換電路的一輸出之間的一信號路徑的至少一對應部分，

其中：

該位元胞經組態以在該記憶體域電源電壓位準處操作；

該第一位元線通閘經組態以根據該第三信號來將該第一位元線選擇性地耦合至該記憶體域電源節點；

該第二位元線通閘經組態以根據該第四信號來將該第二位元線選擇性地耦合至該記憶體域電源節點；

該第一驅動器經組態以根據該第一信號來將該第一位元線選擇性地耦合至該參考節點；及

該第二驅動器經組態以根據該第二信號來將該第二位元線選擇性地耦合至該參考節點。

【第9項】

如請求項8之記憶體電路，其進一步包括：

一信號產生器，其經組態以：

在用於將一第一邏輯值寫入至該位元胞之一操作期間，控制該第一位元線通閘以將該第一位元線耦合至該記憶體域電源節點且控制該第二驅動器以將該第二位元線耦合至該參考節點；及

在用於將一第二邏輯值寫入至該位元胞之一操作期間，控制該第二位元線通閘以將該第二位元線耦合至該記憶體域電源節點且控制該第一驅動器以將該第一位元線耦合至該參考節點；

其中該第二邏輯值不同於該第一邏輯值。

【第10項】

一種寫入一位元胞之方法，該方法包括：

將該位元胞耦合至一第一位元線及一第二位元線，該第一位元線及該第二位元線具有一第一電壓位準；

產生一第一信號，其一最大值為高於該第一電壓位準的一第二電壓位準，而該第二電壓位準對應至該位元胞的一操作電壓，產生該第一信號包含：

使一第二信號通過一第一轉換電路的一第一電壓位移信號路徑，該第二信號的一最大值為該第一電壓位準，且該第一電壓位移信號路徑包含至少一反相器，該第一信號被提供至該第一電壓位移信號路徑的一終端；

根據該第一信號將該第一位元線或該第二位元線之一第一者驅動至該第二電壓位準；及

將該第一位元線或該第二位元線之一第二者驅動至低於該第一電壓位準之一參考電壓位準。