

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成20年7月31日(2008.7.31)

【公開番号】特開2003-51197(P2003-51197A)

【公開日】平成15年2月21日(2003.2.21)

【出願番号】特願2001-238404(P2001-238404)

【国際特許分類】

G 11 C 16/06 (2006.01)

G 11 C 16/02 (2006.01)

【F I】

G 11 C 17/00 6 3 3 A

G 11 C 17/00 6 1 1 A

G 11 C 17/00 6 1 1 Z

【手続補正書】

【提出日】平成20年6月17日(2008.6.17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

各々、複数のワード線と複数のビット線との交点にメモリセルを配置したメモリアレイを含む複数のメモリブロックと、

書き込み読み出し判定信号に応答して、読み出し動作時には書き込み動作時よりも少ない前記メモリブロックを前記メモリブロックの中から選択して活性化するメモリブロック選択手段とを備え、

活性化された前記メモリブロック内で選択された前記ワード線に結合された前記メモリセルが活性化されることを特徴とする半導体記憶装置。

【請求項2】

前記メモリセルは、不揮発性半導体メモリのメモリセルであり、選択された前記ワード線に結合された前記メモリセルに対して一括して書き込みを行うためのラッチ回路をさらに備えたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

前記メモリブロック選択手段は、さらにビット幅選択信号に応答して、読み出し動作時にビット幅に応じた数の前記メモリブロックを活性化することを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】

前記メモリブロック選択手段は、さらに読み出し検査信号に応答し、読み出し検査動作時に通常の読み出し動作時よりも多くの前記メモリブロックを活性化することを特徴とする請求項1に記載の半導体記憶装置。

【請求項5】

各々、複数のワード線と複数のビット線との交点にメモリセルを配置したメモリセルアレイを含む複数のメモリブロックと、

読み出し検査信号に応答して、読み出し検査動作時には通常の読み出し動作時よりも多くの前記メモリブロックを前記メモリブロックの中から選択して活性化するメモリブロック選択手段とを備え、活性化された前記メモリブロック内で選択された前記ワード線に結合された前記メモリセルが活性化されることを特徴とする半導体記憶装置。

**【請求項 6】**

選択された前記ワード線に電荷を供給する電源回路をさらに備えたことを特徴とする請求項 5 に記載の半導体記憶装置。

**【請求項 7】**

前記複数のメモリブロックに対して共通に設けられた共通口ウデコーダをさらに備え、前記複数のメモリブロックの各々は、前記メモリブロック選択手段の出力及び、前記共通口ウデコーダの出力に従って前記ワード線を選択し、選択された前記ワード線に結合された前記メモリセルを活性化するワード線ドライバを有することを特徴とする請求項 1 から請求項 5 のいずれかの請求項に記載の半導体記憶装置。

**【手続補正 2】**

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

**【課題を解決するための手段】**

上記課題を解決するため、本発明は以下の構成を有する。

請求項 1 の本発明は、各々、複数のワード線と複数のビット線との交点にメモリセルを配置したメモリアレイを含む複数のメモリブロックと、書き込み読み出し判定信号に応答して、読み出し動作時には書き込み動作時よりも少ない前記メモリブロックを前記メモリブロックの中から選択して活性化するメモリブロック選択手段とを備え、活性化された前記メモリブロック内で選択された前記ワード線に結合された前記メモリセルが活性化されることを特徴とする半導体記憶装置である。