



(12) 发明专利申请

(10) 申请公布号 CN 104465546 A

(43) 申请公布日 2015. 03. 25

(21) 申请号 201410742148. 2

(22) 申请日 2014. 12. 08

(71) 申请人 无锡中星微电子有限公司

地址 214135 江苏省无锡市新区太湖国际科技园清源路 530 大厦 A 区 10 层

(72) 发明人 王钊

(74) 专利代理机构 北京同辉知识产权代理事务所 (普通合伙) 11357

代理人 苗苗

(51) Int. Cl.

H01L 23/31(2006. 01)

H01L 23/488(2006. 01)

H01L 25/07(2006. 01)

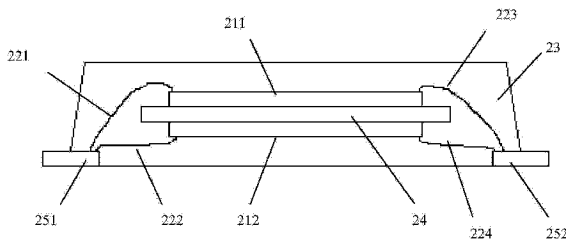
权利要求书1页 说明书5页 附图3页

(54) 发明名称

一种半导体晶片封装结构

(57) 摘要

本发明涉及芯片封装领域,特别涉及一种半导体晶片的封装结构,包括封装线、引脚部和至少一个封装单元,所述封装单元包括金属托架,其具有相对的第一表面和第二表面,且与所述引脚部处于不同的平面上;第一半导体晶片,其具有不同极性且相对的第一极性表面和第二极性表面,所述第一极性表面电性连接于所述金属托架的第一表面,第二极性表面上设置有压焊区,所述压焊区通过所述封装线与相应极性的引脚部电性连接;第二半导体晶片的第一极性表面电性连接于所述金属托架的第二表面,第二半导体晶片的第二极性表面上设置有压焊区,所述压焊区通过所述封装线与相应极性的引脚部电性连接。由于封装单元中的两半导体晶片并联,降低了整体的导通电阻。



1. 一种半导体晶片封装结构,包括封装线和引脚部,其特征在于:还包括至少一个封装单元,每个封装单元包括:

金属托架,其具有相对的第一表面和第二表面,且与所述引脚部处于不同的平面上;

第一半导体晶片,其具有不同极性且相对的第一极性表面和第二极性表面,所述第一极性表面电性连接于所述金属托架的第一表面,第二极性表面上设置有压焊区,所述压焊区通过所述封装线与相应极性的引脚部电性连接;

第二半导体晶片,其具有不同极性且相对的第一极性表面和第二极性表面,所述第一极性表面电性连接于所述金属托架的第二表面,第二极性表面上设置有压焊区,所述压焊区通过所述封装线与相应极性的引脚部电性连接。

2. 根据权利要求1所述的半导体晶片封装结构,其特征在于:每个半导体晶片包括第一MOS晶体管和第二MOS晶体管,

所述第一MOS晶体管的漏极和第二MOS晶体管的漏极形成于所述半导体晶片的第一极性表面,

每个半导体晶片的第二极性表面具有第一源极压焊区、第二源极压焊区、第一栅极压焊区和第二栅极压焊区,第一MOS晶体管的源级与第一源极压焊区电性相连,第二MOS晶体管的源级与第二源极压焊区电性相连,第一MOS晶体管的栅级与第一栅极压焊区电性相连,第二MOS晶体管的栅级与第一栅极压焊区电性相连。

3. 根据权利要求2所述的半导体晶片封装结构,其特征在于:所述引脚部包括第一源极引脚部、第二源极引脚部、第一栅极引脚部和第二栅极引脚部,

所述第一半导体晶片的第一源极压焊区和第二半导体晶片的第一源极压焊区分别通过封装线与所述第一源极引脚部相连,所述第一半导体晶片的第二源极压焊区和第二半导体晶片的第二源极压焊区通过封装线与所述第二源极引脚部相连,所述第一半导体晶片的第一栅极压焊区和第二半导体晶片的第一栅极压焊区分别通过封装线与所述第一栅极引脚部相连,所述第一半导体晶片的第二栅极压焊区和第二半导体晶片的第二栅极压焊区分别通过封装线与所述第二栅极引脚部相连。

4. 根据权利要求1~3中任一项所述的半导体晶片封装结构,其特征在于:所述第一半导体晶片的第一极性表面通过导电胶贴合在所述金属托架的第一表面,所述第二半导体晶片的第一极性表面通过导电胶贴合在所述金属托架的第二表面。

5. 根据权利要求1~3中任一项所述的半导体晶片封装结构,其特征在于:所述第二半导体晶片位于金属托架定义的平面和引脚部定义的平面之间。

6. 根据权利要求1~3中任一项所述的半导体晶片封装结构,其特征在于:还包括包覆所述封装单元和封装线的塑封体。

7. 根据权利要求1~3中任一项所述的半导体晶片封装结构,其特征在于:所述封装单元的数量为一个。

8. 根据权利要求1~3中任一项所述的半导体晶片封装结构,其特征在于:所述封装单元的数量为两个或两个以上,且各封装单元层叠布置。

## 一种半导体晶片封装结构

### 技术领域

[0001] 本发明涉及芯片封装领域,特别涉及一种半导体晶片的封装结构。

### 背景技术

[0002] 现有的半导体晶片的封装,都采用如图 1 所示的封装结构,其中包括半导体晶片 11、封装线 12、塑封体 13、金属托架 14 和引脚部 15,所述半导体晶片 11 位于所述金属托架 14 的上表面,通过封装线 12 将半导体晶片 11 的压焊区电连接到所述引脚部 15,所述塑封体 13 通过模具浇注液态的塑封原料,冷却后成型。所述金属托架 14 和引脚部 15 原本处于同一平面上的同一金属框架上,在经过浇注成型后切割而成。

[0003] 在实际应用中,以功率 MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor, 金属-氧化层-半导体-场效晶体管,简称金氧半场效晶体管) 为例,可以通过增大半导体晶片 11 的面积有助于减小其导通电阻。而上述封装结构中,仅在一个金属托架上放置一片半导体晶片,并具有固定的封装面积,而封装面积限制了最大能容纳的半导体晶片 11 的面积。在很多便携式系统,如手机、平板电脑等产品中,由于空间有限,希望封装后的芯片面积越小越好,而对于功率 MOSFET 来说,导通电阻越小越好,有助于减小在其上消耗的功耗。

[0004] 例如在具体的锂电池保护电路中,采用如图 2 中所示两个 MOS 晶体管构成充放电电路,并通过一个控制电路控制所述充放电电路中的 MOS 晶体管 MN1、MN2 的导通和关断可以实现对电池进行充电保护和放电保护。所述充放电电路包括第一 NMOS 晶体管 MN1 和第二 MOS 晶体管 MN2,所述第一 MOS 晶体管 MN1 栅极与所述控制电路的放电控制端相连,其漏极与所述第二 MOS 晶体管 MN2 的漏极相连;所述第二 MOS 晶体管 MN2 的栅极与所述控制电路的充电控制端相连,在正常状态时,NMOS 晶体管 MN1、MN2 同时导通,此时既可充电也可以放电。在充电发生异常时,所述充电控制端输出充电保护信号,控制 MOS 晶体管 MN2 截止,从而切断了电池的充电回路,实现禁止充电,但仍可以放电。在放电发生异常时,所述放电控制端输出放电保护信号,控制 NMOS 晶体管 MN1 截止,从而切断了放电回路,时间禁止放电,但仍可以充电。

[0005] 在上述应用中,结合图 1 可知,半导体晶片 11 具有两个 MOS 晶体管 MN1 和 MN2。两 MOS 晶体管 MN1 和 MN2 的漏极直接相连,两个源极(即图 2 中 MOS 晶体管 MN1 的源极 S1 和 MOS 晶体管 MN1 的源极 S2) 分别通过左右两侧的两个封装线 12 分别连接到两侧的引脚部 15 上,而且同样希望在不改变装后的芯片面积的前提下,获得更小的导通电阻,从而减小消耗的功耗。

### 发明内容

[0006] 本发明实现上述发明目的,提供了一种在有限的封装面积下,具有更小导通电阻的半导体晶片封装结构。

[0007] 本发明解决其技术问题所采取的技术方案是:一种半导体晶片封装结构,包括封

装线和引脚部,还包括至少一个封装单元,每个封装单元包括:

[0008] 金属托架,其具有相对的第一表面和第二表面,且与所述引脚部处于不同的平面上;

[0009] 第一半导体晶片,其具有不同极性且相对的第一极性表面和第二极性表面,所述第一极性表面电性连接于所述金属托架的第一表面,第二极性表面上设置有压焊区,所述压焊区通过所述封装线与相应极性的引脚部电性连接;

[0010] 第二半导体晶片,其具有不同极性且相对的第一极性表面和第二极性表面,所述第一极性表面电性连接于所述金属托架的第二表面,第二极性表面上设置有压焊区,所述压焊区通过所述封装线与相应极性的引脚部电性连接。

[0011] 每个半导体晶片可包括第一 MOS 晶体管和第二 MOS 晶体管,

[0012] 所述第一 MOS 晶体管的漏极和第二 MOS 晶体管的漏极形成于所述半导体晶片的第一极性表面,

[0013] 每个半导体晶片的第二极性表面具有第一源极压焊区、第二源极压焊区、第一栅极压焊区和第二栅极压焊区,第一 MOS 晶体管的源级与第一源极压焊区电性相连,第二 MOS 晶体管的源级与第二源极压焊区电性相连,第一 MOS 晶体管的栅级与第一栅极压焊区电性相连,第二 MOS 晶体管的栅级与第二栅极压焊区电性相连。

[0014] 所述引脚部可包括第一源极引脚部、第二源极引脚部、第一栅极引脚部和第二栅极引脚部,

[0015] 所述第一半导体晶片的第一源极压焊区和第二半导体晶片的第一源极压焊区分别通过封装线与所述第一源极引脚部相连,所述第一半导体晶片的第二源极压焊区和第二半导体晶片的第二源极压焊区通过封装线与所述第二源极引脚部相连,所述第一半导体晶片的第一栅极压焊区和第二半导体晶片的第一栅极压焊区分别通过封装线与所述第一栅极引脚部相连,所述第一半导体晶片的第二栅极压焊区和第二半导体晶片的第二栅极压焊区分别通过封装线与所述第二栅极引脚部相连。

[0016] 所述第一半导体晶片的第一极性表面可通过导电胶贴合在所述金属托架的第一表面,所述第二半导体晶片的第一极性表面可通过导电胶贴合在所述金属托架的第二表面。

[0017] 所述第二半导体晶片可位于金属托架定义的平面和引脚部定义的平面之间。

[0018] 还可包括包覆所述封装单元和封装线的塑封体。

[0019] 所述封装单元的数量可为一个。

[0020] 所述封装单元的数量为两个或两个以上,且各封装单元层叠布置。

[0021] 本发明通过将每个封装单元中的第一半导体晶片和第二半导体晶片的第一极性表面都电性连接于所述金属托架上,将第一半导体晶片和第二半导体晶片的第二极性表面上的压焊区都通过封装线电性连接于所述引脚部,使得每个封装单元中的两个半导体晶片实现并联效果,因此在不改变芯片整体封装面积的前提下,降低了整体的导通电阻。

## 附图说明

[0022] 图 1 为现有半导体晶片的封装结构示意图;

[0023] 图 2 为由两个 MOS 晶体管构成的充放电电路的原理图;

- [0024] 图 3 为本发明优选实施例的封装结构示意图；  
[0025] 图 4 为本发明优选实施例中封装单元的物理结构示意图；  
[0026] 图 5 为本发明优选实施例中的电路原理图；  
[0027] 图 6 为本发明优选实施例在大规模生产中，金属框架的结构示意图；  
[0028] 图 7 为所述封装单元在图 6 中 A-A 向的剖视图。

### 具体实施方式

[0029] 下面结合具体实施例对本发明内容加以详细描述。本实施例中也以锂电池保护电路中的充放电电路为例，为便于说明，本实施例中仅具有一个封装单元。

[0030] 如图 3 中所示，为本发明优选实施例的封装结构示意图，本优选实施例包括一个封装单元，封装线 221、222，塑封体 23、引脚部 251、252，所述封装单元包括一个金属托架 24 和两个完全相同的半导体晶片 211、212，所述金属托架 24 具有相对的第一表面和第二表面，对应为图 3 中金属托架 24 的上表面和下表面，各半导体晶片也具有不同极性且相对的第一极性表面和第二极性表面，其中第一半导体晶片 211 的第一极性表面通过导电胶（图中未标示）粘合在所述金属托架 24 的上表面，第二半导体晶片 212 的第一极性表面通过导电胶粘合在所述金属托架 24 的下表面，所述第一半导体晶片 211 的第二极性表面上的压焊区的和第二半导体晶片 212 的第二极性表面上的压焊区，分别通过所述封装线 221 和封装线 222 对应的共同连接在相应极性的同一个引脚部 251 上，所述塑封体 23 包覆所述第一半导体晶片 211、第二半导体晶片 212、金属托架 24 和封装线 221、222。从图 3 中可以看出，所述金属托架 24 与所述引脚部 251、252 处于不同的平面上，即高于所述引脚部 251、252 所在平面，且所述第二半导体晶片 212 位于金属托架 24 定义的平面和引脚部 251、252 定义的平面之间，使得所述金属托架 24 下方具有一个容纳第二半导体晶片 212 和封装线 222 的空间，且能够使所述第二半导体晶片 212 被所述塑封体 23 完全包覆。

[0031] 如图 4 中所示，为本优选实施例中封装单元的物理结构示意图，即第一半导体晶片、第二半导体晶片和金属托架的物理结构示意图，其中，每个半导体晶片包括两个 MOS 晶体管，即第一半导体晶片 211 包括第一 MOS 晶体管 MA1 和第二 MOS 晶体管 MA2，第二半导体晶片 212 包括第一 MOS 晶体管 MB1 和第二 MOS 晶体管 MB2，第一半导体晶片 211 的第一 MOS 晶体管 MA1 的漏极和第二 MOS 晶体管 MA2 的漏极形成于所述半导体晶片 211 的第一极性表面构成共同的漏极 DA，第二半导体晶片 212 的第一 MOS 晶体管 MB1 的漏极和第二 MOS 晶体管 MB2 的漏极形成于所述半导体晶片 212 的第一极性表面，构成共同的漏极 DB。

[0032] 每个半导体晶片的第二极性表面具有第一源极压焊区、第二源极压焊区、第一栅极压焊区和第二栅极压焊区，第一半导体晶片 211 的第一 MOS 晶体管 MA1 的源极 SA1 与第一源极压焊区电性相连，第二 MOS 晶体管 MA2 的源极 SA2 与第二源极压焊区电性相连，第一 MOS 晶体管 MA1 的栅级 GA1 与第一栅极压焊区电性相连，第二 MOS 晶体管 MA2 的栅级 GA2 与第一栅极压焊区电性相连。同理，第二半导体晶片 212 的第一 MOS 晶体管 MB1 的源极 SB1 与第一源极压焊区电性相连，第二 MOS 晶体管 MB2 的源极 SB2 与第二源极压焊区电性相连，第一 MOS 晶体管 MB1 的栅级 GB1 与第一栅极压焊区电性相连，第二 MOS 晶体管 MB2 的栅级 GB2 与第一栅极压焊区电性相连。

[0033] 同时，结合图 3，所述引脚部包括第一源极引脚部、第二源极引脚部、第一栅极引脚

部和第二栅极引脚部,所述第一半导体晶片 211 的第一源极压焊区和第二半导体晶片 212 的第一源极压焊区分别通过封装线 221、222 与所述第一源极引脚部 251 相连,所述第一半导体晶片 211 的第二源极压焊区和第二半导体晶片 212 的第二源极压焊区通过封装线 223、224 与所述第二源极引脚部 252 相连,所述第一半导体晶片 211 的第一栅极压焊区和第二半导体晶片的第一栅极压焊区分别通过封装线与所述第一栅极引脚部(图中未标示)相连,所述第一半导体晶片的第二栅极压焊区和第二半导体晶片的第二栅极压焊区分别通过封装线与所述第二栅极引脚部(图中未标示)相连。

[0034] 如图 5 中所示,为本优选实施例的电路原理图,根据上述描述可知,第一半导体晶片 211 的共同漏极 DA 和第二半导体晶片 212 的共同漏极 DB,都电性连接于所述金属托架 24 上,而所述金属托架 24 相当于两半导体晶片的共同漏极被封装起来,将第一半导体晶片 211 的第一 MOS 晶体管 MA1 的源极 SA1 和第二 MOS 晶体管 MB1 的源极 SB1 分别通过封装线 221、222 电性连接于所述引脚部 251 上,相当于第一 MOS 晶体管 MA1 的源极 SA1 和第二 MOS 晶体管 MB1 的源极 SB1 直接电性连接,将第一半导体晶片 211 的第一 MOS 晶体管 MA1 的栅极 GA1 和第二 MOS 晶体管 MB1 的栅极 GB1 分别通过封装线电性连接于所述引脚部 261 上,相当于第一 MOS 晶体管 MA1 的栅极 GA1 和第二 MOS 晶体管 MB1 的栅极 GB1 直接电性连接,使得 MOS 晶体管 MA1 和 MB1 实现并联效果,同理, MOS 晶体管 MA2 和 MB2 也实现并联效果,再将两个半导体晶片 211、212 封入一个封装内,使得两个半导体晶片实现并联效果,在不改变整体封装面积的前提下,有效降低了整体的导通电阻。

[0035] 在锂电池保护电路中,也同样通过一个具有充电控制端和放电控制端的控制电路来控制充放电电路,所述充放电电路即为本优选实施例中的 MOS 晶体管 MA1、MB1、MA2、MB2 构成的电路,所述控制电路控制各 MOS 晶体管的导通和截止来实现允许充电、禁止充电、允许放电、禁止放电的动作,其中, MOS 晶体管 MA1、MB1 并联后相当于图 2 中的 MN1, MOS 晶体管 MA2、MB2 并联后相当于图 2 中的 MN2。在充电发生异常时,所述充电控制端输出充电保护信号,控制 MOS 晶体管 MA1、MB1 截止,从而切断了电池的充电回路,实现禁止充电的操作;在放电发生异常时,所述放电控制端输出放电保护信号,控制 MOS 晶体管 MA2、MB2 截止,从而切断了放电回路,实现禁止放电的操作。因此,采用本发明可以通过两并联 MOS 晶体管的共同工作,减低整体的导通电阻,从而提高电池充电和放电时的效率,并延长充满电池后电池的续航时间。

[0036] 所述在半导体器件的大规模生产中,通常采用多个芯片同时封装,即采用多个金属框架连接在一起进行加工,所述金属托架 24 和引脚部 25 可以处于同一金属框架上,在经过浇注成型后切割而成。如图 6 中所示,为本优选实施例在大规模生产中的金属框架的结构示意图,其中在金属框架 31 上具有第一源极引脚部 251、第二源极引脚部 252、第一栅极引脚部 261 和第二栅极引脚部 262 以及金属托架 24。图 7 为所述金属托架 24 在图 6 中 A-A 向的剖视图。由于所述金属托架 24 与各个引脚部处于不同的平面上,同时为便于外部电路布线,所述第二半导体晶片 212 位于金属托架 24 定义的平面和各引脚部定义的平面之间,由于所述金属框架 31 在切割前为整体成型,因此在 A-A 向的剖面中,所述金属托架 24 形成如图 7 中所示的桥型结构,第一半导体晶片 211 位于所述金属托架 24 的上方,第二半导体晶片 212 位于所述金属托架 24 下方的空间内,从而在浇注工艺后,能够使所述第二半导体晶片 212 被所述塑封体 23 完全包覆。

[0037] 下面结合图 3、6、7 对本优选实施例的一般生产步骤加以简要描述：

[0038] 1、制作金属框架 31，所述金属框架 31 中具有向上突起的金属托架 24；

[0039] 2、将第二半导体晶片 212 的漏极面通过导电胶（图中未标示）粘连到金属框架的下方；

[0040] 3、将第一半导体晶片 211 的漏极面通过导电胶粘连到金属框架的上方；

[0041] 4、将液态塑封料注入模具中进行注塑，并冷却形成塑封体 23；

[0042] 5、按照图 6 中虚线位置，沿线进行切割，除去多余的框架部分，成为几个最终的半导体芯片。

[0043] 此外，第一半导体晶片 211 和第二半导体晶片 212 可以采用两个完全相同的半导体晶片，实现较理想的并联效果，也可以采用结构形式相同，但具体参数略有差异的相似，即相同类型的半导体晶片。本优选实施例中所述的 MOS 晶体管可以采用如图 4 中所示的 NMOS 晶体管，也可以采用 DMOS 晶体管等其他形式的晶体管，并通过上述描述中的，将同一极性的压焊区通过封装线和引脚部的电性连接，实现并联封装方式，也能达到较为理想的效果，所述封装线可以为金线、铜线、银线、铝线等。

[0044] 上述优选实施例仅阐述了具有一个封装单元的情形，而根据实际需要，可以层叠两个或更多个封装单元；除此以外，本发明也可以应用于二极管晶片、双极晶体管晶片等多种半导体器件中。本发明中的所述引脚部是用于连接封装线，可根据被封装的半导体晶片的极性、数量和其他封装要求，相应的增加引脚部的数量，并将被封装的多个半导体晶片的同一极性的压焊区通过封装线电连接到同一极性的引脚部。

[0045] 以上对本发明所提供的一种半导体晶片封装结构进行了详细介绍，本文中应用了具体个例对本发明的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本发明的方法及其核心思想；同时，对于本领域的一般技术人员，依据本发明的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本发明的限制。

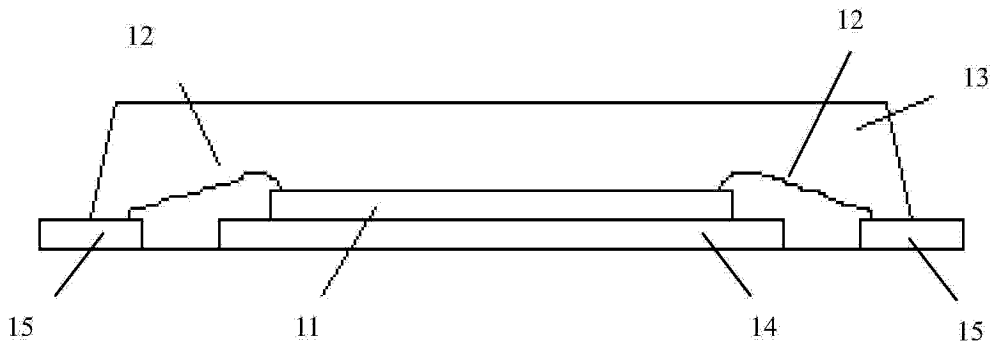


图 1

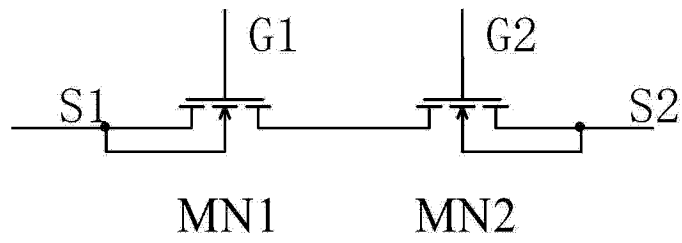


图 2

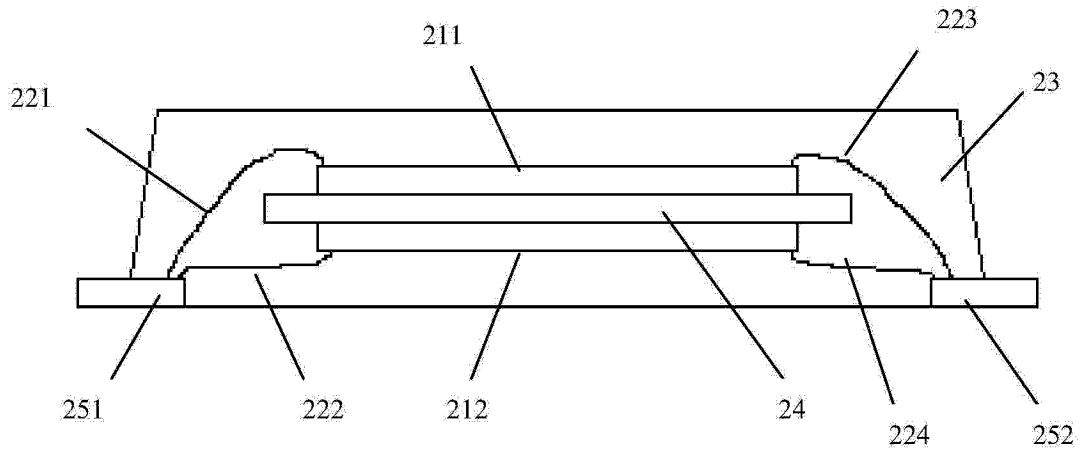


图 3



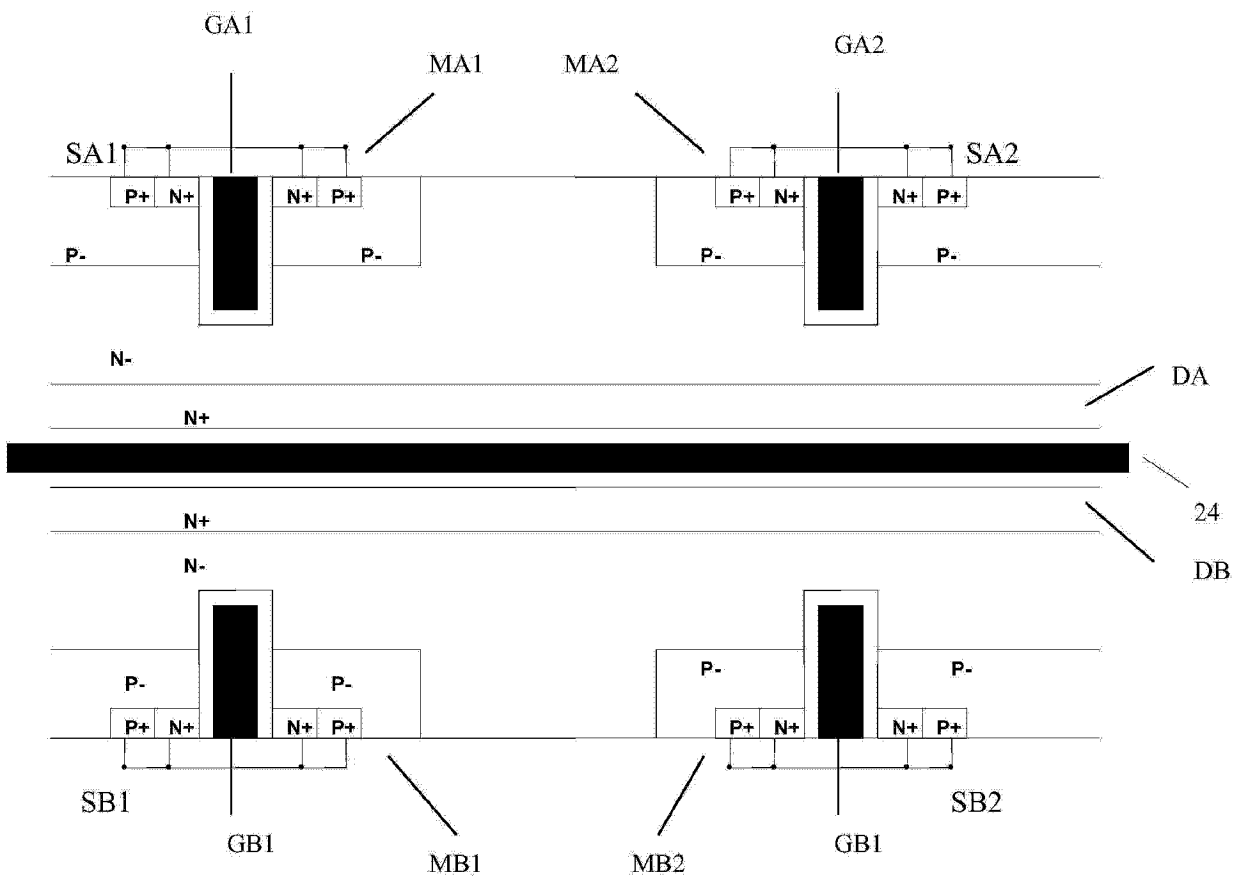


图 4

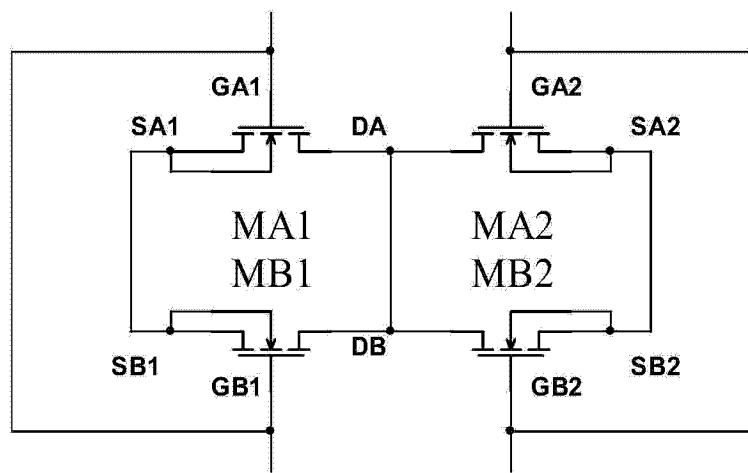


图 5

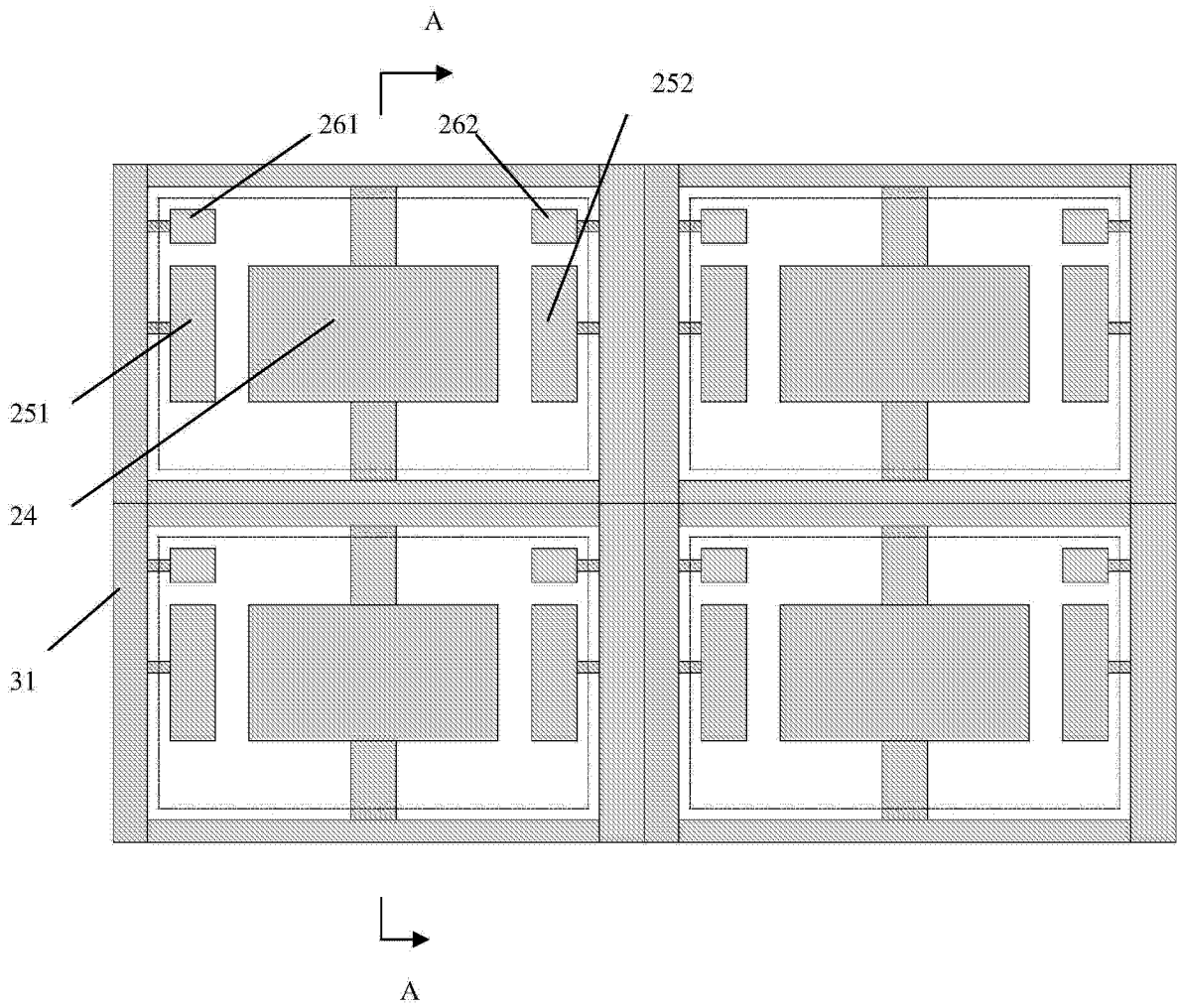


图 6

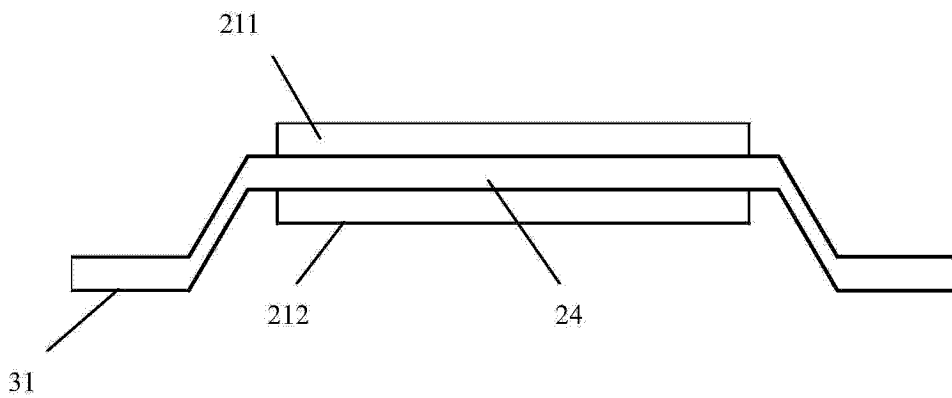


图 7