



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0099585
(43) 공개일자 2011년09월08일

(51) Int. Cl.

H03K 19/094 (2006.01) G06F 1/00 (2006.01)

(21) 출원번호 10-2010-0018692

(22) 출원일자 2010년03월02일

심사청구일자 2010년03월02일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

홍석희

서울특별시 도봉구 도봉2동 한신아파트 103-107

김민수

서울특별시 노원구 공릉2동 111번지 화랑타운 71
1동 501호

김현민

서울특별시 성북구 길음2동 대림아파트 414동
1801호

(74) 대리인

특허법인충현

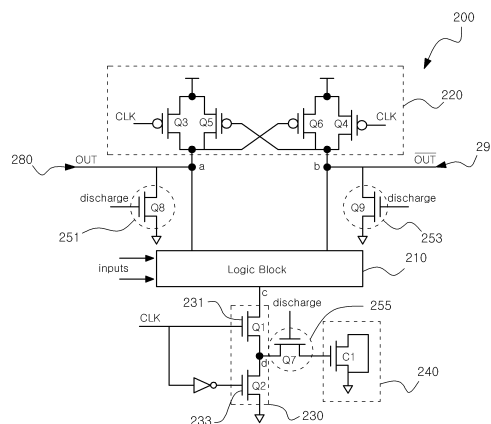
전체 청구항 수 : 총 7 항

(54) 전력 분석 공격에 안전한 로직 회로

(57) 요약

프리차지(precharge), 평가(evaluation) 및 방전(discharge)인 삼상 작동 모드인 로직 회로를 개시한다. 상기 로직 회로는 병렬로 연결된 제1 트랜지스터쌍 및 병렬로 연결된 제2 트랜지스터쌍이 대칭적으로 연결되고 평가단계(evaluation phase) 동안 기능을 하는 평가단계 래치부, 상기 로직 회로의 동적 전류 소스원이고 제1 트랜지스터 및 제2 트랜지스터가 직렬로 연결되어 구성되는 동적 전류 모드부, 및 상기 제1 트랜지스터쌍에 연결된 출력단에 연결된 제1 방전단계 제어 트랜지스터, 상기 제2 트랜지스터쌍에 연결된 출력단에 연결된 제2 방전단계 제어 트랜지스터 및 상기 제1 트랜지스터 및 제2 트랜지스터의 사이에 연결된 제3 방전단계 제어 트랜지스터를 포함하는 방전단계 제어부를 포함한다. 출력 노드에서의 커패시턴스의 불균형으로 인해 입력값에 따라 충전 및 방전되는 전력량이 달라지는 부분을 해결하여 입력값에 상관없이 매 클럭마다 일정한 전력량이 소비된다.

대표도 - 도2



특허청구의 범위

청구항 1

프리차지(precharge), 평가(evaluation) 및 방전(discharge)인 삼상 작동 모드인 로직 회로에 있어서,
병렬로 연결된 제1 트랜지스터쌍 및 병렬로 연결된 제2 트랜지스터쌍이 대칭적으로 연결되고 평가단계(evaluation phase) 동안 기능을 하는 평가단계 래치부;

상기 로직 회로의 동적 전류 소스원이고 제1 트랜지스터 및 제2 트랜지스터가 직렬로 연결되어 구성되는 동적 전류 모드부; 및

상기 제1 트랜지스터쌍에 연결된 출력단에 연결된 제1 방전단계 제어 트랜지스터, 상기 제2 트랜지스터쌍에 연결된 출력단에 연결된 제2 방전단계 제어 트랜지스터 및 상기 제1 트랜지스터 및 제2 트랜지스터의 사이에 연결된 제3 방전단계 제어 트랜지스터를 포함하는 방전단계 제어부를 포함하는 로직 회로.

청구항 2

제 1 항에 있어서,

상기 제3 방전단계 제어 트랜지스터에 연결되고 온(on)되는 경우는 접지가 되고 오프(off)되는 경우는 커패시터가 되는 가상접지부를 더 포함하는 것을 특징으로 하는 로직 회로.

청구항 3

제 2 항에 있어서,

상기 가상접지부는 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 로직 회로.

청구항 4

제 1 항에 있어서,

상기 제1 방전단계 제어 트랜지스터 내지 제3 방전단계 제어 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 로직 회로.

청구항 5

제 1 항에 있어서,

상기 제1 방전단계 제어 트랜지스터 내지 제3 방전단계 제어 트랜지스터는 매 클럭 신호에서 로(low)레벨 끝 부분과 하이(high)레벨 끝 부분에 10%에 해당하는 시간 동안 온되는 것을 특징으로 하는 로직 회로.

청구항 6

제 1 항에 있어서,

상기 제1 트랜지스터쌍 및 제2 트랜지스터쌍은 PMOS 트랜지스터로 구성되는 것을 특징으로 하는 로직 회로.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 따른 로직 회로가 탑재된 스마트 카드.

명세서

기술분야

본 발명은 로직 회로에 관한 것으로, 특히 암호관련 디바이스에 이용될 수 있는 로직 회로에 관한 것이다.

[0001]

배경 기술

- [0002] 스마트카드는 보안성을 가지고 대용량 데이터를 저장할 수 있으며, 다양한 애플리케이션을 탑재할 수 있어, 금융, 유통, 교통 및 이동통신 등 다양한 분야에서 이용되고 있다. 이러한 스마트카드의 내부에 저장된 데이터는 안전하게 보관되어야 하고, 외부에 유출되면 사용자 또는 시스템 운영자에게 커다란 위험 인자가 될 수 있다.
- [0003] 스마트 카드의 승인되지 않은 접근을 "부정조작(tampering)"이라 부르는데, 이러한 부정조작 기술 중 하나인 부채널 공격(side channel attack)방법은 암호 알고리즘의 구현시 고려되지 못했던 누설정보, 예를 들어 시간, 전력, 전자기파, 소리 등을 이용해 비밀 정보를 알아내는 공격방법이다. 부채널 공격방법 중 하나인 전력 분석 공격(power analysis attack)방법은 연산되는 데이터에 비례해서 전력 소비 패턴이 형성되는 로직(logic) 동작을 기반으로 한 것이다. 전력 분석 공격에 대처하기 위한 방법은 디자인 구성 동안의 추상레벨을 고려하여 시스템 레벨 로직, 게이트 레벨 로직 및 트랜지스터 레벨 로직으로 크게 세가지로 분류될 수 있다.
- [0004] 시스템 레벨 로직은 능동 공급 전류 필터링(active supply current filtering), 수동 필터링(passive filtering) 및 전원 공급(power supply) 등을 추가하거나 칩에 배터리를 장착함으로써 인해 추가적인 잡음을 발생시켜 전력 소비와 연산데이터 간의 관계를 제거하는 방법이다. 하지만, 이러한 방법은 암호장비가 온도 저항 등에 민감하기 때문에 기술적, 비용적인 제약이 많이 따른다.
- [0005] 게이트 레벨 로직은 회로의 스탠다드 셀을 이용해서 스위칭 동작과 전력 소비패턴과의 관계를 제거하는 방법으로 랜덤 마스킹(random masking)법, 랜덤 프리-차징(random pre-charging)법, 랜덤 지연 삽입(random delay insertion)법 등의 방법이 제안되어져 왔다. 그 중에서 마스킹을 이용한 방법이 가장 많이 연구되었으나, 최근에 HDL(Hardware Description Language)을 이용한 자동합성방법의 사용은 마스킹 값이 적용될 때, 조합회로에서 발생하는 글리치(glitch)로 인해 공격 받을수 있는 취약점이 발견되었다. MDPL(masked dual-rail logic)이 이러한 글리치 공격에 대한 방어적 측면에서 개발되었지만, CMOS 로직에 비해 전력 소비와 구현비용 측면에서 상당히 비효율적인 방법이다.
- [0006] 트랜지스터 레벨 로직은 전력소비를 일정하거나 연산 데이터에 독립적으로 만드는 방법을 이용한다. 트랜지스터 레벨 로직의 대표적인 방법인 DRP(dual-rail pre-charge) 로직 스타일에서 신호는 두 상보대칭형 배선에서 인코딩되어서 동일한 캐패시턴스 로드를 가졌다는 가정에서 전력 소비량의 차이값은 항상 일정한 값을 가진다는 원리에 기반을 둔 방법이다. 최근에 많이 사용하는 세미-커스텀(semi-custom)디자인 방식을 이용한 방법은 자동배선에 의해 디자인 시간을 감소시키고, 이식가능성을 증가시키는 장점이 있는 반면에 자동배선으로 인한 구성 면적의 비효율성과 상보대칭형 배선의 불균형성으로 인한 캐패시턴스 로드에서의 전력소비차가 연산데이터와 상관성을 가지게 되어 공격에 취약해지는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0007] 본 발명이 이루고자 하는 기술적 과제는 로직 회로상의 연산 동작과 발생하는 전력량에 대한 연관성을 하드웨어적으로 제거하여 전력 분석 공격에 안전한 로직 회로를 제공하는 데 있다.

과제의 해결 수단

- [0008] 본 발명의 일 양태에 따르면 프리차지(precharge), 평가(evaluation) 및 방전(discharge)인 삼상 작동 모드인 로직 회로에 있어서, 병렬로 연결된 제1 트랜지스터쌍 및 병렬로 연결된 제2 트랜지스터쌍이 대칭적으로 연결되고 평가단계(evaluation phase) 동안 기능을 하는 평가단계 래치부, 상기 로직 회로의 동적 전류 소스원이고 제1 트랜지스터 및 제2 트랜지스터가 직렬로 연결되어 구성되는 동적 전류 모드부, 및 상기 제1 트랜지스터쌍에 연결된 출력단에 연결된 제1 방전단계 제어 트랜지스터, 상기 제2 트랜지스터쌍에 연결된 출력단에 연결된 제2 방전단계 제어 트랜지스터 및 상기 제1 트랜지스터 및 제2 트랜지스터의 사이에 연결된 제3 방전단계 제어 트랜지스터를 포함하는 방전단계 제어부를 포함하는 로직 회로를 제공한다.
- [0009] 상기 제3 방전단계 제어 트랜지스터에 연결되고 온(on)되는 경우는 접지가 되고 오프(off)되는 경우는 커패시터가 되는 가상접지부를 더 포함 할 수 있다.
- [0010] 상기 가상접지부는 NMOS 트랜지스터를 포함할 수 있다.

- [0011] 상기 제1 방전단계 제어 트랜지스터 내지 제3 방전단계 제어 트랜지스터는 NMOS 트랜지스터일 수 있다.
- [0012] 상기 제1 방전단계 제어 트랜지스터 내지 제3 방전단계 제어 트랜지스터는 매 클럭 신호에서 로(low)레벨 끝 부분과 하이(high)레벨 끝 부분에 10%에 해당하는 시간 동안 온 될 수 있다.
- [0013] 상기 제1 트랜지스터쌍 및 제2 트랜지스터쌍은 PMOS 트랜지스터로 구성될 수 있다.
- [0014] 본 발명의 다른 양태에 따르면 로직 회로가 탑재된 스마트 카드를 제공한다.

발명의 효과

- [0015] 본 실시예에 따른 로직 회로는 출력 노드에서의 커패시턴스의 불균형으로 인해 입력값에 따라 충전 및 방전되는 전력량이 달라지는 부분을 해결하여 입력값에 상관없이 매 클럭마다 일정한 전력량이 소비된다. 암호관련 디바이스에 이용되어 전력 분석 공격에 대한 안전성을 제공한다.

도면의 간단한 설명

- [0016] 도 1은 삼상 듀얼 레일 프리차지 로직(Three-Phase Dual-Rail Precharge Logic; TDPL) 인버터의 구조를 보여주는 회로도이다.
- 도 2는 본 실시예에 따른 로직 회로의 구성을 보여주는 회로도이다.
- 도 3은 본 실시예에 따른 로직 회로 적용의 일 예를 보여주는 회로도이다.
- 도 4는 본 실시예에 따른 로직 회로의 효과를 실험하기 위한 테스트 회로를 나타내는 구성도이다.
- 도 5는 본 실시예에 따른 로직 회로 및 종래 로직 회로에서의 출력 전력량을 설명하는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0018] 제2, 제1 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제2 구성요소는 제1 구성요소로 명명될 수 있고, 유사하게 제1 구성요소도 제2 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.
- [0019] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0020] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0021] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0022] 이하, 첨부된 도면을 참조하여 실시예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 대응하는 구성 요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0023] 도 1은 삼상 듀얼 레일 프리차지 로직(Three-Phase Dual-Rail Precharge Logic; TDPL) 인버터의 구조를 보여주

는 회로도이다.

- [0024] 도 1을 참조하면, 프리차지(precharge), 평가(evaluation), 방전(discharge)인 삼상 작동 모드를 이용하는데, 프리차지 단계 동안 로직 블록의 출력선은 내부 전압(Vdd)으로 충전되고, 평가 단계 동안 입력 데이터에 따라 그라운드 전압(Vss)로 방전되어서 새로운 출력 데이터가 생성된다. 방전단계에서 다른 선은 전압 그라운드 전압(Vss)로 방전되며, TDPL 로직 회로는 내부 전압(Vdd) 및 그라운드 전압(Vss)로의 불균형적 커패시턴스 부하가 고려됨에도 불구하고 작동하는 동안 일정한 에너지 소모를 나타낸다. 방전단계는 듀얼 레일 로직 스타일이 불균형된 커패시턴스를 가지기 때문에 평가 단계 후 출력 노드에서 잔여 에너지를 제거한다.
- [0025] 도 2는 본 실시예에 따른 로직 회로의 구성을 보여주는 회로도이다.
- [0026] 도 2를 참조하면, 로직 회로(200)는 프리차지(precharge), 평가(evaluation), 방전(discharge)인 삼상 작동 모드를 이용하는데, 로직 블록부(210), 평가단계 래치부(220), 동적 전류 모드부(230), 가상접지부(240) 및 방전단계 제어부(250)를 포함하고 방전단계 제어부(250)는 제1 출력단(280)과 노드 a사이에 제1 방전단계 제어 트랜지스터(251), 제2 출력단(290)과 노드 b사이에 제2 방전단계 제어 트랜지스터(253) 및 동적 전류 모드부(230)를 구성하는 직렬연결된 두 개의 트랜지스터(231, 233)사이와 가상접지부(240) 사이에 연결된 제3 방전단계 제어 트랜지스터(255)를 포함한다. 제1 방전단계 제어 트랜지스터(251) 내지 제3 방전단계 제어 트랜지스터(255)는 매 클럭 신호에서 로(low)레벨 끝 부분과 하이(high)레벨 끝 부분에 각 레벨의 대략 10%에 해당하는 시간 동안 온되어 제1 출력단(280) 및 제2 출력단(290)에 연결된 커패시터(도시되지 않음)의 충전량의 90%부분에서 더 이상 충전이 발생되지 않도록 단절시켜주고, 방전 구간에서는 방전이 90%까지 발생한 후 나머지 10%에서 동시에 다시 방전되는 구간을 삽입하여 제1 출력단(280) 및 제2 출력단(290)의 커패시턴스를 균형적으로 만든다. 여기서, 제1 방전단계 제어 트랜지스터(251) 내지 제3 방전단계 제어 트랜지스터(255)는 NMOS 트랜지스터일 수 있다.
- [0027] 로직 블록부(210)는 기능 평가(function evaluation)를 위한 것으로, 여기서 기능 평가는 예를 들어 인버터/버퍼, NAND/AND, XOR/NXOR 등을 말한다.
- [0028] 평가단계 래치(evaluation phase latch)부(220)는 병렬로 연결된 제1 트랜지스터쌍 및 병렬로 연결된 제2 트랜지스터쌍이 대칭적으로 연결되고 평가단계 동안 기능을 한다. 여기서, 제1 트랜지스터쌍 및 제2 트랜지스터쌍은 PMOS 트랜지스터로 구성될 수 있다. 로직 회로(200)는 1 클럭(clock) 동안 하나의 출력값을 갖는다. PMOS 트랜지스터 Q3 및 PMOS 트랜지스터 Q4는 CLK가 0일때 온(on)이 되어서, 제1 출력단(280) 및 제2 출력단(290)에 전력이 충전되고, 노드 a 및 노드 b에 출력의 논리값과 동일한 논리값이 생성된다. PMOS 트랜지스터 Q3 및 PMOS 트랜지스터 Q4는 CLK가 1일때 오프(off)가 되어서, 노드 a 및 노드 b에서 CLK가 0일때 생성된 논리값으로 인해서 트랜지스터 Q5가 온이 되거나 트랜지스터 Q6이 온이 되거나 트랜지스터 Q5 및 트랜지스터 Q6가 모두 오프되거나 온이 된다. 따라서, CLK=1일 때는 제1 출력단(280) 및 제2 출력단(290)은 동일한 논리값을 갖는다.
- [0029] 동적 전류 모드부(230)는 동적 전류 소스원으로서 트랜지스터 Q1(231) 및 트랜지스터 Q2(233)가 직렬로 연결되어 구성되고, CLK=1일 때 트랜지스터 Q1(231)은 온이 되고 트랜지스터 Q2(233)는 오프가 되며, 노드 c 및 노드 d의 출력값이 동일하게 된다. 제3 방전단계 제어 트랜지스터(255)가 온되는 동작이 CLK=1의 끝부분에서 동작하므로 노드 d에 있는 논리값으로 인해서 가상접지부(240)가 온되거나 오프된다. CLK=0일 때 트랜지스터 Q1(231)은 오프 되고 트랜지스터 Q2(233)는 온된다. 이 경우 노드 c의 전압값이 노드 d의 전압값과 다르게 되고 노드 d는 접지와 연결되어 0의 논리값을 가진다. 제3 방전단계 제어 트랜지스터(255)가 CLK=1의 끝부분에서 동작하게 되고 트랜지스터 C1은 오프되어 노드 d의 잔여 전력을 트랜지스터 C1에 충전한다. 여기서, 트랜지스터 Q1(231) 및 트랜지스터 Q2(233)는 NMOS 트랜지스터일 수 있다.
- [0030] 가상접지부(240)는 전압 스윙(swing)을 향상시킨다. 여기서, 트랜지스터 C1은 온되는 경우는 접지가 되고 오프되는 경우는 커패시터의 역할을 한다.
- [0031] 제1 방전단계 제어 트랜지스터(251) 내지 제3 방전단계 제어 트랜지스터(255)는 클럭주기의 끝부분 바로 직전에 온되므로 출력단들에서 불균형적으로 충전된 에너지를 동시에 방전시켜서, 노드들에서 소모된 에너지가 한 클럭에서 일정하게 된다. 따라서, 어떤 임의의 입력값이 입력되어 방전될 때, 출력단들에서는 균형적으로 되어 전력 소모가 일정하게 된다.
- [0032] 도 3은 본 실시예에 따른 로직 회로 적용의 일 예를 보여주는 회로도이다. 도 3을 참조하면, 로직 블록부(310)에 NAND/AND 게이트가 구성되어 출력단들에서는 균형적으로 전력 소모가 일정하게 된다.

[0033] 이하에서는, 본 실시예에 따른 로직 회로의 효과에 대하여 설명하기로 한다.

[0034] 도 4는 본 실시예에 따른 로직 회로의 효과를 실험하기 위한 테스트 회로를 나타내는 구성도이다.

[0035] 도 4를 참조하면, Vdd 및 Vss 노드 사이에 불균형 부하 커패시터(481, 483, 491, 493)가 추가된다. 효과를 실험하기 위해 디바이스로는 반-가산기(half-adder: HA)를 이용한다. 다음 표 1은 출력단들에서의 추가된 부하 커패시터를 보여준다.

[0036] 이는 불균형으로 방전되게 한다.

표 1

	to Vdd	to Vss
제1 출력단(480)으로부터	8fF	4fF
제2 출력단(490)으로부터	1fF	3fF

[0038] 테스트 로직은 매 기본 게이트 즉, 인버터/버퍼, NAND/AND, XOR/NXOR로 충전한다. 다음 수학적 식 1을 이용하여 한 클럭내에서 전력 분석 공격에 대항한 저항을 측정한다.

수학적 식 1

$$E = V_{DD} \cdot \int_0^T I_{DD}(t) dt$$

[0039]

[0040] 여기서, E는 에너지값이다.

[0041] 다음 표 2는 실험결과를 나타내는 표이다.

표 2

	INV			NAND/AND			XOR/NXOR		
	TDPL	DyCML	OUR's	TDPL	DyCML	OUR's	TDPL	DyCML	OUR's
max(E)[fJ]	51.403	68.532	86.471	79.522	85.423	81.001	83.160	84.902	85.558
min(E)[fJ]	37.304	40.273	72.914	68.829	44.336	69.267	73.284	72.323	77.104
NED[%]	27.428	41.235	15.678	12.189	48.098	14.486	11.876	14.816	9.881
$\bar{E}$ [fJ]	46.645	50.394	77.75	74.309	67.067	74.173	78.425	79.573	80.938
σ_E	5.251	8.955	3.651	2.93	13.237	3.515	2.684	4.925	2.346
NSD[%]	11.257	17.769	4.696	3.943	19.736	4.739	3.423	6.19	2.899

[0042]

[0043] 여기서, 정규 에너지 편차(normalized energy deviation: NED)는 $(\max(E) - \min(E)) / \max(E)$ 로 정의되고, 정규 표준 편차(normalized standard deviation: NSD)는 $\sigma / \bar{E}$ 로 정의된다. 표 2를 참조하면, 동적 전류 모드 로직(Dynamic current mode logic: DyCML)회로는 NED > 14.816% 및 NSD > 6.19%를 나타내고 삼상 듀얼 레일 프리차지 로직(Three-Phase Dual-Rail Precharge Logic; TDPL)회로는 NED > 11.876% 및 NSD > 3.423%를 나타내는 반면, 본 실시예에 따른 로직 회로에서는 NED 및 NSD 특성이 향상되었음을 확인할 수 있다. 인버터/버퍼의 경우에서도 본 실시예에 따른 로직 회로에서는 15.67%(NED) 및 4.696%(NSD)를 나타내며, 이는 다른 로직 회로의 수치보다 향상된 것이다.

[0044] 도 5는 본 실시예에 따른 로직 회로 및 종래 로직 회로에서의 출력 전력량을 설명하는 그래프이다. 도 5를 참조하면, 본 실시예에 따른 로직 회로에서는 어떤 로직 블럭에 있어서도 균형된 전력 소모 특성을 나타냄을 확인할 수 있다.

[0045] 상술한 모든 기능은 상기 기능을 수행하도록 코딩된 소프트웨어나 프로그램 코드 등에 따른 마이크로프로세서, 제어기, 마이크로제어기, ASIC(Application Specific Integrated Circuit) 등과 같은 프로세서에 의해 수행될 수 있다. 상기 코드의 설계, 개발 및 구현은 본 발명의 설명에 기초하여 당업자에게 자명하다고 할 것이다.

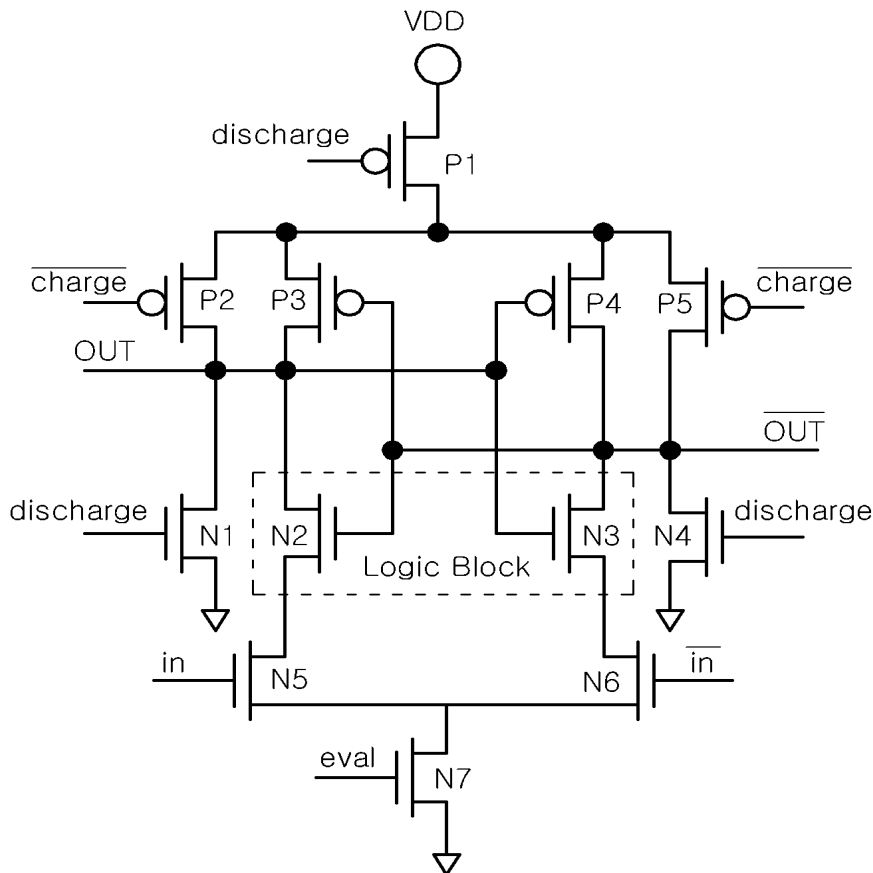
[0046] 이상 본 발명에 대하여 실시예를 참조하여 설명하였지만, 해당 기술 분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시켜 실시할 수 있음을 이해할 수 있을 것이다. 따라서 상술한 실시예에 한정되지 않고, 본 발명은 이하의 특허청구범위의 범위 내의 모든 실시예들을 포함한다고 할 것이다.

부호의 설명

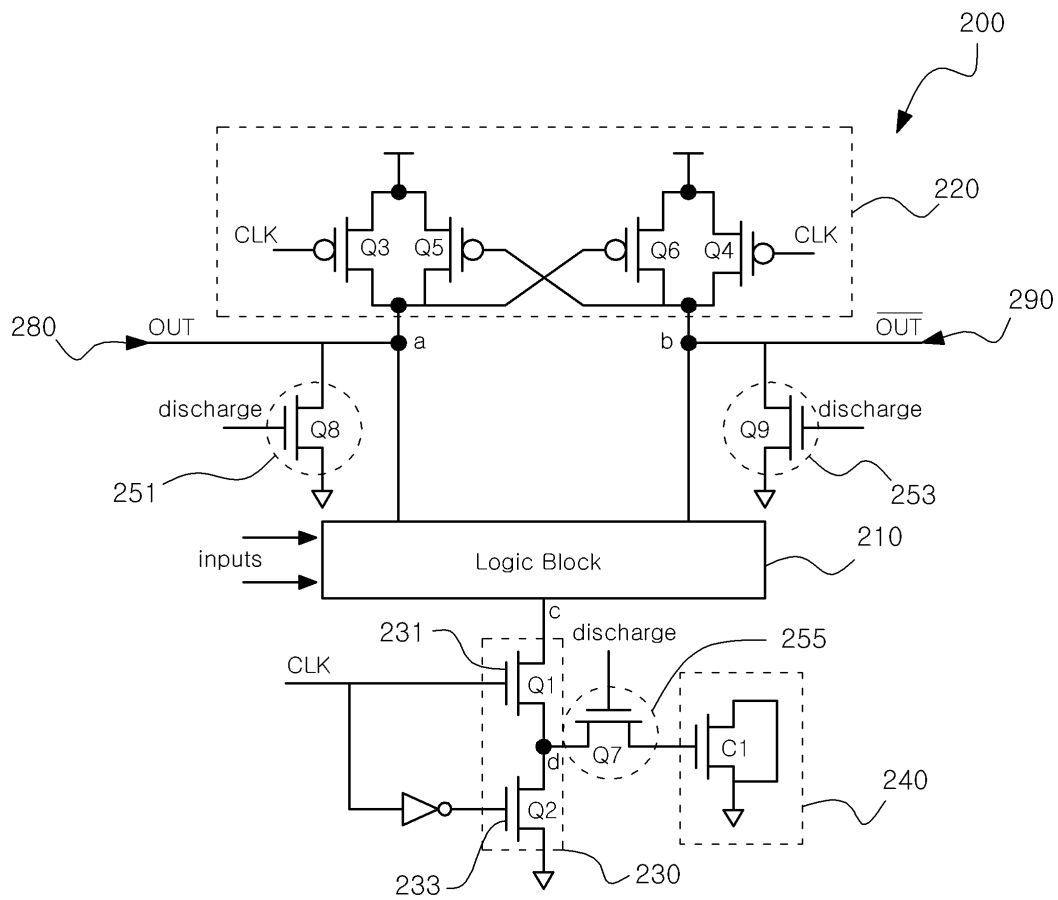
[0047]	200: 로직 회로	210: 로직 블록부
	220: 평가단계 래치부	230: 동적 전류 모드부
	240: 가상접지부	250: 방전단계 제어부
	251: 제1 방전단계 제어 트랜지스터	
	253: 제2 방전단계 제어 트랜지스터	
	255: 제3 방전단계 제어 트랜지스터	
	280: 제1 출력단	290: 제2 출력단

도면

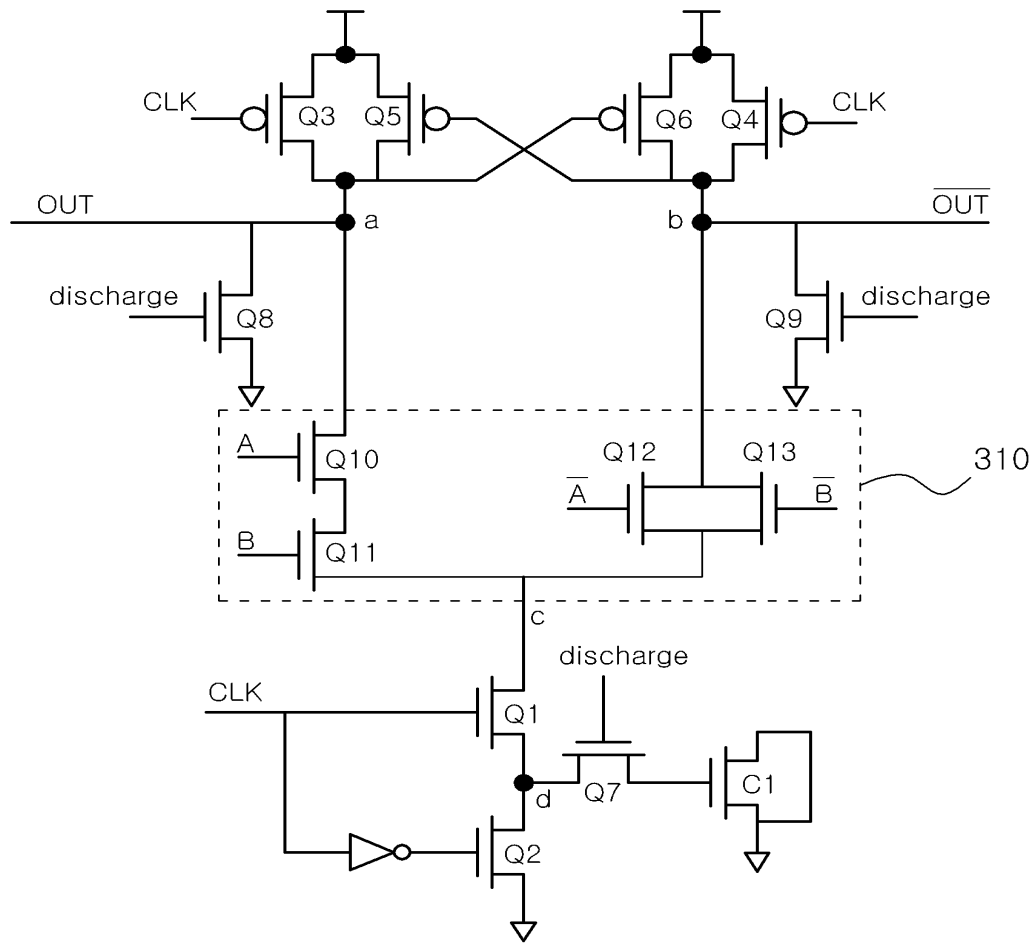
도면1



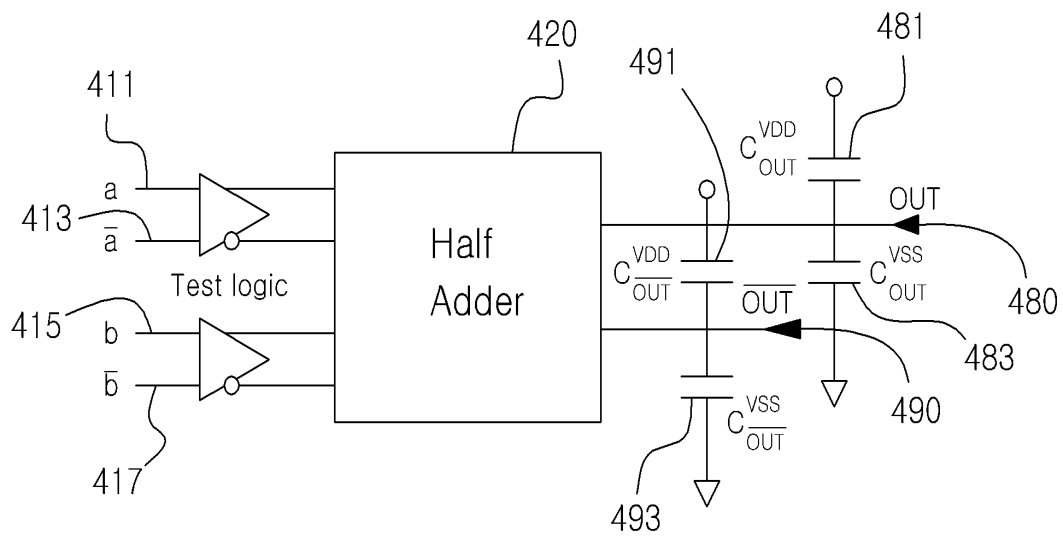
도면2



도면3



도면4



도면5

