



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0097314
(43) 공개일자 2018년08월31일

(51) 국제특허분류(Int. Cl.)
G06F 1/10 (2006.01) G06F 17/50 (2006.01)
(52) CPC특허분류
G06F 1/10 (2013.01)
G06F 17/50 (2013.01)
(21) 출원번호 10-2017-0024157
(22) 출원일자 2017년02월23일
심사청구일자 2017년02월23일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
김주호
경기도 성남시 분당구 동판교로 123, 101동 701호(백현동, 백현마을1단지관교푸르지오그랑블아파트)
오덕근
서울특별시 동작구 사당로23길 62-11 (사당동)
(74) 대리인
특허법인충현

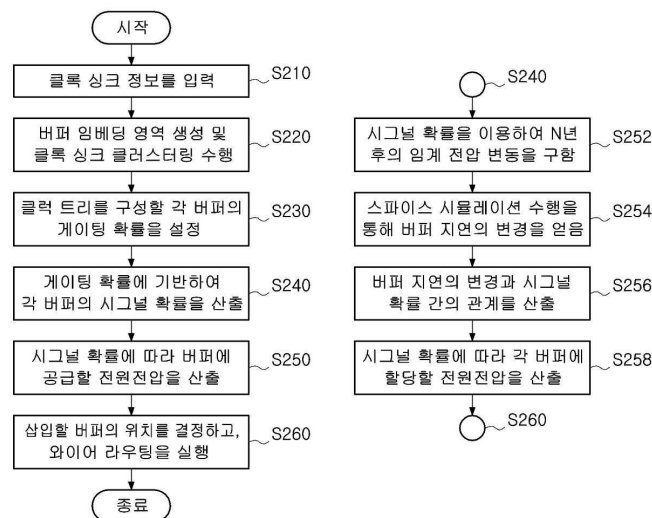
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 노화현상 및 전압변이를 고려한 클럭 트리 합성 방법

(57) 요약

본 발명의 실시 예에 따른 노화현상 및 전압변이를 고려한 클럭 트리 합성 방법은, 클럭 트리를 구성할 각 버퍼의 게이팅 확률을 설정하는 단계와, 게이팅 확률에 기반하여 각 버퍼의 시그널 확률을 산출하는 단계와, 산출된 시그널 확률에 따라 버퍼에 공급할 전원전압을 산출하는 단계 및 버퍼의 위치를 결정하여 버퍼를 삽입하는 단계를 포함한다.

대표도 - 도2



이 발명을 지원한 국가연구개발사업

과제고유번호 201639012

부처명 미래창조과학부

연구관리전문기관 정보통신기술진흥센터

연구사업명 SW전문인력역량강화

연구과제명 SW특성화대학원(SW중심대학 운영)

기 여 율 1/1

주관기관 정보통신기술진흥센터

연구기간 2016.03.01 ~ 2017.02.28

명세서

청구범위

청구항 1

노화현상 및 전압변이를 고려한 클럭 트리 합성 방법에 있어서,
 상기 클럭 트리를 구성할 각 버퍼의 게이팅 확률을 설정하는 단계;
 상기 게이팅 확률에 기반하여 상기 각 버퍼의 시그널 확률을 산출하는 단계;
 상기 산출된 시그널 확률에 따라 상기 버퍼에 공급할 전원전압을 산출하는 단계; 및
 상기 버퍼의 위치를 결정하여 상기 버퍼를 삽입하는 단계;를 포함하는, 클럭 트리 합성 방법.

청구항 2

제 1 항에 있어서,
 상기 게이팅 확률은,
 상기 클럭 트리 설계 단계에서 상기 클럭 트리가 이용될 회로에 따라서 상기 버퍼들이 턴온/턴오프되는 정도를 예측하여 설계자에 의해 입력되는 예상치인, 클럭 트리 합성 방법.

청구항 3

제 1 항에 있어서,
 상기 각 버퍼의 시그널 확률을 산출하는 단계는,
 PMOS 트랜지스터가 네거티브 바이어스 하에서 ON 상태가 되는 것을 기준으로 상기 시그널 확률로서 신호가 로직로우(low)일 확률을 산출하는, 클럭 트리 합성 방법.

청구항 4

제 1 항에 있어서,
 클럭 트리에서 파워 소모를 줄이기 위한 클럭 게이트로서 낸드 게이트를 사용하면, 상기 낸드 게이트의 출력 시그널 확률은 $(1-SP)*(1-GP)$ 로 산출하는, 클럭 트리 합성 방법.

청구항 5

제 1 항에 있어서,
 상기 버퍼에 공급할 전원전압을 산출하는 단계는,
 상기 시그널 확률을 이용하여 N년 후의 임계 전압 변동(ΔV_{th})을 구하는 단계;
 스파이스 시뮬레이션을 수행하여 상기 임계 전압 변동에 대응하는 버퍼 지연의 변경(ΔD)을 얻는 단계;
 상기 버퍼 지연의 변경과 상기 시그널 확률 간의 관계를 산출하는 단계; 및
 상기 관계를 고려하여 상기 시그널 확률에 따라 상기 각 버퍼에 공급할 전원 전압을 산출하는 단계;를 포함하는, 클럭 트리 합성 방법.

청구항 6

제 1 항에 있어서,
 상기 산출된 시그널 확률에 따라 상기 버퍼에 공급할 전원전압을 산출하는 단계는,
 공급할 전원전압이 증가함에 따라 버퍼 지연은 선형적으로 감소되는 관계를 기반으로 상기 트리의 각 레벨에서

가장 큰 시그널 확률을 갖는 버퍼의 전원전압을 결정하는 단계; 및

시그널 확률과 버퍼 지연 사이의 선형 함수 관계를 기반으로 상기 각 레벨에서 나머지 버퍼의 시그널 확률에 따른 전원전압을 구하는 단계;를 포함하는, 클럭 트리 합성 방법.

청구항 7

제 6 항에 있어서,

상기 공급할 전원전압이 증가함에 따라 버퍼 지연은 선형적으로 감소되는 관계식은,

$$\min f(v^e) = \sum_{i \in \text{voltage interval of } e} m(v^e, v_{i,\min}, v_{i,\max})$$

$$m(v^e, v_{i,\min}, v_{i,\max}) = \begin{cases} |v^e - v_{i,\min}| & \text{for } v^e < v_{i,\min} \\ 0 & \text{for } v_{i,\min} < v^e < v_{i,\max} \\ |v^e - v_{i,\max}| & \text{for } v^e > v_{i,\max} \end{cases}$$

여기서, v^e 는 예상 전압, 전압간격 e 에서 $v_{i,\min}$ 은 최소 전압, $v_{i,\max}$ 는 최대전압인, 클럭 트리 합성 방법.

청구항 8

제 6 항에 있어서,

상기 시그널 확률과 버퍼 지연 사이의 선형 함수 관계는,

$$\begin{aligned} & \underset{i \in \max}{\text{maximize}} \quad (v_{i,j}^{sp}) \\ & S.T : \\ & d_{buf}(v_j^e, sp_{\max,j}) \leq d_{buf}(v_{i,j}^{sp}, sp_{i,j}), \quad C_{buf,j} < C_{buf,cons.}, \\ & d_{buf}(v_{i,j}^{sp}, sp_{i,j}) - d_{buf}(v_j^e, sp_{\max,j}) \leq skew_{cons.,j}, \\ & d_{buf}^{aging}(v_j^e, sp_{\max,j}) - d_{buf}^{aging}(v_{i,j}^{sp}, sp_{i,j}) \leq skew_{cons.,j} \end{aligned}$$

이고, 여기서, $v_{i,j}^{sp}$ 는 j 번째 트리 레벨의 i 번째 버퍼에서 시그널 확률에 따른 전원 전압이고, v_j^e 는 j 번째 트리 레벨에서 상기 수학식(5)에 의해 획득된 전원전압이며, d_{buf} 는 버퍼 지연의 함수이고, d_{buf}^{aging} 는 10년 경과 후 버퍼 지연의 함수이며, $sp_{\min}$ 과 $sp_{\max}$ 는 각 트리 레벨에서 버퍼의 최소 및 최대 시그널 확률이고, $skew_{cons.,i}$ 는 i 번째 트리 레벨에서 클럭 스큐 제약을 의미하고, $C_{buf,cons}$ 는 버퍼의 캐패시턴스 제한으로 정의되는, 클럭 트리 합성 방법.

청구항 9

제 6 항에 있어서,

상기 시그널 확률에 따라 산출된 전원전압이 잠재적 버퍼 영역에 존재하지 않으면, 해당 버퍼의 시그널 확률에 따라 전원전압에 가장 가까운 잠재적인 버퍼 영역의 값을 할당하는, 클럭 트리 합성 방법.

청구항 10

제 1 항에 있어서,

상기 버퍼에 공급할 전원전압을 산출하는 단계는,

클럭 소스에서 클럭 싱크까지 트리 레벨 순으로 산출된 상기 시그널 확률에 따라 상기 전원전압을 산출하는, 클럭 트리 합성 방법.

청구항 11

제 1 항에 있어서,

상기 버퍼를 삽입하는 단계 이후에,

각 레벨에서 동일한 와이어 길이를 먼저 라우팅 한 다음, 와이어를 ΔL 만큼 길게 만드는 와이어 스네이크를 수행하여 클럭 스큐를 줄이는 단계를 더 포함하는, 클럭 트리 합성 방법.

청구항 12

제 11 항에 있어서,

상기 와이어 스네이크에 대한 와이어 길이는,

$$D_{wire,i}(\Delta L) = d_{buf}(v^j, sp_{max}) - d_{buf}(v_i^j, sp_i)$$

$i \in B_j, i \neq \max$

constraints :

$$Cw_j \leq Cw_{j,cons}$$

$$skew_j \leq skew_{j,cons}$$

로

산출되고,

여기서

$$D_{wire} = r_0 l_{wire} \left(\frac{1}{2} c_0 l_{wire} + C_{load} \right)$$

이며, 여기서 D_{wire} 는 와이어 지연, r_0 및 c_0 는 와이어의 단위 저항 및 와이어의 단위 캐패시턴스, l_{wire} 는 와이어 길이, C_{load} 는 와이어 끝의 부하 캐패시턴스인, 클럭 트리 합성 방법.

청구항 13

제 1 항 내지 제 12 항 중 어느 한 항의 방법을 컴퓨터에서 실행시키기 위한 프로그램이 기록된 컴퓨터 판독가능 기록매체.

청구항 14

클럭 트리 설계 단계에서 상기 클럭 트리가 이용될 회로에 따라서 버퍼들이 턴온/턴오프되는 정도를 예측하는 예상치로서 게이팅 확률을 입력하는 입력부; 및

상기 게이팅 확률에 기반하여 상기 각 버퍼의 시그널 확률을 산출하고, 상기 시그널 확률에 따라 버퍼에 공급할 전원전압을 산출하는 제어부;를 포함하여 구성되는, 클럭 트리 합성 장치.

청구항 15

제 14 항에 있어서,

상기 제어부는,

PMOS 트랜지스터가 네거티브 바이어스 하에서 ON상태가 되는 것을 기준으로 상기 시그널 확률로서 신호가 로직 로우일 확률을 산출하는 시그널 확률 산출부;

상기 시그널 확률에 따라 상기 버퍼에 공급할 전원전압을 산출하는 전원전압 산출부;

상기 버퍼를 삽입할 위치를 결정하는 버퍼 위치 결정부; 및

상기 클럭 버퍼의 각 트리 레벨에서 클럭 스큐를 줄이기 위한 와이어 스네이크를 수행하여 와이어 길이를 산출하는 와이어 길이 산출부로 구성되는, 클럭 트리 합성 장치.

청구항 16

제 15 항에 있어서,

상기 전원전압 산출부는,

상기 시그널 확률을 이용하여 N년 후의 임계 전압 변동(ΔV_{th})을 구하고, 스파이스 시뮬레이션을 수행하여 상기 임계 전압 변동에 대응하는 버퍼 지연의 변경(ΔD)을 구하며, 상기 버퍼 지연의 변경과 상기 시그널 확률 간의 관계를 산출하고, 상기 산출된 관계를 고려하여 상기 시그널 확률에 따라 상기 각 버퍼에 공급할 전원 전압을 산출하는, 클럭 트리 합성 장치.

청구항 17

제 14 항에 있어서,

상기 전원전압 산출부는,

공급할 전원전압이 증가함에 따라 버퍼 지연은 선형적으로 감소되는 관계를 기반으로 상기 트리의 각 레벨에서 가장 큰 시그널 확률을 갖는 버퍼의 전원전압을 결정하고, 상기 시그널 확률과 버퍼 지연 사이의 선형 함수 관계를 기반으로 상기 각 레벨에서 나머지 버퍼의 시그널 확률에 따른 전원전압을 구하는, 클럭 트리 합성 장치.

청구항 18

제 14 항에 있어서,

상기 전원전압 산출부는,

상기 시그널 확률에 따라 산출된 전원전압이 잠재적 버퍼 영역에 존재하지 않으면, 해당 버퍼의 시그널 확률에 따라 전원전압에 가장 가까운 잠재적인 버퍼 영역의 값을 할당하는, 클럭 트리 합성 장치.

청구항 19

제 14 항에 있어서,

상기 전원전압 산출부는,

클럭 소스에서 클럭 싱크까지 트리 레벨 순으로 산출된 상기 시그널 확률에 따라 상기 전원전압을 산출하는, 클럭 트리 합성 장치.

발명의 설명

기술 분야

[0001] 본 발명은 노화현상 및 전압변이를 고려한 클럭 트리 합성 방법에 관한 것으로, 더욱 상세하게는 비대칭적 노화 현상 및 전압변이를 고려하기 위해 각 버퍼의 시그널 확률에 따라 산출된 전원전압을 공급하고, 시그널 확률에 따라 와이어 스네이크를 수행함으로써 클럭 스큐를 방지하는 클럭 트리 합성에 관한 것이다.

배경 기술

[0002] 최근에 반도체 공정기술의 발달로 배선의 크기가 작아지고 이에 따른 높은 집적도를 사용한 ASIC 및 SOC의 설계가 보편화되고 있다. 이러한 환경 하에서 수백 MHz 이상의 높은 성능과 신뢰성의 확보를 위한 중요한 요소가 클럭의 동기화이다.

[0003] 디지털 회로는 클럭 신호에 동기되어 동작하므로 클럭 신호의 빠른 전달이 시스템의 성능 향상으로 직결된다. 클럭 분배 네트워크라고 표현되는 클럭 신호는 전체 회로 내에서 수백 수천 개의 플립 플롭 등으로 구성된 동기

화 부하들을 구동하며 칩 전체에 걸쳐서 배치된다.

- [0004] 클럭 신호를 칩의 전체 플립플롭에 분배시키기 위해 trunk, mesh, symmetric H-tree, 그리고 버퍼 트리(buffer tree) 등 다양한 클럭 네트워크 구조가 제안되었다. 이중에서도 버퍼 트리 방식은 칩 크기가 늘어나도 버퍼를 삽입하는 방식은 손쉽게 자동화할 수 있어 ASIC/SOC 설계에 적합하고 가장 널리 사용되는 방식이다.
- [0005] 회로의 레이아웃(Layout)시 자동으로 클럭 네트워크를 구성하고 적절한 위치에 버퍼를 삽입하는 과정을 클럭 트리 합성(clock tree synthesis, CTS)이라 한다. 회로의 레이아웃 수행 시 CTS는 클럭 소스와 목적지 간의 버퍼 분배를 통하여 네트워크의 부하 균형을 얻는 기술이다.
- [0006] CTS의 제약조건은 소스 입력에서 특정 목적지까지의 지연시간(insertion delay), 그 값 중 가장 큰 값과 가장 작은 값의 차이 값인 클럭 스큐(clock skew) 등이 있다.
- [0007] 잘 설계된 클럭 트리는 클럭 스큐를 최소화하면서 클럭을 전달하는 속도를 향상시킨다. 초기의 CTS는 선형 지연 모델 혹은 Elmore 지연모델과 같은 단순한 타이밍 모델에 기반하여 스큐를 최소화하도록 작업이 이루어졌다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 대한민국 등록특허공보 제10-0714931호(2005년5월16일, “ASIC 클럭 플로어 설계 방법 및 구조”)

발명의 내용

해결하려는 과제

- [0009] 본 발명이 해결하고자 하는 과제는 클럭 게이팅으로 인한 비대칭적 노화현상으로 인해 발생하는 클럭 스큐를 방지할 수 있는 클럭 트리 합성에 관한 기술적 수단을 제공하는데 있다.

과제의 해결 수단

- [0010] 본 발명의 일 실시 예에 따른 클럭 트리 합성 방법은 노화현상 및 전압변이를 고려한 클럭 트리 합성 방법에 있어서, 클럭 트리를 구성할 각 버퍼의 게이팅 확률을 설정하는 단계와, 상기 게이팅 확률에 기반하여 상기 각 버퍼의 시그널 확률을 산출하는 단계와, 상기 산출된 시그널 확률에 따라 상기 버퍼에 공급할 전원전압을 산출하는 단계 및 상기 버퍼의 위치를 결정하여 상기 버퍼를 삽입하는 단계를 포함한다.
- [0011] 본 발명의 다른 실시 예에 따르면, 상기 게이팅 확률은, 상기 클럭 트리 설계 단계에서 상기 클럭 트리가 이용될 회로에 따라서 상기 버퍼들이 턴온/턴오프되는 정도를 예측하여 설계자에 의해 입력되는 예상치일 수 있다.
- [0012] 본 발명의 다른 실시 예에 따르면, 상기 각 버퍼의 시그널 확률을 산출하는 단계는, PMOS 트랜지스터가 네거티브 바이어스 하에서 ON 상태가 되는 것을 기준으로 상기 시그널 확률로서 신호가 로직 로우(low)일 확률을 산출한다.
- [0013] 본 발명의 다른 실시 예에 따르면, 클럭 트리에서 파워 소모를 줄이기 위한 클럭 게이트로서 낸드 게이트를 사용하면, 상기 낸드 게이트의 출력 시그널 확률은 $(1-SP)*(1-GP)$ 로 산출한다.
- [0014] 본 발명의 다른 실시 예에 따르면, 상기 버퍼에 공급할 전원전압을 산출하는 단계는, 상기 시그널 확률을 이용하여 N년 후의 임계 전압 변동(ΔV_{th})을 구하는 단계와, 스파이스 시뮬레이션을 수행하여 상기 임계 전압 변동에 대응하는 버퍼 지연의 변경(ΔD)을 얻는 단계와, 상기 버퍼 지연의 변경과 상기 시그널 확률 간의 관계를 산출하는 단계 및 상기 관계를 고려하여 상기 시그널 확률에 따라 상기 각 버퍼에 할당할 전원 전압을 산출하는 단계를 포함한다.
- [0015] 본 발명의 다른 실시 예에 따르면, 상기 산출된 시그널 확률에 따라 상기 버퍼에 공급할 전원전압을 산출하는 단계는, 공급할 전원전압이 증가함에 따라 버퍼 지연은 선형적으로 감소되는 관계를 기반으로 상기 트리의 각 레벨에서 가장 큰 시그널 확률을 갖는 버퍼의 전원전압을 결정하는 단계 및 시그널 확률과 버퍼 지연 사이의 선형 함수 관계를 기반으로 상기 각 레벨에서 나머지 버퍼의 시그널 확률에 따른 전원전압을 구하는 단계를 포함

한다.

[0016] 본 발명의 다른 실시 예에 따르면, 공급할 전원전압이 증가함에 따라 버퍼 지연은 선형적으로 감소되는 관계식

$$\min f(v^e) = \sum_{i \in \text{voltage interval of } e} m(v^e, v_{i,\min}, v_{i,\max})$$

은,

$$m(v^e, v_{i,\min}, v_{i,\max}) = \begin{cases} |v^e - v_{i,\min}| & \text{for } v^e < v_{i,\min} \\ 0 & \text{for } v_{i,\min} < v^e < v_{i,\max} \\ |v^e - v_{i,\max}| & \text{for } v^e > v_{i,\max} \end{cases}$$

[0017] 여기서, v^e 는 예상 전압, 전압간격 e 에서 $v_{i,\min}$ 은 최소 전압, $v_{i,\max}$ 는 최대전압이다.

[0018] 본 발명의 다른 실시 예에 따르면, 시그널 확률과 버퍼 지연 사이의 선형 함수 관계는,

$$\begin{aligned} & \underset{i \in \max}{\text{maximize}} \quad (v_{i,j}^{sp}) \\ & S.T : \\ & d_{buf}(v_j^e, sp_{\max,j}) \leq d_{buf}(v_{i,j}^{sp}, sp_{i,j}), \quad C_{buf,j} < C_{buf,cons}, \\ & d_{buf}(v_{i,j}^{sp}, sp_{i,j}) - d_{buf}(v_j^e, sp_{\max,j}) \leq skew_{cons,j}, \\ & d_{buf}^{aging}(v_j^e, sp_{\max,j}) - d_{buf}^{aging}(v_{i,j}^{sp}, sp_{i,j}) \leq skew_{cons,j} \end{aligned}$$

[0019] 이고, 여기서, $v_{i,j}^{sp}$

는 j 번째 트리 레벨의 i 번째 버퍼에서 시그널 확률에 따른 전원 전압이고, v_j^e 는 j 번째 트리 레벨에서 상기 수학식(5)에 의해 획득된 전원전압이며, d_{buf} 는 버퍼 지연의 함수이고, d_{buf}^{aging} 는 10년 경과 후 버퍼 지연의 함수이며, $sp_{\min}$ 과 $sp_{\max}$ 는 각 트리 레벨에서 버퍼의 최소 및 최대 시그널 확률이고, $skew_{cons,i}$ 는 i 번째 트리 레벨에서 클럭 스큐 제약을 의미하고, $C_{buf,cons}$ 는 버퍼의 캐패시턴스 제한으로 정의된다.

[0020] 본 발명의 다른 실시 예에 따르면, 시그널 확률에 따라 산출된 전원전압이 잠재적 버퍼 영역에 존재하지 않으면, 해당 버퍼의 시그널 확률에 따라 전원전압에 가장 가까운 잠재적인 버퍼 영역의 값을 할당한다.

[0021] 본 발명의 다른 실시 예에 따르면, 상기 버퍼에 공급할 전원전압을 산출하는 단계는, 클럭 소스에서 클럭 싱크까지 트리 레벨 순으로 산출된 상기 시그널 확률에 따라 상기 전원전압을 산출한다.

[0022] 본 발명의 다른 실시 예에 따르면, 버퍼를 삽입하는 단계 이후에, 각 레벨에서 동일한 와이어 길이를 먼저 라우팅 한 다음, 와이어를 ΔL 만큼 길게 만드는 와이어 스네이크를 수행하여 클럭 스큐를 줄이는 단계를 더 포함한다.

[0023] 본 발명의 다른 실시 예에 따르면, 상기 와이어 스네이크에 대한 와이어 길이는,

$$D_{wire,i}(\Delta L) = d_{buf}(v^j, sp_{max}) - d_{buf}(v_i^j, sp_i)$$

$i \in B_j, i \neq \max$

constraints :

$$Cw_j \leq Cw_{j,cons}$$

$$skew_j \leq skew_{j,cons}$$

[0024]

로

산출되고,

여기서

$$D_{wire} = r_0 l_{wire} \left(\frac{1}{2} c_0 l_{wire} + C_{load} \right)$$

이며, 여기서 D_{wire} 는 와이어 지연, r_0 및 c_0 는 와이어의 단위 저항 및 와이어의 단위 캐패시턴스, l_{wire} 는 와이어 길이, C_{load} 는 와이어 끝의 부하 캐패시턴스이다.

[0025]

본 발명의 다른 실시 예에 따른 클럭 트리 합성 장치는 클럭 트리 설계 단계에서 상기 클럭 트리가 이용될 회로에 따라서 버퍼들이 턴온/턴오프되는 정도를 예측하는 예상치로서 게이팅 확률을 입력하는 입력부 및 상기 게이팅 확률에 기반하여 상기 각 버퍼의 시그널 확률을 산출하고, 상기 시그널 확률에 따라 버퍼에 공급할 전원전압을 산출하는 제어부를 포함하여 구성된다.

[0026]

다른 실시 예에 따른 상기 제어부는 PMOS 트랜지스터가 네거티브 바이어스 하에서 ON상태가 되는 것을 기준으로 상기 시그널 확률로서 신호가 로직 로우일 확률을 산출하는 시그널 확률 산출부와, 상기 시그널 확률에 따라 상기 버퍼에 공급할 전원전압을 산출하는 전원전압 산출부와, 상기 버퍼를 삽입할 위치를 결정하는 버퍼 위치 결정부 및 상기 클럭 버퍼의 각 트리 레벨에서 클럭 스큐를 줄이기 위한 와이어 스네이크를 수행하여 와이어 길이를 산출하는 와이어 길이 산출부로 구성된다.

[0027]

다른 실시 예에 따른 상기 전원전압 산출부는 상기 시그널 확률을 이용하여 N년 후의 임계 전압 변동(ΔV_{th})을 구하고, 스파이스 시뮬레이션을 수행하여 상기 임계 전압 변동에 대응하는 버퍼 지연의 변경(ΔD)을 구하며, 상기 버퍼 지연의 변경과 상기 시그널 확률 간의 관계를 산출하고, 상기 산출된 관계를 고려하여 상기 시그널 확률에 따라 상기 각 버퍼에 공급할 전원 전압을 산출한다.

[0028]

다른 실시 예에 따른 상기 전원전압 산출부는 공급할 전원전압이 증가함에 따라 버퍼 지연은 선형적으로 감소되는 관계를 기반으로 상기 트리의 각 레벨에서 가장 큰 시그널 확률을 갖는 버퍼의 전원전압을 결정하고, 상기 시그널 확률과 버퍼 지연 사이의 선형 함수 관계를 기반으로 상기 각 레벨에서 나머지 버퍼의 시그널 확률에 따른 전원전압을 구한다.

[0029]

다른 실시 예에 따른 상기 전원전압 산출부는 상기 시그널 확률에 따라 산출된 전원전압이 잠재적 버퍼 영역에 존재하지 않으면, 해당 버퍼의 시그널 확률에 따라 전원전압에 가장 가까운 잠재적인 버퍼 영역의 값을 할당한다.

[0030]

다른 실시 예에 따른 상기 전원전압 산출부는 클럭 소스에서 클럭 싱크까지 트리 레벨 순으로 산출된 상기 시그널 확률에 따라 상기 전원전압을 산출한다.

발명의 효과

[0031]

본 발명의 일 실시 예에 따르면, 비대칭적 노화현상 및 전압변이를 고려한 클럭 트리 합성을 구현함으로써, 클럭 게이팅으로 인한 비대칭적 노화현상으로 인해 발생하는 클럭 스큐를 방지할 수 있다.

도면의 간단한 설명

[0032]

도 1a 및 도 1b는 클럭 트리의 일 예를 도시한다.

도 2는 본 발명의 일 실시예에 따른 노화현상 및 전압변이를 고려한 클럭 트리 합성을 설명하기 위한 순서도이다.

도 3은 클럭 트리 합성의 상향식 단계 수행의 과정을 도시하는 도면이다.

도 4는 클럭 게이팅이 있는 경우 시그널 확률 전파의 예를 도시하는 도면이다.

도 5는 본 발명의 실시 예에 따른 시그널 확률과 임계 전압 변동의 관계를 도시하는 그래프이다.

도 6은 본 발명의 실시 예에 따라 잠재적인 버퍼 영역 및 시그널 확률에 따라 산출된 전원전압 할당의 예를 도시한다.

도 7은 본 발명의 실시 예에 따른 클럭 트리 합성의 하향식 단계 알고리즘을 도시한다.

도 8은 본 발명의 실시 예에 따른 클럭 트리 합성 장치의 개략적인 구성을 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 본 발명의 실시 예들을 설명하기에 앞서, 기존의 클럭 트리 합성 기법에서 발생하는 문제점들을 검토한 후, 이들 문제점을 해결하기 위해 본 발명의 실시 예들이 채택하고 있는 기술적 수단을 개괄적으로 소개하도록 한다.
- [0034] 다양한 요소가 회로의 성능에 영향을 미치는데 대표적으로 공정변이 및 노화현상을 들 수 있다.
- [0035] 종래 기술로서 단순히 가드밴드를 이용하여 NBTI(Negative bias temperature) 현상을 고려한 회로 설계 기술이나, 클럭 트리의 회로에서 전압이 가해지는 시간을 같게 하여 모든 클럭 트리 안의 게이트가 동일하게 노화현상을 발생하게 함으로써 클럭 스큐를 줄이는 방법이 있다.
- [0036] 다른 기술로는, 노화현상으로 인한 클럭 스큐를 줄이기 위하여 임계 경로를 찾은 후 가장 노화현상에 영향을 많이 미치는 게이트를 선택하여, 선택된 게이트를 높은 임계 전압을 가지는 게이트로 대체함으로써, 높은 임계 전압을 가지는 게이트가 낮은 임계 전압을 가지는 게이트보다 노화현상이 덜 일어나는 현상을 이용하는 기술도 있다.
- [0037] 또는, 회로에서 쓰이는 ICG(integrated clock gating)의 출력 부분의 게이트를 NAND 게이트 또는 NOR 게이트를 사용하여 노화현상 중 하나인 NBTI의 영향을 줄이거나, 전압 변이 현상을 고려하기 위해 적응적(adaptive) 클럭 버퍼를 사용하여 클럭 트리의 전압 변이를 줄이는 기술도 제시되었다.
- [0038] 이와 같이 클럭 트리 합성에서 노화현상을 고려하기 위해서 다양한 방법들이 제시되어 왔다.
- [0039] 한편, 전압변이는 최근 회로의 성능에 가장 큰 영향을 미치는 요소 중 하나이고, 클럭 트리의 버퍼 삽입이 필수적이기 때문에 이를 간과할 수 없다. 버퍼의 전압변이를 고려하기 위해 도 1(a)와 같이 단순히 클럭 트리 내 버퍼의 위치를 대칭적으로 구성하고, 클럭 게이팅을 고려하지 않으면 클럭 스큐는 0이다.
- [0040] 하지만, 실제로 도 1(b)와 같이 클럭 트리에는 파워 소모를 줄이기 위해 클럭 게이팅 기술을 사용해야 한다. 클럭 게이팅으로 인해 클럭 트리 내의 회로는 비대칭적으로 사용되기 때문에 노화현상이 고르게 나타나는 것이 아니라 비대칭적으로 발생하게 된다. 따라서 클럭 게이팅으로 인한 비대칭적 노화현상으로 인해 매우 큰 클럭 스큐를 일으키는 문제가 있다.
- [0041] 따라서, 본 발명의 실시 예는 클럭 게이팅으로 인한 비대칭적 노화현상 및 전압변이를 고려한 클럭 트리 합성을 제안한다.
- [0043] 이하에서는 도면을 참조하여 본 발명의 실시 예들을 구체적으로 설명하도록 한다. 다만, 하기의 설명 및 첨부된 도면에서 본 발명의 요지를 흐릴 수 있는 공지 기능 또는 구성에 대한 상세한 설명은 생략한다. 또한, 도면 전체에 걸쳐 동일한 구성 요소들은 가능한 동일한 도면 부호로 나타내고 있음에 유의하여야 한다.
- [0045] 본 발명에서는 노화현상 및 전압변이를 고려하여 각 버퍼의 시그널 확률에 따라 계산된 전원전압을 분배하는 클럭 트리 합성 기법을 개시한다.
- [0046] 클럭 트리 합성은 크게 두 가지 단계로 구성된다. 이는 클럭 싱크들을 클러스터링하는 상향식(Bottom-up) 단계와 NBTI 및 전압변동을 고려하여 클럭 트리 내의 버퍼를 삽입하고, 와이어 라우팅을 실행하는 하향식(Top-down) 단계이다.
- [0047] 이하 도 2를 참조하여 본 발명의 일 실시예에 따른 노화현상 및 전압변이를 고려한 클럭 트리 합성에 대해 설명하기로 한다.

- [0048] 도 2는 본 발명의 일실시예에 따른 노화현상 및 전압변이를 고려한 클럭 트리 합성을 설명하기 위한 순서도이다.
- [0049] 도 2를 참조하면, 본 발명의 일실시예에 따른 노화현상 및 전압변이를 고려한 클럭 트리 합성은 먼저, 클럭 싱크 정보를 입력한다(S210).
- [0051] 다음으로, 상향식(Bottom-up) 단계로서 버퍼 임베딩 영역 생성과 클럭 싱크 클러스터링을 수행한다(S220). 도 3은 TRR(Tilted Rectangular region) 확장/교차 연산과 잠재적 버퍼 영역을 예로 도시한다. TRR 확장 및 교차 작업은 와이어 길이 요구 사항을 유지하기 위해 수행된다. 잠재적인 임베딩 영역은 코어와 반경으로 구성된 45도 또는 135도 직사각형으로 구성된다. 코어는 도 3a의 점선 직사각형이며, 반경은 점선 직사각형 선까지의 맨 하단 거리이다. 도 3a는 싱크 1과 싱크 2에 대해 도 3a의 부모 삽입 영역(점선의 직사각형)을 생성하기 위해 확장된 반경을 갖는다. 그리고 나서, 도 3b에서 점선 직사각형으로서 잠재적인 버퍼 영역을 위해 부모 삽입 영역이 확장된다. 도 3b는 확장/교차 연산을 통해 생성된 부모/버퍼 삽입 영역으로 표현된다. 상향식 단계는 부모/버퍼 영역이 있는 클럭 트리 토폴로지를 생성한다.
- [0053] 이하의 S230 단계 내지 S260 단계는 하향식 단계에 포함된다.
- [0054] 다음으로, 클럭 트리를 구성할 각 버퍼의 게이팅 확률을 설정한다(S230). 여기서, 게이팅 확률은 클럭 트리 설계 단계에서 클럭 트리가 이용될 회로에 따라서 버퍼들이 턴온/턴오프되는 정도를 예측하여 설계자에 의해 입력되는 예상치라고 할 수 있다.
- [0055]
- [0056] 다음으로, 게이팅 확률에 기반하여 각 버퍼의 시그널 확률을 산출한다(S240). 여기서, 시그널 확률(SP)은 스트레스와 회복 단계의 상대적 시간을 나타내는 일반적인 방법에 이용된다. 일반적으로, 시그널 확률(SP)은 신호가 로직 HIGH 또는 LOW인 시간의 비율로 정의된다. 본 발명에서 PMOS 트랜지스터가 네거티브 바이어스 하에서 ON 상태가 되기 때문에 시그널 확률로서 신호가 로직 로우(Low)일 확률을 정의한다.
- [0057] 도 4는 클럭 게이팅이 있는 경우 시그널 확률 전파의 예를 도시하는 도면이다. 도 4를 참조하면, 클럭 소스 B1의 입력 시그널 확률은 0.5이다. 낸드 게이트를 클럭 게이팅 기술로 사용하면, 낸드 게이트의 출력 시그널 확률은 $(1-SP) \times (1-GP)$ 로 나타낸다. 클럭 게이트의 위치가 랜덤하다고 가정하면, 모든 버퍼 게이트 확률 GP는 도 4에 도시된 바와 같다. 클럭 버퍼 B3의 게이팅 확률 GP가 0.7일 때, 시그널 확률은 0.15가 된다. 클럭 버퍼 B6의 시그널 확률은 게이트 확률이 1.0이므로 클럭 버퍼 B3과 동일하다. 클럭 버퍼 B7의 GP는 0.5이고, 클럭 버퍼 B3의 우측 서브 트리인 B7의 시그널 확률은 0.375가 된다. 클럭 트리의 왼쪽 하위 트리(점선 원안)는 항상 gated이다. 이러한 방식으로 본 발명은 클럭트리에서 클럭소스에서 클럭 싱크까지 각 레벨의 버퍼의 시그널 확률을 계산한다. 클럭 소스는 클럭 트리의 최상부, 클럭 싱크는 클럭 트리의 바닥을 일컫는다.
- [0059] 다음으로, 산출된 시그널 확률에 따라 버퍼에 공급할 전원전압을 산출한다(S250). 이 단계(S250)는 시그널 확률을 이용하여 N년 후의 임계 전압 변동(ΔV_{th})을 구하는 단계(S252)와, 스파이스 시뮬레이션을 수행하여 상기 임계 전압 변동에 대응하는 버퍼 지연의 변경(ΔD)을 얻는 단계(S254)와, 버퍼 지연의 변경과 시그널 확률 간의 관계를 산출하는 단계(S256) 및 상기 관계를 고려하여 시그널 확률에 따라 각 버퍼에 할당할 전원 전압을 산출하는 단계(S258)를 포함하여 구성될 수 있다.
- [0060] 여기서, 임계 전압 변동(ΔV_{th})은 수학식 1을 이용하여 구할 수 있다.

수학식 1

$$\Delta V_{th_{NEII}}(t) = \left(\frac{\sqrt{K_v^2 \alpha T_{clk}}}{1 - \beta(t)^{1/2n}} \right)^{2n}$$

[0061]

[0062] 그리고, 시그널 확률과 임계 전압 변동의 관계는 도 5에 도시된 그래프와 같다. 임계 전압 변동(ΔV_{th})은 시그널 확률이 0에서 0.1일 때 크게 증가한다.

수학식 2

$$\Delta V_{th} = \begin{cases} a_0 * SP + a_1 & \text{for } SP > 0.1 \\ b_0 * SP + b_1 & \text{for } SP < 0.1 \end{cases}$$

[0063]

[0064] 여기서, a_0 및 b_0 는 계수이고, a_1 및 b_1 는 상수값이다.

[0065] 임계 전압 변동(ΔV_{th})과 버퍼 지연 간의 관계식은 다음과 같다.

수학식 3

$$Delay_{buffer} = c_0 * \Delta V_{th} + c_1$$

[0066]

[0067] 여기서 c_0 및 c_1 는 상수 값이다. 수학식 2와 수학식 3을 통해 시그널 확률과 버퍼 지연 사이의 선형 방정식을 수학식 4와 같이 얻을 수 있다.

수학식 4

$$Delay_{buffer} = \begin{cases} c_0 * (a_0 * SP + a_1) + c_1 & \text{for } SP > 0.1 \\ c_0 * (b_0 * SP + b_1) + c_1 & \text{for } SP < 0.1 \end{cases}$$

[0068]

[0069] 이처럼, 시그널 확률과 버퍼 지연간의 관계는 선형 함수이다.

[0070] 여기서, 각 트리 레벨의 버퍼에 전원전압을 할당하기 위해, 전원전압은 잠재적인 버퍼 영역에서 선택된다. 버퍼 위치가 잠재적 버퍼 영역에서 결정되면, 버퍼 삽입 비용은 0이다. 그러므로, 잠재적인 버퍼 영역에서 전원전압을 선택하는 것이 비용면에서 효율적이다. 따라서, 가능한 동일한 부모 노드를 갖는 버퍼의 동일한 전원전압을 먼저 선택한다. 동일한 전압을 얻기 위해 제안된 비용 함수를 사용한다.

수학식 5

$$\min f(v^e) = \sum_{i \in \text{voltage interval of } e} m(v^e, v_{i,\min}, v_{i,\max})$$

[0071]

[0072] 여기서, v^e 는 예상 전압이고, 전압간격 e 에서 $v_{i, \min}$ 은 최소 전압이고, $v_{i, \max}$ 는 최대전압이다.

수학식 6

$$m(v^e, v_{i, \min}, v_{i, \max}) = \begin{cases} |v^e - v_{i, \min}| & \text{for } v^e < v_{i, \min} \\ 0 & \text{for } v_{i, \min} < v^e < v_{i, \max} \\ |v^e - v_{i, \max}| & \text{for } v^e > v_{i, \max} \end{cases}$$

[0073]

[0074] 수학식 5를 통해 클럭 트리의 각 레벨에서 버퍼의 공급 전압을 얻을 수 있다. 공급 전압이 증가함에 따라 버퍼 지연은 선형적으로 감소된다. 본 발명은 비대칭 NBTI로 인한 클럭 스큐를 줄이기 위해 각 버퍼의 시그널 확률에 따라 산출된 전원전압을 할당한다. 각 버퍼의 시그널 확률에 따라 전원 전압을 구하기 위해, 시그널 확률과 버퍼 지연 사이의 선형 방정식인 수학식 4를 통해 선형 함수를 다음과 같이 공식화할 수 있다.

수학식 7

$$\begin{aligned} & \underset{i \in \max}{\text{maximize}} \quad (v_{i, j}^{sp}) \\ & S.T: \\ & d_{buf}(v_j^e, sp_{\max, j}) \leq d_{buf}(v_{i, j}^{sp}, sp_{i, j}), \quad C_{buf, j} < C_{buf, cons.}, \\ & d_{buf}(v_{i, j}^{sp}, sp_{i, j}) - d_{buf}(v_j^e, sp_{\max, j}) \leq skew_{cons., j}, \\ & d_{buf}^{aging}(v_j^e, sp_{\max, j}) - d_{buf}^{aging}(v_{i, j}^{sp}, sp_{i, j}) \leq skew_{cons., j} \end{aligned}$$

[0075]

[0076] $v_{i, j}^{sp}$ 는 j번째 트리 레벨의 i번째 버퍼에서 시그널 확률에 따른 전원 전압이고, v_j^e 는 j번째 트리 레벨에서 수학식 5에 의해 획득된 전원전압이다. D 는 버퍼 지연의 함수이고, D 는 10년 경과 후 버퍼 지연의 함수이다. $sp_{\min}$ 과 $sp_{\max}$ 는 각 트리 레벨에서 버퍼의 최소 및 최대 시그널 확률이다.

[0077] $skew_{cons., i}$ 는 i번째 트리 레벨에서 클럭 스큐 제약을 의미하고, $C_{buf, cons.}$ 는 버퍼의 캐패시턴스 제한으로 정의된다.

[0078] 이러한 클럭 소스에서 싱크까지 시그널 확률(SP)에 따라 전원전압을 찾는 수학식 7을 수행한다.

[0079] 먼저 수학식 5를 사용하여 각 트리 레벨에서 가장 큰 시그널 확률을 갖는 버퍼의 전원전압을 결정한 다음, 수학식 7을 통해 각 트리 레벨에서 나머지 버퍼의 시그널 확률에 따른 전원전압을 구한다.

[0080] 시그널 확률에 따라 산출된 전원전압이 잠재적 버퍼 영역에 존재하지 않으면, 버퍼의 시그널 확률에 따라 전원 전압에 가장 가까운 잠재적인 버퍼 영역의 값을 할당한다.

[0082] 도 6은 본 발명의 실시 예에 따라 잠재적인 버퍼 영역 및 시그널 확률에 따라 산출된 전원전압 할당의 예를 도시한다.

[0083] 예를 들어, 클럭 소스 B1의 입력 시그널 확률은 0.5이고, 버퍼 B2 및 B3의 게이팅 확률은 각각 1.0과 0.3이다. B2와 B3의 시그널 확률은 이전 단계에서 설명한 방법에 의해 얻을 수 있다. 그 다음, 낮은 시그널 확률의 버퍼는 시그널 확률에 따라 시그널 확률을 고려한 전원에 할당된다.

[0084] 서브트리 1의 버퍼 B2의 시그널 확률이 서브트리 2의 B3의 시그널 확률보다 크기 때문에, 수학적식 5를 이용하여 서브트리 1의 버퍼 B2의 공급 전압은 1.1v로 얻는다. 버퍼 삽입 영역에서 수학적식 7에 의해 얻은 시그널 확률을 고려한 전원전압이 1.05v이면, 버퍼 B3의 전원전압을 1.05v로 지정한다.

[0086] 다음으로, 삽입할 버퍼의 위치를 결정하고, 와이어 라우팅을 실행한다(S260). $SP < 0.1$ 및 $SP > 0.1$ 에 대한 두 경우 모두 선형 형태이다.

[0087] 도 6에서는 위치 B3'이 발견된 후, 버퍼 B3은 B3'에 삽입된다. 버퍼 임베딩 영역에 존재하지 않으면 B3"이 선택되고, 와이어(WL_{B3"})가 와이어 스네이크를 통해 라우팅된다.

[0088] 이와 같은 단계는 앞선 단계에서 버퍼의 전원전압이 확보되고, 버퍼가 삽입된 후 클럭 트리 생성을 완료하기 위해 각 트리 레벨에서 와이어를 라우팅하는 마지막 단계이다.

[0089] 와이어 지연은 다음과 같이 Elmore 지연 모델을 기반으로 계산된다.

수학적식 8

$$D_{wire} = r_0 l_{wire} \left(\frac{1}{2} c_0 l_{wire} + C_{load} \right)$$

[0090]

[0091] 여기서 D_{wire} 는 와이어 지연, r_0 및 c_0 는 와이어의 단위 저항 및 와이어의 단위 캐패시턴스, l_{wire} 는 와이어 길이, C_{load} 는 와이어 끝의 부하 캐패시턴스이다.

[0092] 본 발명에서 이용된 와이어 슬루 모델은 다음과 같다.

수학적식 9

$$Sl_e = \ln 9 \cdot D_{wire}$$

[0093]

[0094] 여기서 Sl_e 는 와이어 상의 슬루 저항이고, D_{wire} 는 수학적식 9의 와이어 지연이다.

[0095] 본 발명의 와이어 라우팅 단계는 기존의 대칭 클럭 트리 합성에서 사용되는 동일한 와이어 길이 대신, 시그널 확률을 기반으로 산출된 와이어 길이를 라우팅한다. 다음 수학적식 10과 같이 와이어 스네이크에 대한 와이어 길이를 얻을 수 있다.

수학적식 10

$$D_{wire,i}(\Delta L) = d_{buf}(v^j, sp_{max}) - d_{buf}(v_i^j, sp_i)$$

constraints :

$$Cw_j \leq Cw_{j,cons}$$

$$skew_j \leq skew_{j,cons}$$

[0096]

- [0097] $CW_{j,cons}$ 는 j번째 트리 레벨에의 커패시턴스 제한으로 정의된다. 도 6은 이러한 방법으로 스큐 제약 하에서 시그널 확률 기반의 비대칭 NBTI에 따른 와이어 라우팅을 보여준다. 본 발명은 수학적 10을 이용하여 클럭 스큐를 줄이기 위해 와이어 스테이크에 대한 와이어 길이(ΔL)를 얻을 수 있다. 구체적으로, 각 레벨에서 동일한 와이어 길이를 먼저 라우팅 한 다음, 와이어를 ΔL 만큼 길게 만드는 와이어 스테이크를 수행한다.
- [0098] 예를 들어, 도 6에서 버퍼 B2와 B3의 시그널 확률이 동일한 값이면 그들은 클럭 스큐를 줄이기 위해 같은 길이로 배선된다. 그렇지만, B2 및 B3의 신호 확률은 각각 0.5 및 0.15이다. 따라서, B3의 와이어 길이는 클럭 스큐를 줄이기 위해 수학적 10에 의해 얻어진 와이어 스테이크를 이용하여 길어진다. 본 발명은 이러한 와이어 스테이크를 이용한 라우팅으로 10년 경과 후 클럭 스큐를 최소화 할 수 있다.
- [0099] 한편, 본 발명은 클럭 버퍼의 입력 슬루(slew) 및 출력 커패시턴스를 기반으로 룩업 테이블(LUT)을 구축할 수 있고 또한, 시그널 확률 기반의 정확한 버퍼 지연을 구현하기 위해 노화현상을 고려한 룩업 테이블을 구축할 수 있다.
- [0101] 도 7은 클럭 트리 합성의 하향식 단계 알고리즘을 도시한다. 상향식 단계에서 생성된 클럭 트리 토폴로지와 클럭 스큐 제약이 입력으로 요구된다.
- [0102] 본 발명의 클럭 트리 합성은 트리 구조를 기반으로 한다. 버퍼 삽입과 와이어 라우팅은 클럭 소스부터 싱크까지 트리 레벨 순서로 수행된다.
- [0103] 표 1을 참조하여 종래기술 대비 본 발명의 실시 예에 의한 클럭 트리 합성의 효율성을 평가하기로 한다.

표 1

Benchmark	Cap. limit	# of sink	# of block ages	Skew (ps) at time 0			Skew (ps) after 5 years			Skew (ps) after 10 years		
				종래 2	종래 1	본 발명	종래 2	종래 1	본 발명	종래 2	종래 1	본 발명
ISPD'09-f11	118000	121	0	3.829	4.394	3.926	5.680	6.431	4.564	7.063	7.932	5.720
ISPD'09-f12	110000	117	0	3.227	3.907	4.062	5.013	5.909	5.087	6.048	7.288	6.138
ISPD'09-f21	1125000	117	0	4.342	4.093	3.621	7.001	6.358	4.426	8.985	8.161	5.548
ISPD'09-f22	80000	91	0	4.044	4.724	3.138	6.364	7.343	3.930	7.914	9.154	4.808
Avg. cmp	-	-	-	1.05	1.16	1.00	1.34	1.45	1.00	1.35	1.46	1.00

- [0104]
- [0105] 제안된 방법은 쿼드 코어 3.1GHz Linux 머신에서 C/C++ 프로그래밍 언어로 구현되었다. 45nm 공정 기술을 사용하여 제안된 방법을 검증하고 HSPICE와 함께 예측 기술 모드(PTM)를 사용했다. 또한, 막힘없는 4개의 ISPD' 09 벤치 마크 회로에 대해 본 발명의 클럭 트리 합성(CTS)을 테스트했다. 게이팅 확률(GP)은 임의로 20%에서 80%까지 할당된다. 클럭 소스의 입력 시그널 확률은 50%라고 가정했다. 슬루 한계는 100ps로 설정된다. 공칭 공급 전압을 1.1v로 설정하고, 공칭 공급 전압의 10%를 제한된 IR 드롭으로 설정했다. 클럭 스큐 제약은 7.5ps로 설정했다.
- [0106] 게이팅이 가능하도록 클럭 버퍼의 10~20%를 무작위로 설정하고 클럭 게이팅으로 NAND 게이트를 사용했다. 본 발명의 클럭 트리 합성을 ISPD' 09 벤치 마크에 기반한 종래 기술과 비교했다.
- [0107] 종래 기술 1은 임계 PMOS 트랜지스터에 대한 스트레스 확률을 조작하여 임계 PMOS를 고려한 클럭 트리 설계를 수행한 기술이다. 종래기술 2는 표준- V_{th} 클럭 버퍼를 높은 V_{th} 버퍼로 대체하여 클럭 스큐를 줄인다. 공정한 비교를 위해 NBTI를 고려한 기존 방법을 구현했다.
- [0108] 표 1에서, 5년 간의 NBTI 성능 저하 후, 본 발명은 종래 기술 1 및 종래기술 2에 비해 각각 34%, 45%의 클럭 스큐 감소를 달성했다.
- [0109] 10년 후의 본 발명에 의한 클럭 트리 합성의 클럭 스큐는 시간 0의 클럭 스큐와 유사하다. 본 발명은 모든 벤치 마크 회로에서 스큐 제약을 만족시켰다.
- [0111] 본 발명의 실시 예에 따른 클럭 트리 합성의 목적은 시간 0에서 스큐 제약을 만족시키면서 NBTI 열화 10년 후에 클럭 스큐를 줄이는 것이다. NBTI를 고려하기 위해, 먼저 하향식 단계에서 버퍼의 시그널 확률에 따른 전원전압

할당과 스네이크 라우팅을 개시한다.

[0113] 도 8은 본 발명의 실시 예에 따른 클럭 트리 합성 장치의 개략적인 구성을 도시하는 블록도이다.

[0114] 도 8을 참조하면, 본 발명의 실시 예에 따른 클럭 트리 합성 장치는 입력부(810), 저장부(820) 및 제어부(830)를 포함하여 구성된다.

[0115] 입력부(810)는 클럭 트리 설계 단계에서 상기 클럭 트리가 이용될 회로에 따라서 버퍼들이 턴온/턴오프되는 정도를 예측하는 예상치로서 게이팅 확률을 입력한다.

[0116] 제어부(830)는 게이팅 확률에 기반하여 상기 각 버퍼의 시그널 확률을 산출하고, 상기 시그널 확률에 따라 버퍼에 공급할 전원전압을 산출한다.

[0117] 이를 위해 구체적으로 제어부(830)는 시그널 확률 산출부(832), 전원전압 산출부(834), 버퍼 위치 결정부(836) 및 와이어 길이 산출부(838)를 포함하여 구성된다.

[0118] 시그널 확률 산출부(832)는 PMOS 트랜지스터가 네거티브 바이어스 하에서 ON상태가 되는 것을 기준으로 상기 시그널 확률로서 신호가 로직 로우일 확률을 산출한다.

[0119] 전원전압 산출부(834)는 시그널 확률을 이용하여 N년 후의 임계 전압 변동(ΔV_{th})을 구하고, 스파이스 시뮬레이션을 수행하여 임계 전압 변동에 대응하는 버퍼 지연의 변경(ΔD)을 구하며, 버퍼 지연의 변경과 시그널 확률 간의 관계를 산출하고, 산출된 관계를 고려하여 시그널 확률에 따라 각 버퍼에 공급할 전원 전압을 산출한다.

[0120] 전원전압 산출부(834)는 공급할 전원전압이 증가함에 따라 버퍼 지연은 선형적으로 감소되는 관계를 기반으로 트리의 각 레벨에서 가장 큰 시그널 확률을 갖는 버퍼의 전원전압을 결정하고, 시그널 확률과 버퍼 지연 사이의 선형 함수 관계를 기반으로 각 레벨에서 나머지 버퍼의 시그널 확률에 따른 전원전압을 구한다.

[0121] 여기서, 공급할 전원전압이 증가함에 따라 버퍼 지연은 선형적으로 감소되는 관계식은,

$$\min f(v^e) = \sum_{i \in \text{voltage interval of } e} m(v^e, v_{i,\min}, v_{i,\max})$$

$$m(v^e, v_{i,\min}, v_{i,\max}) = \begin{cases} |v^e - v_{i,\min}| & \text{for } v^e < v_{i,\min} \\ 0 & \text{for } v_{i,\min} < v^e < v_{i,\max} \\ |v^e - v_{i,\max}| & \text{for } v^e > v_{i,\max} \end{cases}$$

[0123] 여기서, v^e 는 예상 전압, 전압간격 e에서 $v_{i,\min}$ 은 최소 전압, $v_{i,\max}$ 는 최대전압이다.

[0124] 여기서, 시그널 확률과 버퍼 지연 사이의 선형 함수 관계는

$$\text{maximize } (v_{i,j}^{sp})$$

S.T :

$$\begin{aligned} d_{buf}(v_j^e, sp_{\max,j}) &\leq d_{buf}(v_{i,j}^{sp}, sp_{i,j}), \quad C_{buf,j} < C_{buf,cons.}, \\ d_{buf}(v_{i,j}^{sp}, sp_{i,j}) - d_{buf}(v_j^e, sp_{\max,j}) &\leq skew_{cons.,j}, \\ d_{buf}^{aging}(v_j^e, sp_{\max,j}) - d_{buf}^{aging}(v_{i,j}^{sp}, sp_{i,j}) &\leq skew_{cons.,j} \end{aligned}$$

[0125] 이고, 여기서, $v_{i,j}^{sp}$ 는 j번째 트리 레벨의 i번째 버퍼에서 시그널 확률에 따른 전원 전압이고, v_j^e 는 j번째 트리 레벨에서 상기 수

학식(5)에 의해 획득된 전원전압이며, d_{buf} 는 버퍼 지연의 함수이고, d_{buf}^{aging} 는 10년 경과 후 버퍼 지연의 함수이며, sp_{min} 과 sp_{max} 는 각 트리 레벨에서 버퍼의 최소 및 최대 시그널 확률이고, $skew_{cons.,i}$ 는 i 번째 트리 레벨에서 클럭 스큐 제약을 의미하고, $C_{buf,cons}$ 는 버퍼의 캐패시턴스 제한으로 정의된다.

[0127] 전원전압 산출부(834)는 시그널 확률에 따라 산출된 전원전압이 잠재적 버퍼 영역에 존재하지 않으면, 해당 버퍼의 시그널 확률에 따라 전원전압에 가장 가까운 잠재적인 버퍼 영역의 값을 할당한다.

[0128] 전원전압 산출부(834)는 클럭 소스에서 클럭 싱크까지 트리 레벨 순으로 산출된 상기 시그널 확률에 따라 상기 전원전압을 산출한다.

[0130] 와이어 길이 산출부(838)는 클럭 버퍼의 각 트리 레벨에서 클럭 스큐를 줄이기 위한 와이어 스네이크를 수행하여 와이어 길이를 산출한다.

[0131] 와이어 지연은 다음과 같이 Elmore 지연 모델을 기반으로 계산된다.

[0132] [수학식 8]

$$D_{wire} = r_0 l_{wire} \left(\frac{1}{2} c_0 l_{wire} + C_{load} \right)$$

[0133]

[0134] 여기서 D_{wire} 는 와이어 지연, r_0 및 c_0 는 와이어의 단위 저항 및 와이어의 단위 캐패시턴스, l_{wire} 는 와이어 길이, C_{load} 는 와이어 끝의 부하 캐패시턴스이다.

[0135] 본 발명에서 이용된 와이어 슬루 모델은 다음과 같다.

[0136] [수학식 9]

$$Sl_e = \ln 9 \cdot D_{wire}$$

[0137]

[0138] 여기서 Sl_e 는 와이어 상의 슬루 저항이고, D_{wire} 는 수학식 9의 와이어 지연이다.

[0139] 본 발명의 와이어 라우팅 단계는 기존의 대칭 클럭 트리 합성에서 사용되는 동일한 와이어 길이 대신, 시그널 확률을 기반으로 산출된 와이어 길이를 라우팅한다.

[0140] 구체적으로, 와이어 스네이크에 대한 와이어 길이는

[0141] [수학식 10]

$$D_{wire,i}(\Delta L) = d_{buf}(v^j, sp_{max}) - d_{buf}(v_i^j, sp_i)$$

$i \in B_j, i \neq max$

constraints :

$$Cw_j \leq Cw_{j,cons}$$

$$skew_j \leq skew_{j,cons}$$

[0142] 로 산출되고, 여기서

$$D_{wire} = r_0 l_{wire} \left(\frac{1}{2} c_0 l_{wire} + C_{load} \right)$$

이며, 여기서 D_{wire} 는 와이어 지연, r_0 및 c_0 는 와이어의 단위

저항 및 와이어의 단위 캐패시턴스, l_{wire} 는 와이어 길이, C_{load} 는 와이어 끝의 부하 캐패시턴스이다.

[0144] 한편, 본 발명의 실시 예들은 컴퓨터로 읽을 수 있는 기록 매체에 컴퓨터가 읽을 수 있는 코드로 구현하는 것이 가능하다. 컴퓨터가 읽을 수 있는 기록 매체는 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록 장치를 포함한다.

[0145] 컴퓨터가 읽을 수 있는 기록 매체의 예로는 ROM, RAM, CD-ROM, 자기 테이프, 플로피디스크, 광 데이터 저장장치 등의 형태로 구현하는 것을 포함한다. 또한, 컴퓨터가 읽을 수 있는 기록 매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어, 분산 방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수 있다. 그리고 본 발명을 구현하기 위한 기능적인(functional) 프로그램, 코드 및 코드 세그먼트들은 본 발명이 속하는 기술 분야의 프로그래머들에 의하여 용이하게 추론될 수 있다.

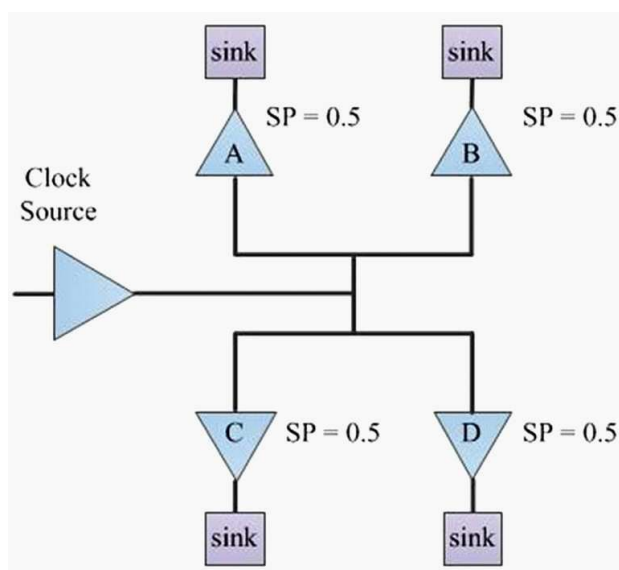
[0146] 이상에서 본 발명에 대하여 그 다양한 실시 예들을 중심으로 살펴보았다. 본 발명에 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

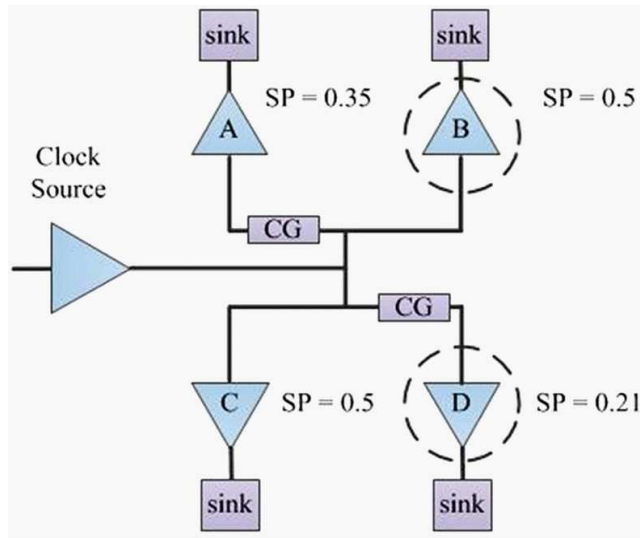
- [0147]
- 810: 입력부
 - 820: 저장부
 - 830: 제어부
 - 832: 시그널 확률 산출부
 - 834: 전원전압 산출부
 - 836: 버퍼 위치 결정부
 - 838: 와이어 길이 산출부

도면

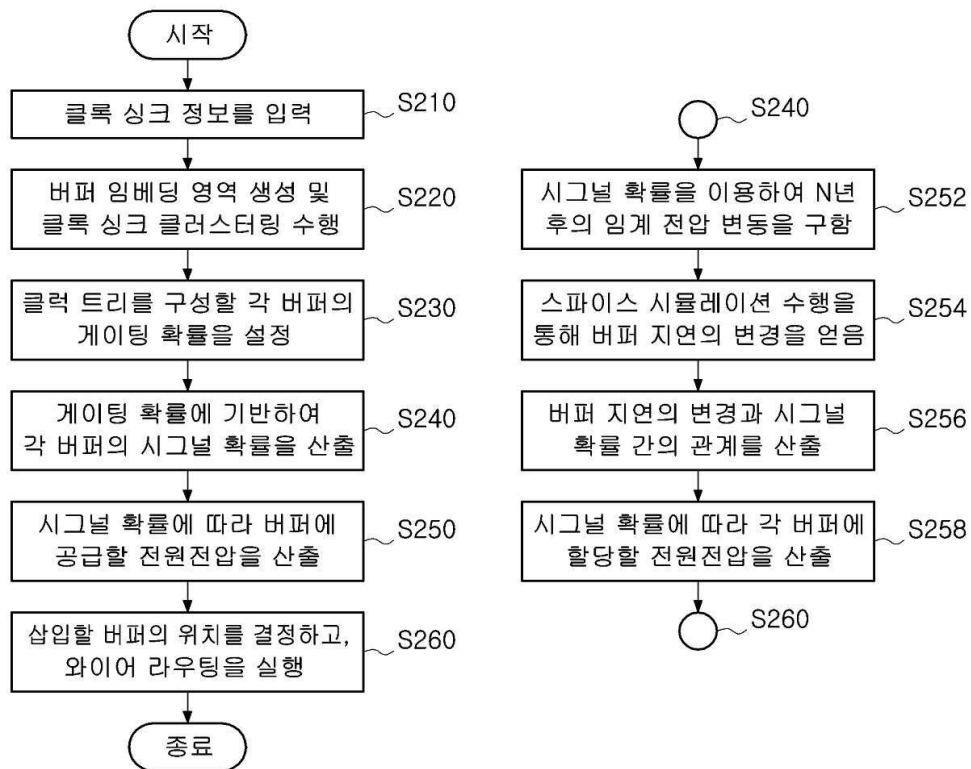
도면1a



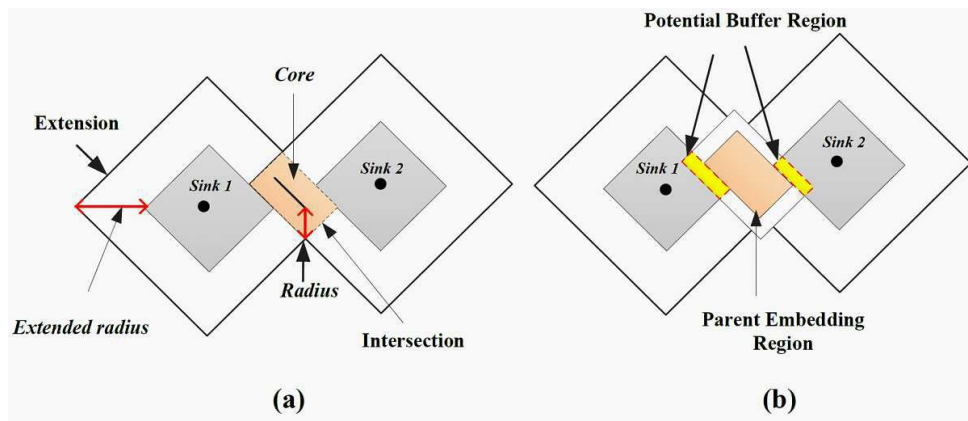
도면1b



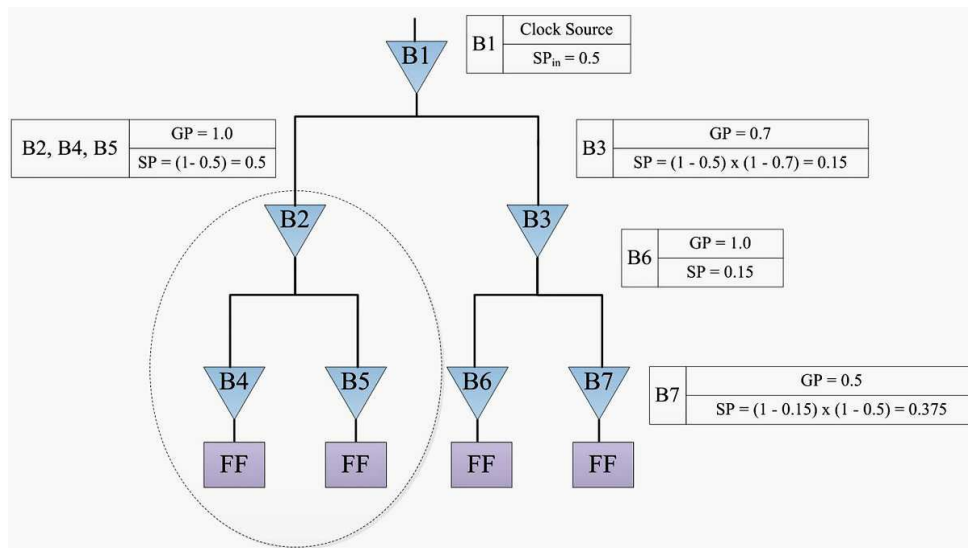
도면2



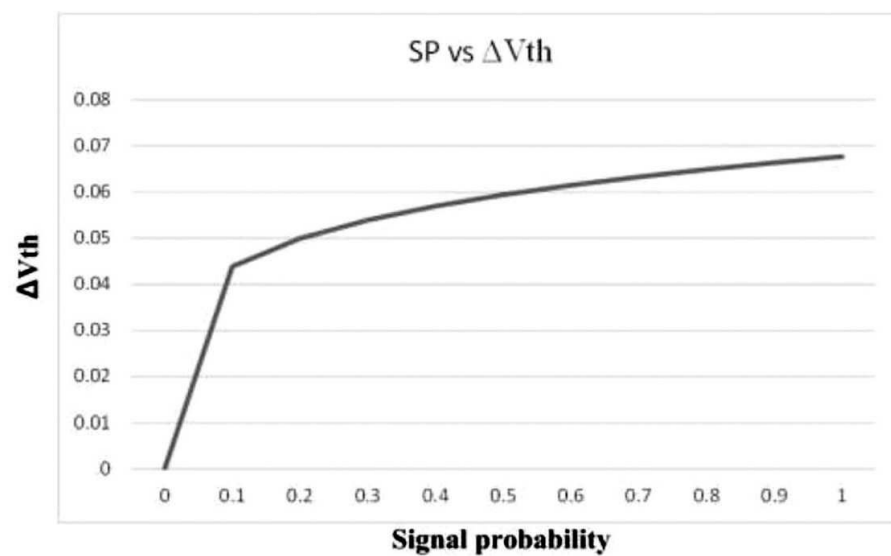
도면3



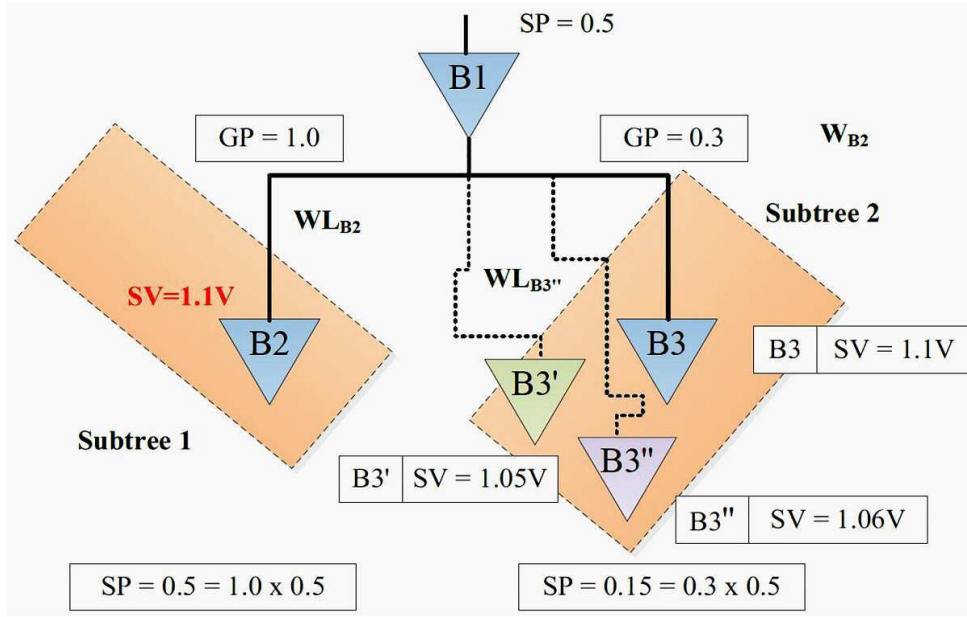
도면4



도면5



도면6



도면7

Algorithm 1 NBTI-aware Top-Down Phase algorithm

Input: Clock sink S, Clock tree level L, Clock skew constraints C

Output: Robust clock tree satisfying skew constraints C after 10 years

```

1: j=0
2: while (j < L)
3:   for i=0 to K do
4:     compute signal probability i-th buffer
5:     calculate  $\Delta V_{th}$  in i-th buffer by equation (1)
6:   end for
7:   for i=0 to K do
8:     if  $SP_{buffer,i} = \text{The largest SP in level } j$ 
9:       obtain  $SV_{buffer,i}$  by equation (6)
10:    else
11:      obtain  $SV_{buffer,i}$  by equation (8)
12:    Find the location of buffer for  $SV_{buffer}$  through IR drop map
13:    Insert buffer with  $SV_{buffer}$  under skew constraints C
14:  end for
15:  for i=0 to K do
16:    if  $SP_{buffer,i} \neq \text{The largest SP in level } j$ 
17:      lengthen  $WL_{buffer,i}$  as  $\Delta L$  by equation (10) under skew constraints C
18:    end for
19:  j++
20: end while

```

도면8

