



(12) 发明专利

(10) 授权公告号 CN 101533783 B

(45) 授权公告日 2011.05.04

(21) 申请号 200810034572.6

(22) 申请日 2008.03.13

(73) 专利权人 上海凯虹电子有限公司

地址 201612 上海市松江区新桥镇陈春公路
999 号

(72) 发明人 谭小春 李志宁 蒋晓兰

(74) 专利代理机构 上海翼胜专利商标事务所
(普通合伙) 31218

代理人 翟羽

(51) Int. Cl.

H01L 21/50 (2006.01)

H01L 21/56 (2006.01)

H01L 21/78 (2006.01)

H01L 21/60 (2006.01)

(56) 对比文件

US 6083811 A, 2000.07.04,
EP 1026735 A2, 2000.08.09,
CN 1905143 A, 2007.01.31,
CN 1801498 A, 2006.07.12,

审查员 刘博

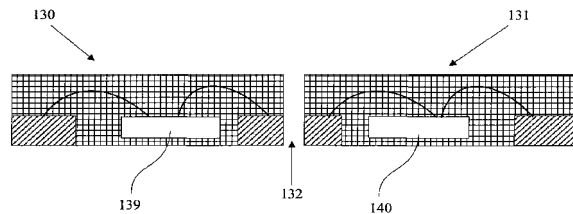
权利要求书 2 页 说明书 6 页 附图 9 页

(54) 发明名称

薄型四侧扁平无引脚封装方法

(57) 摘要

一种薄型四侧扁平无引脚封装方法,包括如下步骤:采用第一涂覆物质(塑封料)涂覆晶圆的第一表面(背面),形成连续的覆盖层;将晶圆切割成若干个分立的半导体晶粒,每一个分立的半导体晶粒的表面都具有从上述连续覆盖层中切割下来的覆盖层;将若干个分立的半导体晶粒的覆盖层贴装在框架上粘性膜的表面上;焊线(引线键合)之后,采用第二涂覆物质(塑封料)涂覆粘性表面上方暴露的表面,第二涂覆物质将贴装在粘性表面的半导体晶粒包拢在一起,形成一个整块的塑封体;切割上述整块的塑封体,得到若干个独立的封装完毕的半导体晶粒(具有完整功能的器件)。本发明的优点在于,全部的封装工艺对被封装的芯片的结构并无特殊的要求,因此是一种具有普适性的封装方法,并且采用该方法封装得到的器件厚度非常薄,有利于提高芯片的散热效率。



1. 一种薄型四侧扁平无引脚封装方法,其特征在于,包括如下步骤:
采用第一涂覆物质涂覆晶圆的的第一表面,即背面,形成连续的覆盖层;
将晶圆切割成若干个分立的半导体晶粒,每一个分立的半导体晶粒的表面都具有从上述连续覆盖层中切割下来的覆盖层;
将若干个分立的半导体晶粒的覆盖层贴装在一个粘性膜的表面上;
采用第二涂覆物质涂覆粘性膜表面上方暴露的表面,第二涂覆物质将贴装在粘性表面的半导体晶粒包拢在一起,形成一个整块的封装体;
切割上述整块的封装体,得到若干个独立的封装完毕的半导体晶粒。
2. 根据权利要求 1 所述的薄型四侧扁平无引脚封装方法,其特征在于,所述粘性膜表面贴有引线框架,将分立的半导体晶粒的覆盖层贴装在贴装表面上的步骤包括分别将每一个半导体晶粒单独置于引线框架的框体内。
3. 根据权利要求 1 所述的薄型四侧扁平无引脚封装方法,其特征在于,进一步包括如下步骤:
采用引线键合的方法将分立半导体晶粒表面的导电触点同对应的引线框架上的导电引脚相连接,所述引线框架与分立半导体晶粒覆盖层均贴装在粘性膜上。
4. 根据权利要求 1 所述的薄型四侧无引脚封装方法,其特征在于,所述涂覆粘性膜表面上方暴露的表面的步骤包括涂覆暴露的分立半导体晶粒表面与引线框架,所述引线框架的一部分与分立半导体晶粒表面覆盖层的一部分被贴装在粘性膜表面上,上述被贴装的部分是不暴露出来的。
5. 根据权利要求 1 所述的薄型四侧扁平无引脚封装方法,其特征在于,所述第一涂覆物质与第二涂覆物质的材料是相同的。
6. 根据权利要求 1 所述的薄型四侧扁平无引脚封装方法,其特征在于,所述第二涂覆物质与第一涂覆物质的一部分相融合。
7. 根据权利要求 1 所述的薄型四侧扁平无引脚封装方法,其特征在于,所述第二涂覆物质与第一涂覆物质的一部分粘附在一起。
8. 一种薄型四侧扁平无引脚封装方法,其特征在于,包括如下步骤:
将晶圆的的第一表面,即正面,与第一粘性表面,即蓝膜,贴装在一起;
在晶圆的第二表面,即背面,生长金属层,使晶圆的表面成为金属;
通过晶圆的划片槽切割晶圆,从而形成分立的半导体晶粒,每一个分立的半导体晶粒均具有由上一步骤所形成的金属表面;
将分立半导体晶粒的金属表面同第二粘性表面,即框架上粘性膜表面,贴装在一起,从而使金属表面不再暴露在外;
引线键合;
涂覆第二粘性表面上方暴露的表面,形成一个整块的塑封体;
切割上述整块的塑封体,得到若干个独立的封装完毕的半导体晶粒。
9. 根据权利要求 8 所述的薄型四侧扁平无引脚封装方法,其特征在于,进一步包括如下步骤:
在所述晶圆的第二表面上进行切割,从而形成凹槽;
所述之生长金属层的步骤可以在第二表面上形成一个可辨认的沟道,从而提供了一个

用来进行对准操作的表面。

10. 根据权利要求 8 所述的薄型四侧扁平无引脚封装方法,其特征在於,进一步包括如下步骤:

在所述通过晶圆的划片槽切割晶圆的步骤之前,沿着晶圆第二表面的切割槽切割晶圆,从而形成一个高度小于晶圆厚度的第一切割槽。

11. 根据权利要求 10 所述的方形扁平无引脚封装方法,其特征在於,所述对晶圆的第二次切割产生的第二切割槽的宽度小于第一切割槽的宽度,从而在切割的位置形成台阶。

12. 根据权利要求 8 所述的薄型四侧扁平无引脚封装方法,其特征在於,所述第一粘性表面由第一晶圆贴膜提供,第一晶圆贴膜具有一定的厚度,所述对晶圆进行切割时,也对第一晶圆贴膜的一部分进行切割。

13. 根据权利要求 8 所述的薄型四侧扁平无引脚封装方法,其特征在於,所述引线框架与第二粘贴表面贴装在一起,所述将分立半导体晶粒的金属表面粘贴在第二粘性表面包括分别将每一个半导体晶粒单独置于引线框架的框体内。

14. 根据权利要求 13 所述的薄型四侧扁平无引脚封装方法,其特征在於,所述涂覆第二粘性表面上方暴露的表面的步骤,包括涂覆暴露的分立半导体晶粒表面与引线框架,所述引线框架的一部分与分立半导体晶粒的金属表面的一部分被贴装在粘性表面上,上述被贴装的部分是不暴露出来的。

15. 根据权利要求 8 所述的薄型四侧扁平无引脚封装方法,其特征在於,进一步包括在通过划片槽划片的步骤之后,再次贴装分立的半导体晶粒,所述再次贴装包括如下步骤:

在通过划片槽划片之后,将金属表面同第三粘性表面贴装在一起;

从晶圆的第二表面移除第一粘性表面。

16. 根据权利要求 15 所述的薄型四侧扁平无引脚封装方法,其特征在於,所述贴装分立半导体晶粒的金属表面的步骤中,包括从第三粘性表面上选取分立的半导体晶粒。

17. 根据权利要求 8 所述的薄型四侧扁平无引脚封装方法,其特征在於,所述引线键合步骤详细如下:

采用引线键合的方法将分立半导体晶粒表面的导电触点同对应的引线框架上的导电引脚相连接,所述引线框架与分立半导体晶粒金属表面均贴装在粘性表面上,这一粘性表面由引线框架自身的预贴膜提供,所述引线框架贴装在粘性表面上操作是在引线框架生产时完成的。

薄型四侧扁平无引脚封装方法

【技术领域】

[0001] 本发明涉及半导体封装领域,尤其涉及薄型四侧扁平无引脚封装方法。

【背景技术】

[0002] 在日常生活中,消费者对诸如个人电话、个人数字助理以及音乐播放器的可靠性、体积以及价格都要求越来越高。例如,消费者需要他们的个人电话超薄并且可靠。这需要封装后的器件体积更小、缺陷更少。另外,这些对外型小巧的需求还可能可能需要具有从封装结构中向外散热的电子元件。

[0003] 四侧扁平无引脚封装是现有技术中一种常见的封装方法。该方法是采用一个引线框架和一个晶粒的标准封装方法。这种方法不仅对器件的厚度有限制,而且在实施过程中可能会引入另外的工艺步骤,这些额外的工艺步骤可能成为潜在的工艺缺陷的来源,也可能增加额外的封装制造费用。目前的四侧扁平无引脚封装的散热也存在限制,因此需要在印刷电路板(PCB)或衬底上具有额外的空间,以用于散热。

【发明内容】

[0004] 本发明所要解决的技术问题是,提供一种具有普适性的、可以提高芯片散热效率的薄型四侧扁平无引脚封装方法。

[0005] 为了解决上述技术问题,本发明提供了一种薄型四侧扁平无引脚封装方法,包括如下步骤:采用第一涂覆物质涂覆晶圆的第一表面(背面),形成连续的覆盖层;将晶圆切割成若干个分立的半导体晶粒,每一个分立的半导体晶粒的表面都具有从上述连续覆盖层中切割下来的覆盖层;将若干个分立的半导体晶粒的覆盖层贴装在一个粘性表面(框架贴膜的表面)上;采用第二涂覆物质涂覆粘性表面上方暴露的表面,第二涂覆物质将贴装在粘性表面的半导体晶粒和框架包拢在一起,形成一个整块的塑封体;切割上述整块的塑封体,得到若干个独立的封装完毕的半导体晶粒。

[0006] 所述粘性表面贴有引线框架,将分立的半导体晶粒的覆盖层贴装在贴装表面上的步骤包括分别将每一个半导体晶粒单独置于引线框架的框体内。

[0007] 所述技术方案进一步包括如下步骤:采用引线键合的方法将分立半导体晶粒表面的导电触点同对应的引线框架上的导电引脚相连接,所述引线框架与分立半导体晶粒覆盖层均贴装在粘性表面上。

[0008] 所述涂覆粘性表面上方暴露的表面的步骤包括涂覆暴露的分立半导体晶粒表面与引线框架,所述引线框架的一部分与分立半导体晶粒表面覆盖层的一部分被贴装在粘性表面上,上述被贴装的部分是不暴露出来的。

[0009] 所述第一涂覆物质与第二涂覆物质的材料可以是相同的。

[0010] 所述第二涂覆物质与第一涂覆物质的一部分相融合。

[0011] 所述第二涂覆物质与第一涂覆物质的一部分粘附在一起。

[0012] 本发明还提供了另一种薄型四侧扁平无引脚封装方法,包括如下步骤:将晶圆的

第一表面（正面）与第一粘性表面（蓝膜表面）贴装在一起；在晶圆的第二表面（背面）生长金属层，使晶圆的表面成为金属；通过晶圆的划片槽切割晶圆，从而形成分立的半导体晶粒，每一个分立的半导体晶粒均具有由上一步骤所形成的金属表面；将分立半导体晶粒的金属表面同第二粘性表面（框架贴膜的表面）贴装在一起，从而使金属表面不再暴露在外面；涂覆第二粘性表面上方暴露的表面，形成一个整块的塑封体；切割上述整块的塑封体，得到若干个独立的封装完毕的半导体晶粒。

[0013] 所述技术方案进一步包括如下步骤：在所述晶圆的第二表面上进行切割，从而形成凹槽；所述之生长金属层的步骤可以在第二表面上形成一个可辨认的沟道，从而提供了一个可以用来进行对准操作的标志。

[0014] 所述技术方案进一步包括如下步骤：在所述通过晶圆的划片槽切割晶圆的步骤之前，沿着晶圆第二表面的切割槽切割晶圆，从而形成一个高度小于晶圆厚度的第一切割槽。

[0015] 所述对晶圆的第二次切割产生的第二切割槽的宽度小于第一切割槽的宽度，从而在切割的位置形成台阶。

[0016] 所述第一粘性表面由第一晶圆贴膜（蓝膜）提供，第一晶圆贴膜具有一定的厚度，所述对晶圆进行切割时，也对第一晶圆贴膜厚度方向的一部分进行切割。

[0017] 所述引线框架与第二粘贴表面贴装在一起，所述将分立半导体晶粒的金属表面粘贴在第二粘性表面包括分别将每一个半导体晶粒单独置于引线框架的框体内。

[0018] 所述涂覆第二粘性表面上方暴露的表面的步骤，包括涂覆暴露的分立半导体晶粒表面与引线框架，所述引线框架的一部分与分立半导体晶粒的金属表面的一部分被贴装在粘性表面上，上述被贴装的部分是不暴露出来的。

[0019] 所述技术方案进一步包括在通过划片槽划片的步骤之后，再次贴装分立的半导体晶粒，所述再次贴装包括如下步骤：在通过划片槽划片之后，将金属表面同第三粘性表面（新的蓝膜）贴装在一起；从晶圆的表面移除第一粘性表面。

[0020] 所述贴装分立半导体晶粒的金属表面的步骤中，包括从第三粘性表面上选取分立的半导体晶粒。

[0021] 所述技术方案进一步包括如下步骤：采用引线键合的方法将分立半导体晶粒表面的导电触点同对应的引线框架上的导电引脚相连接，所述引线框架与分立半导体晶粒金属表面均贴装在粘性表面上，这一粘性表面由引线框架自身的预贴膜提供，所述引线框架贴装在粘性表面上操作是在引线框架生产时完成的。

[0022] 本发明的优点在于，全部的封装工艺对被封装的芯片的结构并无特殊的要求，因此是一种具有普适性的封装方法，并且采用该方法封装得到的器件厚度非常薄，有利于提高芯片的散热效率。

【附图说明】

[0023] 附图 1 所示为本发明所述之薄型四侧扁平无引脚封装方法具体实施方式的工艺流程图；

[0024] 附图 2 至附图 8 为本发明所述之薄型四侧扁平无引脚封装方法具体实施方式的实施步骤示意图；

[0025] 附图 9 所示为本发明所述之薄型四侧扁平无引脚封装方法的另一个具体实施方

式的工艺流程图；

[0026] 附图 10 至附图 19 为本发明所述之薄型四侧扁平无引脚封装方法的另一个具体实施方式的实施步骤示意图。

【具体实施方式】

[0027] 下面结合附图对本发明所述之薄型四侧扁平无引脚封装方法的具体实施方式做详细的叙述。

[0028] 附图 1 所示为本发明所述之薄型四侧扁平无引脚封装方法具体实施方式的工艺流程图。步骤 S10, 采用第一涂覆物质涂覆晶圆的的第一表面, 形成连续的覆盖层; 步骤 S11, 将晶圆切割成分立的半导体晶粒, 每一个分立的半导体晶粒的表面都具有从上述连续覆盖层中切割下来的覆盖层; 步骤 S12, 将分立的半导体晶粒的覆盖层贴装在一个粘性表面上; 步骤 S13, 采用引线键合的方法将分立半导体晶粒表面的导电触点同对应的引线框架上的导电引脚相连接; 步骤 S14, 采用第二涂覆物质涂覆粘性表面上方暴露的表面, 第二涂覆物质将贴装在粘性表面的半导体晶粒和框架包拢在一起, 形成一个整块的塑封体; 步骤 S15, 去除塑封体表面的贴膜; 步骤 S16, 切割上述整块的塑封体, 得到独立的封装完毕的半导体晶粒。

[0029] 附图 2 至附图 8 为本发明所述之薄型四侧扁平无引脚封装方法具体实施方式的实施步骤示意图。

[0030] 附图 2, 参考步骤 S10, 采用第一涂覆物质涂覆晶圆 101 的第一表面, 形成连续的覆盖层。此步骤在所述晶圆 101 的第一表面附着一涂覆物质, 以形成具有一定厚度的第一连续覆盖层 108。

[0031] 附图 3, 参考步骤 S11, 将晶圆 101 切割成分立的半导体晶粒 139、140 和 113, 每一个分立的半导体晶粒的表面都具有从上述连续覆盖层 108 中切割下来的覆盖层 141、142 和 114。所述切割在晶圆的第二表面进行, 将该晶圆 101 切割为分立的半导体晶粒 139、140 和 113。此步骤中, 所述晶圆 101 可以被粘附于第一贴膜 115 上, 所述切割操作也将第一贴膜 115 的一部分切断。

[0032] 附图 4, 参考步骤 S13, 将分立的半导体晶粒 139、140 的覆盖层 141、142 贴装在一个粘性表面 143 上。所述粘性表面 143 贴有引线框架 116, 此步骤进一步包括分别将每一个半导体晶粒单独置于引线框架 116 的框体 145 与 144 之内。此步骤中, 所述分立的半导体晶粒 139、140 的覆盖层 141、142 可以被粘附于第二贴膜 121 上。

[0033] 附图 5, 参考步骤 S14, 采用引线键合的方法将分立半导体晶粒 139、140 表面的导电触点同对应的引线框架 116 上的导电引脚相连接。采用引线 122 将分立的半导体晶粒 139 表面的第一导电触点同引线框架 116 上的第一导电引脚相连接。为了清楚起见, 引线 123、124 和 125 也在图中示出。采用引线 123 将分立的半导体晶粒 139 表面的第二导电触点同引线框架 116 上的第二导电引脚相连接。与引线 122 和 123 相类似地, 采用引线 124 和 125 将另一个分立的半导体晶粒 140 表面的导电触点同引线框架 116 上的其他导电引脚相连接。

[0034] 附图 6, 参考步骤 S15, 采用第二涂覆物质涂覆粘性表面 143 上方暴露的表面, 第二涂覆物质将贴装在粘性表面的半导体晶粒 139、140 包拢在一起, 形成一个整块的塑封体。

上述第二涂覆物质形成了第二涂覆层 133。该整块的塑封体可包括第二涂覆层 133、第一涂覆层 108、分立的半导体晶粒 139、140，以及引线框架 116 的部分。所述步骤 S15 可以将分立的半导体晶粒 139、140，以及引线框架 116 的裸露部分覆盖起来。引线框架 116 的一部分和分立半导体晶粒 139、140 的部分覆盖层 141 和 142 被贴装于第二贴膜 121 的粘性表面 143 上，因此，这些区域免于裸露。第一涂覆物质和第二涂覆物质的材料可以是相同的。第二涂覆物质可以与分立半导体晶粒 139 和 140 表面的第一涂覆物质的裸露部分相融合。第二涂覆物质可以附着于分立半导体晶粒 139 和 140 表面的第一涂覆物质的裸露部分上。例如，位置 126 和 127 是环绕分立半导体晶粒 139 的区域，该区域内可能会发生两种涂覆物质的融合和粘附。为了清楚起见，环绕另一半导体晶粒的区域 128 和 129 在附图 6 也被表示出来。

[0035] 附图 7，参考步骤 S15，去除塑封体表面的贴膜。所述贴膜包括第二贴膜 121。此步骤可省略。

[0036] 附图 8，参考步骤 S16，切割上述整块的塑封体，得到独立的封装完毕的半导体晶粒 130 和 131。在器件 139 和 140 之间，通过位置 132 切割该塑封体，形成独立的封装完毕的半导体晶粒 130 和 131。

[0037] 下面结合附图对本发明所述之薄型四侧扁平无引脚封装方法的另一个具体实施方式做详细说明。

[0038] 如附图 9 所示为本发明所述之薄型四侧扁平无引脚封装方法的另一个具体实施方式的工艺流程图。步骤 S20，将晶圆的第二表面与第一粘性表面贴装在一起；步骤 S21，在所述晶圆的第二表面上进行切割，从而形成凹槽；步骤 S22，在晶圆的第二表面生长金属层，使晶圆的表面成为金属；步骤 S23，沿着晶圆第二表面的切割槽切割晶圆；步骤 S24，通过晶圆的划片槽切割晶圆，从而形成分立的半导体晶粒，每一个分立的半导体晶粒均具有由上一步骤所形成的金属表面；步骤 S25，将金属表面同第三粘性表面贴装在一起，从晶圆的第二表面移除第一粘性表面；步骤 S26，将分立半导体晶粒的金属表面同第二粘性表面贴装在一起，从而使金属表面不再暴露在外面；步骤 S27，采用引线键合的方法将分立半导体晶粒表面的导电触点同对应的引线框架上的导电引脚相连接；步骤 S28，涂覆第二粘性表面上方暴露的表面，形成一个整块的塑封体；步骤 S29，切割上述整块的塑封体，得到若干个独立的封装完毕的半导体晶粒。

[0039] 附图 10 至附图 19 为本发明所述之薄型四侧扁平无引脚封装方法的另一个具体实施方式的实施步骤示意图。

[0040] 附图 10，参考步骤 S20，将晶圆 201 的第二表面与第一粘性表面贴装在一起。所述第一粘性表面可以为第一贴膜 212 的粘性表面。所述第一贴膜 212 为专用于晶圆的贴膜（蓝膜）。

[0041] 附图 11，参考步骤 S21，在晶圆 201 的第二表面上进行切割，从而形成凹槽 216 和 217。所述切割可以是沿着晶圆表面的若干条划片槽进行。凹槽 216 和 217 提供了位于晶圆背面的、在生长金属层后可用于后续工艺进行对准操作的信息。

[0042] 附图 12，参考步骤 S22，在晶圆 201 的第二表面生长金属层，使晶圆 201 的表面成为金属。所述之生长金属层的步骤可以在晶圆 201 的第二表面形成一个可辨认的沟道 221 和 222，从而提供了一个可以用来进行对准操作的表面。

[0043] 附图 13, 参考步骤 S23, 沿着晶圆 201 第二表面的切割槽切割晶圆。沿晶圆 201 背面上的若干条划片槽进行切割, 形成具有一高度和一宽度的切口切割槽 223 和 224。切口 223 和 224 的位置可以在凹槽 216 和 217 的中心, 覆盖了凹槽 216 和 217。

[0044] 切口 223 和 224 可以比凹槽 216 和 217 更宽并且更深。切口 223 和 224 可以具有比凹槽 216 和 217 大的高度, 但该高度要小于整个晶圆的总厚度, 包括金属层, 以免该切割穿透整个晶圆。所述步骤可以包括根据可辨认的沟道 221 和 222 对晶圆进行对准操作, 以用于切割晶圆 201。

[0045] 附图 14, 参考步骤 S24, 通过晶圆的划片槽切割晶圆, 从而形成分立的半导体晶粒 225、226 和 227, 每一个分立的半导体晶粒均具有由上一步骤所形成的金属表面。此图仅示出了半导体晶粒 226 的完整结构, 半导体晶粒 225 和 227 与 226 的结构类似, 在此图中并未完全表示出来。225 和 227 通过晶圆 201 的背面的若干条划片槽进行切割。该切割形成分立的半导体晶粒 225、226 和 227。每个半导体晶粒相应的具有晶圆 201 的金属表面的一部分 218、219 以及 220。此步骤形成了切口 228 和 229。切口 228 可以具有比切口 223 小的宽度。切口 223 和切口 228 在宽度上的差距在晶粒 225、226 和 227 的侧面形成了台阶状的结构。该台阶可有助于保护半导体晶粒 225、226 和 227 在后续的步骤执行完毕后仍在封装体内, 不会滑脱。此步骤可能会部分切穿晶圆的第二贴膜 212, 但不会切穿整个第二贴膜 212。

[0046] 附图 15, 参考步骤 S25, 将金属表面同第三粘性表面贴装在一起, 从晶圆的第二表面移除第二粘性表面。在第三贴膜 213 上贴装金属层 218、219 以及 220, 并且从晶圆 201 的另一面移除第二贴膜 212。该步骤将晶圆第二贴膜 212 上的分立半导体晶粒 225、226 以及 227 转移到贴膜 213 上, 准备进行晶粒的贴装步骤 S26。

[0047] 附图 16, 参考步骤 S26, 将分立半导体晶粒 225、226 和 227 的金属表面同第二粘性表面贴装在一起, 从而使金属表面不再暴露在外面。所述第二粘性表面由第二贴膜 214 提供。分立半导体晶粒 225、226 和 227 从第三贴膜 213 表面选取, 置于第二贴膜 214 的粘性表面上。贴膜 214 的粘性表面可以贴装有引线框架 230。分别将半导体晶粒 225、226 和 227 单独置于引线框架 230 的框体内。

[0048] 附图 17, 参考步骤 S27, 采用引线键合的方法将分立半导体晶粒 225、226 和 227 表面的导电触点同对应的引线框架 230 上的导电引脚相连接。所述引线框架 230 与分立半导体晶粒 225、226 和 227 的金属表面均贴装在粘性表面上。此步骤与上一个具体实施方式中的步骤 S13 相似, 图 5 中的标号 139、140、122、123、124 以及 125 分别对应于图 17 中的标号 226、227、233、234、235 以及 236。

[0049] 附图 18, 参考步骤 S28, 涂覆第二粘性表面上方暴露的表面, 形成一个整块的塑封体。使用涂覆物质涂覆第二贴膜 214 的粘性表面上的裸露区域, 形成一个整块的塑封体 247。该整块的塑封体 247 可以包括涂覆物质、金属层的一部分、分立半导体晶粒 226 和 227、以及引线框架 230 的一部分。此步骤还可以进一步包括涂覆暴露的分立半导体晶粒 226 和 227 的表面与引线框架 230, 所述引线框架 230 的一部分与分立半导体晶粒 226 和 227 的金属表面的一部分被贴装在粘性表面上, 上述被贴装的部分是不暴露出来的。分立半导体晶粒 226 和 227 侧面的台阶有助于帮助该分立半导体晶粒一直保持在该涂覆物质内, 不会滑脱。

[0050] 附图 19, 参考步骤 S29, 切割上述整块的塑封体 247, 得到若干个独立的封装完毕

的半导体晶粒 238 和 239。通过半导体晶粒 226 和 227 之间的位置 240 切割引线框架 230，以形成若干个独立的封装完毕的半导体晶粒 238 和 239。

[0051] 以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

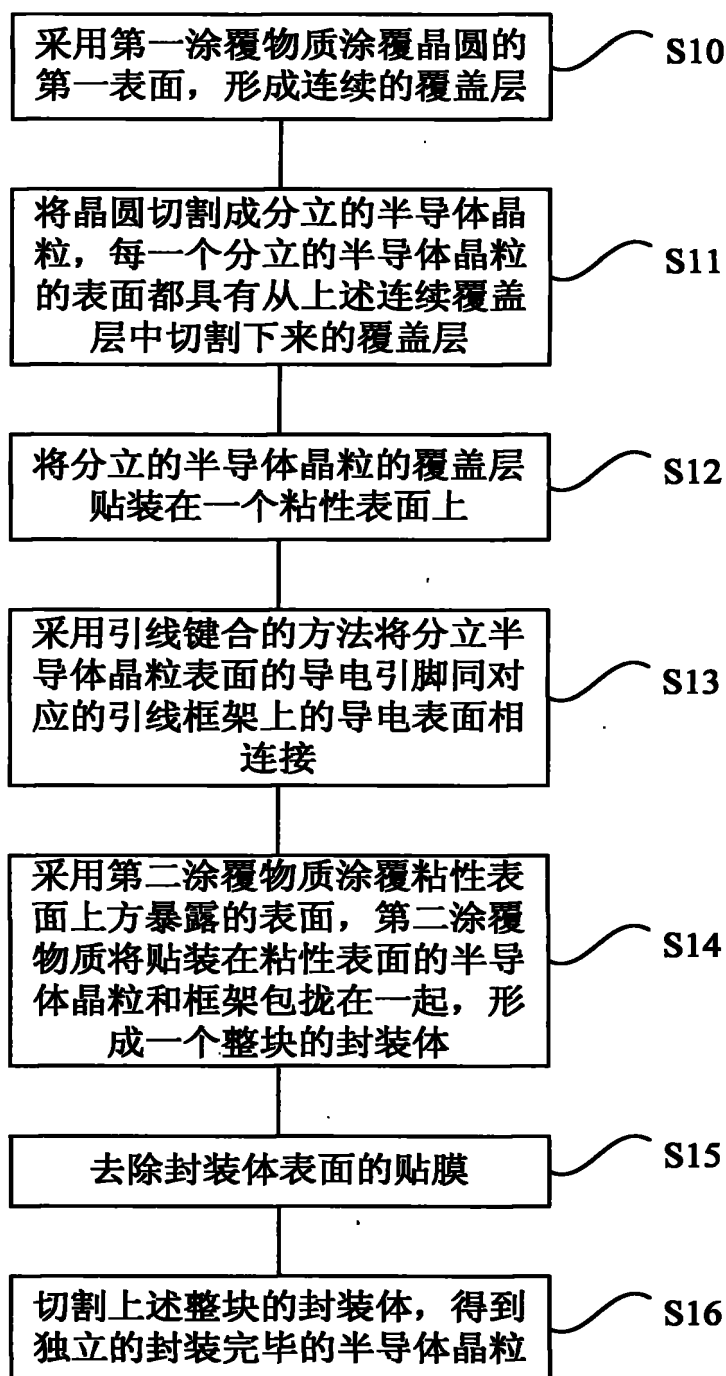


图 1



图 2

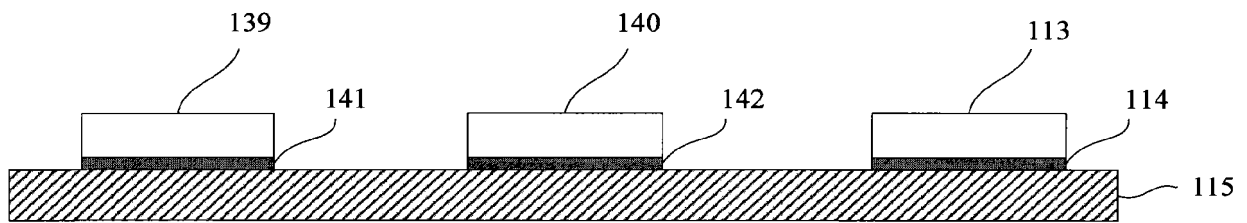


图 3

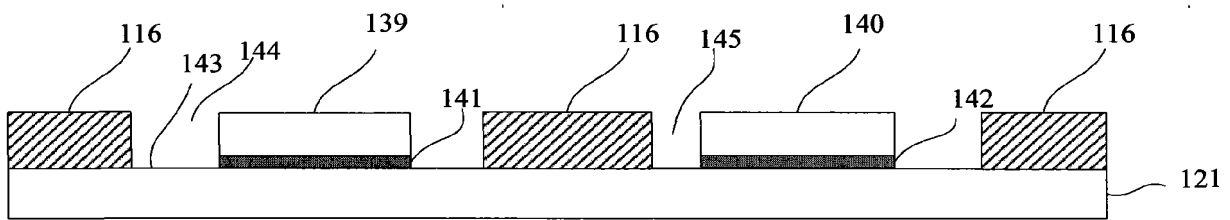


图 4

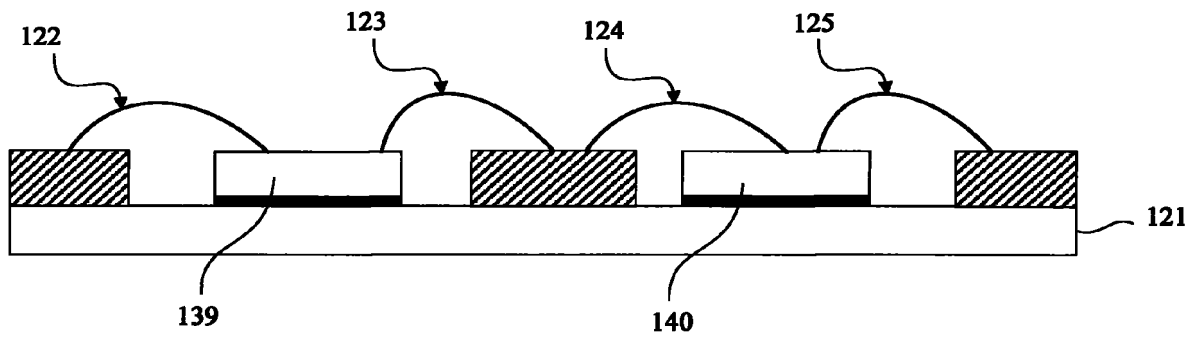


图 5

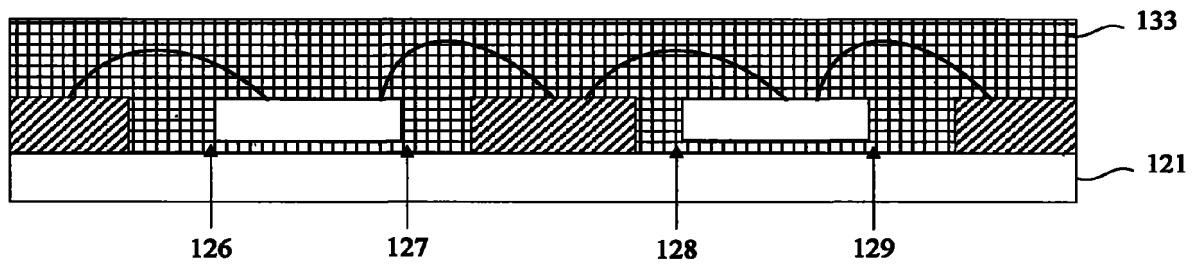


图 6

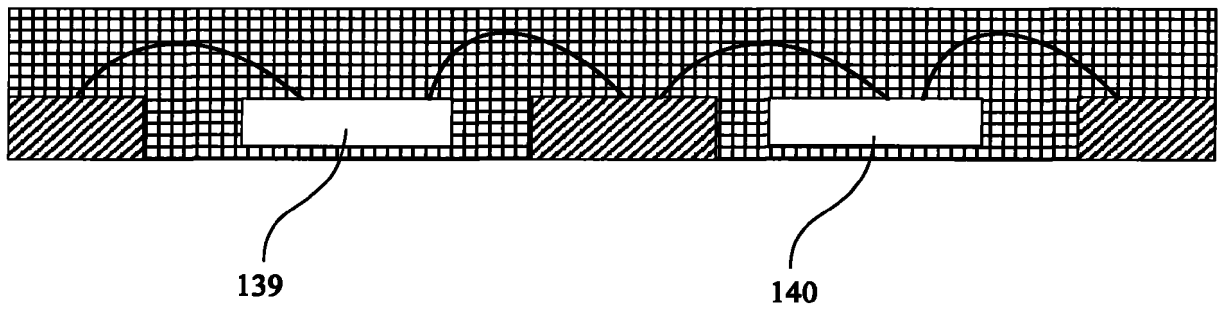


图 7

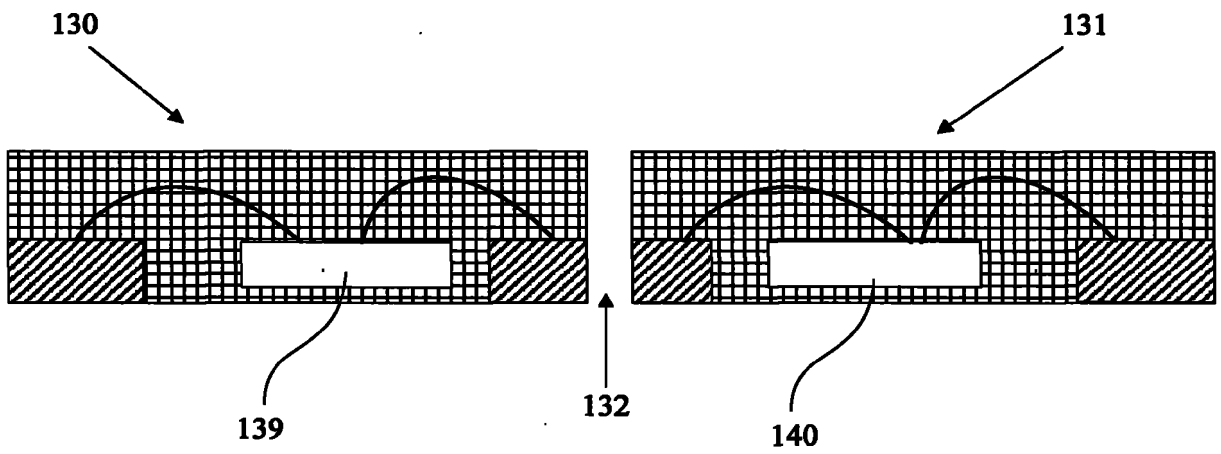


图 8

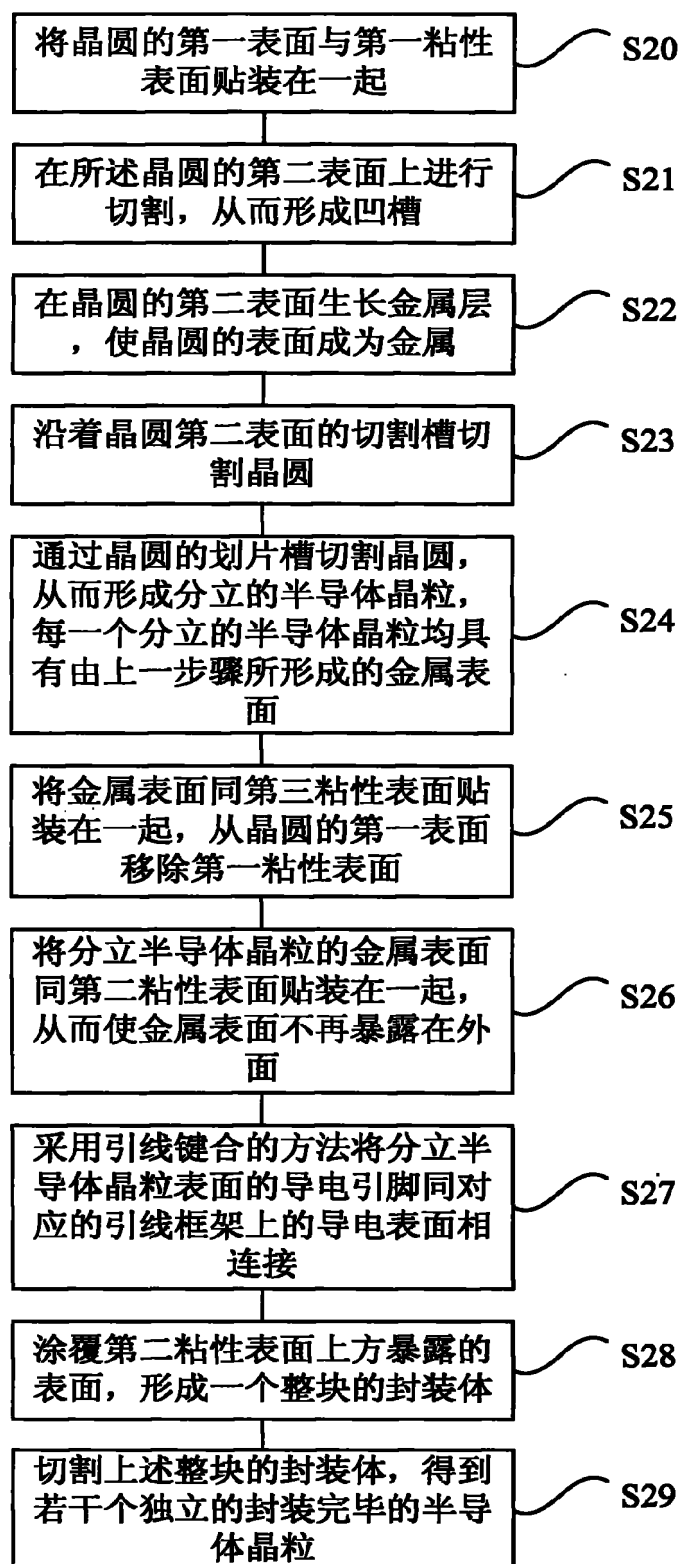


图 9



图 10



图 11

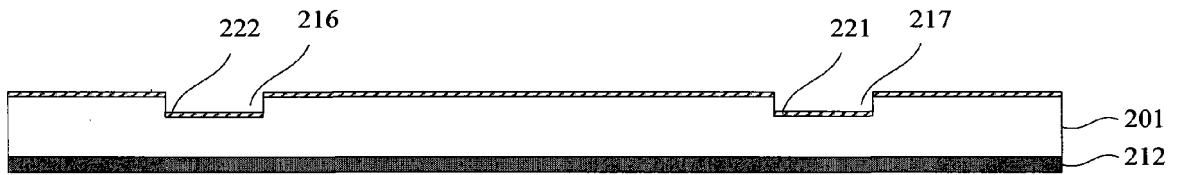


图 12

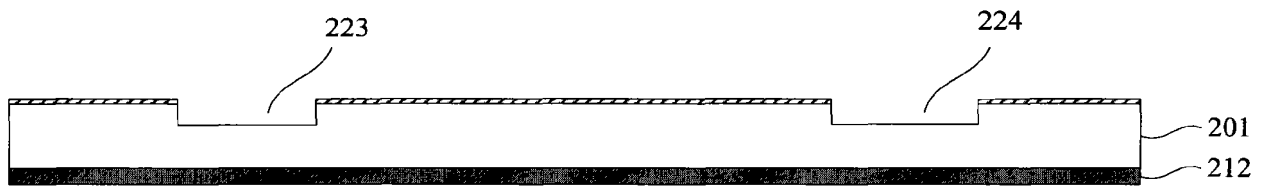


图 13

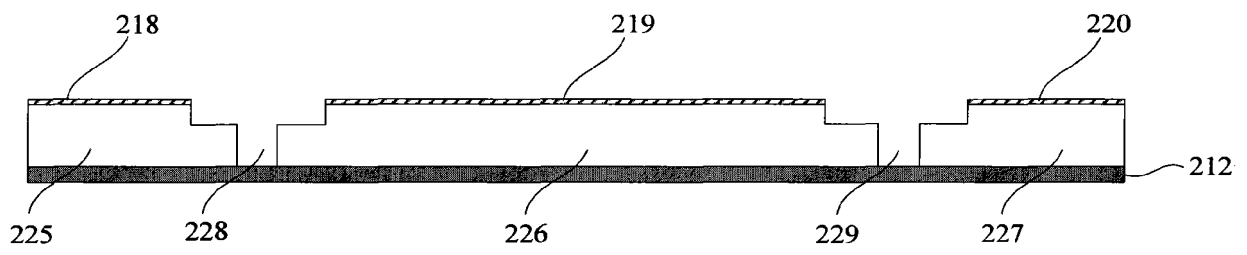


图 14

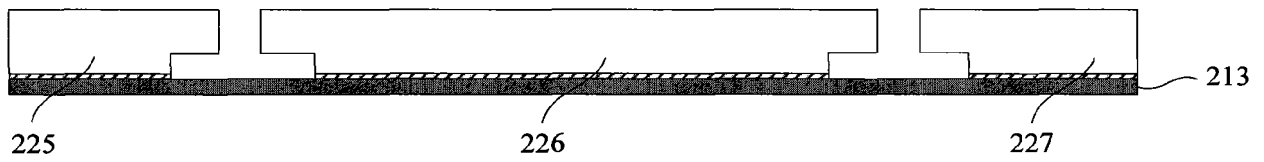


图 15

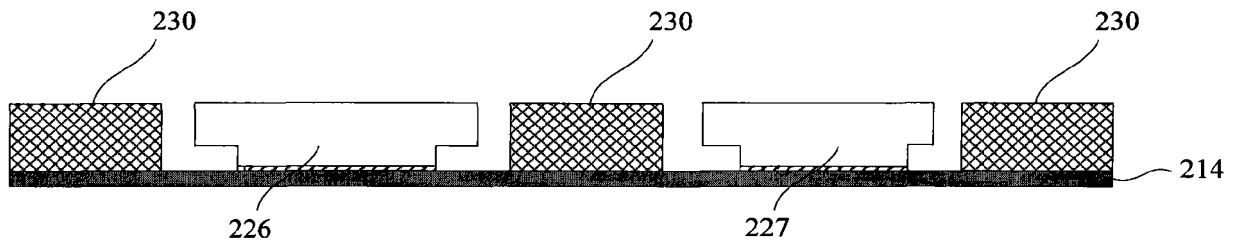


图 16

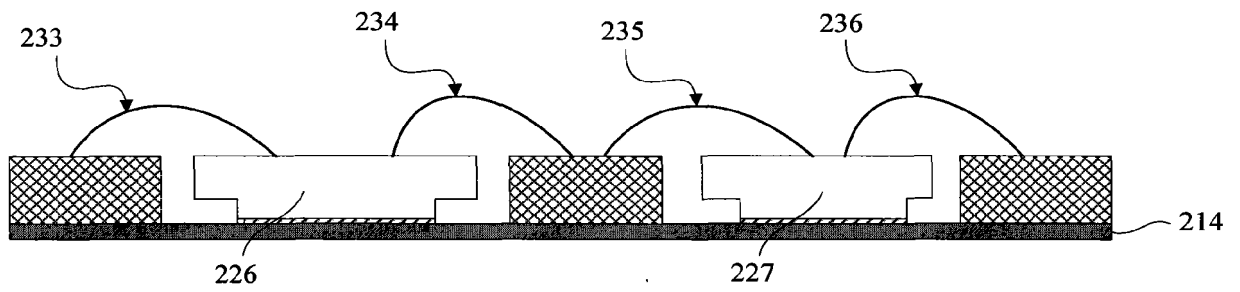


图 17

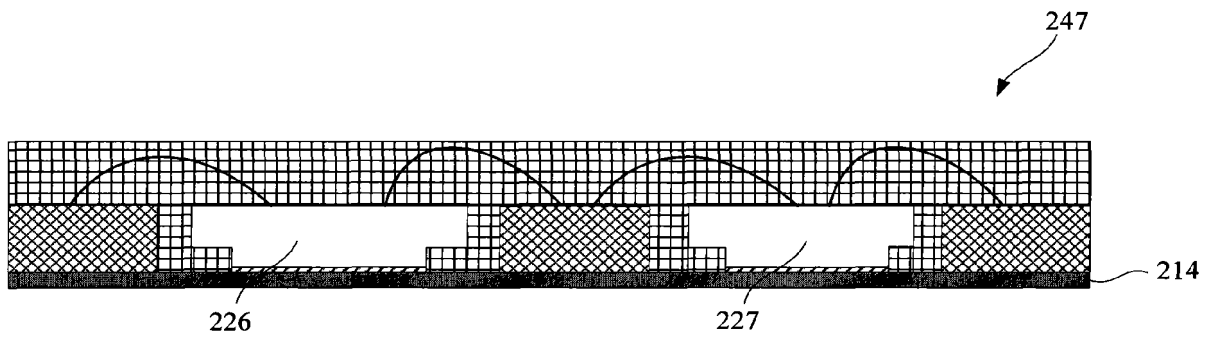


图 18

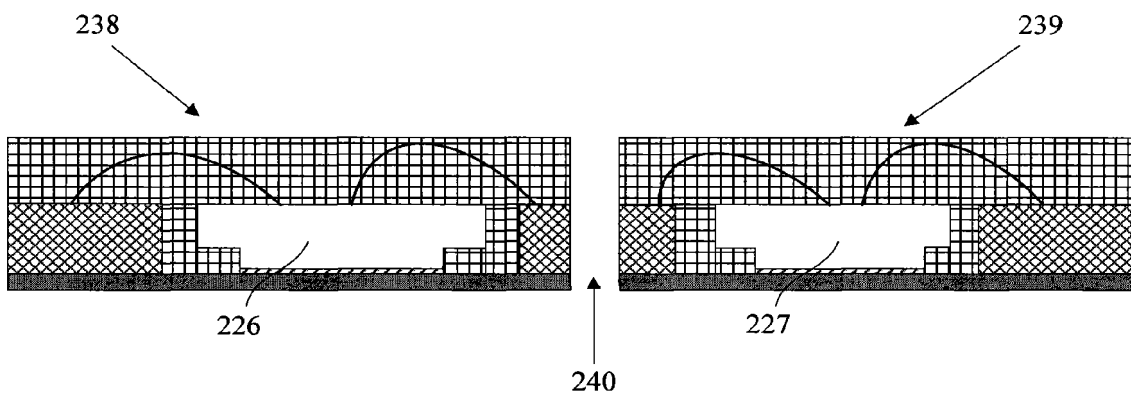


图 19