

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5708930号

(P5708930)

(45) 発行日 平成27年4月30日(2015. 4. 30)

(24) 登録日 平成27年3月13日(2015. 3. 13)

(51) Int.Cl.

F I

H O 1 L 27/105 (2006.01)

H O 1 L 27/10 4 4 8

H O 1 L 45/00 (2006.01)

H O 1 L 45/00 Z

H O 1 L 49/00 (2006.01)

H O 1 L 49/00 Z

請求項の数 15 (全 26 頁)

(21) 出願番号 特願2011-146113 (P2011-146113)  
 (22) 出願日 平成23年6月30日(2011. 6. 30)  
 (65) 公開番号 特開2013-16529 (P2013-16529A)  
 (43) 公開日 平成25年1月24日(2013. 1. 24)  
 審査請求日 平成26年6月20日(2014. 6. 20)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100098785  
 弁理士 藤島 洋一郎  
 (74) 代理人 100109656  
 弁理士 三反崎 泰司  
 (74) 代理人 100130915  
 弁理士 長谷部 政男  
 (74) 代理人 100155376  
 弁理士 田名網 孝昭  
 (72) 発明者 紫牟田 雅之  
 東京都港区港南1丁目7番1号 ソニー株  
 式会社内

最終頁に続く

(54) 【発明の名称】 記憶素子およびその製造方法ならびに記憶装置

(57) 【特許請求の範囲】

【請求項 1】

第1電極、記憶層および第2電極をこの順に有し、  
 前記記憶層は、  
 前記第1電極側に設けられた抵抗変化層と、  
 少なくとも1種の金属元素を含むと共に、前記第2電極側に設けられたイオン源層とを  
 備え、  
 前記イオン源層は、  
 テルル(Te)、硫黄(S)およびセレン(Se)のうちの少なくとも1種のカルコゲ  
 ン元素を含むと共に、前記抵抗変化層側に設けられた第1イオン源層と、  
 前記第1イオン源層とはカルコゲン元素の含有量が異なると共に、前記第1イオン源層  
 よりもチタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)  
 、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、モリブデン(Mo)およびタン  
 グステン(W)からなる遷移金属の群のうち少なくとも1種類の金属元素の含有量が多く  
 、前記第2電極側に設けられた第2イオン源層とからなる  
 記憶素子。

【請求項 2】

前記第1イオン源層は、テルル(Te)、硫黄(S)およびセレン(Se)のうちの少  
 なくとも1種のカルコゲン元素および前記記憶層内の移動が容易な移動容易元素を含み、  
 前記第1電極から第2電極に向かって前記移動容易元素の濃度勾配を有する第1層と、前

記記憶層内を移動しにくい移動困難元素を含む第2層とが少なくとも1層ずつ積層されている、請求項1に記載の記憶素子。

【請求項3】

前記金属元素は、銅（Cu）、アルミニウム（Al）、ゲルマニウム（Ge）および亜鉛（Zn）のうちの少なくとも1種類の金属元素である、請求項1に記載の記憶素子。

【請求項4】

前記金属元素は、チタン（Ti）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、モリブデン（Mo）およびタングステン（W）からなる遷移金属の群のうちの少なくとも1種類である、請求項1に記載の記憶素子。

10

【請求項5】

前記第2イオン源層に含まれるカルコゲン元素の含有量は前記第1イオン源層よりも少ない、請求項1乃至4のいずれか1つに記載の記憶素子。

【請求項6】

前記第2イオン源層に含まれる銅（Cu）、アルミニウム（Al）、ゲルマニウム（Ge）および亜鉛（Zn）のうち少なくとも1種類の金属元素の含有量は、前記第1イオン源層よりも多い、請求項1乃至5のいずれか1つに記載の記憶素子。

【請求項7】

前記第2イオン源層に含まれる酸素（O）の含有量が、前記第1イオン源層よりも多い、請求項1乃至6のいずれか1つに記載の記憶素子。

20

【請求項8】

前記第1イオン源層は層内に前記第1電極側から第2電極側に向かってカルコゲン元素の濃度勾配を有する、請求項1乃至7のいずれか1つに記載の記憶素子。

【請求項9】

前記第1電極および前記第2電極への電圧印加によって前記抵抗変化層内に前記金属元素を含む低抵抗部が形成されることにより抵抗値が変化する、請求項1乃至8のいずれか1つに記載の記憶素子。

【請求項10】

第1電極、記憶層および第2電極をこの順に有する複数の記憶素子と、前記複数の記憶素子に対して選択的に電圧または電流のパルスを印加するパルス印加手段とを有し、

30

前記記憶層は、

前記第1電極側に設けられた抵抗変化層と、

少なくとも1種の金属元素を含むと共に、前記第2電極側に設けられたイオン源層とを備え、

前記イオン源層は、

テルル（Te）、硫黄（S）およびセレン（Se）のうちの少なくとも1種のカルコゲン元素を含むと共に、前記抵抗変化層側に設けられた第1イオン源層と、

前記第1イオン源層とはカルコゲン元素の含有量が異なると共に、前記第1イオン源層よりもチタン（Ti）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、モリブデン（Mo）およびタングステン（W）からなる遷移金属の群のうち少なくとも1種類の金属元素の含有量が多く、  
前記第2電極側に設けられた第2イオン源層とからなる  
記憶装置。

40

【請求項11】

基板上に第1電極を形成する工程と、前記第1電極上に抵抗変化層を形成する工程と、

前記抵抗変化層上に金属元素および、テルル（Te）、硫黄（S）およびセレン（Se）のうちの少なくとも1種のカルコゲン元素を含む第1イオン源層を形成する工程と、

前記第1イオン源層上に前記第1イオン源層とはカルコゲン元素の含有量が異なると共に、前記第1イオン源層よりもチタン（Ti）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、モリブ

50

デン（Mo）およびタングステン（W）からなる遷移金属の群のうち少なくとも１種類の金属元素の含有量が多い第２イオン源層を形成する工程と、

前記第２イオン源層上に第２電極を形成する工程と  
を含む記憶素子の製造方法。

【請求項１２】

前記第１イオン源層は、テルル（Te）、硫黄（S）およびセレン（Se）のうちの少なくとも１種のカルコゲン元素を含むカルコゲン層、電解質中での移動が容易な移動容易元素を少なくとも１種含む移動層および電解質中で移動しにくい移動困難元素を少なくとも１種含む固定層をそれぞれ１層以上積層し、少なくとも一部をカルコゲン層、移動層およびカルコゲン層の順に積層する、請求項１１に記載の記憶素子の製造方法。

10

【請求項１３】

前記第２電極を形成したのち加熱処理を行い、前記カルコゲン層と移動層との混合層を形成する、請求項１１または１２に記載の記憶素子の製造方法。

【請求項１４】

前記カルコゲン層、移動層および固定層のうち、少なくとも前記カルコゲン層を２層以上形成すると共に、少なくとも一部を前記カルコゲン層、移動層、カルコゲン層の順に積層させる、請求項１２または１３のいずれか１つに記載の記憶素子の製造方法。

【請求項１５】

基板上に第１電極を形成する工程と、前記第１電極上に抵抗変化層を形成する工程と、前記抵抗変化層上に金属元素および、テルル（Te）、硫黄（S）およびセレン（Se）のうちの少なくとも１種のカルコゲン元素を含む第１イオン源層を形成する工程と、

20

前記第１イオン源層上に前記第１イオン源層とはカルコゲン元素の含有量が異なる第２イオン源層を形成する工程と、

前記第２イオン源層上に第２電極を形成する工程とを含み、

前記第１イオン源層は、テルル（Te）、硫黄（S）およびセレン（Se）のうちの少なくとも１種のカルコゲン元素を含むカルコゲン層、電解質中での移動が容易な移動容易元素を少なくとも１種含む移動層および電解質中で移動しにくい移動困難元素を少なくとも１種含む固定層をそれぞれ１層以上有すると共に、少なくとも一部がカルコゲン層、移動層およびカルコゲン層の順に積層されている

記憶素子の製造方法。

30

【発明の詳細な説明】

【技術分野】

【０００１】

本開示は、イオン源層および抵抗変化層を含む記憶層の電気的特性の変化により情報を記憶する記憶素子およびその製造方法ならびに記憶装置に関する。

【背景技術】

【０００２】

コンピュータ等の情報機器においては、ランダム・アクセス・メモリとして、動作が高速で、高密度のＤＲＡＭ（Dynamic Random Access Memory）が広く使用されている。しかしながら、ＤＲＡＭは、電子機器に用いられる一般的な論理回路ＬＳＩ（Large Scale Integrated circuit）や信号処理回路と比較して、製造プロセスが複雑であるため、製造コストが高くなっている。また、ＤＲＡＭは、電源を切ると情報が消えてしまう揮発性メモリであり、頻繁にリフレッシュ動作、即ち書き込んだ情報（データ）を読み出し、増幅し直して、再度書き込み直す動作を行う必要がある。

40

【０００３】

そこで、従来、電源を切っても情報が消えない不揮発性のメモリとして、例えば、フラッシュメモリ、ＦｅＲＡＭ（Ferroelectric Random Access Memory）（強誘電体メモリ）やＭＲＡＭ（Magnetoresistive Random Access Memory）（磁気記憶素子）等が提案されている。これらのメモリの場合、電源を供給しなくても書き込んだ情報を長時間保持し続けることが可能になる。しかしながら、これらのメモリはそれぞれ一長一短がある。すな

50

わち、フラッシュメモリは、集積度が高いが動作速度の点で不利である。F e R A Mは高集積度化のための微細加工に限界あり、また作製プロセスにおいて問題がある。M R A Mは消費電力の問題がある。

【 0 0 0 4 】

そこで、次世代不揮発メモリとして、R e R A M (Resistive Random Access Memory) (抵抗変化型メモリ)やP C M (Phase Change Memory) (相変化型メモリ)といった新しいタイプの記憶素子が提案されている(例えば、特許文献1, 2参照)。更に、メモリの大容量化を実現するために、低電流動作が可能な記憶素子も開発されている。

【先行技術文献】

【特許文献】

10

【 0 0 0 5 】

【特許文献1】特願2006-322188号公報

【特許文献2】特開2009-43873号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、上記記憶素子では、記録状態(低抵抗状態)あるいは消去状態(高抵抗状態)を長時間にわたって放置した場合や、室温よりも高い温度雰囲気では抵抗変化層の抵抗値が変化し、データが失われる虞があるという問題があった。

【 0 0 0 7 】

20

本開示はかかる問題点に鑑みてなされたもので、その目的は、耐熱性が向上した記憶素子およびその製造方法ならびに記憶装置を提供することにある。

【課題を解決するための手段】

【 0 0 0 8 】

本技術の記憶素子は、第1電極、記憶層および第2電極をこの順に有し、記憶層は、第1電極側に設けられた抵抗変化層と、少なくとも1種の金属元素を含むと共に、前記第2電極側に設けられたイオン源層とを備えたものであり、イオン源層は、テルル(Te)、硫黄(S)およびセレン(Se)のうち少なくとも1種の、カルコゲン元素を含むと共に、抵抗変化層側に設けられた第1イオン源層と、第1イオン源層とはカルコゲン元素の含有量が異なると共に、第1イオン源層よりもチタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、モリブデン(Mo)およびタングステン(W)からなる遷移金属の群のうち少なくとも1種類の金属元素の含有量が多く、第2電極側に設けられた第2イオン源層とを含む。

30

【 0 0 0 9 】

本技術の記憶装置は、第1電極、記憶層および第2電極をこの順に有する複数の記憶素子と、複数の記憶素子に対して選択的に電圧または電流のパルス印加するパルス印加手段とを備え、記憶素子として本技術の記憶素子を用いたものである。

【 0 0 1 0 】

本技術による記憶素子の第1の製造方法は、以下の(A)~(E)の工程を含むものである。

40

(A)基板上に第1電極を形成する工程

(B)第1電極上に抵抗変化層を形成する工程

(C)抵抗変化層上に金属元素および、テルル(Te)、硫黄(S)およびセレン(Se)のうちの少なくとも1種のカルコゲン元素を含む第1イオン源層を形成する工程

(D)第1イオン源層の上に第2イオン源層とはカルコゲン元素の含有量が異なると共に、前記第1イオン源層よりもチタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、モリブデン(Mo)およびタングステン(W)からなる遷移金属の群のうち少なくとも1種類の金属元素の含有量が多い第2イオン源層を形成する工程

50

(E) イオン源層上に第2電極を形成する工程

本技術による記憶素子の第2の製造方法は、以下の(A)~(E)の工程を含むものであり、さらに、第1イオン源層は、テルル(Te)、硫黄(S)およびセレン(Se)のうちの少なくとも1種のカルコゲン元素を含むカルコゲン層、電解質中での移動が容易な移動容易元素を少なくとも1種含む移動層および電解質中で移動しにくい移動困難元素を少なくとも1種含む固定層をそれぞれ1層以上有すると共に、少なくとも一部がカルコゲン層、移動層およびカルコゲン層の順に積層されている。

(A) 基板上に第1電極を形成する工程

(B) 第1電極上に抵抗変化層を形成する工程と、

(C) 抵抗変化層上に金属元素および、テルル(Te)、硫黄(S)およびセレン(Se)のうちの少なくとも1種のカルコゲン元素を含む第1イオン源層を形成する工程と、

(D) 第1イオン源層上に第1イオン源層とはカルコゲン元素の含有量が異なる第2イオン源層を形成する工程と、

(E) 第1イオン源層上に第2電極を形成する工程

【0011】

本技術の記憶素子(記憶装置)では、初期状態(高抵抗状態)の素子に対して「正方向」(例えば第1電極側を負電位、第2電極側を正電位)の電圧または電流パルスが印加されると、イオン源層に含まれる金属元素がイオン化して抵抗変化層中に拡散し、第1電極で電子と結合して析出し、あるいは抵抗変化層中に留まり不純物準位を形成する。これにより記憶層内に金属元素を含む低抵抗部(伝導パス)が形成され、抵抗変化層の抵抗が低くなる(記録状態)。この低抵抗な状態の素子に対して「負方向」(例えば第1電極側を正電位、第2電極側を負電位)へ電圧パルスが印加されると、第1電極に析出していた金属元素がイオン化してイオン源層中へ溶解する。これにより金属元素を含む伝導パスが消滅し、抵抗変化層の抵抗が高い状態となる(初期状態または消去状態)。

【0012】

ここでは、イオン源層がテルル(Te)、硫黄(S)およびセレン(Se)のうちの少なくとも1種のカルコゲン元素を含むと共に、抵抗変化層側に設けられた第1イオン源層と、第1イオン源層とはカルコゲン元素の含有量が異なると共に、第1イオン源層よりもチタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、モリブデン(Mo)およびタングステン(W)からなる遷移金属の群のうち少なくとも1種類の金属元素の含有量が多く、第2電極側に設けられた第2イオン源層との積層構造により構成されていることにより、イオン源層の劣化が抑制される。

【発明の効果】

【0013】

本技術の記憶素子およびその記憶素子の製造方法ならびに記憶装置によれば、イオン源層を第1イオン源層および第2イオン源層の積層構造とし、第1イオン源層および第2イオン源層は、それぞれカルコゲン元素の含有量が異なると共に、第2イオン源層に含まれるチタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、モリブデン(Mo)およびタングステン(W)からなる遷移金属の群のうち少なくとも1種類の金属元素の含有量が第1イオン源層よりも多くなるようにした。これにより、イオン源層の劣化が抑制され、記憶素子の耐熱性が向上する。即ち、高い信頼性を有する記憶装置を提供することが可能となる。

【図面の簡単な説明】

【0014】

【図1】本開示の第1の実施の形態に係る記憶素子の構成を表す断面図である。

【図2】図1の記憶素子を用いたメモリセルアレイの構成を表す断面図である。

【図3】同じくメモリセルアレイの平面図である。

【図4】本開示の変形例に係る記憶素子の構成を表す断面図である。

【図5】本開示の第2の実施の形態に係る記憶素子の構成を表す断面図である。

10

20

30

40

50

【図 6】本開示の第 2 の実施の形態の記憶素子の第 1 イオン源層内の濃度分布を説明する模式図である。

【図 7】実施例 1 に係る繰り返し特性を表す図である。

【図 8】同じく繰り返し特性を表す図である。

【図 9】同じく繰り返し特性を表す図である。

【図 10】同じく繰り返し特性を表す図である。

【図 11】実施例 2 に係る繰り返し特性を表す図である。

【発明を実施するための形態】

【0015】

以下、本開示の実施の形態について、以下の順に図面を参照しつつ説明する。

10

〔第 1 の実施の形態〕

(1) 記憶素子 (イオン源層が第 1 イオン源層および第 2 イオン源層からなる記憶素子)

(2) 記憶素子の製造方法

(3) 記憶装置

〔変形例〕

(抵抗変化層が 2 層積層された記憶素子)

〔第 2 の実施の形態〕

(第 2 イオン源層が積層構造を有する記憶素子)

〔実施例〕

20

【0016】

〔第 1 の実施の形態〕

(記憶素子)

図 1 は、本開示の第 1 の実施の形態に係る記憶素子 1 の断面構成図である。この記憶素子 1 は、下部電極 10 (第 1 電極)、記憶層 20 および上部電極 30 (第 2 電極) をこの順に有するものである。

【0017】

下部電極 10 は、例えば、後述 (図 4) のように CMO S (Complementary Metal Oxide Semiconductor) 回路が形成されたシリコン基板 41 上に設けられ、CMO S 回路部分との接続部となっている。この下部電極 10 は、半導体プロセスに用いられる配線材料、例えば、タングステン (W)、窒化タングステン (WN)、銅 (Cu)、アルミニウム (Al)、モリブデン (Mo)、タンタル (Ta) およびシリサイド等により構成されている。下部電極 10 が電界でイオン伝導が生じる可能性のある材料 (例えば、Cu 等) により構成されている場合には、下部電極 10 の表面を、W、WN、窒化チタン (TiN)、窒化タンタル (Ta N) 等のイオン伝導や熱拡散しにくい材料で被覆するようにしてもよい。また、後述のイオン源層 22 に Al が含まれている場合には、Al よりもイオン化しにくい材料、例えばクロム (Cr)、W、コバルト (Co)、Si、金 (Au)、パラジウム (Pd)、Mo、イリジウム (Ir)、チタン (Ti) 等の少なくとも 1 種を含んだ金属膜や、これらの酸化膜または窒化膜を用いることが好ましい。

30

【0018】

記憶層 20 は抵抗変化層 21 およびイオン源層 22 により構成されている。抵抗変化層 21 は下部電極 10 側にあり、ここでは下部電極 10 に接して設けられている。この抵抗変化層 21 は電気伝導上のバリアとしての機能を有している。また、この抵抗変化層 21 は、下部電極 10 と上部電極 30 との間に所定の電圧を印加した際にその抵抗値が変化する。抵抗変化層 21 は、後述するイオン源層 22 と接していても安定である絶縁体あるいは半導体であれば何れの物質でも用いることができる。具体的な材料としては、Gd (ガドリニウム) 等の希土類元素、Al、Mg (マグネシウム)、Ta、Si (シリコン) 等を少なくとも 1 種含む酸化物、窒化物、あるいは弗化物等が挙げられる。その他、陰イオン成分として挙動する、テルル (Te)、硫黄 (S) およびセレン (Se) 等のカルコゲン元素を含む化合物を用いてもよい。具体的には、例えば Te を用いた場合には Al Te

40

50

、MgTeまたはZnTe、あるいは更に窒素(N)を含んだAlTeN等が挙げられる。

【0019】

抵抗変化層21の初期抵抗値は1M以上であることが好ましく、低抵抗状態における抵抗値は数100k以下であることが好ましい。微細化した抵抗変化型メモリの抵抗状態を高速に読み出すためには、できる限り低抵抗状態の抵抗値を低くすることが好ましい。しかし、例えば20~50μA、2Vの条件で書き込んだ場合の抵抗値は40~100kであるので、メモリの初期抵抗値はこの値より高いことが前提となる。

【0020】

イオン源層22は、抵抗変化層21に拡散する可動イオン(陽イオンおよび陰イオン)となるイオン導電材料を含む層であり、イオン供給源としての役割を有し、主に非晶質構造を取る。イオン源層22は、陰イオン化するイオン伝導材料として、Te、SおよびSeのうち少なくとも1種のカルコゲン元素を含んでいる。また、イオン源層22は、消去時に下部電極10上に酸化物を形成する元素として、Alを含有しても良い。更に、イオン源層22は、少なくとも1種の金属元素を含んでいる。イオン源層22に含まれる金属元素としては、例えば、Cu、亜鉛(Zn)、銀(Ag)、ニッケル(Ni)、コバルト(Co)、マンガン(Mn)、鉄(Fe)、Ti、Zr、Hf、V、Nb、Ta、Cr、MoおよびWからなる金属元素の群のうちの少なくとも1種が好ましい。Alおよびこれらの金属元素のいくつかは、陽イオン化するイオン伝導材料としての機能を有するものである。

【0021】

イオン源層22は、非晶質化のため金属元素としてZrを含むことが好ましい。低抵抗状態(書き込み状態)または高抵抗状態(初期状態または消去状態)の抵抗値保持特性を向上させることが可能となるからである。ここでは、低抵抗状態を書き込み状態、高抵抗状態を消去状態と定義する。また、Cuは、陽イオン化可能な金属元素であり、Zrと組み合わせることにより、非晶質を形成しやすく、イオン源層22の微細構造を均一に保つという機能を有する。

【0022】

イオン源層22には、必要に応じてその他の元素が添加されていてもよい。添加元素の例としては、Mg、ゲルマニウム(Ge)、Siなどが挙げられる。Mgは、陽イオン化しやすく、消去バイアスで酸化膜を形成し高抵抗化しやすくするためのものである。Geは、Alと同様に、消去時に酸化物を形成することにより高抵抗状態(消去状態)を安定化させると共に、繰り返し回数の増加にも寄与するものである。Siは、記憶層20の高温熱処理時の膜剥がれを抑止すると共に、保持特性の向上も同時に期待できる添加元素であり、イオン源層21にZrと共に添加してもよい。

【0023】

このようなイオン源層22の具体的な材料としては、例えば、ZrTeAl、ZrTeAlGe、CuZrTeAl、CuZrTeAlGe、CuHfTeAl、CuTiTeAl、AgZrTeAl、NiZrTeAl、CoZrTeAl、MnZrTeAl、FeZrTeAlの組成のイオン源層材料が挙げられる。

【0024】

本実施の形態のイオン源層22は、互いに組成の異なる第1イオン源層22Aおよび第2イオン源層22Bを抵抗変化層21側から順に積層した構成を有する。具体的には、第1イオン源層22Aに含まれるカルコゲン元素の含有量は、第2イオン源層22Bよりも多いことが好ましい。また、第2イオン源層に含まれるCu、Al、GeおよびZnのうち少なくとも1種類の金属元素の含有量は、前記第1イオン源層よりも多いことが好ましい。もしくは、第2イオン源層に含まれる、Ti、Zr、Hf、V、Nb、Ta、Cr、MoおよびWからなる遷移金属の群のうち少なくとも1種類の金属元素の含有量が、前記第1イオン源層よりも多いことが好ましい。更に、第1イオン源層に含まれる酸素(O)もしくはNの含有量は、第2イオン源層よりも少ないことが好ましい。第1イオン源層2

2 Aおよび第2イオン源層2 2 Bを構成する元素の種類は、上述した含有量の違いがあれば同一でもよいし、異なってもよい。第1イオン源層2 2 Aおよび第2イオン源層2 2 Bの膜厚は、それぞれ6 nm以上であることが好ましい。その抵抗値は、第1イオン源層2 2 Aよりも第2イオン源層2 2 Bのほうが低いことが好ましい。また、第1イオン源層2 2 Aの融点は、第2イオン源層2 2 Bよりも低いことが好ましい。第1イオン源層2 2 Aおよび第2イオン源層2 2 Bが上記のような構成をとることにより、イオン源層2 2の熱による劣化が抑制され、記憶素子1の耐熱性が向上する。なお、第1イオン源層2 2 Aおよび第2イオン源層2 2 Bは上記条件をすべて備えている必要はなく、少なくともカルコゲン元素の含有量が上記条件を満たしていればよい。

【0025】

10

上部電極30は、下部電極10と同様に公知の半導体配線材料を用いることができるが、ポストアニールを経てもイオン源層2 2と反応しない安定な材料が好ましい。

【0026】

本実施の形態の記憶素子1では、図示しない電源回路（パルス印加手段）から下部電極10および上部電極30を介して電圧パルスあるいは電流パルスを印加すると、記憶層20の電気的特性（抵抗値）が変化するものであり、これにより情報の書き込み、消去、更に読み出しが行われる。以下、その動作を具体的に説明する。

【0027】

まず、上部電極30が例えば正電位、下部電極10側が負電位となるようにして記憶素子1に対して正電圧を印加する。これによりイオン源層2 2に含まれる金属元素（特に、陽イオン化可能な金属元素）がイオン化して抵抗変化層2 1に拡散し、下部電極10側で電子と結合して析出する。その結果、下部電極10と記憶層20の界面に金属状態に還元された低抵抗な金属元素の伝導パス（フィラメント）が形成される。若しくは、イオン化した金属元素は、抵抗変化層2 1中に留まり不純物準位を形成する。これにより抵抗変化層2 1中にフィラメントが形成されて記憶層20の抵抗値が低くなり、初期状態の抵抗値（高抵抗状態）よりも低い抵抗値（低抵抗状態）へ変化する。

20

【0028】

その後、正電圧を除去して記憶素子1にかかる電圧をなくしても、低抵抗状態が保持される。これにより情報が書き込まれたことになる。一度だけ書き込みが可能な記憶装置、いわゆる、PROM（Programmable Read Only Memory）に用いる場合には、前記の記録過程のみで記録は完結する。一方、消去が可能な記憶装置、すなわち、RAM（Random Access Memory）あるいはEEPROM（Electrically Erasable and Programmable Read Only Memory）等への応用には消去過程が必要であるが、消去過程においては、上部電極30が例えば負電位、下部電極10側が正電位になるように記憶素子1に対して負電圧を印加する。これにより、記憶層20内に形成されていたフィラメントの金属元素がイオン化し、イオン源層2 2に溶解、若しくはTe等と結合してCu<sub>2</sub>Te、CuTe等の化合物を形成する。これにより、金属元素によるフィラメントが消滅、または減少して抵抗値が高くなる。

30

【0029】

また、負電圧を除去して記憶素子1にかかる電圧をなくしても、抵抗値が高くなった状態で保持される。これにより書き込まれた情報を消去することが可能になる。このような過程を繰り返すことにより、記憶素子1に情報の書き込みと書き込まれた情報の消去を繰り返し行うことができる。

40

【0030】

例えば、抵抗値の高い状態を「0」の情報に、抵抗値の低い状態を「1」の情報に、それぞれ対応させると、正電圧の印加による情報の記録過程で「0」から「1」に変え、負電圧の印加による情報の消去過程で「1」から「0」に変えることができる。なお、ここでは記憶素子を低抵抗化する動作および高抵抗化する動作をそれぞれ書き込み動作および消去動作に対応させたが、その対応関係は逆に定義してもよい。

【0031】

50

次に、イオン源層 2 2 に含まれる各元素の作用および好ましい含有量について説明する。なお、後述する各元素の含有量は、第 1 イオン源層 2 2 A および第 2 イオン源層 2 2 B を合わせたイオン源層 2 2 全体におけるものである。

【 0 0 3 2 】

イオン源層 2 2 中に Z r が含まれている場合には、上述した C u 等の金属元素と共に、Z r がイオン化元素として働き、移動容易元素（例えば、C u）と、移動困難元素（例えば、Z r）の混在したフィラメントを形成する。Z r は、書き込み動作時にカソード電極上で還元されると共に、書き込み後の低抵抗状態では金属状態のフィラメントを形成すると考えられる。Z r の還元によって形成されたフィラメントは、S , S e および T e のカルコゲン元素を含むイオン源層 2 2 中に比較的溶解しづらいため、一度書き込み状態、すなわち低抵抗状態になった場合には、C u などの上述した金属元素単独のフィラメントよりも低抵抗状態を保持しやすい。例えば C u は書き込み動作によってフィラメントとして形成される。しかしながら、金属状態の C u はカルコゲン元素を含むイオン源層 2 2 中において溶解しやすいため、書き込み電圧パルスが印加されていない状態（データ保持状態）では、再びイオン化し高抵抗状態へと遷移してしまう。そのため十分なデータ保持性能が得られない。一方、Z r と適量の C u を組み合わせることは、非晶質化を促進すると共に、イオン源層 2 2 の微細構造を均一に保つため、抵抗値の保持性能の向上に寄与する。

10

【 0 0 3 3 】

また、消去時の高抵抗状態の保持に関しても、Z r を含むことによって以下の効果が得られる。例えば Z r のフィラメントが形成され、再びイオン源層 2 2 中にイオンとして溶解する場合には、Z r は少なくとも C u よりもイオンの移動度が低いので、温度が上昇してもあるいは長期間の放置でも動きづらい。そのためカソード極上で金属状態での析出が起こりにくく、室温よりも高温状態で保持した場合や長時間にわたり保持した場合でも高抵抗状態が維持される。

20

【 0 0 3 4 】

更に、イオン源層 2 2 に A l が含まれている場合には、消去動作により上部電極が負の電位にバイアスされると、固体電解質的に振舞うイオン源層 2 2 とアノード極との界面において安定な酸化膜を形成する。これにより高抵抗状態（消去状態）が安定化する。加えて、抵抗変化層の自己再生の観点から繰り返し回数の増加にも寄与する。なお、A l の他に同様の動きを示す G e などを含んでもよい。

30

【 0 0 3 5 】

このように、イオン源層 2 2 に Z r , A l , G e などが含まれている場合には、これら元素を含んでいない記憶素子と比較して広範囲の抵抗値保持性能、書き込み・消去の高速動作性能および低電流動作が向上すると共に繰り返し回数が増加する。更に、例えば低抵抗から高抵抗へと変化させる際の消去電圧を調整して高抵抗状態と低抵抗状態との間の中間的な状態を作り出せば、その状態を安定して保持することができる。よって、2 値だけでなく多値のメモリを実現することが可能となる。なお、高抵抗から低抵抗へと変化させる際の書き込み電流を変更して析出する原子の量を調整することによっても中間的な状態を作り出すことが可能である。

【 0 0 3 6 】

ところで、このような電圧を印加する書き込み・消去動作特性と、抵抗値の保持特性と、繰り返し動作回数といったメモリ動作上の重要な諸特性は、A l , Z r および C u、更には G e の添加量によって異なる。

40

【 0 0 3 7 】

例えば、A l の含有量が多過ぎると、A l イオンの移動が生じやすくなり、A l イオンの還元によって書き込み状態が作られてしまう。A l はカルコゲナイドの固体電解質中で金属状態の安定性が低いので、低抵抗な書き込み状態の保持性能が低下する。一方、A l 量が少な過ぎると、消去動作そのものや高抵抗領域の保持特性を向上させる効果が低くなり、繰り返し回数が減少する。従って、イオン源層 2 2 中の A l の含有量は 2 7 . 7 原子 % 以上であることが好ましく、更に好ましくは 4 7 . 4 原子 % 以下である。

50

## 【 0 0 3 8 】

また、Zrはその含有量が多過ぎると、イオン源層22の抵抗値が下がり過ぎてイオン源層22に有効な電圧が印加できない、若しくはカルコゲナイド層中にZrを溶解することが困難となる。そのため、特に消去がしづらくなり、Zr添加量に応じて消去の閾値電圧が上昇していき、更に多過ぎる場合には書き込み、つまり低抵抗化も困難となる。一方、Zr添加量が少な過ぎると、前述のような広範囲の抵抗値の保持特性を向上させる効果が少なくなる。

## 【 0 0 3 9 】

更に、Cuは適量をイオン源層22に添加することによって、非晶質化を促進するものの、多過ぎると金属状態のCuはカルコゲン元素を含むイオン源層22中での安定性が十分でないことから書き込み保持特性が悪化したり、書き込み動作の高速性に悪影響が見られる。その一方で、CuはZrと組み合わせることにより、非晶質を形成しやすく、イオン源層22の微細構造を均一に保つという効果を有する。これにより、繰り返し動作によるイオン源層22中の材料成分の不均一化が防止され、繰り返し回数が増加すると共に保持特性も向上する。また、適当なZr量を含有している場合には、Cuのフィラメントがイオン源層22中に再溶解したとしても、抵抗変化層21内には金属ジルコニウム(Zr)によるフィラメントが残存していると考えられるため低抵抗状態は維持される。従って、書き込み保持特性への影響はみられない。

## 【 0 0 4 0 】

上述のようなZrとCuとの効果を得るためには、イオン源層22中のZrおよびCuの合計含有量が23.5原子%以上37原子%以下であることが好ましい。また、イオン源層22中のZr単独の含有量としては、9原子%以上であることが好ましく、更に好ましくは18.5原子%以下である。

## 【 0 0 4 1 】

更に、Geは必ずしも含まれていなくともよいが、Ge含有量が多過ぎる場合には書き込み保持特性が劣化する。ことからGeの含有量としては15原子%以下であることが好ましい。

## 【 0 0 4 2 】

また、記憶素子1の特性は実質的にはZrとTe(カルコゲン元素)の組成比に依存している。そのため、ZrとTeの組成比は、

$$\text{Zr 組成比 (原子\%)} / \text{Te 組成比 (原子\%)} = 0.3 \sim 0.84$$

の範囲にあることが望ましい。これについては必ずしも明らかではないが、Zrに比べてCuの乖離度が低いこと、イオン源層22の抵抗値がZrとTeの組成比によって決まることから、上記の範囲にある場合に限り好適な抵抗値が得られるため、記憶素子1に印加したバイアス電圧が抵抗変化層21の部分に有効に印加されることによると考えられる。また、カルコゲン元素の単独での含有量は20.7原子%以上42.7原子%以下であることが好ましい。

## 【 0 0 4 3 】

上記の範囲からずれる場合、例えば、当量比が大き過ぎる場合には、陽イオンと陰イオンの釣り合いが取れずに、存在する金属元素のうち、イオン化しない元素の量が増大する。そのために消去動作の際に書き込み動作で生じたフィラメントが効率的に除去されにくいと考えられる。同様に、当量比が小さ過ぎて陰イオン元素が過剰に存在する場合には、書き込み動作で生じた金属状態のフィラメントが金属状態で存在しづらくなるために、書き込み状態の保持性能が低下すると考えられる。

## 【 0 0 4 4 】

なお、イオン源層22に含まれる金属元素としては上記金属元素に限定されるものではなく、例えばAlの他にMgを用いたZrTeMgとしてもよい。イオン化する金属元素としては、Zrの代わりに、TiやTaなどの他の遷移金属元素を選択した場合でも同様な添加元素を用いることは可能であり、例えばTaTeAlGeなどとすることも可能である。更に、イオン導電材料としては、Te以外に硫黄(S)やセレン(Se)、あるいは

10

20

30

40

50

はヨウ素 ( I ) を用いてもよく、具体的には  $ZrSA1$  ,  $ZrSeA1$  ,  $ZrIA1$  ,  $CuGeTeA1$  等を用いてもよい。また、必ずしも  $A1$  を含んでいる必要はなく、 $CuGeTeZr$  等を用いてもよい。

#### 【 0 0 4 5 】

また、記憶層 2 0 における高温熱処理時の膜剥がれは、例えば  $Si$  を添加することでも抑制することができる。 $Si$  は保持特性の向上も同時に期待できる添加元素であり、イオン源層 2 2 に  $Zr$  と共に添加することが好ましい。但し、 $Si$  添加量が少な過ぎると  $Si$  添加による膜剥がれ防止効果を期待できなくなるのに対し、多過ぎると良好なメモリ動作特性が得られない。このため、膜剥がれの防止効果および良好なメモリ動作特性を得るためには、イオン源層 2 2 中の  $Si$  の含有量は 1 0 ~ 4 5 原子 % 程度の範囲内であることが好ましい。

10

#### 【 0 0 4 6 】

更に、抵抗変化層 2 1 にカルコゲン元素を用いる場合には、イオン源層 2 2 にカルコゲン元素 (例えば  $Te$ ) と反応しやすい金属元素 (  $M$  ) を用いて  $Te$  / イオン源層 ( 金属元素  $M$  を含む ) という積層構造にしておくと、成膜後の加熱処理により、 $MTe$  / イオン源層 2 2 という構造に安定化する。 $Te$  と反応しやすい元素としては、例えば  $Al$  やマグネシウム (  $Mg$  ) が挙げられる。これにより、抵抗変化層 2 1 とイオン源層 2 2 との膜剥がれを防止することができる。

#### 【 0 0 4 7 】

以下、本実施の形態の記憶素子 1 の製造方法について説明する。

20

#### 【 0 0 4 8 】

まず、選択トランジスタ等の  $CMOS$  回路が形成された基板上に、例えば  $TiN$  よりなる下部電極 1 0 を形成する。その後、必要であれば逆スパッタ等で、下部電極 1 0 の表面上の酸化物等を除去する。続いて、抵抗変化層 2 1 、イオン源層 2 2 ( 第 1 イオン源層 2 2 A および第 2 イオン源層 2 2 B ) および上電極 3 0 までを各層の材料に適応した組成からなるターゲットを用いてスパッタリング装置内で、各ターゲットを交換することにより、各層を連続して成膜する。電極径は 5 0 - 3 0 0 nm である。合金膜は構成元素のターゲットを用いて同時成膜する。

#### 【 0 0 4 9 】

上部電極 3 0 まで成膜したのち、上部電極 3 0 に接続する配線層 ( 図示せず ) を形成し、全ての記憶素子 1 と共通電位を得るためのコンタクト部を接続する。そののち、積層膜にポストアニール処理を施す。以上により図 1 に示した記憶素子 1 が完成する。

30

#### 【 0 0 5 0 】

この記憶素子 1 では、上述のように上部電極 3 0 および下部電極 1 0 にそれぞれ正電位または負電位になるように電圧を印加することによって下部電極 1 0 と抵抗変化層 2 1 の界面にフィラメントが形成される。これにより抵抗変化層 2 1 の抵抗値が低くなり、書き込みが行われる。次に、上部電極 3 0 および下部電極 1 0 の各々に書き込み時とは逆極性の電圧を印加する。これにより抵抗変化層 2 1 内に形成されたフィラメントの金属元素が再びイオン化してイオン源層 2 2 に溶解することによって抵抗変化層 2 1 の抵抗値が上昇し、消去が行われる。

40

#### 【 0 0 5 1 】

本実施の形態の記憶素子 1 と同様に、下部電極、記憶層 ( 抵抗変化層およびイオン源層 ) および上部電極からなる従来の記憶素子では、イオン源層全体が単一組成で形成されている。このようなイオン源層は成膜時間が短く製造工程を短縮できる半面、室温よりも高い温度雰囲気での保存や動作時に発生するジュール熱によって抵抗値が変化し、データが失われるという問題があった。これは、イオン源層の劣化、具体的には熱によってイオン源層の結晶化が進み、アモルファス状態から結晶状態に変化するためと考えられる。

#### 【 0 0 5 2 】

この問題を解決する方法としては、例えばイオン源層を構成する複数の元素を個別に成膜し、イオン源層全体をそれぞれ 1 種類の元素からなる層の積層構造とする方法が考えら

50

れる。しかしながら、所定の膜厚となるまで各元素の層を繰り返し積層するため、成膜時間が長くなり、生産性が低下するという問題が考えられる。

【0053】

これに対して、本実施の形態では、イオン源層22をそれぞれカルコゲン元素の含有量が異なる第1イオン源層22Aと第2イオン源層22Bとの積層構造とすることにより、製造工程および成膜時間を抑えつつ、イオン源層22の熱による劣化を抑制することができる。

【0054】

以上のように本実施の形態の記憶素子1（およびその製造方法ならびに記憶装置）では、イオン源層22がカルコゲン元素の含有量が異なる第1イオン源層22Aおよび第2イオン源層22Bを下部電極10側から順に積層するようにした。これにより、熱によるイオン源層の劣化（結晶化）が抑制され、記憶素子1の耐熱性が向上する。即ち、高い信頼性を有する記憶装置を提供することが可能となる。

【0055】

（記憶装置）

上記記憶素子1を多数、例えば列状やマトリクス状に配列することにより、記憶装置（メモリ）を構成することができる。このとき、各記憶素子1に、必要に応じて、素子選択用のMOSトランジスタ、或いはダイオードを接続してメモリセルを構成し、更に、配線を介して、センスアンプ、アドレスデコーダ、書き込み・消去・読み出し回路等に接続すればよい。

【0056】

図2および図3は多数の記憶素子1をマトリクス状に配置した記憶装置（メモリセルアレイ）の一例を表したものであり、図2は断面構成、図3は平面構成をそれぞれ表している。このメモリセルアレイでは、各記憶素子1に対して、その下部電極10側に接続される配線と、その上部電極30側に接続される配線とを交差するよう設け、例えばこれら配線の交差点付近に各記憶素子1が配置されている。

【0057】

各記憶素子1は、抵抗変化層21、イオン源層22および上部電極30の各層を共有している。すなわち、抵抗変化層21、イオン源層22および上部電極30それぞれは各記憶素子1に共通の層（同一層）により構成されている。上部電極30は、隣接セルに対して共通のプレート電極PLとなっている。

【0058】

一方、下部電極10は、メモリセル毎に個別に設けられることにより、隣接セル間で電氣的に分離されており、各下部電極10に対応した位置に各メモリセルの記憶素子1が規定される。下部電極10は各々対応するセル選択用のMOSトランジスタTrに接続されており、各記憶素子1はこのMOSトランジスタTrの上方に設けられている。

【0059】

MOSトランジスタTrは、基板41内の素子分離層42により分離された領域に形成されたソース/ドレイン領域43とゲート電極44とにより構成されている。ゲート電極44の壁面にはサイドウォール絶縁層が形成されている。ゲート電極44は、記憶素子1の一方のアドレス配線であるワード線WLを兼ねている。MOSトランジスタTrのソース/ドレイン領域43の一方と、記憶素子1の下部電極10とが、プラグ層45、金属配線層46およびプラグ層47を介して電氣的に接続されている。MOSトランジスタTrのソース/ドレイン領域43の他方は、プラグ層45を介して金属配線層46に接続されている。金属配線層46は、記憶素子1の他方のアドレス配線であるビット線BL（図5参照）に接続されている。なお、図5においては、MOSトランジスタTrのアクティブ領域48を鎖線で示しており、コンタクト部51は記憶素子1の下部電極10、コンタクト部52はビット線BLにそれぞれ接続されている。

【0060】

このメモリセルアレイでは、ワード線WLによりMOSトランジスタTrのゲートをオ

10

20

30

40

50

ン状態として、ビット線BLに電圧を印加すると、MOSトランジスタTrのソース/ドレインを介して、選択されたメモリセルの下部電極10に電圧が印加される。ここで、下部電極10に印加された電圧の極性が、上部電極30（プレート電極PL）の電位に比して負電位である場合には、上述のように記憶素子1の抵抗値が低抵抗状態へと遷移する。これにより選択されたメモリセルに情報が書き込まれる。次に、下部電極10に、上部電極30（プレート電極PL）の電位に比して正電位の電圧を印加すると、記憶素子1の抵抗値が再び高抵抗状態へと遷移する。これにより選択されたメモリセルに書き込まれた情報が消去される。書き込まれた情報の読み出しを行うには、例えば、MOSトランジスタTrによりメモリセルを選択し、そのセルに対して所定の電圧または電流を印加する。このときの記憶素子1の抵抗状態により異なる電流または電圧を、ビット線BLあるいはプレート電極PLの先に接続されたセンスアンプ等を介して検出する。なお、選択したメモリセルに対して印加する電圧または電流は、記憶素子1の抵抗値の状態が遷移する電圧等の閾値よりも小さくする。

10

#### 【0061】

本実施の形態の記憶素子1では、上述のように各種のメモリ装置に適用することができる。例えば、一度だけ書き込みが可能なPROM、電氣的に消去が可能なEEPROM、或いは、高速に書き込み・消去・再生が可能な、いわゆるRAM等、いずれのメモリ形態でも適用することが可能である。

#### 【0062】

以下に、上記第1の実施の形態の変形例および第2の実施の形態について説明する。異

20

上記第1の実施の形態と同一構成部分については同一符号を付してその説明は省略する。

#### 【0063】

##### [変形例]

図4は本開示の変形例に係る記憶素子2の断面構成を表したものである。この記憶素子2は、下部電極10（第1電極）、記憶層60および上部電極30（第2電極）をこの順に有している。本変形例における記憶素子2では、記憶層60を構成する抵抗変化層61が複数（ここでは2層）積層されている点が上記第1の実施の形態とは異なる。なお、本変形例におけるイオン源層62については上記第1の実施の形態と同様の構成を有する。

#### 【0064】

抵抗変化層61は第1抵抗変化層61Aおよび第2抵抗変化層61Bの積層構造を有している。第1抵抗変化層61Aおよび第2抵抗変化層61Bは共に、電気伝導上のバリアとしての機能を有するものであり、イオン源層62よりも高い抵抗値を有すると共に、互いに組成が異なっている。これにより、記憶素子2では、複数の記憶素子2の初期状態もしくは消去状態の抵抗値のばらつきが低減される。また、複数回の書き込み・消去動作に対して書き込み・消去時の抵抗値の保持特性が向上する。

30

#### 【0065】

第1抵抗変化層61Aおよび第2抵抗変化層61Bには上記第1の実施の形態で説明した抵抗変化層21で挙げた材料を用いることができる。第1抵抗変化層61Aおよび第2抵抗変化層61Bに用いる材料の組み合わせは、互いに異なる組成であれば特に問わないが、例えば、第1抵抗変化層61Aに酸化ガドリニウム（GdOx）等の酸化物または窒化物により構成されている場合には、第2抵抗変化層61BにはTeを主成分とする化合物（例えばAlTe）を用いることが好ましい。また、その逆でも構わない。

40

#### 【0066】

本変形例の記憶素子2における作用および効果は、上記第1の実施の形態の記憶素子1の作用および効果と同様であるが、特に、抵抗変化層が複数（ここでは2層）積層されているため、以下の効果を得ることができる。まず、消去時に酸化膜や窒化膜の形成が可能となるため、消去時の過剰な電圧印加による絶縁劣化を抑えることが可能となり、繰り返し特性の向上が期待される。また、使用できるテルル化合物膜の抵抗範囲を適宜調整することが可能であるため、材料選択の幅が広がる。更に、上述したように記憶素子2ごとのばらつきが低減されと共に、抵抗値の保持特性も向上する。これにより、このような記憶

50

素子 2 を備えた記憶装置についても同様の効果が得られる。

【 0 0 6 7 】

[ 第 2 の実施の形態 ]

図 5 ( A ) , ( B ) は本開示の第 2 の実施の形態に係る記憶素子 3 A , 3 B の断面構成を表したものである。この記憶素子 3 A , 3 B は、上記第 1 の実施の形態と同様に下部電極 1 0 ( 第 1 電極 ) 、記憶層 7 0 および上部電極 3 0 ( 第 2 電極 ) をこの順に有し、記憶層 7 0 は抵抗変化層 7 1 と、第 1 イオン源層 7 2 A および第 2 イオン源層 7 2 B からなるイオン源層 7 2 とにより構成されている。本実施の形態における記憶素子 3 A , 3 B では、第 1 イオン源層 7 2 A が複数の層により構成されている点が上記第 1 の実施の形態とは異なる。

10

【 0 0 6 8 】

第 1 イオン源層 7 2 A は、第 2 イオン源層 7 2 B と同様に、抵抗変化層 7 1 に拡散する可動イオン ( 陽イオンおよび陰イオン ) となる元素を含む層である。本実施の形態では、この第 1 イオン源層 7 2 A は、第 1 層 7 2 a および第 2 層 7 2 b を積層した構成を有する。第 1 層 7 2 a は、抵抗変化層 2 1 に拡散しやすい、換言すると可動イオンになりやすい元素を含んでいる。一方、第 2 層 7 2 b は、第 1 層 7 2 a および抵抗変化層 2 1 に拡散しにくい、換言するとイオン源層 7 2 中においてイオン化しにくい元素を含むものである。なお、ここでは、第 1 層 7 2 a および第 2 層 7 2 b を 1 層ずつ積層した構成を有する ( 図 5 ( A ) ) が、交互に 2 層以上の組を積層するようにしてもよい ( 図 5 ( B ) ) 。

【 0 0 6 9 】

第 1 層 7 2 a は、陰イオン成分として、テルル ( T e ) , 硫黄 ( S ) およびセレン ( S e ) 等のカルコゲン元素を少なくとも 1 種以上含み、陽イオン成分として、電解質中 ( ここではイオン源層 7 2 ) 中での移動が容易な元素 ( 移動容易元素 ) を少なくとも 1 種含む層である。この移動容易元素とはカルコゲン元素と混ざりやすい元素、具体的には A l または銅 ( C u ) が挙げられる。その他、ゲルマニウム ( G e ) や亜鉛 ( Z n ) 等を含んでもよい。カルコゲン元素および移動容易元素は第 1 層 7 2 a 内で結合し、金属カルコゲナイド層を形成している。この金属カルコゲナイド層は、主に非晶質構造を有し、イオン供給源としての役割を果たすものである。また、第 1 層 7 2 a 内には、移動容易元素の濃度分布が存在するがその詳細については後述する。

20

【 0 0 7 0 】

第 2 層 7 2 b は、電解質 ( イオン源層 7 2 ) 中を移動しにくい元素 ( 移動困難元素 ) を少なくとも 1 種含む層である。この移動困難元素とは抵抗変化層 2 1 およびイオン源層 7 2 を構成する元素、特に T e 等のカルコゲン元素と反応しにくい元素であり、例えば、長周期表にて 4 族 ~ 6 族に属する元素が挙げられる。具体的には、T i , ジルコニウム ( Z r ) , ハフニウム ( H f ) , バナジウム ( V ) , ニオブ ( N b ) , T a , C r , M o および W が挙げられる。その他、C u や銀 ( A g ) , S i 等を添加元素として含んでもよい。

30

【 0 0 7 1 】

第 1 層 7 2 a および第 2 層 7 2 b は、上述したように少なくとも 1 層ずつ積層されている。その積層順序は特に問わず、図 5 ( A ) に示したように、抵抗変化層 2 1 側から順に第 1 層 7 2 a から積層してもよいし、第 2 層 7 2 b から積層してもよい。また、第 1 層 7 2 a および第 2 層 7 2 b の積層数は、第 1 イオン源層 7 2 A の膜厚が上記第 1 の実施の形態における第 1 イオン源層 2 2 A と同様に 6 n m 以上であれば特に問わないが、図 5 ( B ) のように例えばそれぞれ 3 層以上を交互に積層することが好ましい。第 1 層 7 2 a は上述したように、その層内に移動容易元素の濃度分布を有する。具体的には、移動容易元素の濃度は第 2 層 7 2 b との接合界面においてその他の領域における濃度よりも相対的に低くなっている。換言すると、厚み方向の中間部分よりも第 2 層 7 2 b と接する上面あるいは下面の界面部分の方が低く、あるいは移動容易元素が存在しないようになっている。第 1 層 7 2 a に含まれるカルコゲン元素と未反応な金属状態の移動容易元素とは、第 2 層 7 2 b に含まれる金属状態の移動困難元素との密着性が低い。このため、第 1 層 7 2 a と第

40

50

2層72bとの界面に金属状態の移動容易元素が多く含まれると膜浮きや膜剥がれが生じやすくなる。よって、本実施の形態のように金属状態の移動困難元素を含む第2層72bと接する第1層72aの界面における移動容易元素の濃度を低くすることで層間における膜浮きや膜剥がれの発生が抑制される。これら濃度分布の調整方法は、後述するイオン源層72の製造工程において説明する。

#### 【0072】

次に、第1イオン源層72Aの成膜工程について説明する。基板上に抵抗変化層21まで形成したのち、抵抗変化層21上に、テルル(Te)、硫黄(S)およびセレン(Se)のうちの少なくとも1種のカルコゲン元素を含むカルコゲン層(A層)、上述した移動容易元素を少なくとも1種含む移動層(B層)および上述した移動困難元素を少なくとも1種含む固定層(C層)を成膜する。具体的には、スパッタリング装置内において、対応する組成からなる各ターゲットを交換することにより各層を連続して成膜する。カルコゲン層(A層)、移動層(B層)および固定層(C層)の成膜順序としては、例えば、ABAC, BACA, CABA, ACABとし、これを1ユニットとして1ユニット以上、好ましくは3ユニット以上積層することが好ましい。これにより、図5(B)に示したように第1イオン源層72Aが周期積層構造を有するようになる。このように、第1イオン源層72Aを構成する元素を個別に積層することで、コスパッタを行うことのできない成膜装置であっても良好な動作特性を有する第1イオン源層72Aを成膜することが可能となる。また、第1イオン源層72Aには、合金ターゲットを用意する必要がないため、製造工程が簡略になると共に、コストを抑えることが可能となる。

#### 【0073】

続いて、第1イオン源層72A上に、スパッタリングによって、上述のように第1イオン源層72Aとは組成の異なる第2イオン層72B、続いて上部電極30を成膜する。このように、第1イオン源層72Aを積層によって成膜し、続いて第2イオン源層72Bを成膜することで、すべてのイオン源層72を積層で成膜せずともよく、成膜時間が短縮される。

#### 【0074】

上部電極30まで成膜したのち、上部電極30に接続する配線層(図示せず)を形成し、全ての記憶素子1と共通電位を得るためのコンタクト部を接続する。そののち、積層膜にポストアニール処理を施す。

#### 【0075】

このポストアニール処理により、カルコゲン層(A層)、移動層(B層)および固定層(C層)を積層した第1イオン源層72Aでは、B層を構成する移動容易元素がA層内に拡散する。これにより、上記した第1層72a中の移動容易元素の濃度分布が形成される。図6は、ABACの順に積層した積層膜を1ユニットとしてこれを2回繰り返した第1イオン源層72Aのポストアニール前およびポストアニール後における各層を模式的に表したものである。ポストアニール処理により、B層を構成する移動容易元素はA層中に拡散し、これにより第1層72aとなる。また、C層を構成する移動困難元素はほとんど拡散せず、イオン源層72内で独立した層、即ち第2層72bを形成する。以上により図5(A)、(B)に示した記憶素子3A、3Bが完成する。

#### 【0076】

なお、第1層72a内における移動容易元素の濃度勾配は、B層とその上下に成膜された層(A層またはC層)によって変化する。例えば、図6(A)に示したようにB層をA層で挟んだ場合には、移動容易元素が下部電極10側および上部電極30側両方のA層に拡散し、図6(B)に示したように第1層72aの中央部分から上下方向に徐々に濃度が低くなる。また、図示しないが、下部電極10側からABCの順に積層した場合には、第1層72a内の移動容易元素の濃度勾配は下部電極10側から上部電極30側に向かって徐々に高くなる。また、第1層72a内の移動容易元素の濃度勾配を下部電極10側から上部電極30側に向かって徐々に低くする場合には、B層、A層の順に積層すればよい。

#### 【0077】

以上のように本実施の形態の記憶素子 3 A , 3 B ( およびその製造方法ならびに記憶装置 ) では、カルコゲン元素を含むカルコゲン層 ( A 層 ) 、移動容易元素を含む移動層 ( B 層 ) および移動困難元素を含む固定層 ( C 層 ) をそれぞれ成膜することにより、第 1 イオン源層 7 2 A がそれぞれ異なる組成を有する第 1 層 7 2 a および第 2 層 7 2 b をそれぞれ 1 層以上積層するようにした。この第 1 層 7 2 a は、カルコゲン元素および移動容易元素を含み、更に第 1 電極から第 2 電極に向かって陽イオン可能な金属元素の濃度勾配を有する。このように、イオン源層 7 2 の一部を積層構造とすることにより、上記第 1 の実施の形態の記憶素子 1 の作用および効果に加えて、上記第 1 の実施の形態および変形例における記憶素子 1 , 2 のように互いに組成の異なる均一膜を積層するよりも、書き込みおよび消去の繰り返し動作によるイオン源層 7 2 の組成の平均化が抑制される。即ち、繰り返し特性が更に向上する。

10

#### 【 0 0 7 8 】

また、記憶素子 3 A , 3 B を構成する各層間の密着性が向上し、膜浮きおよび膜剥がれの発生が抑制される。即ち、歩留まりが向上すると共に、高い信頼性を有する記憶装置を製造することが可能となる。更に、イオン源層 7 2 を構成する元素を個別に積層することで、容易に良好な動作特性を有する第 1 イオン源層 7 2 A を成膜することが可能となる。また、第 1 イオン源層 7 2 A の成膜には、合金ターゲットを用意する必要がないため、製造工程が簡略になると共に、コストを抑えることが可能となる。

#### 【 0 0 7 9 】

なお、本実施の形態では、第 1 イオン源層 7 2 A を積層構造とし、第 2 イオン源層 7 2 B を均一層としたが、第 1 イオン源層 7 2 A を均一層とし、第 2 イオン源層 7 2 B を積層構造としてもよい。

20

#### 【 0 0 8 0 】

その場合には、イオン源層 7 0 上部電極 3 0 との接面における移動容易元素の濃度は、上記第 1 層 7 2 a と第 2 層 7 2 b との界面と同様に、移動容易元素の濃度が低いか、あるいは金属状態の移動可能元素が存在しないことが好ましい。これは、第 1 層 7 2 a に含まれる A 1 等の移動容易元素がカルコゲン元素と比較して上部電極 3 0 を構成する元素と反応しにくいためである。第 1 層 7 2 a 中の移動容易元素が上部電極 3 0 との接面に濃縮すると不安定なカルコゲン元素 / 移動容易元素の界面が形成されることになり、上部電極 3 0 の膜浮きや膜剥がれが発生する。従って、上部電極 3 0 と接する第 1 層 7 2 a も、上記の第 2 層 7 2 B と接する場合のように第 1 層 7 2 a 内の移動容易元素の濃度を調整することで、イオン源層 7 2 と上部電極 3 0 との密着性が向上し、層間における膜浮きや膜剥がれの発生が抑制される。

30

#### 【 0 0 8 1 】

また、第 2 イオン源層 7 2 B を積層構造とする場合には、その製造工程においてカルコゲン層 ( A 層 ) 、移動層 ( B 層 ) および固定層 ( C 層 ) の成膜順序を A C A B とした場合、A C A B ユニットを積層したのち、その終端に A 層を追加することが好ましい。これにより、上部電極 3 0 と B 層とが直接接しない、即ちイオン源層 7 2 / 上部電極 3 0 の界面に移動容易元素が濃縮しないので、イオン源層 7 2 と上部電極 3 0 との密着性が向上し、膜浮きや膜剥がれの発生が抑制される。

40

#### 【 0 0 8 2 】

以下に本開示の具体的な実施例について説明する。上述した実施の形態の記憶素子 1 , 2 , 3 A , 3 B の構成を有する各種サンプルを作製し、その特性を調べた。

#### 【 0 0 8 3 】

##### ( 実施例 1 )

##### ( サンプル 1 - 1 ~ 1 - 1 5 )

サンプル 1 - 1 ~ 1 - 1 5 として、図 2 , 3 に示したような記憶装置を形成した。まず、半導体基板 1 1 に M O S トランジスタ T r を形成した。次いで、半導体基板 1 1 の表面を覆うように絶縁層を形成し、この絶縁層にビアホールを形成した。続いて、C V D ( Chemical Vapor Deposition ) 法によりビアホールの内部を、T i N から成る電極材で充填

50

し、その表面をCMP (Chemical Mechanical Polishing) 法により平坦化した。そして、これらの工程を繰り返すことにより、プラグ層45、金属配線層46、プラグ層47および下部電極10を形成して、更に下部電極10をメモリセル毎にパターニングした。

【0084】

次に、TiNからなる下部電極10上にスパッタリング装置を用いて記録層20および上部電極30を形成した。電極径は50～300nmとした。続いて、上部電極30の表面に対してエッチングを行い、中間電位( $V_{dd}/2$ )を与えるための外部回路接続用のコンタクト部分に接続されるように厚さ200nmの配線層(Al層)を形成した。次に、ポストアニール処理として真空熱処理炉において、2時間、320の加熱処理を施したのち、微細化加工プロセスを行ってメモリ素子(サンプル1-1～1-15)とした。なお、サンプル1-1～1-15における「下部電極/第1抵抗変化層/第2抵抗変化層/第1イオン源層/第2イオン源層/上部電極」の組成および膜厚は、「TiN/TiO<sub>2</sub>(プラズマ酸化処理)/AlTeN/第1イオン源層/第2イオン源層/W(30nm)」とした。各サンプルにおける第1イオン源層および第2イオン源層の組成および膜厚は表1に示した。また、AlTeNは各サンプルにおける初期抵抗の大きさを同程度するために膜厚4nm～6nmの範囲で成膜した。なお、サンプル1-1～1-15は1トランジスタ1素子(1T1R)構造であり、トランジスタサイズはW/L=0.36/0.7μmである。駆動電流が約75μA, 約50μA(低電流)になるよう電圧を印加し繰り返し特性を調べた。その結果を図7～図10に示した。

【0085】

10

20

【表 1】

	第1イオン源層 (nm)	第2イオン源層 (nm)
サンプル 1-1	Te41.6Al32.6Zr12.9Cu12.9(60nm)	—
サンプル 1-2	Te24Al39.5Zr16Cu16Ge4.5(60nm) (酸素雰囲気下成膜)	—
サンプル 1-3	Te41.6Al32.6Zr12.9Cu12.9(8nm)	Te24Al39.5Zr16Cu16Ge4.5(52nm) (酸素雰囲気下成膜)
サンプル 1-4	[(Te(0.76nm)/Al(0.71nm)/ Te(0.76nm)/CuZr(0.45nm)]×3	Te24Al39.5Zr16Cu16Ge4.5(52nm) (酸素雰囲気下成膜)
サンプル 1-5	[(Te(0.76nm)/Al(0.71nm)/ Te(0.76nm)/CuZr(0.45nm)]×22	—
サンプル 1-6	[(Te(0.76nm)/Al(0.71nm)/ Te(0.76nm)/CuZr(0.45nm)]×5	Te36Al32Zr12.5Cu12.5Ge7(46.5nm)
サンプル 1-7	[Te(0.76nm)/Al(0.71nm)/ Te(0.76nm)/CuZr(0.45nm)]×3	Te36Al32Zr12.5Cu12.5Ge7(51.9nm)
サンプル 1-8	[Te(0.76nm)/Al(0.71nm)/ Te(0.76nm)/CuZr(0.45nm)]×2	Te36Al32Zr12.5Cu12.5Ge7(54.6nm)
サンプル 1-9	[Te(0.76nm)/Al(0.71nm)/ Te(0.76nm)/CuZr(0.45nm)]×1	Te36Al32Zr12.5Cu12.5Ge7(57.3nm)
サンプル 1-10	[Te(0.78)/Al(0.71)/Cu(0.198)/ Te(0.78)/Zr(0.209)]x3	Te36Al32Zr12.5Cu12.5Ge7(51.9nm)
サンプル 1-11	[Te(0.78)/Al(0.71)/Cu(0.198)/ Te(0.78)/Zr(0.268)]x3	Te36Al32Zr12.5Cu12.5Ge7(51.9nm)
サンプル 1-12	[Te(0.78)/Al(0.71)/Te(0.78)/ Cu(0.198)/Zr(0.209)]x3	Te36Al32Zr12.5Cu12.5Ge7(51.9nm)
サンプル 1-13	[Te(0.78)/Al(0.71)/Cu(0.187)/ Te(0.78)/Hf(0.235)]x3	Te36Al32Zr12.5Cu12.5Ge7(51.9nm)
サンプル 1-14	[Te(0.78)/Al(0.82)/Cu(0.187)/ Te(0.78)/Hf(0.235)] x3	Te36Al32Zr12.5Cu12.5Ge7(51.9nm)
サンプル 1-15	[Te(0.78)/Al(0.71)/Cu(0.208)/ Te(0.78)/Hf(0.196)]x3	Te36Al32Zr12.5Cu12.5Ge7(51.9nm)

## 【 0 0 8 6 】

(評価)

図 7 (A) ~ (D) は 75  $\mu$ A (左), 50  $\mu$ A (右) におけるサンプル 1 - 1 ~ 1 - 4 の繰り返し特性を合わせたものである。イオン源層 22 が単層構造であるサンプル 1 - 1, 1 - 2 では、サンプル 1 - 1 が駆動電流 75  $\mu$ A および 50  $\mu$ A の両方で動作していたのに対し、サンプル 1 - 2 は繰り返し特性が劣化していることがわかる。これは、サンプル 1 - 2 のイオン源層における Te の割合がサンプル 1 - 1 よりも少なく、金属元素 (ここでは Zr) の割合が多いことよると考えられる。これにより、サンプル 1 - 2 のイオン源層の抵抗が低くなり、動作時にイオン源層に印加されにくいためイオン源層内の可動イオンが動きづらく、繰り返し特性が低下したものと考えられる。

## 【 0 0 8 7 】

これに対して、サンプル 1 - 3, 1 - 4 は、上記実施の形態等で説明したようにイオン源層として互いに Te の含有量が異なる層 (第 1 イオン源層および第 2 イオン源層) を積層したものである。サンプル 1 - 3, 1 - 4 では、サンプル 1 - 1 のイオン源層と同様の

10

20

30

40

50

組成を有する層をそれぞれ第1イオン源層に、サンプル1-2のイオン源層と同様の組成を有する層をそれぞれ第2イオン源層とした。このサンプル1-3, 1-4における繰り返し特性(図7(C), (D))は共に十分な動作特性を示している。上記のような構成を有する記憶素子では、上述したように、イオン源層に電圧が印加されることによってイオン源層内の金属元素が抵抗変化層内に移動して導電パスを形成する。これにより、抵抗変化層の抵抗値が低下し、低抵抗状態になる。サンプル1-3, 1-4ではイオン源層が2層構造であり、抵抗変化層側に設けられた第1イオン源層は金属元素よりも抵抗の高いカルコゲン元素を多く含んでいる。このため、抵抗変化層近傍のイオン源層の抵抗が高くなり、第1イオン源層よりも抵抗値の低い第2イオン源層が積層されていても可動イオンが非導しやすく、繰り返し特性が維持されたと考えられる。また、上記実施の形態等で説明した構成を有するサンプル1-3, 1-4における記憶装置(記憶素子)の動作メカニズムは、電圧印加によって、まず抵抗変化層近傍(第1イオン源層)の可動イオンが抵抗変化層側へ移動したのち、更に上層(第2イオン源層)に含まれる可動イオンが抵抗変化層側へ移動するものと考えられる。

10

#### 【0088】

また、Zr等の金属元素はTe等のカルコゲン元素と比較して融点が高い。このため、第1イオン源層よりもZrの含有量が多く、Teの含有量が少ない第2イオン源層の結晶化温度は上昇し、これにより、イオン源層全体が動作時に発生するジュール熱に対して安定になったと考えられる。更に、Zrは多いことでアモルファスが安定化し、保持特性も向上すると考えられる。また、酸素雰囲気下で成膜することで、第2イオン源層には酸素(O)が添加され、より融点上がる。

20

#### 【0089】

次に、イオン源層の一部または全体が積層構造を有するサンプル1-5~1-9について考察する。なお、サンプル1-5~1-9の第1イオン源層は積層構造を有するが、第1イオン源層全体の組成はサンプル1-1のイオン源層の組成と同じである。図8(A)~(E)はサンプル1-5~1-9の繰り返し特性を表したものである。これら図8(A)~(C)から第1イオン源層の構成は単層構造に限らず、積層構造であってもよいことがわかる。また、図8(D), (E)の結果から第1イオン源層の膜厚は5.3nm以上、好ましくは6nm以上、より好ましくは8nm以上とすることで、第2イオン源層の組成が変更されていても十分な動作特性が得られることがわかる。更に、一部に積層構造を有するサンプル1-6, 1-7は、イオン源層全体が積層構造を有するサンプル1-5と同等の繰り返し動作特性を示している。このため、サンプル1-6, 1-7のように、イオン源層を積層膜(第1イオン源層)と均一層(第2イオン源層)との組み合わせとすることにより、繰り返し動作特性を維持しつつ、成膜時間の大幅な短縮が可能となる。なお、第2イオン源層はZrの他にGeの含有量を多くすることでも結晶化温度が上昇し、記憶素子の耐熱性が向上することがわかる。

30

#### 【0090】

サンプル1-10~1-12は第1イオン源層を構成する積層膜の積層順序を変更したものである。サンプル1-10~1-12の繰り返し特性の結果を表した図9(A)~(C)から、積層膜の積層順序を変えても記憶素子の動作特性には影響しないことがわかる。

40

#### 【0091】

また、図10(A)~(C)に示した繰り返し特性図からZrの代わりにHfを用いたサンプル1-13~1-15においても、サンプル1-3, 1-4, 1-6等と同様の効果が得られていることがわかる。このことから、Te以外の金属元素の種類および組成が変わっても、上記実施の形態等で説明した範囲内であれば、同様の効果が得られることがわかる。

#### 【0092】

##### (実験2)

次に、上記サンプルとは抵抗変化層の構成が異なる記憶装置(サンプル2-1~2-3

50

を上記サンプル 1 - 1 ~ 1 - 15 と同様の方法を用いて作成し、その繰り返し特性を測定した。サンプル 2 - 1 ~ 2 - 3 における「下部電極 / 第 1 抵抗変化層 / 第 2 抵抗変化層 / 第 1 イオン源層 / 第 2 イオン源層 / 上部電極」の組成および膜厚は、「TiN / AlO<sub>x</sub> (1 nm) (プラズマ酸化処理) / AlTeN / 第 1 イオン源層 / 第 2 イオン源層 / W (30 nm)」とした。第 1 イオン源層および第 2 イオン源層の組成は表 2 に示す。

【0093】

【表 2】

	第1イオン源層 (nm)	第2イオン源層 (nm)
サンプル 2-1	Te <sub>36.2</sub> Al <sub>37.6</sub> Zr <sub>13.1</sub> Cu <sub>13.1</sub> (45nm)	
サンプル 2-2	[Te(0.706)/Al(0.847)/ Te(0.706)/CuZr(0.469)]x3	Te <sub>31</sub> Al <sub>37</sub> Zr <sub>13</sub> Cu <sub>13</sub> Ge <sub>6</sub> (42.3nm)
サンプル 2-3	[Te(0.706)/Al(0.847)/ Te(0.706)/CuZr(0.469)]x1	Te <sub>31</sub> Al <sub>37</sub> Zr <sub>13</sub> Cu <sub>13</sub> Ge <sub>6</sub> (36.9nm)

10

【0094】

20

図 11 (A) ~ (C) は、サンプル 2 - 1 ~ 2 - 3 における繰り返し特性を表したものである。サンプル 2 - 1 ~ 2 - 3 における Te の組成比はほぼ同等であり、サンプル 2 - 2, 2 - 3 の第 1 イオン源層および第 2 イオン源層の組成は、第 1 イオン源層における積層数を除いて同一である。図 11 (A) (サンプル 2 - 1), (B) (サンプル 2 - 2) における繰り返し特性はほぼ同等、また、上記サンプル 1 - 3 等とも同等である。これに対し、図 11 (C) (サンプル 2 - 3) では、繰り返し特性が低下していることがわかる。このことから、抵抗変化層の材料およびその構成は任意であり、本実施の形態等で得られる効果は、あくまでもイオン源層の構成によるものであることがわかる。

【0095】

以上、第 1、第 2 の実施の形態、変形例および実施例を挙げて本開示を説明したが、本開示は、上記実施の形態等に限定されるものではなく、種々変形することが可能である。

30

【0096】

例えば、上記実施の形態等では、記憶素子 1, 2 およびメモリセルアレイの構成を具体的に挙げて説明したが、全ての層を備える必要はなく、また、他の層を更に備えていてもよい。

【0097】

更に、例えば、上記実施の形態等において説明した各層の材料、または成膜方法および成膜条件などは限定されるものではなく、他の材料としてもよく、または他の成膜方法としてもよい。例えば、イオン源層 22 には、上記組成比率を崩さない範囲で、他の遷移金属元素、例えば Ti, Hf, V, Nb, Ta, Cr, Mo, W を添加してもよい。また、Cu, Ag または亜鉛 Zn 以外にも、ニッケル (Ni) などを添加してもよい。

40

【0098】

また、上記第 2 の実施の形態等では、積層構造を有する第 1 イオン源層 72A (または第 2 イオン源層 72B) の製造工程において、第 1 層 72a となる A 層および B 層と、第 2 層 72b となる C 層とが周期構造を有するように成膜するとしたが、必ずしも全ての積層順序が一定である必要はない。具体的には、少なくとも C 層と B 層が直接接することなく、且つ積層の終端が B 層以外であればよい。

【0099】

更にまた、上記実施の形態等ではイオン源層 22 を互いに異なる組成の層 (第 1 イオン源層 22A, 第 2 イオン源層 22B) を積層するようにしたが、イオン源層 22 を単層と

50

し、このイオン源層内に下部電極10から上部電極30に向かって変化するTe等の元素の濃度勾配を設けてもよい。これにより、上記実施の形態等には劣るが、熱によるイオン源層22の劣化が抑制され、データの保持特性が向上すると考えられる。

【0100】

なお、本技術は以下のような構成もとることができる。

(1) 第1電極、記憶層および第2電極をこの順に有し、前記記憶層は、前記第1電極側に設けられた抵抗変化層と、少なくとも1種の金属元素を含むと共に、前記第2電極側に設けられたイオン源層とを備え、前記イオン源層は、テルル(Te)、硫黄(S)およびセレン(Se)のうちの少なくとも1種のカルコゲン元素を含むと共に、前記抵抗変化層側に設けられた第1イオン源層と、前記第1イオン源層とはカルコゲン元素の含有量が異なると共に、前記第2電極側に設けられた第2イオン源層とからなる記憶素子。

10

(2) 前記第1イオン源層は、テルル(Te)、硫黄(S)およびセレン(Se)のうちの少なくとも1種のカルコゲン元素および前記記憶層内の移動が容易な移動容易元素を含み、前記第1電極から第2電極に向かって前記移動容易元素の濃度勾配を有する第1層と、前記記憶層内を移動しにくい移動困難元素を含む第2層とが少なくとも1層ずつ積層されている、前記(1)に記載の記憶素子。

(3) 前記金属元素は、銅(Cu)、アルミニウム(Al)、ゲルマニウム(Ge)および亜鉛(Zn)のうちの少なくとも1種類の金属元素である、前記(1)に記載の記憶素子。

(4) 前記金属元素は、チタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、モリブデン(Mo)およびタングステン(W)からなる遷移金属の群のうちの少なくとも1種類である、前記(1)に記載の記憶素子。

20

(5) 前記第2イオン源層に含まれるカルコゲン元素の含有量は前記第1イオン源層よりも少ない、前記(1)乃至(4)のいずれか1つに記載の記憶素子。

(6) 前記第2イオン源層に含まれる銅(Cu)、アルミニウム(Al)、ゲルマニウム(Ge)および亜鉛(Zn)のうちの少なくとも1種類の金属元素の含有量は、前記第1イオン源層よりも多い、前記(1)乃至(5)のいずれか1つに記載の記憶素子。

(7) 前記第2イオン源層に含まれる、チタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、モリブデン(Mo)およびタングステン(W)からなる遷移金属の群のうちの少なくとも1種類の金属元素の含有量は、前記第1イオン源層よりも多い、前記(1)乃至(6)のいずれか1つに記載の記憶素子。

30

(8) 前記第2イオン源層の融点は前記第1イオン源層よりも高い、前記(1)乃至(7)のいずれか1つに記載の記憶素子。

(9) 前記第2イオン源層の抵抗値は前記第1イオン源層よりも低い、前記(1)乃至(8)のいずれか1つに記載の記憶素子。

(10) 前記第2イオン源層に含まれる酸素(O)の含有量が、前記第1イオン源層よりも多い、前記(1)乃至(9)のいずれか1つに記載の記憶素子。

(11) 前記第1イオン源層は層内に前記第1電極側から第2電極側に向かってカルコゲン元素の濃度勾配を有する、前記(1)乃至(10)のいずれか1つに記載の記憶素子。

40

(12) 前記第2イオン源層の融点は、前記第1イオン源層を構成する複数の層のうちの前記抵抗変化層に接する層よりも高い、前記(2)乃至(11)のいずれか1つに記載の記憶素子。

(13) 前記第2イオン源層の抵抗値は、前記第1イオン源層を構成する複数の層のうちの前記抵抗変化層に接する層よりも低い、前記(2)乃至(12)のいずれか1つに記載の記憶素子。

(14) 前記第1電極および前記第2電極への電圧印加によって前記抵抗変化層内に前記金属元素を含む低抵抗部が形成されることにより抵抗値が変化する、前記(1)乃至(13)のいずれか1つに記載の記憶素子。

50

(15) 第1電極、記憶層および第2電極をこの順に有する複数の記憶素子と、前記複数の記憶素子に対して選択的に電圧または電流のパルス印加するパルス印加手段とを有し、前記記憶層は、前記第1電極側に設けられた抵抗変化層と、少なくとも1種の金属元素を含むと共に、前記第2電極側に設けられたイオン源層とを備え、前記イオン源層は、テルル(Te)、硫黄(S)およびセレン(Se)のうちの少なくとも1種のカルコゲン元素を含むと共に、前記抵抗変化層側に設けられた第1イオン源層と、前記第1イオン源層とはカルコゲン元素の含有量が異なると共に、前記第2電極側に設けられた第2イオン源層とからなる記憶装置。

(16) 基板上に第1電極を形成する工程と、前記第1電極上に抵抗変化層を形成する工程と、前記抵抗変化層上に金属元素および、テルル(Te)、硫黄(S)およびセレン(Se)のうちの少なくとも1種のカルコゲン元素を含む第1イオン源層を形成する工程と、前記第1イオン源層上に前記第1イオン源層とはカルコゲン元素の含有量が異なる第2イオン源層を形成する工程と、前記第1イオン源層上に第2電極を形成する工程とを含む記憶素子の製造方法。

10

(17) 前記第1イオン源層は、テルル(Te)、硫黄(S)およびセレン(Se)のうちの少なくとも1種のカルコゲン元素を含むカルコゲン層、電解質中での移動が容易な移動容易元素を少なくとも1種含む移動層および電解質中で移動しにくい移動困難元素を少なくとも1種含む固定層をそれぞれ1層以上積層し、少なくとも一部をカルコゲン層、移動層およびカルコゲン層の順に積層する、前記(16)に記載の記憶素子の製造方法。

(18) 前記第2電極を形成したのち加熱処理を行い、前記カルコゲン層と移動層との混合層を形成する、前記(16)または(17)に記載の記憶素子の製造方法。

20

(19) 前記カルコゲン層、移動層および固定層のうち、少なくとも前記カルコゲン層を2層以上有すると共に、少なくとも一部が前記カルコゲン層、移動層、カルコゲン層の順に積層されている、前記(16)乃至(18)のいずれか1つに記載の記憶素子の製造方法。

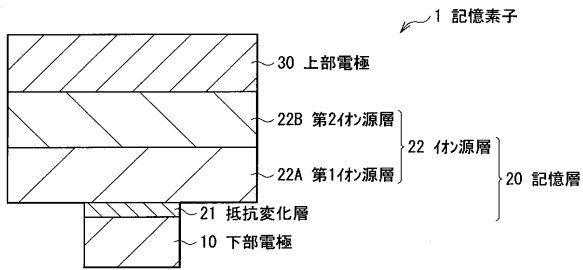
#### 【符号の説明】

#### 【0101】

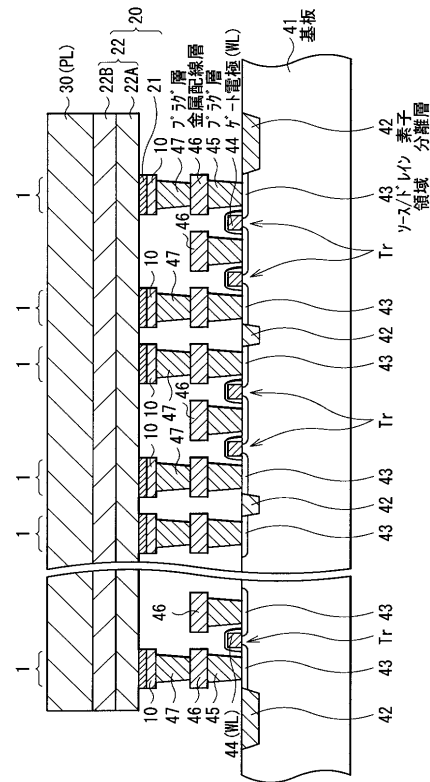
1, 2, 3A, 3B...記憶素子、1...下部電極、20, 60, 70...記憶層、21, 61...抵抗変化層、22, 62, 72...イオン源層、30...上部電極、41...半導体基板、43...ソース/ドレイン領域、44...ゲート電極、45, 47...プラグ層、46...金属配線層、48...アクティブ領域、51, 52...コンタクト部、61A...第1抵抗変化層、62B...第2抵抗変化層、72A...第1層、72B...第2層、

30

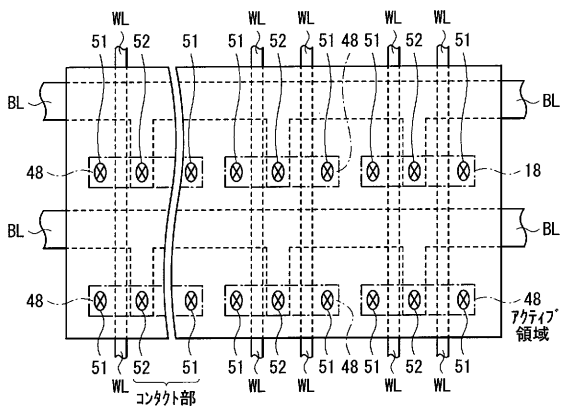
【図 1】



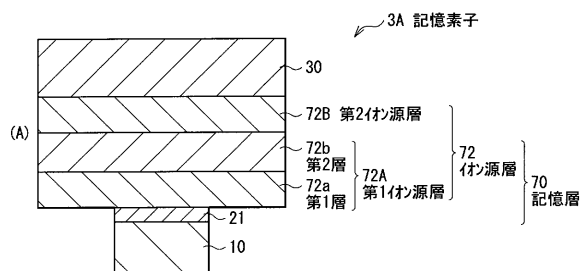
【図 2】



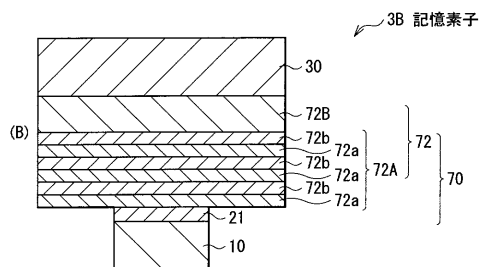
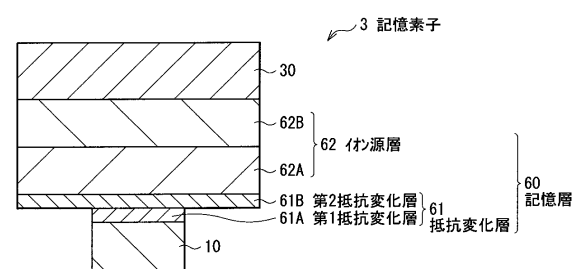
【図 3】



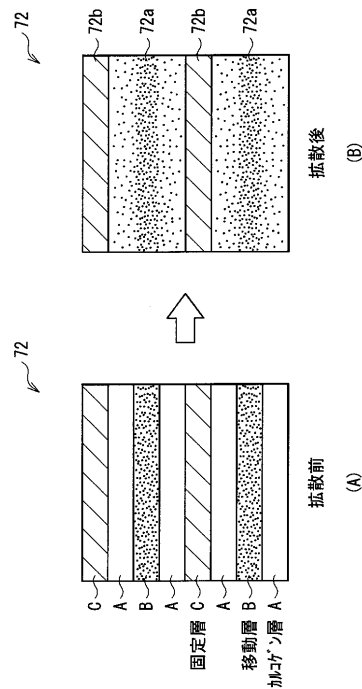
【図 5】



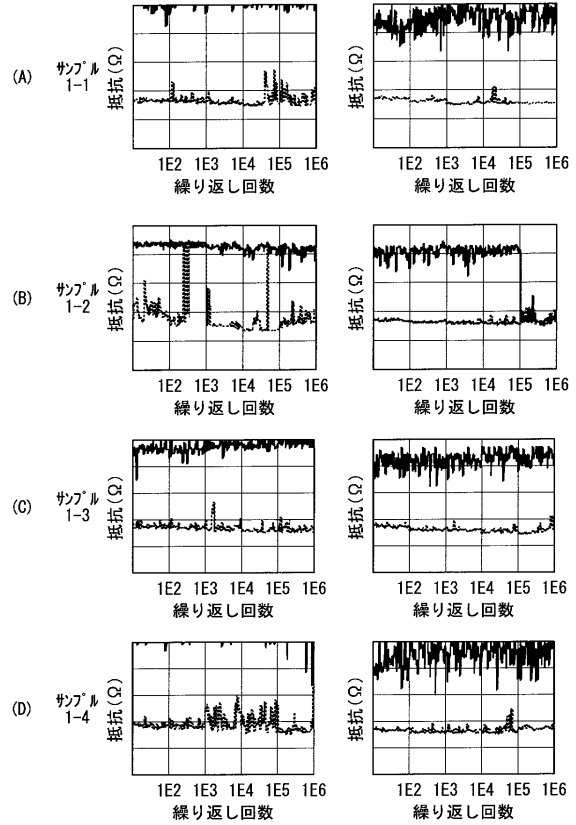
【図 4】



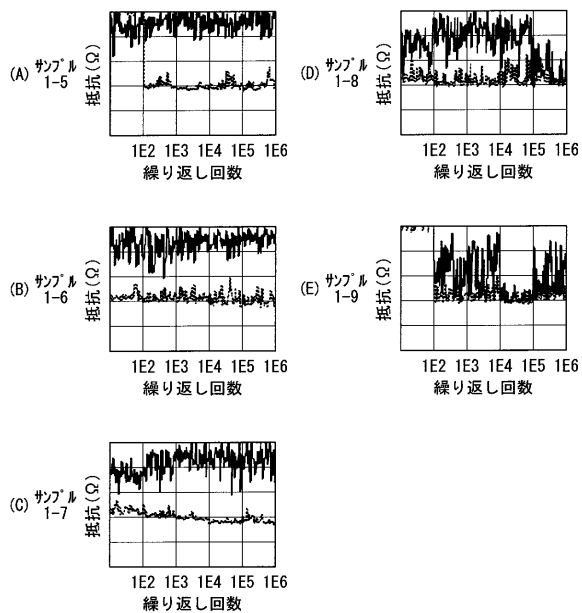
【図 6】



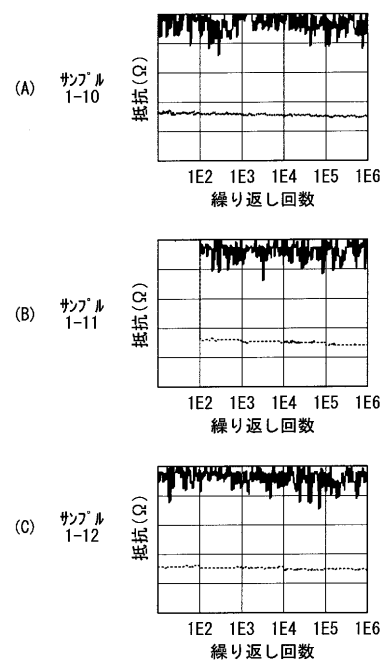
【図 7】



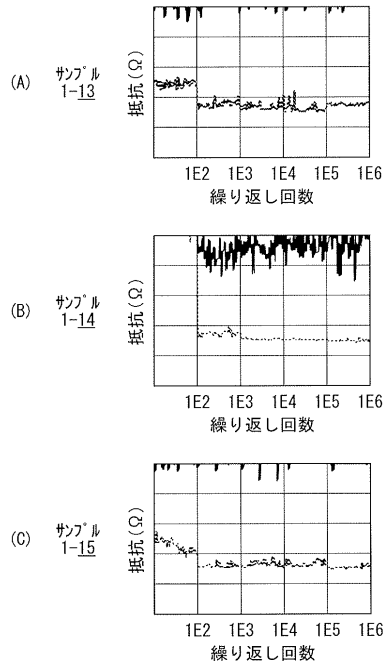
【図 8】



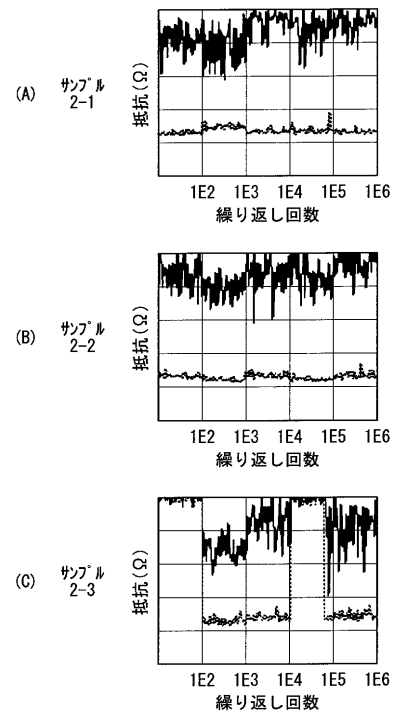
【図 9】



【図 10】



【図 11】



---

フロントページの続き

- (72)発明者 保田 周一郎  
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 水口 徹也  
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 大場 和博  
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 荒谷 勝久  
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 小山 満

- (56)参考文献 特開2009-049322(JP,A)  
特開2007-189087(JP,A)  
特開2009-043757(JP,A)  
特開2009-135206(JP,A)  
特開2009-164467(JP,A)  
特開2008-205023(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- |      |        |
|------|--------|
| H01L | 27/105 |
| H01L | 45/00  |
| H01L | 49/00  |