

(12) 发明专利申请

(10) 申请公布号 CN 103427021 A

(43) 申请公布日 2013. 12. 04

(21) 申请号 201310347810. X

(22) 申请日 2013. 08. 09

(71) 申请人 中国科学院上海硅酸盐研究所

地址 200050 上海市长宁区定西路 1295 号

(72) 发明人 王群 陈立东

(74) 专利代理机构 上海瀚桥专利代理事务所

(普通合伙) 31261

代理人 曹芳玲 郑优丽

(51) Int. Cl.

H01L 45/00(2006. 01)

G11C 13/00(2006. 01)

B82Y 10/00(2011. 01)

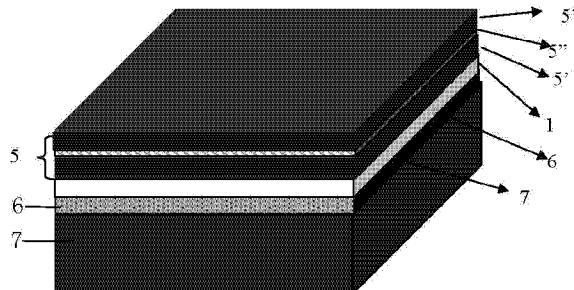
权利要求书1页 说明书6页 附图3页

(54) 发明名称

低功耗电阻式随机存储器的存储单元及其制备方法

(57) 摘要

本发明涉及一种低功耗电阻式随机存储器的存储单元及其制备方法，所述存储单元由顶电极、存储材料 / 有机分子复合物层、底电极及衬底组成，所述存储材料 / 有机分子复合物层为通过分子插层技术在层状电阻存储材料的分子层之间插入有机分子形成的复合物层，所述层状电阻存储材料为层状的氧化物或硫族化合物，所述有机分子为烷基胺、聚苯胺、聚吡咯或聚噻吩。



1. 一种低功耗电阻式随机存储器的存储单元,其特征在于,所述存储单元由顶电极、存储材料 / 有机分子复合物层、底电极及衬底组成,所述存储材料 / 有机分子复合物层为通过分子插层技术在层状电阻存储材料的分子层之间插入有机分子形成的复合物层,所述层状电阻存储材料为层状的氧化物或硫族化合物,所述有机分子为烷基胺、聚苯胺、聚吡咯或聚噻吩。

2. 根据权利要求 1 所述的存储单元,其特征在于,所述层状电阻存储材料为 V₂O₅ 或 Sb₃₅Te₆₅。

3. 根据权利要求 1 或 2 所述的存储单元,其特征在于,插入的有机分子形成的插层的厚度为 0.1 ~ 1 纳米。

4. 根据权利要求 1 ~ 3 中任一项所述的存储单元,其特征在于,所述顶电极和 / 或底电极的材料为 Pt、Au、Ni、Ti、W、Mo、Al、Ag-Al 合金、ITO 或者 FTO。

5. 根据权利要求 1 ~ 4 中任一项所述的存储单元,其特征在于,所述顶电极和 / 或底电极的厚度为 50 ~ 100 纳米。

6. 一种制备权利要求 1 ~ 5 中任一项所述的低功耗电阻式随机存储器的存储单元的方法,其特征在于,所述方法包括:

将所述层状电阻存储材料制备成稳定的溶胶,采用该溶胶通过分子插层的方法将所述有机分子插入所述层状电阻存储材料的分子层之间得到存储材料 / 有机分子复合纳米材料;

采用所述存储材料 / 有机分子复合纳米材料在沉积有底电极的衬底上制备出存储材料 / 有机分子复合物层;以及

利用光刻技术在所述存储材料 / 有机分子复合物层的表面形成沟槽,并在所述沟槽中沉积顶电极。

7. 根据权利要求 6 所述的方法,其特征在于,所述溶胶通过无机盐法、离子交换法、醇盐水解法或者熔融淬冷法制备。

8. 根据权利要求 6 或 7 所述的方法,其特征在于,所述分子插层的方法包括聚合物溶液插层法、聚合物熔融插层法、单体层间聚合法、以及溶胶 - 凝胶法。

9. 根据权利要求 6 ~ 8 中任一项所述的方法,其特征在于,所述有机分子和层状电阻存储材料的摩尔比为 0.01 ~ 0.1 :1。

10. 根据权利要求 6 ~ 9 中任一项所述的方法,其特征在于,通过溅射法、溶胶 - 凝胶法、旋涂法、喷涂法或电沉积法制备所述存储材料 / 有机分子复合物层。

低功耗电阻式随机存储器的存储单元及其制备方法

技术领域

[0001] 本发明涉及一种基于分子插层技术的低功耗电阻式随机存储器的多层膜单元及其制备方法。

背景技术

[0002] 随着信息科技的飞速发展,研制开发高速度、大容量永久存储器成为推动数字技术快速发展的必要条件。电阻式随机存储器(RRAM)是指在外电场作用下,利用存储单元高低电阻态来实现数据存储的一种新型存储器。RRAM 器件基本结构由金属电极 / 氧化物薄膜 / 金属电极(MOM)组成,在 RRAM 存储过程中,利用可编程电压来驱动 RRAM 器件中超高密度纵横闩阵列中的氧空位迁移,从而以非挥发方式改变位元单元的阻值。RRAM 以其结构简单、存储密度高、读写速度快等优点等优势,在下一代非易失性存储器中脱颖而出,并已成为当前材料学、微电子学、物理学等研究领域的热点。最重要的是,RRAM 器件显示出非常可观的微缩化潜力。据报道,M. Kund 等人通过在 W 底电极上淀积惰性 Si₃N₄,刻蚀出直径为 20nm 的通孔后依次填充 W、GeSe 介质层和 Ag 顶电极的方法制备出 20nm 的 RRAM 器件(参见对比文件 1),从而提供了 RRAM 器件单元突破 20nm 的可能性,这也使得 RRAM 在众多的 NVM 器件中更加具有吸引力。

[0003] 高密度是存储器追求的一个重要指标,三维化设计是实现高密度的重要手段。目前在 RRAM 器件研制中目前还存在很多问题,尤其是,在 RRAM 单元结构的 3D 集成中,当阵列很大或者多层阵列堆叠时,三维交叉堆叠器件中的漏电通道将大量出现,导致 RRAM 存储结构的误读现象严重,目前的解决方式往往带来增加设计复杂度和成本、丧失 RRAM 可缩小性优势、操作电压增加、重复性变差等问题。此外,RRAM 器件中的复位电流偏大带来的功耗较高也阻碍了电阻存储器的实际应用。

[0004] 图 1 示出已经报道的传统电阻存储单元结构图(参见对比文件 2),它采用了金属电极 - 电阻存储薄膜 - 金属电极(MIM)三明治结构。其中 1 是金属底电极,2 是电阻存储薄膜,3 是金属顶电极,三者共同组成存储单元。图 2 是电阻存储单元的 I-V 特性曲线的示意图(参见对比文件 2),电压扫描方向如箭头所示。曲线 101 为初始态为高阻态的 IV 曲线,当电压由 0 增大到 V_{T1} 时,电流突然迅速增大,存储电阻由高阻态突变到低阻态;曲线 100 为初始态为低阻态的 IV 曲线,当电压由 0 增大到 V_{T2} 时,电流突然迅速增大,存储电阻由低阻态突变到高阻态。通常称从高阻态转换为低阻态的操作为置位(set)操作,从低阻态转换为高阻态的操作为复位(reset)操作。在 RRAM 器件使用中,reset 操作电流将达到 0.01A 数量级。由于低阻态电阻值很低(约几十欧姆),在此时存储状态的读电流将达到 mA 数量级。因此,根据功耗公式 P=I²R,复位电流大将带来大的功耗,这将成为电阻存储技术发展的瓶颈之一。找到一种降低电阻存储器复位电流的方法,具有很大的实际应用意义。

[0005] 图 3 是三星电子申请专利的一种 RRAM 结构(参见对比文件 3),它与传统的 MIM 三明治结构的不同之处在于:在电阻存储薄膜与上电极之间增加了一个电流控制层。如图 3 所示,1 是底电极,2 是电阻存储薄膜,3 是顶电极,4 是电流控制层。电流控制层 4 的电阻范

围在大约 10 欧姆到 10k 欧姆。通过电流控制层提高介电性能,可以使 RRAM 单元的低阻态电阻升高,从而可以降低低阻态的电流值,根据功耗公式 $P=I^2R$,电流明显降低,电阻部分增大,整体电阻存储单元的读或写的功耗可以得到降低。其电流控制层的成分可以是过渡金属元素掺杂 ZnO_x 及 RuO_x 、过渡金属氧化物、掺杂 Al 和 In 的 ZnO_x 和 RuO_x 、金属掺杂的 SiO_2 和 ZrO_2 。但是在实际电阻存储器的制作过程中,图 3 所示结构中的电流控制层是通过 CVD 或者溅射等方法形成的,过渡金属元素的氧化物和多元掺杂的金属氧化物形成过程相当复杂,尤其是金属掺杂氧化物,在常规集成电路制作方法中其薄膜成分比例控制较难,而且过渡金属元素对于 CMOS 集成电路工艺设备具有一定的污染性。

[0006] 研究表明,具有电阻转变效应的材料种类繁多,其中很多材料具有层状结构,包括 V_2O_5 等氧化物以及 $Sb_{35}Te_{65}$ 等硫族化物和一些超导体系的材料(参见对比文件 4)。插层复合材料借助层状化合物和插入其分子层间的异质物质(原子、分子或离子)构成层状或层柱状化学物质。由于插层反应发生在分子层间,这种结构可以被用在纳米量级存储阵列的制作中。

[0007] 现有技术

对 比 文 件 1 :Kund M. ; 等 ,Electron Devices Meeting, 2005, IEDM Technical Digest, IEEE International, pp. 754 - 757. ISBN:0-7803-9268-x, Washington, DC, Dec. 20 05, IEEE ;

对比文件 2 :A. Chen, S. 等, IEDM Tech Dig., p. 746, 2005 ;

对比文件 2 :Myoung Lee, 等, 美国专利 US11/654003 ;

对比文件 4 :April D. 等, 美国专利 US8173486B2。

发明内容

[0008] 面对现有技术存在的问题,本发明旨在提供一种新颖的低功耗电阻式随机存储器的存储单元结构。

[0009] 在此,本发明首先提供一种低功耗电阻式随机存储器的存储单元,所述存储单元由顶电极、存储材料 / 有机分子复合物层、底电极及衬底组成,所述存储材料 / 有机分子复合物层为通过分子插层技术在层状电阻存储材料的分子层之间插入有机分子形成的复合物层,所述层状电阻存储材料为层状的氧化物或硫族化合物,所述有机分子为烷基胺、聚苯胺、聚吡咯或聚噻吩。

[0010] 本发明提供的低功耗电阻式随机存储器的存储单元具有通过分子插层技术在层状电阻存储材料的分子层之间插入有机分子形成的复合物层,即、以层状电阻存储材料为主体材料,并在其中插入有机分子层形成介质层,作为电阻存储薄膜的串联电阻层,减小存储器的复位操作电流和读电流,而且复合物层通过选择插层有机分子种类,可以形成不同介电特性的电阻存储单元电流控制层,用以提高低阻态的电阻值,降低电阻存储器复位电流,从而达到降低 RRAM 存储单元的读写功耗的目的。同时,它在存储薄膜多层阵列堆叠时,有利于解决存储薄膜单元间存在的漏电通道增多、漏电流增大的问题。

[0011] 较佳地,所述层状电阻存储材料可为 V_2O_5 或 $Sb_{35}Te_{65}$ 。

[0012] 较佳地,插入的有机分子形成的插层的厚度可为 0.1 ~ 1 纳米。

[0013] 较佳地,所述顶电极和 / 或底电极的材料可为 Pt、Au、Ni、Ti、W、Mo、Al、Ag-Al 合

金、ITO 或者 FTO。

[0014] 较佳地，所述顶电极和 / 或底电极的厚度可为 50 ~ 100 纳米。

[0015] 本发明还提供一种制备上述低功耗电阻式随机存储器的存储单元的方法，包括：

将所述层状电阻存储材料制备成稳定的溶胶，采用该溶胶通过分子插层的方法将所述有机分子插入所述层状电阻存储材料的分子层之间得到存储材料 / 有机分子复合纳米材料；

采用所述存储材料 / 有机分子复合纳米材料在沉积有底电极的衬底上制备出存储材料 / 有机分子复合物层；以及

利用光刻技术在所述存储材料 / 有机分子复合物层的表面形成沟槽，并在所述沟槽中沉积顶电极。

[0016] 较佳地，所述溶胶可通过无机盐法、离子交换法、醇盐水解法或者熔融淬冷法制备。

[0017] 较佳地，所述分子插层的方法可包括聚合物溶液插层法、聚合物熔融插层法、单体层间聚合法、以及溶胶 - 凝胶法。

[0018] 较佳地，所述有机分子和层状电阻存储材料的摩尔比可为 0.01 ~ 0.1 :1。

[0019] 较佳地，可通过溅射法、溶胶 - 凝胶法、旋涂法、喷涂法或电沉积法制备所述存储材料 / 有机分子复合物层。

[0020] 本发明通过分子插层的方法可在电阻存储薄膜中插入有机分子层形成介质层，作为电阻存储薄膜的串联电阻层，减小存储器的复位操作电流和读电流，并用以避免多层存储薄膜间的漏电通道。

附图说明

[0021] 图 1 示出现有的传统电阻存储单元结构图；

图 2 示出电阻存储单元的 I-V 特性曲线的示意图；

图 3 示出三星电子的专利申请中的 RRAM 结构；

图 4A 和 4B 分别示出 V_2O_5 的晶体结构以及 $V_2O_5/PANI$ 插层结构；

图 5 示出有机分子插层后存储单元的结构图；

图 6 示出图 5 存储单元的阵列图；

图 7 示出一个示例实施例的存储单元中有机分子插层后透射电子显微图像；

图 8 示出一个示例实施例的存储单元的表面纳米顶电极阵列；

符号说明：

1 底电极；

2 电阻存储薄膜；

3 顶电极；

4 电流控制层；

5 复合物层；

5' 复合物层中的主体层；

5'' 复合物层中的有机分子插层；

6 氧化层；

- 7 衬底；
- 8 绝缘介质；
- 9 互连线。

具体实施方式

[0022] 以下，结合附图和下述实施方式进一步说明本发明。应理解，附图具体实施方式仅用于说明本发明而非限制本发明。

[0023] 本发明提供的低功耗电阻式随机存储器，是通过降低 RRAM 存储器的复位操作或读操作的电流方法实现存储器功耗的降低。实现方法在于通过在电阻存储薄膜中插入有机分子层形成介质层，作为电阻存储薄膜的串联电阻层，减小存储器的复位操作电流和读电流，并用以避免多层存储薄膜间的漏电通道。

[0024] 参见图 5 和 6，其示出有机分子插层后存储单元的示意结构图及其阵列图，存储单元可以包括衬底 7，氧化物层 6、底电极 1、复合物层 5、顶电极 3。衬底 7 可选用硅衬底，氧化物层可为氧化硅层，底电极 1 和或顶电极 3 的材料为 Pt、Au、Ni、Ti、W、Mo、Al、Ag-Al 合金、ITO（氧化铟锡）或者 FT0（氟掺杂氧化锡）。底电极 1 和或顶电极 3 可为厚度为 50 ~ 100 纳米的薄膜结构。复合物层 5 可以包括由层状存储材料形成的主体层 5' 和插入其中的有机物分子插层 5"。在本发明中，作为电阻存储薄膜的主体可以采用具有电阻转变效应的层状材料，例如 V_2O_5 等氧化物以及 $Sb_{35}Te_{65}$ 等硫族化物和一些超导体系的材料。例如，参见图 4A，其示出在本发明中可作为电阻存储薄膜的主体材料的 V_2O_5 的晶体结构。作为插入的有机分子，可以是烷基胺、聚苯胺、聚吡咯、聚噻吩等材料。插入的有机物分子层起到多层存储薄膜堆垛结构中的介质层及电流控制层的作用，并且其插层尺寸及介电特性可调，通过选择插层有机分子种类，可以形成不同介电特性的电阻存储单元电流控制层。参见图 4B，其示出聚苯胺（PANI）插入层状 V_2O_5 中形成的 $V_2O_5/PANI$ 插层结构 5，其中上下两层为 V_2O_5 主体层 5'，中间为 PANI 有机分子插层 5"。有机物分子插层 5" 的厚度可为 0.1 ~ 1 纳米。当在层状硫族化合物中进行有机分子插层，用于插层的有机物的分子量可在 1000~100000 范围。顶电极 3 形成在复合物层 5 的表面，对应于插层单元的中央区域。图 5 和 6 虽然只示出一个复合物层 5、顶电极 3，但是实际可以具有多个重复的单元，例如多个复合物层 5、顶电极 3 形成多层阵列堆垛结构，再通过沉积在各个顶电极 3 上的互连线 9，引出上电极，形成器件单元或阵列。互连线 9 的材料可采用 Al、Cu 或 Al-Cu 合金材料的任意一种。

[0025] 本发明中可采用如下方式制备所述电阻存储器件单元：

- (1) 在清洗干净的衬底上热氧化一层氧化层；
- (2) 沉积底电极薄膜材料；
- (3) 将层状电阻存储材料制备成稳定的溶胶；
- (4) 采用分子插层技术将有机分子插入作为主体材料的无机层状电阻存储材料分子层内，制备出存储材料 / 有机分子复合纳米材料，有机分子和层状电阻存储材料的摩尔比为 0.01 ~ 0.1 : 1；
- (5) 将存储材料 / 有机分子复合纳米材料制备成为薄膜结构形成复合物层；
- (6) 利用光刻技术在复合物层表面形成沟槽（具体地，利用光刻工艺在电阻存储薄膜上形成窗口，再利用刻蚀工艺在窗口刻蚀形成沟），向其中沉积顶电极材料，形成多层膜单元

块；

(7) 重复以上复合物层及顶电极制备工艺,制备出多层阵列堆垛结构;

(8) 顶电极间沉积互连线,通过引线引出上电极,形成器件单元或阵列(参见图 8)。

[0026] 层状电阻存储材料的溶胶可以通过无机盐法、离子交换法、醇盐水解法或者熔融淬冷法制备。插层方法可以是聚合物溶液插层法,聚合物熔融插层法,单体层间聚合法,以及溶胶-凝胶法等。复合物层可以是通过溅射法、溶胶-凝胶法、旋涂法、喷涂法、电沉积法等制备。底电极薄膜、顶电极薄膜可以用磁控溅射、脉冲激光沉积或者化学气相沉积、等离子体辅助化学气相沉积等方法制备,制备的底电极、顶电极薄膜的厚度可为 50-100nm。

[0027] 本发明进一步示出以下实施例以更好地说明本发明。应理解,以下实施例只用于对本发明进行进一步说明,不能理解为对本发明保护范围的限制,本领域的技术人员根据本发明的上述内容作出的一些非本质的改进和调整均属于本发明的保护范围。下列实施例中未注明具体条件的实验方法,通常按照常规条件。

[0028] 实施例 1

(1) 在清洁的硅衬底上,用热氧化方法生长一层氧化硅,然后用丙酮超声,依此在氨水加双氧水、盐酸加双氧水的清洗液中加热清洗干净。热氧化的温度为 900 ~ 1100°C,热氧化生产的 SiO₂ 层厚度为 400 ~ 600nm。

[0029] (2) 在清洁后的表面上沉积底电极,底电极薄膜材料可以是 Pt, Au, Ni, Ti, W, Mo, Al, Ag-Al 合金, ITO 或者 FTO 中的任何一种。底电极薄膜厚度为 50-100nm。

[0030] (3) 称取分析纯 V₂O₅ 粉末,通过 800°C 高温熔融、低温淬冷、搅拌,以及随后的加热溶解、静置,合成出纯度高、稳定性好的 V₂O₅ 溶胶。

[0031] (4) 按摩尔比(苯胺 :V₂O₅) 为 0.25:1,称取 1ml 苯胺,加入 10ml 水配成溶液,逐滴加入单体加入 50ml V₂O₅ 溶胶中,室温下在磁力搅拌机上充分搅拌,反应 24 小时,最后形成墨绿色 PANI-V₂O₅ 混合悬浮液。

[0032] (5) 由于 PANI 以 emeraldine salt 形式存在,V₂O₅ 溶胶作为带相反电荷的离子补偿氮原子所带的正电荷,使得 PANI-V₂O₅ 纳米复合粒子带负电,因此可以采用电沉积方法制备 PANI-V₂O₅ 纳米复合薄膜。将 PANI-V₂O₅ 混合悬浮液放入电泳槽,用薄石墨片和经过步骤(2)制备的带有底电极的基片分别做阴极和阳极极板,两级相距 2cm,用直流稳压电源提高 20V 电压,电沉积 1min,在阳极上形成一层薄膜。在电沉积过程中,选择所加直流偏压、沉积温度、沉积时间等参数,制备插层复合薄膜。

[0033] (6) 将镀的薄膜连同衬底在真空中 60°C 干燥,得到墨绿色的 PANI-V₂O₅ 纳米复合薄膜(参见图 5)。

[0034] (7) 在复合薄膜表面上采用光刻工艺刻蚀,光刻工艺在电阻存储薄膜上形成窗口,再利用刻蚀工艺在窗口刻蚀形成沟槽。在沟槽中沉积顶电极,并用化学机械抛光方法去除表面上多余的顶电极材料,形成管状电极和多层膜单元块(图 6)。顶电极可以是 Pt, Au, Ni, Ti, W, Mo, Al, Ag-Al 合金, ITO 或者 FTO 中的任何一种。顶电极薄膜厚度 50-100nm。对光刻胶材料用化学机械抛光进行去除处理。

[0035] (8) 对准顶电极,采用套刻工艺在间隔中沉积绝缘介质。绝缘介质层可以是 SiO₂、Si₃N₄ 等。

[0036] (9) 重复以上复合薄膜及顶电极制备工艺,制备出多层阵列堆垛结构。

[0037] (10) 在顶电极材料上沉积互连线，连线可以为 Al、Cu 或 Al-Cu 合金材料的任意一种。

[0038] 实施例 2

将实施例 1 中第(4)步的苯胺，换成十二烷基胺进行插层反应，然后在管状电极上端区域光刻、刻蚀形成存储薄膜与插层复合薄膜构成的多层膜单元块，作为存储介质。其它与实施例 1 类似，也能实现类似的效果。

[0039] 在本发明提及的所有文献都在本申请中引用作为参考，就如同每一篇文献被单独引用作为参考那样。此外应理解，在阅读了本发明的上述讲授内容之后，本领域技术人员可以对本发明作各种改动或修改，这些等价形式同样落于本申请所附权利要求书所限定的范围。

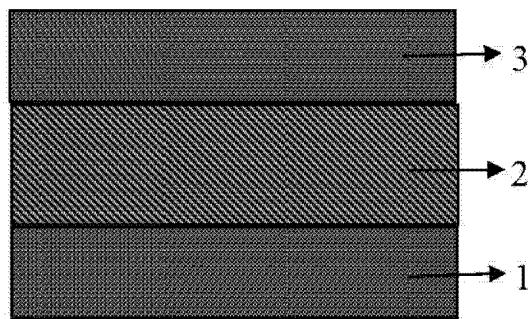


图 1

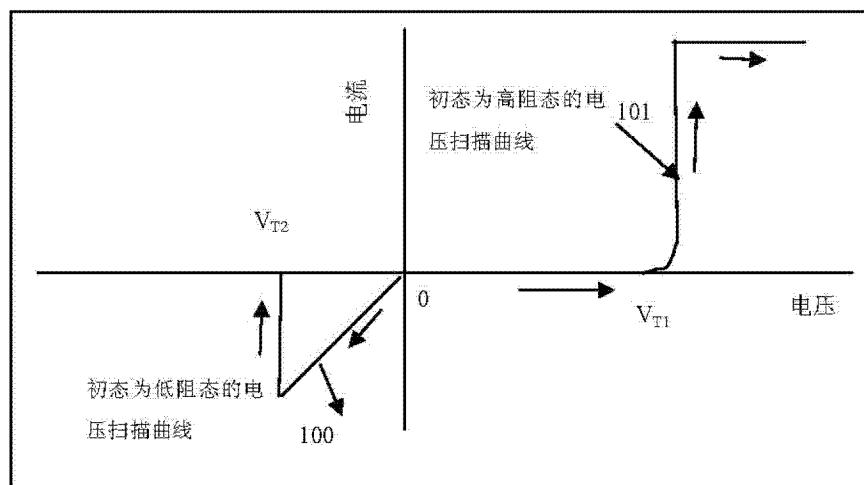


图 2

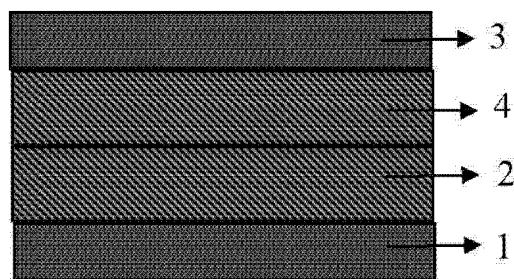


图 3

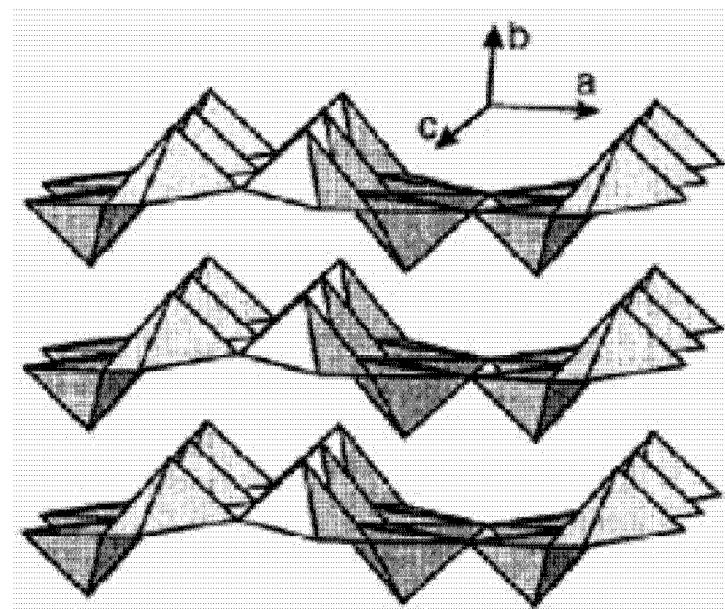


图 4A

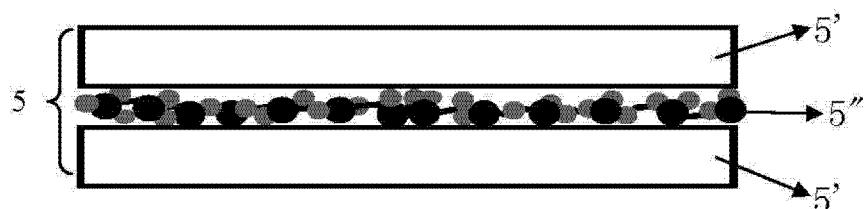


图 4B

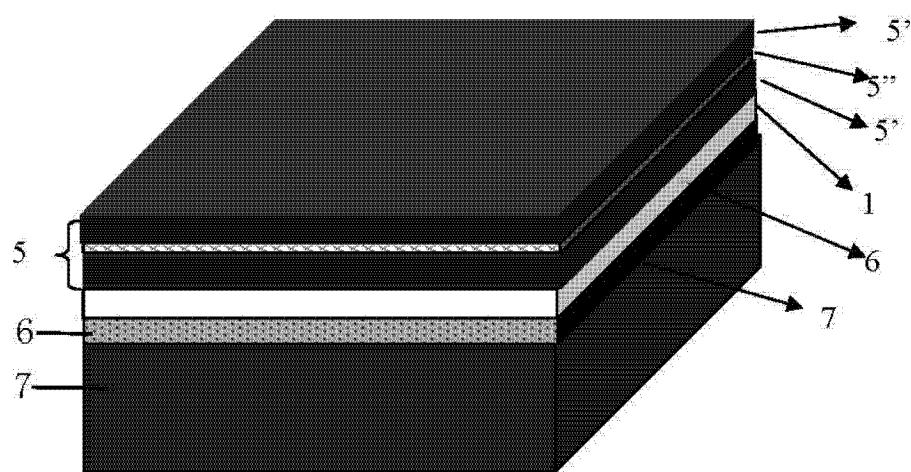


图 5

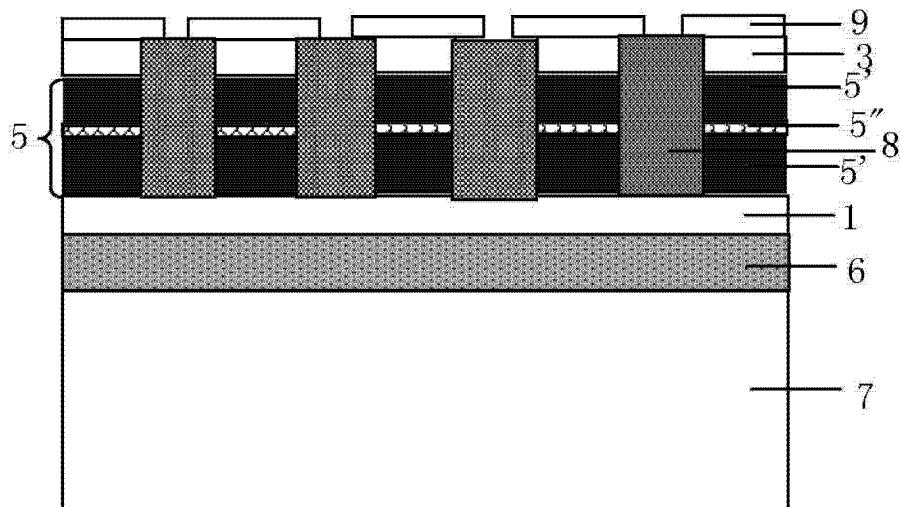


图 6

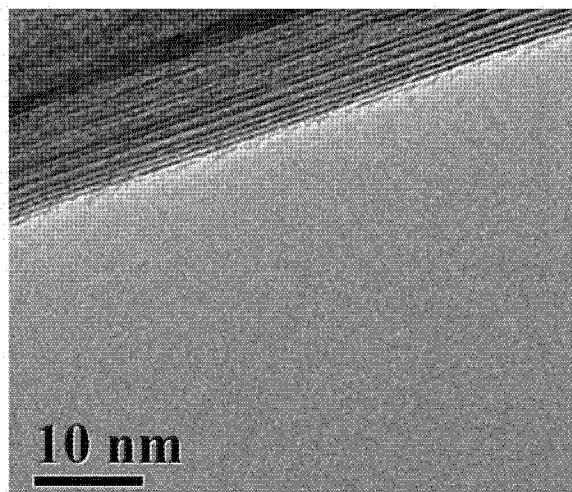


图 7

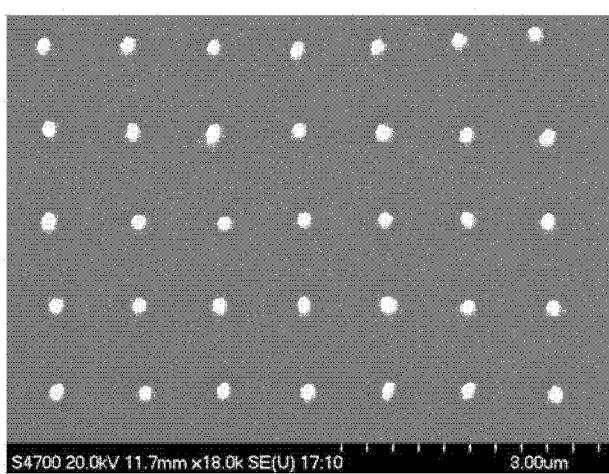


图 8