

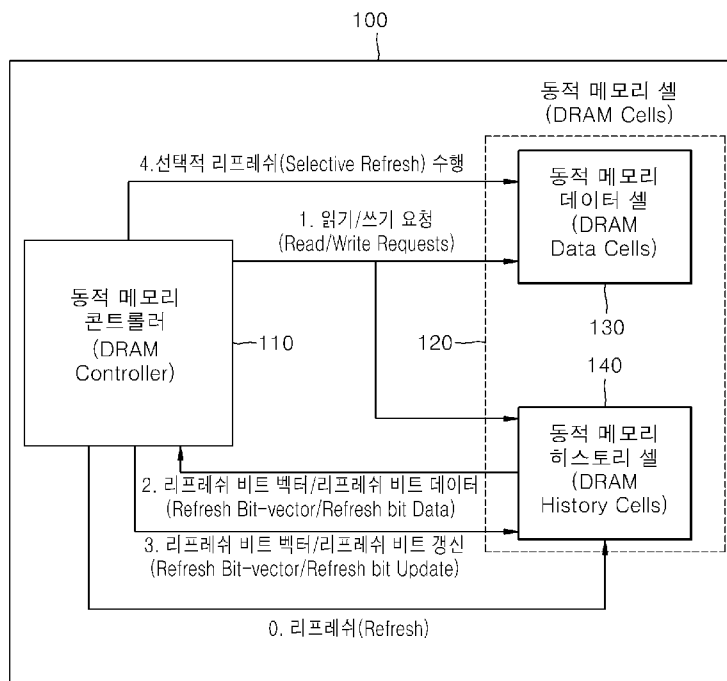


- (51) 국제특허분류: *G11C 11/406* (2006.01) *G11C 11/401* (2006.01)
G11C 11/4063 (2006.01)
- (21) 국제출원번호: PCT/KR2013/000558
- (22) 국제출원일: 2013년 1월 24일 (24.01.2013)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2013-0000616 2013년 1월 3일 (03.01.2013) KR
- (71) 출원인: 고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) [KR/KR]; 136-701 서울시 성북구 안암동 5가 1, Seoul (KR).
- (72) 발명자: 김선욱 (KIM, Seon Wook); 472-100 경기도 남양주시 도농동 부영 APT 214 동 2003 호, Gyeonggi-do (KR). 이호균 (LEE, Ho Kyoan); 136-084 서울시 성북구 보문동 4가 보문하우스토리 102 동 1507 호, Seoul (KR). 최규현 (CHOI, Kyu Hyun); 137-767 서울시 서초구 반포 2동 신반포한신 APT 23 동 206 호, Seoul (KR).
- (74) 대리인: 전중학 (JEON, Jong Hag); 135-717 서울시 강남구 역삼 1동 642-6 성지 3차빌딩 20층(대표:2009호), Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: DYNAMIC MEMORY DEVICE HAVING SELECTIVE REFRESH FUNCTION BASED ON READ AND WRITE ACCESS, AND SELECTIVE REFRESH METHOD THEREFOR

(54) 발명의 명칭 : 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치 및 그 선택적 리프레쉬 방법



(57) Abstract: The present invention relates to a dynamic memory device having a selective refresh function based on a read and write access and to a selective refresh method thereof, wherein a refresh operation is minimized by means of a selective refresh method in a dynamic memory semiconductor device.

(57) 요약서: 본 발명은 동적 메모리 반도체 장치에서 선택적인 리프레쉬 방식을 통해 리프레쉬를 최소화하도록 한 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치 및 그 선택적 리프레쉬 방법에 관한 것이다.



공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치 및 그 선택적 리프레쉬 방법

기술분야

- [1] 본 발명은 동적 메모리 장치 및 그 리프레쉬 방법에 관한 것으로, 특히 동적 메모리 반도체 장치에서 선택적인 리프레쉬 방식을 통해 리프레쉬를 최소화하도록 한 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치 및 그 선택적 리프레쉬 방법에 관한 것이다.

배경기술

- [2] DRAM(DYNAMIC RANDOM ACCESS MEMORY)과 같은 동적인 반도체 메모리 장치는 1-트랜지스터와 1-커패시터로 구성되는 메모리 셀 구조 특성상 리프레쉬 동작이 필수적이다.
- [3] DRAM 셀 커패시터에 저장된 데이터는 주기적인 리프레쉬 동작을 통하여 유지 및 보존된다.
- [4] 동적 메모리 장치에서의 이러한 리프레쉬 동작은 전력 소모를 증가시키며, 리프레쉬 동작이 많을수록 레이턴시(Latency)가 커져 데이터 입출력 속도의 효율성을 떨어트리는 요인으로 작용하게 된다.
- [5] 이러한 점을 개선하기 위해, 종래에도 선택적 리프레쉬 방식을 통해 동적 메모리 사용의 효율성을 향상시키는 구성 및 방법이 있었다.
- [6] 그러나, 종래의 동적 메모리에서의 선택적 리프레쉬 구성 및 방법은 동적 메모리와 연계된 메모리나 디스크 장치와 같은 다른 저장 장치와의 실제적 데이터 입출력 동작 방식을 고려하지 않고 단순히 입출력 시간이나 데이터의 상태 또는 동적 메모리 어레이(Array)의 내부 정보만을 이용하여 선택적인 리프레쉬를 수행하여 근본적인 리프레쉬 효율의 향상을 기대하기 어려웠다.
- [7] [선행기술문헌]
- [8] [특허문헌]
- [9] (특허문헌 1) 한국 등록 특허 제10-0642759호

발명의 상세한 설명

기술적 과제

- [10] 전술한 문제점을 개선하기 위한 본 발명 실시 예의 목적은 동적 메모리와 직접적인 데이터 교환을 수행하는 LLC와 물리적 저장 매체의 읽기 접근 및 쓰기 접근을 기초로 데이터 셀을 선택적으로 리프레쉬함으로써 동적메모리, LLC 및 물리적 저장 매체간의 중복 데이터의 연관성을 고려하여 리프레쉬를 최소화하도록 한 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치 및 그 선택적 리프레쉬 방법을 제공하는 것이다.
- [11] 전술한 문제점을 개선하기 위한 본 발명 실시 예의 다른 목적은 데이터 셀의 행

또는 액세스 블록과 대응하는 리프레쉬 비트 벡터 셀 및 복수의 리프레쉬 비트 벡터 셀을 대표하는 리프레쉬 비트 셀을 구성함으로써 리프레쉬 비트 셀의 갱신된 비트 값에 근거하여 리프레쉬할 행 또는 액세스 블록을 선택적으로 지정하여 리프레쉬하도록 한 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치 및 그 선택적 리프레쉬 방법을 제공하는 것이다.

과제 해결 수단

- [12] 상기한 목적을 달성하기 위한 본 발명의 일 실시 예에 따른 동적 메모리 장치는 동적 메모리 데이터 셀을 통해, 프로세서(Processor)의 LLC(Last Level Cache) 및 HDD(Hard Disk Drive) 또는 SSD(Solid State Drive)인 물리적 저장 매체 사이에서 데이터를 전달하는 동적 메모리 장치로서, 상기 LLC 또는 상기 물리적 저장 매체 중 하나 이상의 읽기 접근 및 쓰기 접근에 따른 기록이 저장되며, 상기 동적 메모리 데이터 셀의 행마다 액세스 블록의 수를 기준으로 구성된 동적 메모리 히스토리 셀, 상기 동적 메모리 히스토리 셀에 저장된 읽기 접근 및 쓰기 접근의 기록에 근거하여 상기 동적 메모리 데이터 셀에서 하나 이상의 리프레쉬할 셀을 지정하는 리프레쉬 후보 지정부 및 상기 LLC 또는 상기 물리적 저장 매체 중 하나 이상의 읽기 접근 및 쓰기 접근에 따른 데이터 교환 시에 상기 동적 메모리 히스토리 셀의 기록 저장을 제어하며, 상기 리프레쉬 후보 지정부에서 지정된 셀을 선택적으로 리프레쉬하는 제어부를 포함한다.
- [13] 상기 제어부는 상기 동적 메모리 히스토리 셀에 상기 LLC의 캐쉬 라인(Cache line) 갱신에 의한 읽기 접근 및 쓰기 접근 또는 상기 물리적 저장 매체와의 페이징(Paging)에 의한 읽기 접근 및 쓰기 접근에 따른 기록을 저장한다.
- [14] 상기 제어부는 상기 동적 메모리 히스토리 셀에 비트(Bit) 값으로 상기 읽기 접근과 상기 쓰기 접근을 서로 상이하게 구분하여 상기 기록으로 저장한다.
- [15] 이때, 상기 동적 메모리 히스토리 셀은 상기 동적 메모리 데이터 셀의 행(Row) 또는 하나 이상의 액세스 블록(Access Block)의 읽기 접근 및 쓰기 접근의 기록이 비트(Bit) 값으로 서로 상이하게 구분되어 저장되도록 상기 행 또는 하나 이상의 액세스 블록에 대응하여 비트 값이 저장되는 리프레쉬 비트 벡터 셀(Refresh Bit Vector Cells)을 구비하는 것이 바람직하다.
- [16] 또한, 상기 동적 메모리 히스토리 셀은 기 설정된 기준에 따라, 복수의 상기 리프레쉬 비트 벡터 셀에 저장된 각각의 비트 값을 대표하는 비트(Bit) 값이 저장되는 리프레쉬 비트 셀(Refresh Bit Cells)을 더 구비하는 것이 바람직하다.
- [17] 이때, 상기 리프레쉬 후보 지정부는 상기 리프레쉬 비트 셀의 저장된 비트 값에 근거하여, 상기 동적 메모리 데이터 셀에서 상기 저장된 비트 값에 대응하는 하나 이상의 리프레쉬할 셀을 지정하고, 상기 제어부는 상기 리프레쉬 비트 벡터 셀 및 상기 리프레쉬 비트 셀의 비트 값의 저장을 제어하며, 상기 리프레쉬 후보 지정부에서 상기 저장된 비트 값에 의해 리프레쉬하도록 지정된 셀을 선택적으로 리프레쉬한다..

- [18] 상기 제어부는 상기 LLC 또는 상기 물리적 저장 매체로부터 상기 동적 메모리 데이터 셀의 행 또는 하나 이상의 액세스 블록으로 데이터가 입력될 때, 그에 대응하는 리프레쉬 비트 벡터 셀에 해당 입력 접근에 대응하는 비트 값으로 1을 저장할 수 있다.
- [19] 또한, 상기 제어부는 상기 동적 메모리 데이터 셀의 행 또는 하나 이상의 액세스 블록으로부터 상기 LLC 또는 상기 물리적 저장 매체로 데이터가 출력될 때, 그에 대응하는 리프레쉬 비트 벡터 셀에 해당 출력 접근에 대응하는 비트 값으로 0을 저장할 수 있다.
- [20] 더불어, 상기 제어부는 상기 리프레쉬 비트 셀이 대표하는 상기 리프레쉬 비트 벡터 셀의 비트 값 중 하나 이상이 1이면 상기 리프레쉬 비트 셀의 비트 값을 1로 저장하며, 상기 리프레쉬 비트 벡터 셀의 비트 값이 모두 0이면 상기 리프레쉬 비트 셀의 비트 값을 0으로 저장할 수 있다.
- [21] 한편, 상기 리프레쉬 후보 지정부는 상기 리프레쉬 비트 셀의 비트 값이 0이면 상기 리프레쉬 비트 셀에 대응하는 상기 동적 메모리 데이터 셀의 해당 행 또는 해당 액세스 블록의 셀은 리프레쉬할 셀에서 제외하는 것이 바람직하다.
- [22] 상기 제어부는 비트 값이 1인 리프레쉬 비트 셀이 대표하는 리프레쉬 비트 벡터 셀의 비트 값이 0인 개수가 기 설정된 기준 이상이면 상기 동적 메모리 데이터 셀에서 상기 리프레쉬 비트 벡터 셀에 대응하는 행 또는 하나 이상의 액세스 블록에 대응하는 셀의 비트 값을 모두 상기 LLC로 전송할 수 있다.
- [23] 상기 제어부는 비트 값이 1인 리프레쉬 비트 셀이 대표하는 리프레쉬 비트 벡터 셀의 비트 값이 1인 개수가 기 설정된 기준 이상이면 상기 동적 메모리 데이터 셀에서 상기 리프레쉬 비트 벡터 셀에 대응하는 행 또는 하나 이상의 액세스 블록에 대응하는 셀의 비트 값을 모두 상기 물리적 저장 매체로 전송할 수도 있다.
- [24] 또한, 상기 제어부는 상기 LLC 또는 상기 물리적 저장 매체로 전송한 상기 동적 메모리 데이터 셀의 해당 셀에 대응하는 리프레쉬 비트 벡터 셀 및 이를 대표하는 리프레쉬 비트 셀의 비트 값을 모두 0으로 설정할 수도 있다.
- [25] 한편, 상기 리프레쉬 비트 벡터 셀의 개수는 행 버퍼 크기(Row buffer size) / 동적 메모리 데이터 셀의 액세스 블록 크기(DRAM access block size)인 것이 바람직하다.
- [26] 이때, 상기 동적 메모리 데이터 셀의 액세스 블록 크기는 상기 LLC의 캐쉬 라인 크기(Cache line size)인 것이 더욱 바람직하다.
- [27] 상기한 목적을 달성하기 위한 본 발명의 다른 실시 예에 따른 동적 메모리 장치는 동적 메모리 데이터 셀을 통해, 프로세서(Processor)의 LLC(Last Level Cache) 및 HDD(Hard Disk Drive) 또는 SSD(Solid State Drive)인 물리적 저장 매체 사이에서 데이터를 전달하는 동적 메모리 장치로서, 상기 LLC 또는 상기 물리적 저장 매체 중 하나 이상의 읽기 접근 및 쓰기 접근에 대해, 접근되는 상기 동적 메모리 데이터 셀의 행 또는 액세스 블록(Access Block)과 대응하며, 상기 읽기

접근과 쓰기 접근에 따라 서로 상이하게 구분되도록 비트 값이 갱신되는 리프레쉬 비트 벡터 셀 및 기 설정된 기준에 따라 자신의 비트(Bit) 값을 복수의 상기 리프레쉬 비트 벡터 셀에 갱신된 각각의 비트 값을 대표하는 값으로 갱신되는 리프레쉬 비트 셀(Refresh Bit Cells)을 구비하는 동적 메모리 히스토리 셀, 상기 리프레쉬 비트 셀의 갱신된 비트 값에 근거하여, 상기 동적 메모리 데이터 셀에서 상기 갱신된 비트 값에 대응하는 하나 이상의 리프레쉬할 셀을 지정하는 리프레쉬 후보 지정부 및 상기 리프레쉬 비트 벡터 셀 및 상기 리프레쉬 비트 셀의 비트 값의 갱신을 제어하며, 상기 리프레쉬 후보 지정부에서 상기 갱신된 비트 값에 의해 리프레쉬하도록 지정된 셀을 선택적으로 리프레쉬하는 제어부를 포함한다.

- [28] 상기 제어부는 상기 리프레쉬 비트 셀의 비트 값이 대표하는 상기 리프레쉬 비트 벡터 셀들의 비트 값을 OR 비트 연산(OR Bitwise operation)한 비트 값을 상기 리프레쉬 비트 셀의 비트 값으로 갱신할 수 있다.
- [29] 또한, 상기 제어부는 비트 값이 0 또는 1인 리프레쉬 비트 셀이 대표하는 리프레쉬 비트 벡터 셀의 비트 값이 상기 리프레쉬 비트 셀의 비트 값과 상이한 개수가 기 설정된 기준 이상이면 상기 동적 메모리 데이터 셀에서 상기 리프레쉬 비트 벡터 셀에 대응하는 행 또는 하나 이상의 액세스 블록에 대응하는 셀의 비트 값을 모두 상기 LLC 또는 상기 물리적 저장 매체로 전송할 수 있다.
- [30] 더불어, 상기 제어부는 상기 LLC 또는 상기 물리적 저장 매체로 전송한 상기 동적 메모리 데이터 셀의 셀에 대응하는 리프레쉬 비트 벡터 셀 및 이를 대표하는 리프레쉬 비트 셀의 비트 값을 상기 리프레쉬 비트 셀이 저장했던 비트 값과 다른 값으로 모두 갱신하는 것이 바람직하다.
- [31] 한편, 상기 리프레쉬 비트 벡터 셀의 개수는 행 버퍼 크기(Row buffer size) / 동적 메모리 데이터 셀의 액세스 블록 크기(DRAM access block size)일 수 있다.
- [32] 상기 동적 메모리 데이터 셀의 액세스 블록의 크기는 상기 LLC의 캐쉬 라인 크기(Cache line size)일 수 있다.
- [33] 상기한 목적을 달성하기 위한 본 발명의 또 다른 실시 예에 따른 선택적 리프레쉬 방법은 동적 메모리 데이터 셀을 통해, 프로세서(Processor)의 LLC(Last Level Cache) 및 HDD(Hard Disk Drive) 또는 SSD(Solid State Drive)인 물리적 저장 매체 사이에서 데이터를 전달하는 동적 메모리 장치의 선택적 리프레쉬 방법으로서, 제어부가 상기 동적 메모리 데이터 셀의 행마다 액세스 블록의 수를 기준으로 구성된 동적 메모리 히스토리 셀에 상기 LLC 또는 상기 물리적 저장 매체 중 하나 이상의 읽기 접근 및 쓰기 접근에 따른 기록을 저장하는 단계, 리프레쉬 후보 지정부가 상기 동적 메모리 히스토리 셀에 저장된 읽기 접근 및 쓰기 접근의 기록에 근거하여 상기 동적 메모리 데이터 셀에서 하나 이상의 리프레쉬할 셀을 지정하는 단계 및 상기 제어부가 상기 리프레쉬 후보 지정부에서 지정된 셀을 선택적으로 리프레쉬하는 단계를 포함한다.
- [34] 상기한 목적을 달성하기 위한 본 발명의 또 다른 실시 예에 따른 선택적

리프레쉬 방법은 동적 메모리 데이터 셀을 통해, 프로세서(Processor)의 LLC(Last Level Cache) 및 HDD(Hard Disk Drive) 또는 SSD(Solid State Drive)인 물리적 저장 매체 사이에서 데이터를 전달하는 동적 메모리 장치의 선택적 리프레쉬 방법으로, 제어부가 상기 LLC 또는 상기 물리적 저장 매체 중 하나 이상의 읽기 접근 및 쓰기 접근에 대해, 접근되는 상기 동적 메모리 데이터 셀의 행 또는 액세스 블록에 대응하는 리프레쉬 비트 벡터 셀에 상기 읽기 접근과 쓰기 접근에 따라 서로 상이하게 구분되도록 비트 값을 갱신하는 단계, 상기 제어부가 기 설정된 기준에 따라 복수의 리프레쉬 비트 벡터 셀에 대응하는 리프레쉬 비트 셀의 비트 값을 상기 복수의 리프레쉬 비트 벡터 셀에 갱신된 각각의 비트 값을 대표하는 값으로 갱신하는 단계, 리프레쉬 후보 지정부가 상기 리프레쉬 비트 셀의 갱신된 비트 값에 근거하여, 상기 동적 메모리 데이터 셀에서 상기 갱신된 비트 값에 대응하는 하나 이상의 리프레쉬할 셀을 지정하는 단계 및 상기 제어부가 상기 리프레쉬 후보 지정부에서 상기 갱신된 비트 값에 의해 리프레쉬하도록 지정된 셀을 선택적으로 리프레쉬하는 단계를 포함한다.

- [35] 또한, 상기 본 발명의 또 다른 실시 예에 따른 선택적 리프레쉬 방법은 상기 제어부가 상기 LLC 또는 상기 물리적 저장 매체가 요청한 상기 동적 메모리 데이터 셀의 읽기 접근에 대해 요청한 LLC 또는 물리적 저장 매체로 해당 행 또는 액세스 블록의 데이터를 전송하는 단계 및 상기 제어부가 상기 LLC 또는 상기 물리적 저장 매체와의 상기 동적 메모리 데이터 셀의 쓰기 접근에 대해 상기 LLC 또는 물리적 저장 매체로부터 해당 행 또는 액세스 블록의 데이터를 전송받아 저장하는 단계를 더 포함할 수도 있다.

발명의 효과

- [36] 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치 및 그 선택적 리프레쉬 방법은 동적 메모리와 직접적인 데이터 교환을 수행하는 LLC와 물리적 저장 매체의 읽기 접근 및 쓰기 접근을 기초로 데이터 셀을 선택적으로 리프레쉬함으로써 동적메모리, LLC 및 물리적 저장 매체간의 중복 데이터의 연관성을 고려하여 리프레쉬를 최소화하도록 하여 전력 소모를 감소시키며 실질적인 리프레쉬 효율 및 로우 버퍼 히트 비율을 높이는 효과가 있다.
- [37] 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치 및 그 선택적 리프레쉬 방법은 데이터 셀의 행 또는 액세스 블록과 대응하는 리프레쉬 비트 벡터 셀 및 복수의 리프레쉬 비트 벡터 셀을 대표하는 리프레쉬 비트 셀을 구성함으로써 리프레쉬 비트 셀의 갱신된 비트 값에 근거하여 리프레쉬할 행 또는 액세스 블록을 선택적으로 지정하여 리프레쉬하도록 하여 메모리 접근 시간을 감소시키고 읽기 및 쓰기 성능을 향상시키는 효과가 있다.

도면의 간단한 설명

- [38] 도 1은 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치의 개략도.
- [39] 도 2는 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치의 구성도.
- [40] 도 3은 본 발명의 일 실시 예에 따른 제어부의 리프레쉬 동작의 순서도.
- [41] 도 4는 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치의 동작 예시도.
- [42] 도 5 내지 도 8은 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 방법의 순서도.

발명의 실시를 위한 최선의 형태

- [43] 상기한 바와 같은 본 발명을 첨부된 도면들과 실시 예들을 통해 상세히 설명하도록 한다.
- [44] 도 1은 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치(100)의 개략도다.
- [45] 도 1을 참조하면, 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치(100)는 동적 메모리 데이터 셀(130)을 통해, 프로세서(Processor)의 LLC(Last Level Cache) 및 HDD(Hard Disk Drive) 또는 SSD(Solid State Drive)인 물리적 저장 매체 사이에서 데이터를 전달하는 동적 메모리 장치로서, 상기 LLC 또는 상기 물리적 저장 매체 중 하나 이상의 읽기 접근 및 쓰기 접근(1)에 따른 기록이 저장(2,3)되며, 상기 동적 메모리 데이터 셀(130)의 행마다 액세스 블록의 수를 기준으로 구성된 동적 메모리 히스토리 셀(140), 상기 동적 메모리 히스토리 셀(140)에 저장된 읽기 접근 및 쓰기 접근의 기록에 근거하여 상기 동적 메모리 데이터 셀(130)에서 하나 이상의 리프레쉬할 셀을 지정하는 동적 메모리 컨트롤러(110)를 포함한다.
- [46] 상기 동적 메모리 컨트롤러(110)는 상기 LLC 또는 상기 물리적 저장 매체 중 하나 이상의 읽기 접근 및 쓰기 접근에 따른 데이터 교환 시에 상기 동적 메모리 히스토리 셀(140)의 기록 저장을 제어하며, 상기 지정된 셀을 선택적으로 리프레쉬(4)한다.
- [47] 상기 동적 메모리 장치(100)에 대한 기본적 구성의 바람직한 실시 예로서, DRAM과 같은 동적 메모리 반도체 장치를 들 수 있다.
- [48] 상술한 바와 같이, 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치(100)는 기존의 DRAM 셀(130: cell) 구조에 동적 메모리 히스토리 셀(140: DRAM history cell)을 추가하여 구성하는 것이 바람직하다.
- [49] 상기 동적 메모리 히스토리 셀(140)은 상기 동적 메모리 컨트롤러(110)의 DRAM에 대한 읽기 및 쓰기 요청(read/write request)의 기록(read/write history)을 관리하며, 상기 동적 메모리 컨트롤러(110)는 상기 기록을 이용하여 기존의 동적

메모리 데이터 셀(130)을 선택적으로 리프레쉬 한다.

- [50] 이때, 상기 동적 메모리 히스토리 셀(140)은 기존의 일반적인 순차적 리프레쉬 정책을 그대로 이용하여 리프레쉬(0)할 수 있다.
- [51] 또한, 바람직한 실시 예로서, 상기 동적 메모리 컨트롤러(110)는 상기 동적 메모리 히스토리 셀(140)에 상기 LLC의 캐쉬 라인(Cache line) 갱신에 의한 읽기 접근 및 쓰기 접근 또는 상기 물리적 저장 매체와의 페이징(Paging)에 의한 읽기 접근 및 쓰기 접근에 따른 기록을 저장(2,3)한다.
- [52] 이때, 더욱 바람직하게는, 상기 동적 메모리 컨트롤러(110)는 상기 동적 메모리 히스토리 셀(140)에 비트(Bit) 값으로 상기 읽기 접근과 상기 쓰기 접근(1)을 서로 상이하게 구분하여 상기 기록으로 저장(2,3)하는 것이 바람직하다.
- [53] 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치(100)는 상술한 바와 같이, 동적 메모리 데이터 셀(130)에 대한 읽기 접근 및 쓰기 접근에 대한 기록을 기반으로 개선된 선택적 리프레쉬 정책을 통해 리프레쉬를 최소화하여 전력소모를 줄이며 동시에 읽기 및 쓰기 성능을 향상시키는 방법을 적용한 것이다.
- [54] 즉, 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치(100)는 상기 동적 메모리 장치(100)와 직접적으로 연결되어 데이터 입출력이 가장 빈번한 LLC 또는 물리적 저장 매체와의 상호 작용을 반영하여 선택적인 데이터 리프레쉬를 수행(4)하여 파워 및 에너지 측면에서 좋은 효율을 보인다. 동시에 메모리 접근시간을 감소시키고, 로우 버퍼 히트 비율을 높일 수 있다.
- [55] 도 2는 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치(100)의 구성도다.
- [56] 도 2를 참조하면, 본 발명의 일 실시 예에 따른 동적 메모리 히스토리 셀(140)은 상기 동적 메모리 데이터 셀(130)과 같은 구조 또는 유사한 구조의 리프레쉬 비트 벡터 셀(143: Refresh Bit Vector Cells)과 리프레쉬 비트 셀(146: Refresh Bit Cells)로 구성할 수 있다.
- [57] 이때, 상기 동적 메모리 컨트롤러(110)는 리프레쉬를 수행할 행 또는 액세스 블록을 구별하기 위한 비트 값을 설정하여 리프레쉬할 후보 셀을 지정하는 리프레쉬 후보 지정부(112)를 포함하는 것이 바람직하다.
- [58] 바람직한 실시 예로서, 상기 동적 메모리 히스토리 셀(140)은 상기 동적 메모리 데이터 셀(130)의 행(Row) 또는 하나 이상의 액세스 블록(Access Block)의 읽기 접근 및 쓰기 접근(1)의 기록이 비트(Bit) 값으로 서로 상이하게 구분되어 저장되도록 상기 행 또는 하나 이상의 액세스 블록에 대응하여 비트 값이 저장되는 리프레쉬 비트 벡터 셀(143)을 구비할 수 있다.
- [59] 더욱 바람직한 실시 예로서, 상기 동적 메모리 히스토리 셀(140)은 기 설정된 기준에 따라, 복수의 상기 리프레쉬 비트 벡터 셀(143)에 저장된 각각의 비트 값을 대표하는 비트(Bit) 값이 저장되는 리프레쉬 비트 셀(146)을 더 구비할 수

있다.

- [60] 다른 바람직한 실시 예로서, 상기 리프레쉬 비트 벡터 셀(143)의 개수는 행 버퍼 크기(Row buffer size) / 동적 메모리 데이터 셀의 액세스 블록 크기(DRAM access block size)일 수 있다.
- [61] 또한, 또 다른 바람직한 실시 예로서, 상기 동적 메모리 데이터 셀(130)의 액세스 블록 크기는 상기 LLC(230)의 캐쉬 라인 크기(Cache line size)일 수 있다.
- [62] 한편, 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치(100)에서 상기 리프레쉬 비트 셀(145)의 비트 값은 이와 대응되는 복수의 리프레쉬 비트 벡터 셀(141...142)의 대표값으로 표시할 수 있으며, 상기 리프레쉬 비트 셀(145)의 비트 값을 이용하여 이와 대응되는 복수의 상기 리프레쉬 비트 벡터 셀(141...142)이 대응하는 동적 메모리 데이터 셀(131...132)의 리프레쉬 여부를 표시할 수 있다.
- [63] 이때, 복수의 상기 리프레쉬 비트 벡터 셀(141...142)이 대응하는 동적 메모리 데이터 셀(131...132)은 동적 메모리 데이터 셀에서 한 행(Row, 131...132)인 것이 바람직하나, 복수의 행이거나 하나 이상의 액세스 블록일 수도 있는 등 다양한 변경이 가능하다.
- [64] 또한, 상기 리프레쉬 비트 벡터 셀(143)과 리프레쉬 비트 셀(146)의 설계 및 동작은 효율성을 위하여 동적 메모리 장치(100)의 어디에나 위치할 수 있으며 동적 메모리 이외의 메모리로 구현할 수도 있다.
- [65] 상기 동적 메모리 컨트롤러(110)는 리프레쉬 명령을 수행할 때, 상기 리프레쉬 비트 셀(141...142)의 비트 값에 따라 대응하는 해당 행 또는 해당 액세스 블록의 셀(131...132)들을 선택적으로 리프레쉬할 수 있다.
- [66] 바람직한 실시 예로서, 상기 리프레쉬 후보 지정부(112)는 상기 리프레쉬 비트 셀(145)의 저장된 비트 값에 근거하여 상기 동적 메모리 데이터 셀(130)에서 상기 저장된 비트 값에 대응하는 하나 이상의 리프레쉬할 셀(131...132)을 지정하고, 상기 제어부(111)는 상기 리프레쉬 비트 벡터 셀(141...142) 및 상기 리프레쉬 비트 셀(145)의 비트 값의 저장을 제어하며, 상기 리프레쉬 후보 지정부(112)에서 상기 저장된 비트 값에 의해 리프레쉬하도록 지정된 셀(131...132)을 선택적으로 리프레쉬할 수 있다.
- [67] 상세한 실시 예로서, 상기 동적 메모리 컨트롤러(110)의 어드레스 지정부(113)가 상기 리프레쉬 후보 지정부(112)에서 지정된 셀의 어드레스를 읽어(3) 판별한 워드 라인 어드레스(4: Word-line address) 및 비트 라인 어드레스(5: Bit-line address)를 지정하고 인에이블된 워드 라인에 연결된 동적 메모리 데이터 셀(130)이 센스 증폭기(135)에 의해 증폭된 후 다시 셀(131)에 저장되며, 이러한 동작은 워드 디코더부(114) 및 비트 디코더부(115)를 통해 이루어질 수 있다.
- [68] 더욱 바람직하게는, 상술한 셀의 리프레쉬의 수행이나 어드레스의 지정과 같이 본 발명의 실시 예에 따른 선택적 리프레쉬의 실질적 수행(2)의 제어는 상기

제어부(111)에서 수행하도록 구성하는 것이 바람직하다.

[69] 도 3은 본 발명의 일 실시 예에 따른 제어부의 리프레쉬 동작의 순서도다.

[70] 도 2 및 도 3을 참조하면, 본 발명의 일 실시 예에 따른 리프레쉬 후보 지정부(112)는 동적 메모리 데이터 셀(130)에서 리프레쉬할 셀(131...132)을 지정하기 위해 기 설정된 리프레쉬 후보 설정 로직에 따라 이와 대응하는 리프레쉬 비트 벡터 셀(141...142) 및 리프레쉬 비트 셀(145)의 어드레스를 지정하여 해당 리프레쉬 비트 벡터 셀(141...142) 및 리프레쉬 비트 셀(145)의 비트 값을 갱신할 수 있다.

[71] 또한, 본 발명의 일 실시 예에 따른 제어부(111)는 상기 갱신된 리프레쉬 비트 벡터 셀(141...142) 및 리프레쉬 비트 셀(145)의 비트 값에 따라 동적 메모리 데이터 셀(130)의 해당 셀(131...132)의 어드레스를 지정하여 리프레쉬를 수행(2)한다.

[72] 더불어, 본 발명의 일 실시 예에 따른 제어부(111)는 리프레쉬 비트 벡터 셀(143) 및 리프레쉬 비트 셀(146)의 비트 값을 갱신하는데, 바람직한 실시 예로서, 상기 리프레쉬 비트 셀(145)과 같은 행의 리프레쉬 비트 벡터(141...142)의 비트 값이 하나라도 1인 경우 1로 갱신할 수 있으며, 이는 OR 연산으로 용이하게 구현할 수 있다.

[73] 또한, 본 발명의 일 실시 예에 따른 제어부(111)는 한 행의 리프레쉬 비트 벡터 셀(141...142)의 비트 값이 모두 0인 경우 해당 행의 리프레쉬 비트 셀(145)의 비트 값을 0으로 설정할 수 있다.

[74] 이때, 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치(100)는 상기 리프레쉬 후보 설정 로직을 상기 리프레쉬 비트 셀(145)의 비트 값이 0인 경우 리프레쉬 하지 않아도 되도록 즉, 동적 메모리 데이터 셀(130)의 해당 셀(131...132)의 데이터가 유실되어도 관계없도록 설정할 수 있다.

[75] 또한, 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치(100)는 상기 리프레쉬 후보 설정 로직을 상기 리프레쉬 비트 셀(145)의 비트 값이 1인 경우 리프레쉬 하도록 즉, 동적 메모리 데이터 셀(130)의 해당 셀(131...132)의 데이터를 유지하도록 설정할 수 있으며, 상기 리프레쉬 비트 셀(145) 및 상기 리프레쉬 비트 벡터 셀(141...142)의 비트 값은 초기값으로 모두 0의 값을 갖도록 설정할 수 있다.

[76] 더욱 바람직한 실시 예로서, 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치(100)는 상기 LLC(230) 또는 상기 물리적 저장 매체(300) 중 하나 이상의 읽기 접근 및 쓰기 접근(도 2의 0)에 대해, 접근되는 상기 동적 메모리 데이터 셀(130)의 행 또는 액세스 블록(131: Access Block)과 대응하며, 상기 읽기 접근과 쓰기 접근(1)에 따라 서로 상이하게 구분되도록 비트 값이 갱신되는 리프레쉬 비트 벡터 셀(141) 및 기 설정된 기준에 따라 자신의 비트(Bit) 값을 복수의 상기 리프레쉬 비트 벡터

셀(141...142)에 갱신된 각각의 비트 값을 대표하는 값으로 갱신되는 리프레쉬 비트 셀(145: Refresh Bit Cells)을 구비하는 동적 메모리 히스토리 셀(140), 상기 리프레쉬 비트 셀(145)의 갱신된 비트 값에 근거하여, 상기 동적 메모리 데이터 셀(130)에서 상기 갱신된 비트 값에 대응하는 하나 이상의 리프레쉬할 셀(131...132)을 지정하는 리프레쉬 후보 지정부(112) 및 상기 리프레쉬 비트 벡터 셀(143) 및 상기 리프레쉬 비트 셀(146)의 비트 값의 갱신을 제어하며, 상기 리프레쉬 후보 지정부(112)에서 상기 갱신된 비트 값에 의해 리프레쉬하도록 지정된 셀(131...132)을 선택적으로 리프레쉬(2)하는 제어부(111)를 포함할 수 있다.

- [77] 이때, 상술한 바와 같이, 예를 들어, 하나 이상의 지정된 셀은 상기 리프레쉬 비트 벡터 셀(141...142)에 대응되는 행(131...132)을 기준으로 선택될 수 있거나 하나 이상의 상기 리프레쉬 비트 벡터 셀에 대응되는 복수의 액세스 블록을 기준으로 지정될 수 있다.
- [78] 상기 제어부(111)는 상기 리프레쉬 비트 셀(145)의 비트 값이 대표하는 상기 리프레쉬 비트 벡터 셀들(141...142)의 비트 값을 OR 비트 연산(OR Bitwise operation)한 비트 값을 상기 리프레쉬 비트 셀(145)의 비트 값으로 갱신하는 것이 바람직하다.
- [79] 또한, 상기 제어부(111)는 비트 값이 0 또는 1인 리프레쉬 비트 셀(145)이 대표하는 리프레쉬 비트 벡터 셀(141...142)의 비트 값이 상기 리프레쉬 비트 셀(145)의 비트 값과 상이한 개수가 기 설정된 기준 이상이면 상기 동적 메모리 데이터 셀(130)에서 상기 리프레쉬 비트 벡터 셀(141...142)에 대응하는 행 또는 하나 이상의 액세스 블록에 대응하는 셀(131...132)의 비트 값을 모두 상기 LLC(230) 또는 상기 물리적 저장 매체(300)로 전송할 수 있다.
- [80] 아울러, 상기 제어부(111)는 상기 LLC(230) 또는 상기 물리적 저장 매체(300)로 전송한 상기 동적 메모리 데이터 셀(130)의 셀(131...132)에 대응하는 리프레쉬 비트 벡터 셀(141...142) 및 이를 대표하는 리프레쉬 비트 셀(145)의 비트 값을 상기 리프레쉬 비트 셀(145)이 저장했던 비트 값과 다른 값으로 모두 갱신하는 것이 바람직하다.
- [81] 도 2 및 도 3에서 설명한 바와 같이, 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치(100)는 동적 메모리와 직접적인 데이터 교환을 수행하는 LLC(230)와 물리적 저장 매체(300)의 읽기 접근 및 쓰기 접근(1)을 기초로 데이터 셀(130)을 선택적으로 리프레쉬(2)하여 동적메모리(100), LLC(230) 및 물리적 저장 매체(300) 간의 중복 데이터의 연관성을 고려하여 중복 데이터를 최소화하며 이와 관계되어 동적 메모리(100) 내에서 리프레쉬를 최소화하도록 하므로 전력 소모를 감소시키며 실질적인 리프레쉬 효율 및 로우 버퍼 히트 비율을 높일 수 있다.
- [82] 아울러, 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치(100)는 데이터 셀의 행 또는 액세스

블록과 대응하는 리프레쉬 비트 벡터 셀(141) 및 복수의 리프레쉬 비트 벡터 셀(141...142)을 대표하는 리프레쉬 비트 셀(145)을 구성하여 리프레쉬 비트 셀(145)의 갱신된 비트 값에 근거하여 리프레쉬할 행(131...132) 또는 액세스 블록을 선택적으로 지정하여 리프레쉬하도록 하므로 메모리 접근 시간을 감소시키고 읽기 및 쓰기 성능을 향상시킨다.

- [83] 도 4는 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치(100)의 동작 예시도이며, 도 5 내지 도 8은 본 발명의 일 실시 예에 따른 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 방법의 순서도다.
- [84] 도 4를 참조하면, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)는 레지스터(210) 및 캐쉬(220)를 포함할 수 있는 프로세서(200)에서 LLC(230)의 캐쉬 라인(cache line)이 에빅션(eviction)되면 LLC(230)가 동적 메모리 장치(100)로 쓰기 요청(DRAM write request)을 전송(1)한다.
- [85] 또한, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)는 상기 LLC(230)가 데이터를 동적 메모리 장치(100)로부터 읽으면 LLC(230)는 동적 메모리 장치(100)로 읽기 요청(DRAM read request)을 전송(2)한다.
- [86] 더불어, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)는 페이지 스왑이 일어나면 동적 메모리 데이터 셀(130)의 데이터를 읽어 물리적 저장 매체(300: 예를 들어, HDD)에 데이터를 쓴다(3).
- [87] 아울러, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)는 페이지 할당시 상기 물리적 저장 매체(300)로부터 데이터를 읽어 동적 메모리 데이터 셀(130)에 데이터를 쓴다(4).
- [88] 상술한 바에 따라, 도 4 및 도 8을 참조하면, 물리적 저장 매체(300)로부터 읽어들이는 페이지는 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)의 데이터 셀(131...132 중 일부 이상)에 할당(S13, S30)되고, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)는 해당 리프레쉬 비트 벡터 셀(141)의 비트를 1로 갱신(S50)한다. 이때, 상기 리프레쉬 비트 벡터 셀(141)을 대표하는 리프레쉬 비트 셀(145)은 1로 갱신(S90)된다.
- [89] 또한, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)는 프로세서(200)의 LLC(230)에서 상기 리프레쉬 비트 셀(145)이 대표하는 동적 메모리 장치(100)의 리프레쉬 비트 벡터 셀(141)에 대응되는 동적 메모리 데이터 셀의 데이터(예를 들어, 관계된 행 모두 또는 관계된 액세스 블록 모두)을 모두 읽어갈 때까지(S60, S70), 예를 들어, 상기 리프레쉬 비트 벡터 셀(141...142)의 비트 값이 하나라도 1이라면 상기 리프레쉬 비트 셀(145)의 비트 값을 1로 유지하여 지속적으로 리프레쉬를 수행한다.
- [90] 이의 바람직한 실시 예로서, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)의 제어부(111)는 상기 LLC(230) 또는 상기 물리적 저장 매체(300)로부터 상기 동적 메모리 데이터 셀(130)의 행 또는 하나 이상의 액세스

- 블록으로 데이터가 입력(1,4)될 때, 그에 대응하는 리프레쉬 비트 벡터 셀(143)에 해당 입력 접근에 대응하는 비트 값으로 1을 저장(S90)할 수 있다.
- [91] 또한, 도 4 및 도 5를 참조하면, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)는 LLC(230)가 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)로부터 데이터를 읽을 때(2, S10, S20), 상기 동적 메모리 컨트롤러(110)가 읽기 어드레스(read address)에 해당하는 리프레쉬 비트 벡터 셀(143)의 비트 값을 0으로 갱신(S30)하여 해당하는 동적 메모리 데이터 셀(130)의 데이터가 LLC(230)에 있음을 표시한다.
- [92] 이때, 상기 리프레쉬 비트 셀(146)의 비트 값은 상기 리프레쉬 비트 셀(145)이 대표하는 리프레쉬 비트 벡터 셀(141...142)의 비트 값이 모두 0이 될 때(S60, S70)까지 1로 유지(S90)한다.
- [93] 이의 바람직한 실시 예로서, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)의 상기 제어부(111)는 상기 동적 메모리 데이터 셀(130)의 행 또는 하나 이상의 액세스 블록(131...132)으로부터 상기 LLC(230) 또는 상기 물리적 저장 매체(300)로 데이터가 출력(2,3)될 때, 그에 대응하는 리프레쉬 비트 벡터 셀(141...142)에 해당 출력 접근에 대응하는 비트 값으로 0을 저장(S80)한다.
- [94] 한편, 도 4 및 도 6을 참조하면, 상기 LLC(230)의 캐시 라인(cache line)이 에빅션(eviction)되면(1, S11), 상기 동적 메모리 컨트롤러(110)에 쓰기(write) 명령이 전달(S30)되는데, 이때, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)는 해당하는 동적 메모리 데이터 셀(130)의 행 또는 해당 액세스 블록의 셀(131...132)을 리프레쉬 해주며, 리프레쉬되는 상기 동적 메모리 데이터 셀(130)의 행 또는 해당 액세스 블록의 셀(131...132)과 대응하는 리프레쉬 비트 벡터 셀(141...142)의 비트 값을 1로 갱신(S50)하고 동시에 갱신한 리프레쉬 비트 벡터 셀(141...142)을 대표하는 리프레쉬 비트 셀(145)의 비트 값도 1로 갱신(S90)한다.
- [95] 또한, 도 4 및 도 7을 참조하면, 동적 메모리 장치(100)에서 페이지 스왑(page swap)이 발생(3, S12)하면, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)는 동적 메모리 장치(100)의 페이지(page)를 상기 물리적 저장 매체(300)로 전송(S20)하고, 상기 페이지에 해당하는 데이터를 저장했던 상기 동적 메모리 데이터 셀(130)의 행 또는 해당 액세스 블록의 셀(131...132)과 대응하는 리프레쉬 비트 벡터 셀(141...142)의 비트 값을 0으로 모두 갱신(S40)하고 동시에 갱신한 리프레쉬 비트 벡터 셀(141...142)을 대표하는 리프레쉬 비트 셀(145)의 비트 값도 해당 행의 리프레쉬 비트 벡터 셀(141...142)의 비트 값이 0인 경우 모두 0으로 갱신(S80)한다.
- [96] 바람직한 실시 예로서, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)는 동적 메모리 데이터 셀의 행(131...132)이 닫힐(close) 때(S60), 이와 대응하는 리프레쉬 비트 벡터 셀(141...142)의 비트 값이 모두 0이면 이를 대표하는 리프레쉬 비트 셀(145)의 비트 값을 0으로 갱신(S70, S80)한다.

- [97] 더욱 상세한 실시 예로서, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)의 상기 제어부(111)는 상기 리프레쉬 비트 셀(145)이 대표하는 상기 리프레쉬 비트 벡터 셀(141...142)의 비트 값 중 하나 이상이 1이면 상기 리프레쉬 비트 셀(145)의 비트 값을 1로 저장하며, 상기 리프레쉬 비트 벡터 셀(141...142)의 비트 값이 모두 0이면 상기 리프레쉬 비트 셀(145)의 비트 값을 0으로 저장할 수 있다.
- [98] 이때, 상기 리프레쉬 후보 지정부(112)는 상기 리프레쉬 비트 셀(145)의 비트 값이 0이면 상기 리프레쉬 비트 셀(145)에 대응하는 상기 동적 메모리 데이터 셀(130)의 해당 행 또는 해당 액세스 블록의 셀(131...132)은 리프레쉬할 셀에서 제외한다.
- [99] 즉, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)는 상기 동적 메모리 데이터 셀(131...132)에 대한 리프레쉬를 수행할 때, 해당 리프레쉬 비트 셀(145)의 비트 값이 1인 경우 상기 리프레쉬 비트 벡터 셀(141...142)을 통해 상기 리프레쉬 비트 셀(145)과 대응하는 동적 메모리 데이터 셀의 해당하는 행 또는 액세스 블록(131...132)을 리프레쉬하며, 0인 경우 리프레쉬를 수행하지 않는다.
- [100] 이와 같이, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)에서 상기 리프레쉬 비트 셀(145)의 비트 값이 0인 것은 상기 리프레쉬 비트 벡터 셀(141...142)을 통해 대응되는 해당 동적 메모리 데이터 셀의 행 또는 액세스 블록(131...132)의 모든 데이터가 LLC(230) 또는 물리적 저장 매체(300)에 존재한다는 것을 의미하므로 리프레쉬를 수행하지 않을 수 있다.
- [101] 더욱 바람직하게는, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)는 리프레쉬 효율을 향상시키기 위해 행의 리프레쉬 비트 벡터 셀(141...142)의 비트 값이 0인 개수가 일정 수를 넘으면, 즉, 대부분의 데이터가 LLC(230)에 있으면, 리프레쉬 비트 벡터 셀(141...142)의 비트 값이 1로 설정된 동적 메모리 데이터 셀(130)의 데이터(131...132)를 모두 LLC(230)로 전송할 수 있다.
- [102] 또한, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)는 LLC(230)에서 에빅션(eviction)이 발생하여 해당 행(131...132)의 리프레쉬 비트 벡터 셀(141...142)의 비트 값이 1인 개수가 일정 수를 넘으면, 이에 해당하는 동적 메모리 데이터 셀(130)의 데이터(131...132)를 물리적 저장 매체(300)로 전송(3)하고 전송한 행(131...132)과 대응하는 모든 리프레쉬 비트 벡터 셀(141...142)의 비트 값을 0으로 갱신할 수 있다.
- [103] 그 후, 갱신한 리프레쉬 비트 벡터 셀(141...142)의 비트 값 및 이를 대표하는 리프레쉬 비트 셀(145)의 비트 값을 0으로 갱신하여 해당하는 행은 리프레쉬하지 않도록 한다.
- [104] 바람직한 실시 예로서, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)의 상기 제어부(111)는 비트 값이 1인 리프레쉬 비트 셀(145)이 대표하는 리프레쉬 비트 벡터 셀(141...142)의 비트 값이 0인 개수가 기 설정된 기준 이상이면 상기 동적 메모리 데이터 셀(130)에서 상기 리프레쉬 비트 벡터 셀(141...142)에

대응하는 행 또는 하나 이상의 액세스 블록에 대응하는 셀(131...132)의 비트 값을 모두 상기 LLC(230)로 전송(2)할 수 있다.

- [105] 또 다른 바람직한 실시 예로서, 본 발명의 일 실시 예에 따른 동적 메모리 장치(100)의 상기 제어부(111)는 비트 값이 1인 리프레쉬 비트 셀(145)이 대표하는 리프레쉬 비트 벡터 셀(141...142)의 비트 값이 1인 개수가 기 설정된 기준 이상이면 상기 동적 메모리 데이터 셀(130)에서 상기 리프레쉬 비트 벡터 셀(141...142)에 대응하는 행 또는 하나 이상의 액세스 블록에 대응하는 셀(131...132)의 비트 값을 모두 상기 물리적 저장 매체(300)로 전송(3)할 수 있다.
- [106] 이때, 상술한 바와 같이, 상기 제어부(111)는 상기 LLC(230) 또는 상기 물리적 저장 매체(300)로 전송(2,3)한 상기 동적 메모리 데이터 셀(130)의 해당 셀(131...132)에 대응하는 리프레쉬 비트 벡터 셀(141...142) 및 이를 대표하는 리프레쉬 비트 셀(145)의 비트 값을 모두 0으로 설정할 수 있다.
- [107] 한편, 바람직한 실시 예로서, 본 발명의 일 실시 예에 따른 선택적 리프레쉬 방법은 동적 메모리 데이터 셀(130)을 통해, 프로세서(200: Processor)의 LLC(230: Last Level Cache) 및 HDD(Hard Disk Drive) 또는 SSD(Solid State Drive)인 물리적 저장 매체 사이(300)에서 데이터를 전달하는 동적 메모리 장치(100)의 선택적 리프레쉬 방법으로서, 제어부(111)가 상기 동적 메모리 데이터 셀(130)의 행마다 액세스 블록의 수를 기준으로 구성된 동적 메모리 히스토리 셀(140)에 상기 LLC(230) 또는 상기 물리적 저장 매체(300) 중 하나 이상의 읽기 접근 및 쓰기 접근에 따른 기록을 저장하는 단계, 리프레쉬 후보 지정부(112)가 상기 동적 메모리 히스토리 셀(140)에 저장된 읽기 접근 및 쓰기 접근의 기록에 근거하여 상기 동적 메모리 데이터 셀(130)에서 하나 이상의 리프레쉬할 셀(131...132)을 지정하는 단계 및 상기 제어부(111)가 상기 리프레쉬 후보 지정부(112)에서 지정된 셀(131...132)을 선택적으로 리프레쉬하는 단계를 포함한다.
- [108] 다른 바람직한 실시 예에 따른 본 발명의 선택적 리프레쉬 방법은 제어부(111)가 상기 LLC(230) 또는 상기 물리적 저장 매체(300) 중 하나 이상의 읽기 접근 및 쓰기 접근에 대해, 접근되는 상기 동적 메모리 데이터 셀(130)의 행 또는 액세스 블록(131...132)에 대응하는 리프레쉬 비트 벡터 셀(141...142)에 상기 읽기 접근과 쓰기 접근에 따라 서로 상이하게 구분되도록 비트 값을 갱신하는 단계, 상기 제어부(111)가 기 설정된 기준에 따라 복수의 리프레쉬 비트 벡터 셀(141...142)에 대응하는 리프레쉬 비트 셀(145)의 비트 값을 상기 복수의 리프레쉬 비트 벡터 셀(141...142)에 갱신된 각각의 비트 값을 대표하는 값으로 갱신하는 단계, 리프레쉬 후보 지정부(112)가 상기 리프레쉬 비트 셀(145)의 갱신된 비트 값에 근거하여, 상기 동적 메모리 데이터 셀(130)에서 상기 갱신된 비트 값에 대응하는 하나 이상의 리프레쉬할 셀(131...132)을 지정하는 단계 및 상기 제어부(111)가 상기 리프레쉬 후보 지정부(112)에서 상기 갱신된 비트 값에 의해 리프레쉬하도록 지정된 셀(131...132)을 선택적으로 리프레쉬하는 단계를 포함한다.

- [109] 이때, 본 발명의 일 실시 예에 따른 선택적 리프레쉬 방법은 상기 제어부(111)가 상기 LLC(230) 또는 상기 물리적 저장 매체(300)가 요청한 상기 동적 메모리 데이터 셀(130)의 읽기 접근에 대해 요청한 LLC(230) 또는 물리적 저장 매체(300)로 해당 행 또는 액세스 블록의 데이터(131...132)를 전송하는 단계 및 상기 제어부(111)가 상기 LLC(230) 또는 상기 물리적 저장 매체(300)와의 상기 동적 메모리 데이터 셀(130)의 쓰기 접근에 대해 상기 LLC(230) 또는 물리적 저장 매체(300)로부터 해당 행 또는 액세스 블록의 데이터(131...132)를 전송받아 저장하는 단계를 더 포함할 수 있다.
- [110] 이상에서는 본 발명에 따른 바람직한 실시 예들에 대하여 도시하고 또한 설명하였다. 그러나 본 발명은 상술한 실시 예에 한정되지 아니하며, 특허 청구의 범위에서 첨부하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능할 것이다.

청구범위

[청구항 1]

동적 메모리 데이터 셀을 통해, 프로세서(Processor)의 LLC(Last Level Cache) 및 HDD(Hard Disk Drive) 또는 SSD(Solid State Drive)인 물리적 저장 매체 사이에서 데이터를 전달하는 동적 메모리 장치에 있어서,
 상기 LLC 또는 상기 물리적 저장 매체 중 하나 이상의 읽기 접근 및 쓰기 접근에 따른 기록이 저장되며, 상기 동적 메모리 데이터 셀의 행마다 액세스 블록의 수를 기준으로 구성된 동적 메모리 히스토리 셀;
 상기 동적 메모리 히스토리 셀에 저장된 읽기 접근 및 쓰기 접근의 기록에 근거하여 상기 동적 메모리 데이터 셀에서 하나 이상의 리프레쉬할 셀을 지정하는 리프레쉬 후보 지정부; 및
 상기 LLC 또는 상기 물리적 저장 매체 중 하나 이상의 읽기 접근 및 쓰기 접근에 따른 데이터 교환 시에 상기 동적 메모리 히스토리 셀의 기록 저장을 제어하며, 상기 리프레쉬 후보 지정부에서 지정된 셀을 선택적으로 리프레쉬하는 제어부;를 포함하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.

[청구항 2]

제 1항에 있어서, 상기 제어부는
 상기 동적 메모리 히스토리 셀에 상기 LLC의 캐쉬 라인(Cache line) 갱신에 의한 읽기 접근 및 쓰기 접근 또는 상기 물리적 저장 매체와의 페이징(Paging)에 의한 읽기 접근 및 쓰기 접근에 따른 기록을 저장하는 것을 특징으로 하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.

[청구항 3]

제 1항에 있어서, 상기 제어부는
 상기 동적 메모리 히스토리 셀에 비트(Bit) 값으로 상기 읽기 접근과 상기 쓰기 접근을 서로 상이하게 구분하여 상기 기록으로 저장하는 것을 특징으로 하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.

[청구항 4]

제 3항에 있어서, 상기 동적 메모리 히스토리 셀은
 상기 동적 메모리 데이터 셀의 행(Row) 또는 하나 이상의 액세스 블록(Access Block)의 읽기 접근 및 쓰기 접근의 기록이 비트(Bit) 값으로 서로 상이하게 구분되어 저장되도록 상기 행 또는 하나 이상의 액세스 블록에 대응하여 비트 값이 저장되는 리프레쉬 비트 벡터 셀(Refresh Bit Vector Cells)을 구비하는 것을 특징으로 하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.

- [청구항 5] 제 4항에 있어서, 상기 동적 메모리 히스토리 셀은
기 설정된 기준에 따라, 복수의 상기 리프레쉬 비트 벡터 셀에
저장된 각각의 비트 값을 대표하는 비트(Bit) 값이 저장되는
리프레쉬 비트 셀(Refresh Bit Cells)을 더 구비하는 것을 특징으로
하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한
동적 메모리 장치.
- [청구항 6] 제 5항에 있어서,
상기 리프레쉬 후보 지정부는 상기 리프레쉬 비트 셀의 저장된
비트 값에 근거하여, 상기 동적 메모리 데이터 셀에서 상기 저장된
비트 값에 대응하는 하나 이상의 리프레쉬할 셀을 지정하고,
상기 제어부는 상기 리프레쉬 비트 벡터 셀 및 상기 리프레쉬 비트
셀의 비트 값의 저장을 제어하며, 상기 리프레쉬 후보 지정부에서
상기 저장된 비트 값에 의해 리프레쉬하도록 지정된 셀을
선택적으로 리프레쉬하는 것을 특징으로 하는 읽기 및 쓰기
접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.
- [청구항 7] 제 6항에 있어서, 상기 제어부는
상기 LLC 또는 상기 물리적 저장 매체로부터 상기 동적 메모리
데이터 셀의 행 또는 하나 이상의 액세스 블록으로 데이터가
입력될 때, 그에 대응하는 리프레쉬 비트 벡터 셀에 해당 입력
접근에 대응하는 비트 값으로 1을 저장하는 것을 특징으로 하는
읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적
메모리 장치.
- [청구항 8] 제 7항에 있어서, 상기 제어부는
상기 동적 메모리 데이터 셀의 행 또는 하나 이상의 액세스
블록으로부터 상기 LLC 또는 상기 물리적 저장 매체로 데이터가
출력될 때, 그에 대응하는 리프레쉬 비트 벡터 셀에 해당 출력
접근에 대응하는 비트 값으로 0을 저장하는 것을 특징으로 하는
읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적
메모리 장치.
- [청구항 9] 제 8항에 있어서, 상기 제어부는
상기 리프레쉬 비트 셀이 대표하는 상기 리프레쉬 비트 벡터 셀의
비트 값 중 하나 이상이 1이면 상기 리프레쉬 비트 셀의 비트 값을
1로 저장하며, 상기 리프레쉬 비트 벡터 셀의 비트 값이 모두 0이면
상기 리프레쉬 비트 셀의 비트 값을 0으로 저장하는 것을 특징으로
하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한
동적 메모리 장치.
- [청구항 10] 제 9항에 있어서, 상기 리프레쉬 후보 지정부는
상기 리프레쉬 비트 셀의 비트 값이 0이면 상기 리프레쉬 비트

셀에 대응하는 상기 동적 메모리 데이터 셀의 해당 행 또는 해당 액세스 블록의 셀은 리프레쉬할 셀에서 제외하는 것을 특징으로 하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.

[청구항 11]

제 6항에 있어서, 상기 제어부는

비트 값이 1인 리프레쉬 비트 셀이 대표하는 리프레쉬 비트 벡터 셀의 비트 값이 0인 개수가 기 설정된 기준 이상이면 상기 동적 메모리 데이터 셀에서 상기 리프레쉬 비트 벡터 셀에 대응하는 행 또는 하나 이상의 액세스 블록에 대응하는 셀의 비트 값을 모두 상기 LLC로 전송하는 것을 특징으로 하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.

[청구항 12]

제 6항에 있어서, 상기 제어부는

비트 값이 1인 리프레쉬 비트 셀이 대표하는 리프레쉬 비트 벡터 셀의 비트 값이 1인 개수가 기 설정된 기준 이상이면 상기 동적 메모리 데이터 셀에서 상기 리프레쉬 비트 벡터 셀에 대응하는 행 또는 하나 이상의 액세스 블록에 대응하는 셀의 비트 값을 모두 상기 물리적 저장 매체로 전송하는 것을 특징으로 하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.

[청구항 13]

제 11항 또는 제 12항에 있어서, 상기 제어부는

상기 LLC 또는 상기 물리적 저장 매체로 전송한 상기 동적 메모리 데이터 셀의 해당 셀에 대응하는 리프레쉬 비트 벡터 셀 및 이를 대표하는 리프레쉬 비트 셀의 비트 값을 모두 0으로 설정하는 것을 특징으로 하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.

[청구항 14]

제 6항에 있어서, 상기 리프레쉬 비트 벡터 셀의 개수는

행 버퍼 크기(Row buffer size) / 동적 메모리 데이터 셀의 액세스 블록 크기(DRAM access block size)인 것을 특징으로 하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.

[청구항 15]

제 14항에 있어서, 상기 동적 메모리 데이터 셀의 액세스 블록 크기는

상기 LLC의 캐쉬 라인 크기(Cache line size)인 것을 특징으로 하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.

[청구항 16]

동적 메모리 데이터 셀을 통해, 프로세서(Processor)의 LLC(Last Level Cache) 및 HDD(Hard Disk Drive) 또는 SSD(Solid State Drive)인 물리적 저장 매체 사이에서 데이터를 전달하는 동적

메모리 장치에 있어서,
 상기 LLC 또는 상기 물리적 저장 매체 중 하나 이상의 읽기 접근 및 쓰기 접근에 대해, 접근되는 상기 동적 메모리 데이터 셀의 행 또는 액세스 블록(Access Block)과 대응하며, 상기 읽기 접근과 쓰기 접근에 따라 서로 상이하게 구분되도록 비트 값이 갱신되는 리프레쉬 비트 벡터 셀 및 기 설정된 기준에 따라 자신의 비트(Bit) 값을 복수의 상기 리프레쉬 비트 벡터 셀에 갱신된 각각의 비트 값을 대표하는 값으로 갱신되는 리프레쉬 비트 셀(Refresh Bit Cells)을 구비하는 동적 메모리 히스토리 셀;
 상기 리프레쉬 비트 셀의 갱신된 비트 값에 근거하여, 상기 동적 메모리 데이터 셀에서 상기 갱신된 비트 값에 대응하는 하나 이상의 리프레쉬할 셀을 지정하는 리프레쉬 후보 지정부; 및
 상기 리프레쉬 비트 벡터 셀 및 상기 리프레쉬 비트 셀의 비트 값의 갱신을 제어하며, 상기 리프레쉬 후보 지정부에서 상기 갱신된 비트 값에 의해 리프레쉬하도록 지정된 셀을 선택적으로 리프레쉬하는 제어부;를 포함하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.

[청구항 17]

제 16항에 있어서, 상기 제어부는
 상기 리프레쉬 비트 셀의 비트 값이 대표하는 상기 리프레쉬 비트 벡터 셀들의 비트 값을 OR 비트 연산(OR Bitwise operation)한 비트 값을 상기 리프레쉬 비트 셀의 비트 값으로 갱신하는 것을 특징으로 하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.

[청구항 18]

제 16항에 있어서, 상기 제어부는
 비트 값이 0 또는 1인 리프레쉬 비트 셀이 대표하는 리프레쉬 비트 벡터 셀의 비트 값이 상기 리프레쉬 비트 셀의 비트 값과 상이한 개수가 기 설정된 기준 이상이면 상기 동적 메모리 데이터 셀에서 상기 리프레쉬 비트 벡터 셀에 대응하는 행 또는 하나 이상의 액세스 블록에 대응하는 셀의 비트 값을 모두 상기 LLC 또는 상기 물리적 저장 매체로 전송하는 것을 특징으로 하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.

[청구항 19]

제 18항에 있어서, 상기 제어부는
 상기 LLC 또는 상기 물리적 저장 매체로 전송한 상기 동적 메모리 데이터 셀의 셀에 대응하는 리프레쉬 비트 벡터 셀 및 이를 대표하는 리프레쉬 비트 셀의 비트 값을 상기 리프레쉬 비트 셀이 저장했던 비트 값과 다른 값으로 모두 갱신하는 것을 특징으로 하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.

- [청구항 20] 제 16항에 있어서, 상기 리프레쉬 비트 벡터 셀의 개수는 행 버퍼 크기(Row buffer size) / 동적 메모리 데이터 셀의 액세스 블록 크기(DRAM access block size)인 것을 특징으로 하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.
- [청구항 21] 제 16항에 있어서, 상기 동적 메모리 데이터 셀의 액세스 블록의 크기는
상기 LLC의 캐쉬 라인 크기(Cache line size)인 것을 특징으로 하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치.
- [청구항 22] 동적 메모리 데이터 셀을 통해, 프로세서(Processor)의 LLC(Last Level Cache) 및 HDD(Hard Disk Drive) 또는 SSD(Solid State Drive)인 물리적 저장 매체 사이에서 데이터를 전달하는 동적 메모리 장치의 선택적 리프레쉬 방법에 있어서,
a) 제어부가 상기 동적 메모리 데이터 셀의 행마다 액세스 블록의 수를 기준으로 구성된 동적 메모리 히스토리 셀에 상기 LLC 또는 상기 물리적 저장 매체 중 하나 이상의 읽기 접근 및 쓰기 접근에 따른 기록을 저장하는 단계;
b) 리프레쉬 후보 지정부가 상기 동적 메모리 히스토리 셀에 저장된 읽기 접근 및 쓰기 접근의 기록에 근거하여 상기 동적 메모리 데이터 셀에서 하나 이상의 리프레쉬할 셀을 지정하는 단계;및
c) 상기 제어부가 상기 리프레쉬 후보 지정부에서 지정된 셀을 선택적으로 리프레쉬하는 단계;를 포함하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치의 선택적 리프레쉬 방법.
- [청구항 23] 동적 메모리 데이터 셀을 통해, 프로세서(Processor)의 LLC(Last Level Cache) 및 HDD(Hard Disk Drive) 또는 SSD(Solid State Drive)인 물리적 저장 매체 사이에서 데이터를 전달하는 동적 메모리 장치의 선택적 리프레쉬 방법에 있어서,
a) 제어부가 상기 LLC 또는 상기 물리적 저장 매체 중 하나 이상의 읽기 접근 및 쓰기 접근에 대해, 접근되는 상기 동적 메모리 데이터 셀의 행 또는 액세스 블록에 대응하는 리프레쉬 비트 벡터 셀에 상기 읽기 접근과 쓰기 접근에 따라 서로 상이하게 구분되도록 비트 값을 갱신하는 단계;
b) 상기 제어부가 기 설정된 기준에 따라 복수의 리프레쉬 비트 벡터 셀에 대응하는 리프레쉬 비트 셀의 비트 값을 상기 복수의 리프레쉬 비트 벡터 셀에 갱신된 각각의 비트 값을 대표하는

값으로 갱신하는 단계;

c) 리프레쉬 후보 지정부가 상기 리프레쉬 비트 셀의 갱신된 비트 값에 근거하여, 상기 동적 메모리 데이터 셀에서 상기 갱신된 비트 값에 대응하는 하나 이상의 리프레쉬할 셀을 지정하는 단계; 및
 d) 상기 제어부가 상기 리프레쉬 후보 지정부에서 상기 갱신된 비트 값에 의해 리프레쉬하도록 지정된 셀을 선택적으로 리프레쉬하는 단계;를 포함하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치의 선택적 리프레쉬 방법.

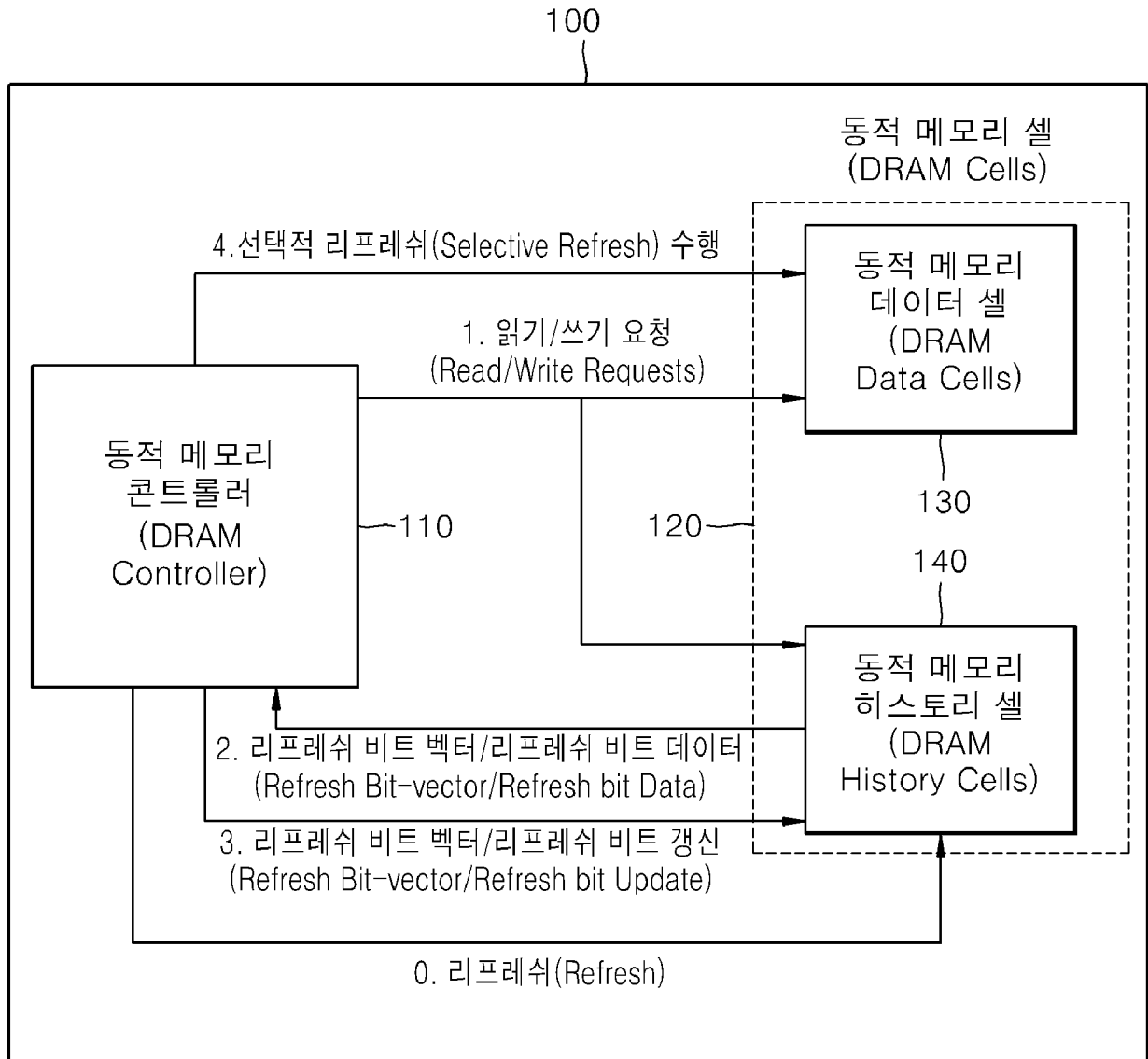
[청구항 24]

제 23항에 있어서,

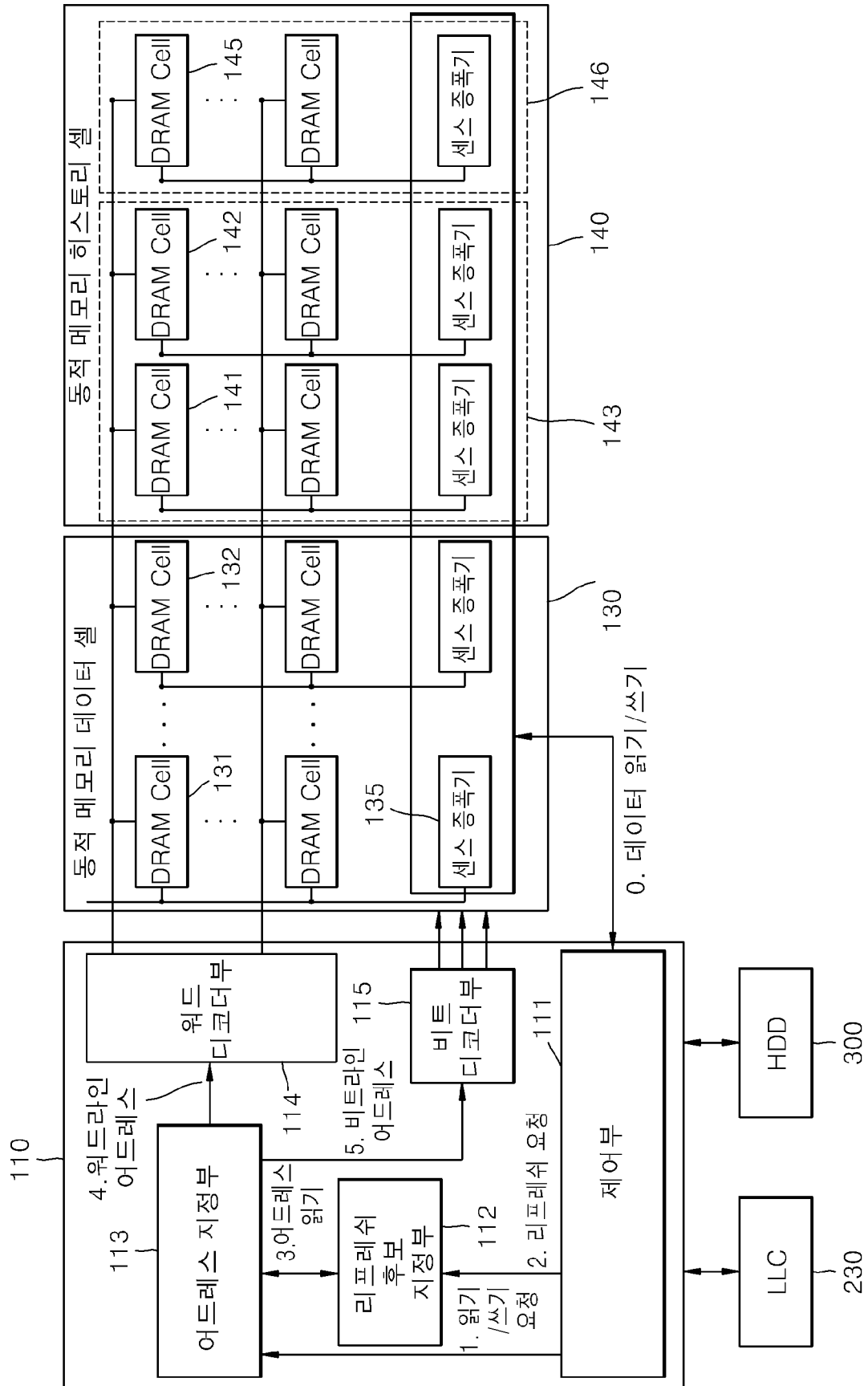
e) 상기 제어부가 상기 LLC 또는 상기 물리적 저장 매체가 요청한 상기 동적 메모리 데이터 셀의 읽기 접근에 대해 요청한 LLC 또는 물리적 저장 매체로 해당 행 또는 액세스 블록의 데이터를 전송하는 단계; 및

f) 상기 제어부가 상기 LLC 또는 상기 물리적 저장 매체와의 상기 동적 메모리 데이터 셀의 쓰기 접근에 대해 상기 LLC 또는 물리적 저장 매체로부터 해당 행 또는 액세스 블록의 데이터를 전송받아 저장하는 단계;를 더 포함하는 읽기 및 쓰기 접근에 따른 선택적 리프레쉬 기능을 구비한 동적 메모리 장치 선택적 리프레쉬 방법.

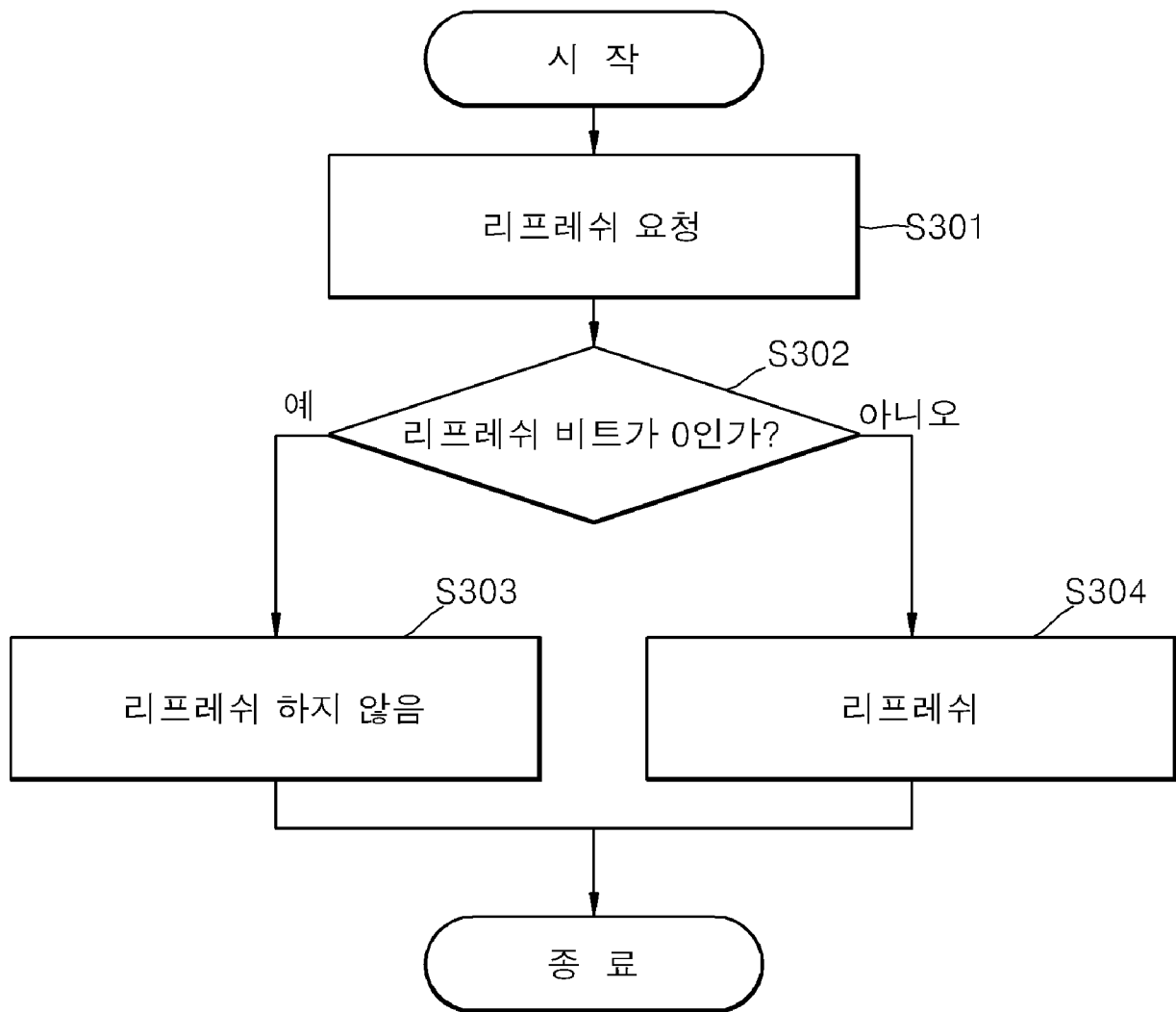
[Fig. 1]



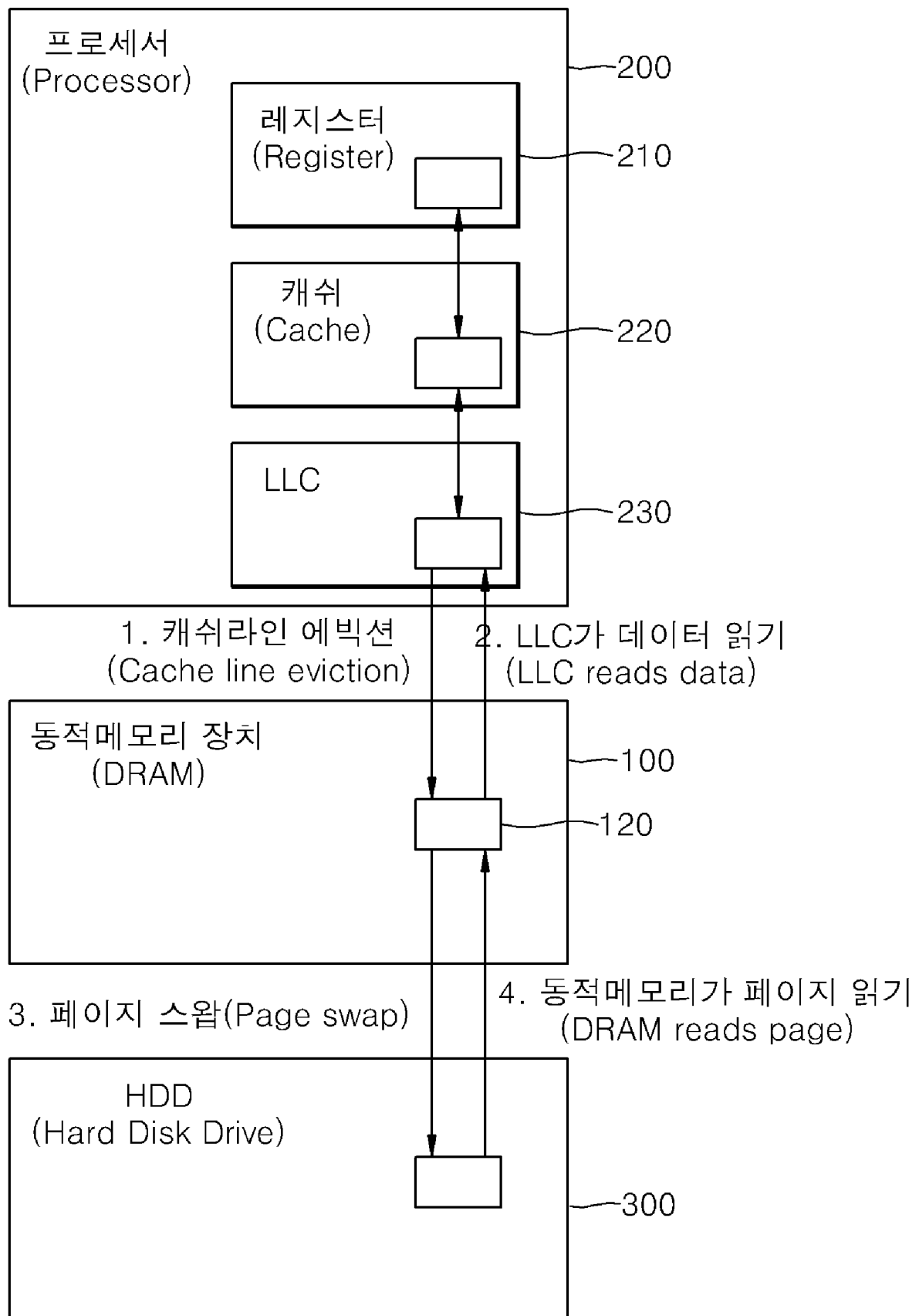
[Fig. 2]



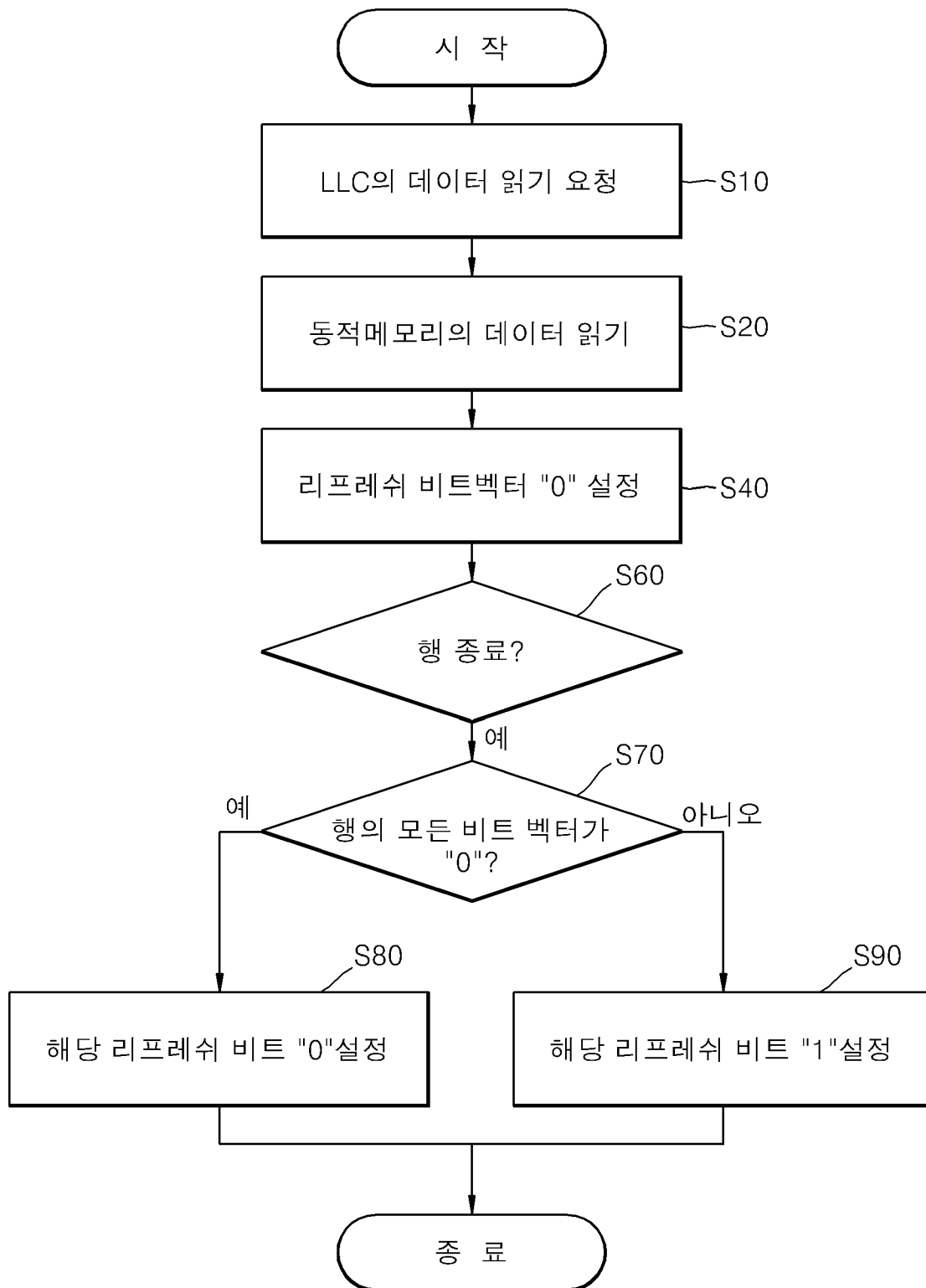
[Fig. 3]



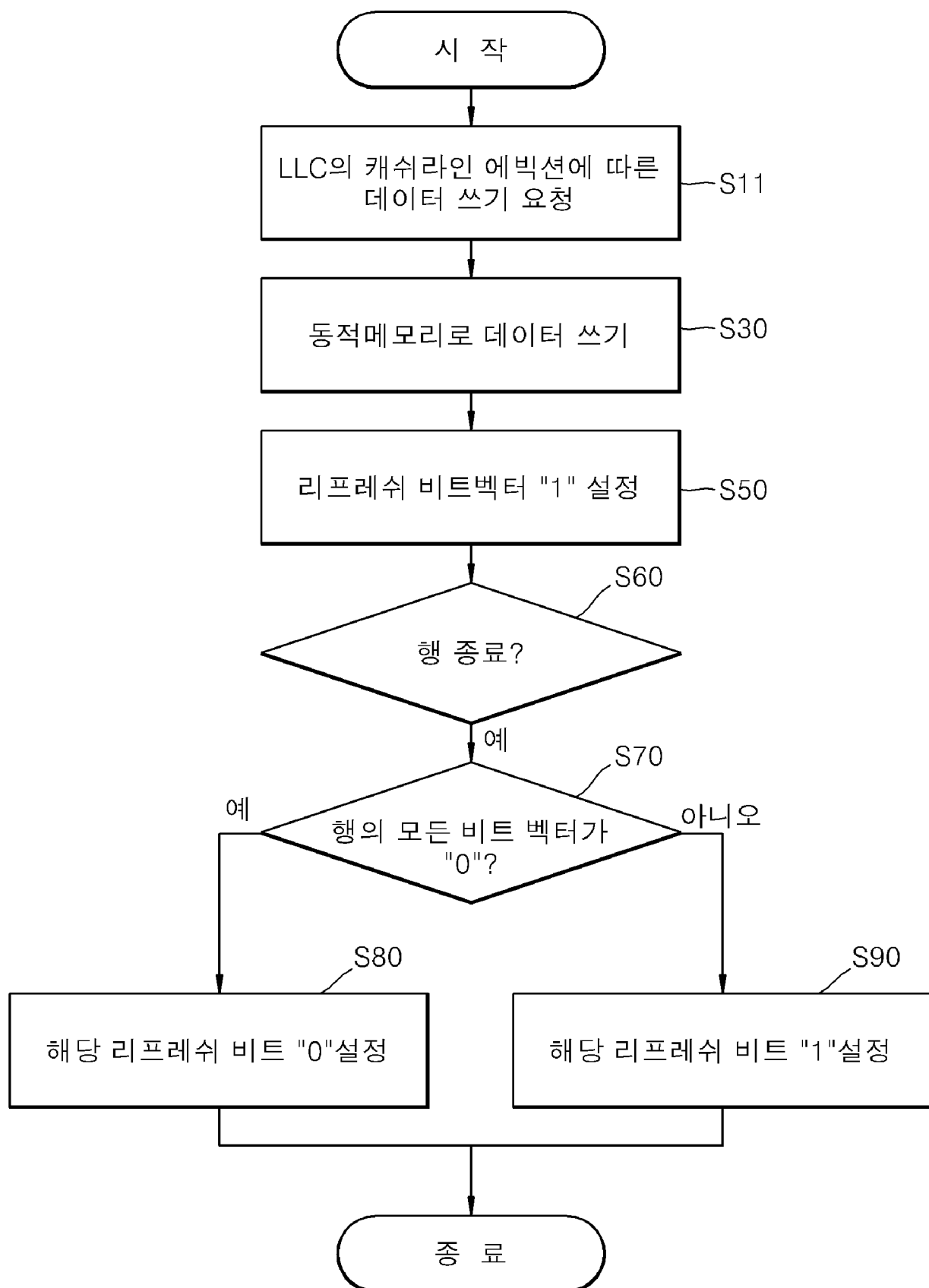
[Fig. 4]



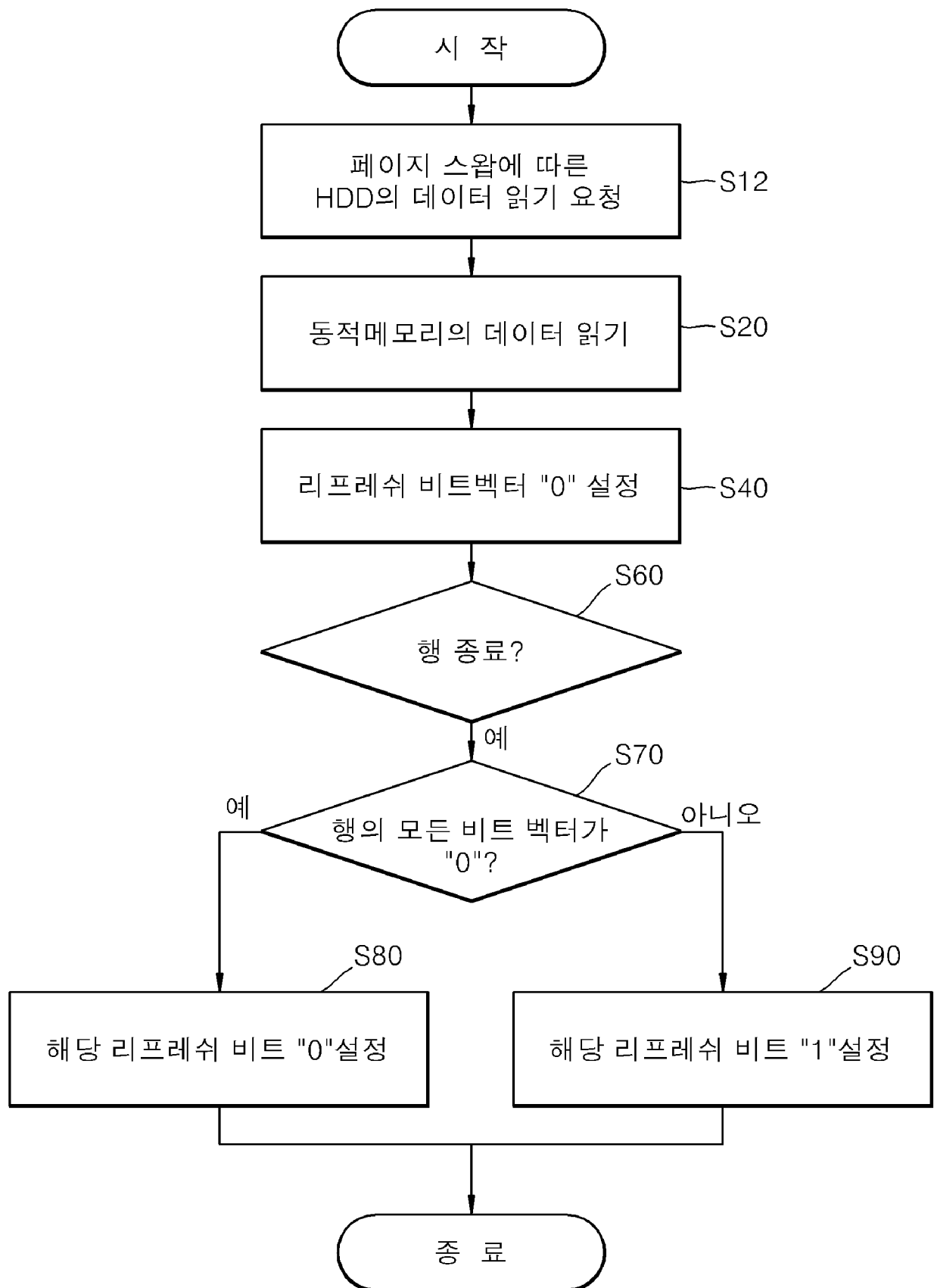
[Fig. 5]



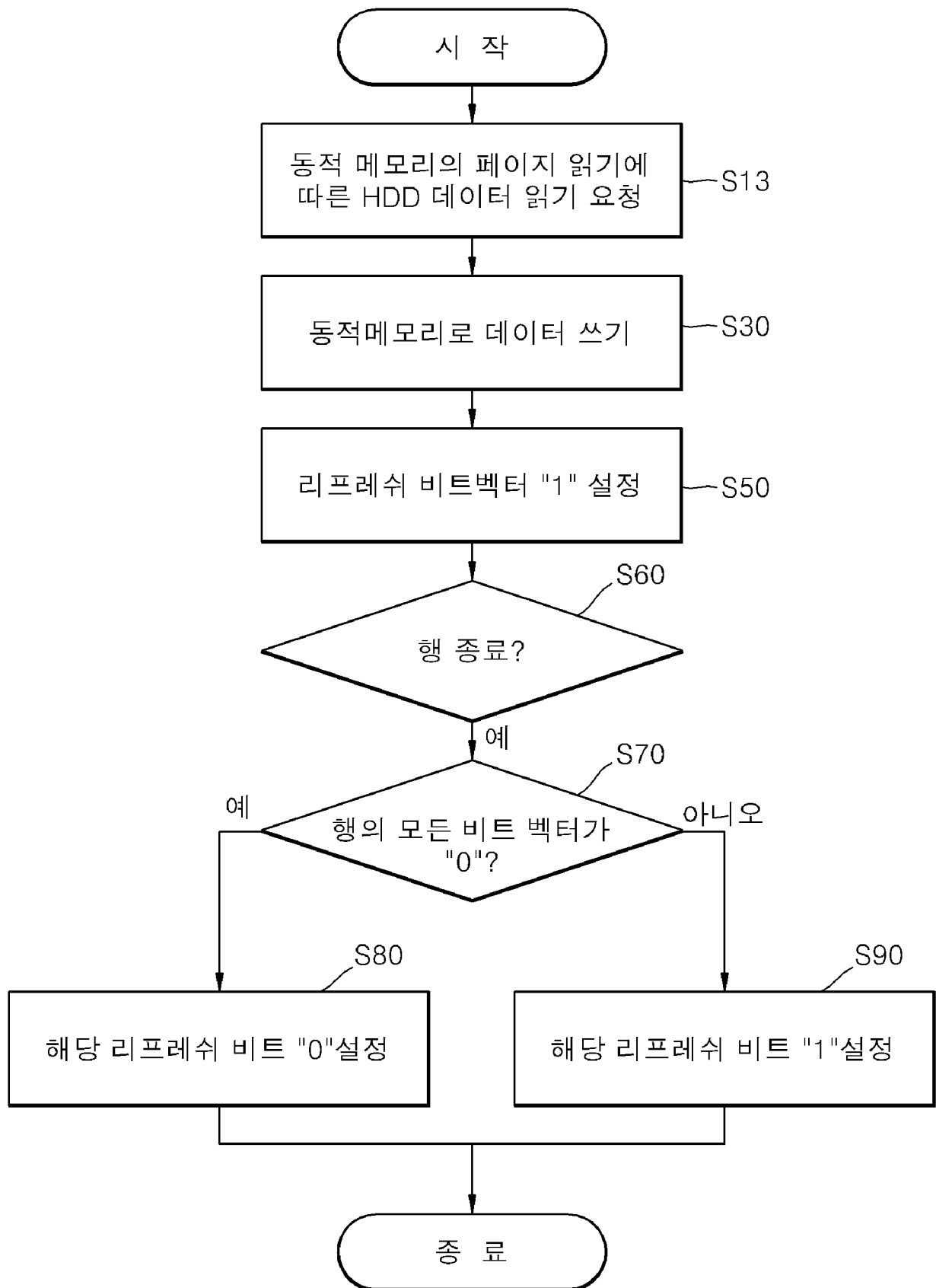
[Fig. 6]



[Fig. 7]



[Fig. 8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2013/000558**A. CLASSIFICATION OF SUBJECT MATTER*****G11C 11/406(2006.01)i, G11C 11/4063(2006.01)i, G11C 11/401(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C 11/406; G11C 11/403; G11C 7/00; G11C 11/4063; G11C 11/401

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: DRAM, refresh, history, reading, writing, bit.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6167484 A (BOYER, John Mark et al.) 26 December 2000 See column 5, lines 8-28; column 6, line 20 - column 7, line 59; and figures 2, 6-7.	1-24
A	JP 11-176154 A (NEC CORP) 02 July 1999 See paragraphs 18-29; and figure 1.	1-24
A	US 2005-0002253 A1 (SHI, Jun et al.) 06 January 2005 See paragraphs 14-22; and figure 1.	1-24
A	US 2005-0013185 A1 (KIM, Hoki et al.) 20 January 2005 See paragraphs 3-9, 22-23; and figure 1.	1-24
A	US 6094705 A (SONG, Seungyoon Peter) 25 July 2000 See column 2, line 4 - column 3, line 10; and figure 1.	1-24
A	JP 07-057460 A (SONY CORPORATION) 03 March 1995 See paragraphs 8-17; and figures 1-3.	1-24



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

26 JUNE 2013 (26.06.2013)

Date of mailing of the international search report

27 JUNE 2013 (27.06.2013)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2013/000558

Patent document cited in search report	Publication date	Patent family member	Publication date
US 06167484 A	26.12.2000	NONE	
JP 11-176154A	02.07.1999	JP 3125733 B2	22.01.2001
US 2005-0002253 A1	06.01.2005	AT 408882 T	15.10.2008
		CN 1839446 A	27.09.2006
		CN 1839446 B	05.09.2012
		DE 602004016655 D1	30.10.2008
		EP 1639604 A1	29.03.2006
		EP 1639604 B1	17.09.2008
		JP 2007-527592 A	27.09.2007
		KR 10-2006-0029272 A	05.04.2006
		US 6876593 B2	05.04.2005
		WO 2005-006341 A1	20.01.2005
US 2005-0013185 A1	20.01.2005	TW I309038 B	21.04.2009
		US 6954387 B2	11.10.2005
US 06094705 A	25.07.2000	AU 2000-16014 A1	28.09.2000
		WO 00-54159 A1	14.09.2000
JP 07-057460A	03.03.1995	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G11C 11/406(2006.01)i, G11C 11/4063(2006.01)i, G11C 11/401(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G11C 11/406; G11C 11/403; G11C 7/00; G11C 11/4063; G11C 11/401

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: DRAM, 리프레쉬, 히스토리, 읽기, 쓰기, 비트.

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	US 6167484 A (JOHN MARK BOYER 외 5명) 2000.12.26 컬럼 5, 라인 8-28; 컬럼 6, 라인 20 - 컬럼 7, 라인 59; 및 도면 2, 6-7 참조.	1-24
A	JP 11-176154 A (일본 전기 주식회사) 1999.07.02 단락 18-29; 및 도면 1 참조.	1-24
A	US 2005-0002253 A1 (JUN SHI 외 1명) 2005.01.06 단락 14-22; 및 도면 1 참조.	1-24
A	US 2005-0013185 A1 (HOKI KIM 외 4명) 2005.01.20 단락 3-9, 22-23; 및 도면 1 참조.	1-24
A	US 6094705 A (SEUNGYOON PETER SONG) 2000.07.25 컬럼 2, 라인 4 - 컬럼 3, 라인 10; 및 도면 1 참조.	1-24
A	JP 07-057460 A (소니 주식회사) 1995.03.03 단락 8-17; 및 도면 1-3 참조.	1-24



추가 문헌이 C(계속)에 기재되어 있습니다.



대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2013년 06월 26일 (26.06.2013)

국제조사보고서 발송일

2013년 06월 27일 (27.06.2013)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 82-42-472-7140

심사관

변성철

전화번호 82-42-481-8262



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 06167484 A	2000.12.26	없음	
JP 11-176154A	1999.07.02	JP 3125733 B2	2001.01.22
US 2005-0002253 A1	2005.01.06	AT 408882 T	2008.10.15
		CN 1839446 A	2006.09.27
		CN 1839446 B	2012.09.05
		DE 602004016655 D1	2008.10.30
		EP 1639604 A1	2006.03.29
		EP 1639604 B1	2008.09.17
		JP 2007-527592 A	2007.09.27
		KR 10-2006-0029272 A	2006.04.05
		US 6876593 B2	2005.04.05
		WO 2005-006341 A1	2005.01.20
US 2005-0013185 A1	2005.01.20	TW I309038 B	2009.04.21
		US 6954387 B2	2005.10.11
US 06094705 A	2000.07.25	AU 2000-16014 A1	2000.09.28
		WO 00-54159 A1	2000.09.14
JP 07-057460A	1995.03.03	없음	