

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95147141

※申請日期：95.11.14

※IPC 分類：H01L 43/08

一、發明名稱：(中文/英文)

(2006.01)

半導體裝置及其製造方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩科技股份有限公司

RENESAS TECHNOLOGY CORP.

代表人：(中文/英文)

塚本 克博

TSUKAMOTO, KATSUHIRO

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸內二丁目4番1號

4-1, MARUNOUCHI 2-CHOME, CHIYODA-KU, TOKYO, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：（共 4 人）

姓 名：（中文/英文）

1. 古田 陽雄
2. 松田 亮史
3. 上野 修一
4. 黑岩 丈晴

國 籍：（中文/英文）

1. 日本 JAPAN
2. 日本 JAPAN
3. 日本 JAPAN
4. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2005年11月14日；特願2005-328845
2. 日本；2006年10月10日；特願2006-276259

☐ 無主張專利法第二十七條第一項國際優先權：

- 1.
- 2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種具有TMR(Tunneling Magneto Resistance，穿隧磁阻)等記憶體元件之半導體裝置及其製造方法。

【先前技術】

MRAM(Magnetic Random Access Memory，磁性隨機存取記憶體)係藉由將資訊儲存於電子所具有之自旋中而保持資料之記憶體，且其構成可隨機存取之電路。作為基本物理現象，有利用GMR(Giant Magneto Resistance，巨磁阻)、TMR、CMR(Colossal Magneto Resistance，超巨磁阻)之類型。

TMR係在以2層磁性膜夾持絕緣層之構造中，係利用所觀測之電阻變化現象之類型，且於夾持絕緣層之上下磁性層自旋之狀態下，於上磁性層－絕緣層－下磁性層之間流動之電流(即TMR之電阻值)會產生變化。上下磁性層之2個自旋狀態平行時，電阻值變小，而上述自旋狀態為反平行時，電阻值變大。藉由該電阻值變化而進行資訊記憶。作為揭示有上述TMR元件之磁性記憶體裝置及其製造方法之文獻，例如有專利文獻1。亦有與TMR具相同構造之元件，即稱作MTJ(Magnetoresistive Tunneling Junction，磁性穿隧接面)元件之構造，以下，於本說明書中，所謂"TMR元件"，不僅包含TMR元件，且廣而包含MTJ元件。

[專利文獻1]日本專利特開2003-243630號公報

【發明內容】

[發明所欲解決之問題]

然而，在對構成TMR元件之TMR膜(夾持絕緣層之上下磁性層)之下部引出電極(extractor electrode，亦有稱提取電極)(LS(Local Strap，局部條))進行加工時，由於蝕刻沈積材料之異物沈積於TMR膜之上下磁性層上，故會產生經由TMR膜之上下磁性層之洩漏電流(leak current)，而有無法確保TMR膜具有特定之電阻變化率，且無法進行正常之記憶動作而使記憶精度劣化之問題點。

本發明係為解決上述問題而創作完成者，其目的在於獲致一種具有記憶體單元之半導體裝置及其製造方法，該記憶體單元包含有記憶精度不會劣化之TMR膜。

[解決問題之技術手段]

本發明請求項1之半導體裝置包含有：記憶體單元，係形成於半導體基板上，且由下部電極、形成於上述下部電極其中一部分上之TMR膜、以及上部電極積層而形成者；防氧化膜，係於對上述記憶體單元中，至少覆蓋上述下部電極之上表面以及上述TMR膜之側面而形成者；及氧化膜，係形成於上述防氧化膜上。

本發明請求項6之半導體裝置包含有：記憶體單元，係形成於半導體基板上，且由下部電極、形成於上述下部電極其中一部分上之TMR膜、以及上部電極之積層構造而形成者；導線，係以俯視與上述TRM膜具特定距離之方式，而形成於上述下部電極之下方；及金屬插塞，係形成於上述導線上，且電性連接上述導線與上述下部電極。

本發明請求項8之半導體裝置包含有記憶體單元，該記憶體單元係形成於半導體基板上，且由下部電極、形成於上述下部電極其中一部分上之TMR膜、以及上部電極之積層構造而構成，又，上述上部電極係具有導電性之硬遮罩層，該硬遮罩層係使用與上述下部電極相同材質而形成，且膜厚為30~100 nm者。

本發明請求項9之半導體裝置之製造方法，其包含有下述步驟：(a)於半導體基板上，形成由下部電極、形成於上述下部電極其中一部分上之TMR膜、以及上部電極積層而成之積層構造之步驟；(b)使上述上部電極以及上述TMR膜圖案化之步驟；(c)覆蓋上述下部電極、上述上部電極以及上述TMR膜，而形成第1防氧化膜之步驟；(d)於上述第1防氧化膜覆蓋上述上部電極以及上述TMR膜之狀態下，使上述第1防氧化膜以及上述下部電極圖案化之步驟；以及(e)於整個面形成氧化膜之步驟。

本發明請求項14之半導體裝置之製造方法，其包含有下述步驟：(a)於半導體基板上形成導線之步驟；(b)於上述導線上形成層間絕緣膜之步驟；(c)貫通上述導線上之層間絕緣膜而形成通孔之步驟；(d)充填上述通孔而形成金屬插塞之步驟；以及(e)於包含有上述通孔之上述層間絕緣膜上，形成下部電極、TMR膜以及上部電極之積層構造之步驟；上述下部電極係經由上述金屬插塞而與上述導線電性連接，又，該半導體裝置之製造方法進而包含有步驟(f)，該步驟(f)係使上述上部電極以及上述TMR膜圖案化者，並

且經圖案化後之上述TMR膜，係以俯視與上述導線具特定距離之方式而形成。

本發明請求項16之半導體裝置之製造方法，其包含有下述步驟：(a)於半導體基板上，形成下部電極、TMR膜以及上部電極之積層構造之步驟；(b)使上述上部電極圖案化之步驟；以及(c)將上述上部電極作為硬遮罩層使用，並使上述TMR膜圖案化之步驟。

本發明請求項17之半導體裝置，其包含有：第1層間絕緣膜，其形成於半導體基板之上方；下層配線，係貫通上述第1層間絕緣膜而選擇性地形成者；以及第2層間絕緣膜，其形成於包含有上述下層配線之上述第1層間絕緣膜上；上述第2層間絕緣膜包含有上述下層配線之至少一部分係作為底面之通孔，又，前述半導體裝置進而包含有下部電極，該下部電極係形成於上述通孔之底面與側面以及上述第2層間絕緣膜上者，上述下部電極係經由上述通孔而與上述下層配線電性連接，再者，該半導體裝置進而包含有TMR元件及絕緣性膜，該TMR元件係選擇性地形成於上述下部電極其中一部分上，且由TMR膜及上部電極之積層構造所構成，而上述絕緣性膜係形成於包含有上述通孔內之上述下部電極上者，於上述第2層間絕緣膜上，上述絕緣性膜以及上述下部電極均於相同方向上具有側面，且上述下部電極之側面係相對於上述絕緣性膜之側面，而於上述相同方向上一致或者較上述絕緣性膜凹陷而形成。

本發明請求項26之半導體裝置之製造方法，其包含有下

述步驟：(a)於半導體基板之上方形形成第1層間絕緣膜之步驟；(b)貫通上述第1層間絕緣膜而選擇性地形成下層配線之步驟；(c)於包含有上述下層配線之上述第1層間絕緣膜上，形成第2層間絕緣膜之步驟；以及(d)貫通上述下層配線上之上述第2層間絕緣膜而形成通孔之步驟；上述通孔之底面係上述下層配線之至少一部分，又，該半導體裝置之製造方法進而包含有步驟(e)，該步驟(e)係於上述通孔之底面與側面以及上述第1層間絕緣膜上，形成下部電極之步驟，上述下部電極係經由上述通孔而與上述下層配線電性連接，再者，該半導體裝置之製造方法進而包含有下述步驟：(f)於上述第2層間絕緣膜上之上述下部電極上，選擇性地形成作為TMR膜及上部電極積層構造之TMR元件之步驟；(g)於包含有上述通孔之上述下部電極上形成絕緣性膜之步驟；(h)於上述絕緣性膜上形成經圖案化之抗蝕劑之步驟；(i)將上述抗蝕劑作為遮罩，同時對上述下部電極以及上述絕緣性膜進行蝕刻，俾使上述下部電極與上述絕緣性膜圖案化之步驟；以及(j)去除上述抗蝕劑之步驟。

[發明之功效]

請求項1之半導體裝置，係至少覆蓋下部電極之上表面以及TMR膜之側面而形成防氧化膜，故於防氧化膜上形成氧化膜時，可確實地抑制下部電極之上表面以及TMR膜之側面氧化。其結果，可獲致具有記憶精度不會劣化之TMR膜之記憶體單元。

請求項6之半導體裝置中，導線與下部電極係經由金屬

插塞而電性連接，故相較於讓導線與下部電極直接電性連接之情形，可以平坦性良好地形成下部電極，因此可高精度地形成記憶體單元。

請求項8之半導體裝置係可將上部電極用作硬遮罩，而無須另外設置硬遮罩之製程，故可簡化製程。又，由於係以30~100 nm此較薄之膜厚而形成上部電極之膜厚，故於上部電極形成時，亦可減輕施加至TMR膜之應力，而不會使TMR膜之磁性特性劣化。進而，由於使用相同材質而形成上部電極與下部電極，故將上部電極用作硬遮罩層而對TMR膜進行蝕刻時，可讓下部電極作為蝕刻擋止層而作用。

請求項9之半導體裝置之製造方法中，於步驟(c)係以至少覆蓋下部電極之上表面與側面以及TMR膜之側面之方式，而形成第1防氧化膜，故步驟(e)於第1防氧化膜上形成氧化膜時，可確實地靠抑制下部電極之上表面與側面以及TMR膜之側面氧化。其結果，可獲致具有記憶精度不會劣化之TMR膜之記憶體單元。

請求項14之半導體裝置之製造方法中，於步驟(d)，通孔中埋入有金屬插塞，故可不受通孔之影響，而於層間絕緣膜上平坦性良好地形成下部電極，因此可高精度地形成記憶體單元。

請求項16之半導體裝置之製造方法中，於步驟(c)，係將上部電極用作硬遮罩層，故無須另外設置硬遮罩之製程，因此可簡化製程。又，由於係以30~100 nm此較薄膜厚而

形成上部電極之膜厚，故於上部電極形成時，亦可減輕施加至TMR膜之應力，而不會使TMR膜之磁性特性劣化。進而，由於使用相同材質而形成上部電極與下部電極，故在將上部電極作為硬遮罩層而對TMR膜進行蝕刻時，可使下部電極作為蝕刻擋止層而作用。

本發明請求項17之半導體裝置係於通孔內之下部電極上形成有絕緣性膜，故藉由使下部電極之加工與絕緣性膜之加工同時進行，而使通孔內之下部電極受到絕緣性膜之保護，其結果，於下部電極加工後之製造過程中，可避免對通孔下之下層配線造成損害，因此可提高良率。

又，下部電極之側面相對於絕緣性膜之側面，係於相同方向上一致或者較上述絕緣性膜更凹陷而形成，故縱或對絕緣性膜以及下部電極同時進行加工，並不會對下部電極之加工形狀造成不良影響。

本發明之請求項26之半導體裝置之製造方法於步驟(i)中，係將抗蝕劑作為遮罩，而對上述下部電極以及上述絕緣性膜同時進行蝕刻，以使上述下部電極以及上述絕緣性膜圖案化，故步驟(i)執行後，通孔內之下部電極可藉由絕緣性膜而得到保護，其結果，於步驟(j)之執行階段中，可避免對通孔下之下層配線之損害，因此可提高所完成之半導體裝置之良率。

【實施方式】

<實施形態1>(構造)

圖1係本發明實施形態1之半導體裝置，即MRAM之記憶

體單元部之平面構造的平面圖，圖2係圖1之A-A剖面之剖面圖。

如圖1所示，TMR膜29俯視呈4角圓曲之縱長形狀。如圖2所示，於TMR膜29下形成有TMR下部電極28，於TMR膜29上形成有TMR上部電極31。藉由該等TMR下部電極28、TMR膜29以及TMR上部電極31而構成記憶體單元MC。再者，於本說明書中，為便於說明，有時將TMR膜29以及TMR上部電極31合併表示為TMR元件5。再者，TMR膜29形成例如強磁性層、非磁性層以及強磁性層自上而積層之積層構造。強磁性層例如藉由包含NiFe、CoFeB、CoFe之磁性膜而形成，非磁性層例如藉由氧化鋁膜或氧化鎂而形成。

圖3係實施形態1之MRAM所有層之剖面構造之剖面圖，圖3(a)相當於圖1之A-A剖面，圖3(b)相當於圖1之B-B剖面，圖3(c)相當於圖1之C-C剖面。以下，參照圖1~圖3，說明實施形態1之MRAM構造。

於半導體基板100之上層部選擇性形成元件分離區域2，元件分離區域2、2間之井區域1w作為電晶體形成區域而作用。於上述電晶體形成區域中，夾隔通道區域1c而形成有一對源極/汲極區域14、14，於通道區域1c上積層有閘極絕緣膜11、閘極電極12，於閘極電極12之側面形成有2層構造之側壁13。又，於源極/汲極區域14以及閘極電極12上分別形成有矽化鈷區域15。

藉由該等通道區域1c、閘極絕緣膜11、閘極電極12、側

壁13以及源極/汲極區域14，而構成讀出時選擇用之MOS電晶體Q1。

以覆蓋包含MOS電晶體Q1之半導體基板100整個面上之方式，形成由SiO₂等氧化膜形成之層間絕緣膜16，並且貫通層間絕緣膜16而形成接觸插塞17，該接觸插塞17與一對源極/汲極區域14、14中一方之矽化鈦區域15電性連接。

將氮化膜41、由氧化膜而形成之層間絕緣膜18積層於層間絕緣膜16上，貫通氮化膜41以及層間絕緣膜18而選擇性形成Cu配線19，一根Cu配線19與接觸插塞17電性連接。

將氮化膜42、由氧化膜而形成之層間絕緣膜20及21積層於包含Cu配線19之層間絕緣膜18上，形成以貫通氮化膜42及層間絕緣膜20之方式而設置之微細孔52、以及以貫通層間絕緣膜21之方式而設置之配線孔62，埋入到微細孔52及配線孔62而形成Cu配線22。Cu配線22與Cu配線19(與接觸插塞17電性連接之上述一根Cu配線19)電性連接。

將氮化膜43、由氧化膜而形成之層間絕緣膜23及24積層於包含Cu配線22之層間絕緣膜21上，貫通氮化膜43及層間絕緣膜23而形成微細孔53，貫通層間絕緣膜24而形成配線孔63，埋入到微細孔53及配線孔63而形成Cu配線25(導線25r、數位線25d)。導線25r與Cu配線22(位於接觸插塞17上之Cu配線22)電性連接。

將由氮化膜而形成之層間絕緣膜26a以及由氧化膜而形成之層間絕緣膜26b積層於包含Cu配線25之層間絕緣膜24上，在俯視相當於導線25r之形成區域之一部分的層間絕

緣膜26a及26b上設置通孔9。於層間絕緣膜26b上以及通孔9之底面與側面上，選擇性形成TMR下部電極28，藉此而使TMR下部電極28與導線25r電性連接。再者，TMR下部電極28與TMR膜29中晶格之格子間隔相近，例如由鉭(Ta)而形成，故可減少TMR膜29上產生變形。又，TMR下部電極28有時亦稱作將導線25r與TMR膜29電性連接之引出配線(LS(Local Strap))。

於TMR下部電極28上，在俯視相當於數位線25d之形成區域之一部分的區域中，選擇性形成TMR元件5(TMR膜29、TMR上部電極31)。TMR上部電極31藉由鉭(Ta)以30~100 nm之膜厚而形成，於製造過程中作為硬遮罩而作用。

繼而，於TMR元件5之整個面以及TMR下部電極28之上表面上，形成藉由LT(Low Temperature，低溫)-SiN而構成之層間絕緣膜30。進而，以覆蓋包含TMR下部電極28之側面之整個面之方式而形成由LT-SiN所形成之層間絕緣膜32。進而，覆蓋整個面而形成由SiO₂所形成之層間絕緣膜33。

於層間絕緣膜33之上層部選擇性形成成為位元線之Cu配線34，在俯視而形成有TMR元件5之區域之一部分中，貫通層間絕緣膜30、層間絕緣膜32以及層間絕緣膜33而形成通孔40，於該通孔40中亦埋入有Cu配線34，藉此將Cu配線34與TMR上部電極31電性連接。繼而，於包含Cu配線34之層間絕緣膜33之整個面上設置鈍化膜35。

實施形態1之MRAM係呈如上所述之結構，並且具有以下所示之第1及第2特徵。

第1特徵在於除利用LT-SiN而形成之層間絕緣膜30，並利用層間絕緣膜32，而將TMR下部電極28之上表面與側面以及TMR元件5之側面全部覆蓋。

由LT-SiN形成之層間絕緣膜30及32，係作為堆積由SiO₂所形成之層間絕緣膜33時之防氧化膜而加以作用，惟在僅有層間絕緣膜30之情形下，當TMR膜29之側面變薄時，則難以作為防氧化膜而充分發揮作用。然而，於實施形態1中，係利用層間絕緣膜30及32此2層來保護TMR膜29，藉此可發揮充分之防氧化功能。進而，由於以覆蓋TMR下部電極28之上表面及側面而形成層間絕緣膜30及32，故亦可對TMR下部電極28發揮充分之防氧化作用。

此外，對TMR下部電極28進行加工時，由於層間絕緣膜30將TMR元件5之側面全部覆蓋，故可確實保護記憶體單元MC，特別是TMR膜29之側面，藉此可防止蝕刻/沈積材料之異物附著而產生洩漏電流。

又，由於LT-SiN在300℃以下之較低溫度下形成，故於製造層間絕緣膜30及32時，亦不會使TMR膜29之磁性特性劣化。

第2特徵在於藉由使用膜厚30~100 nm之Ta，而可於製造過程中，將TMR上部電極31作為硬遮罩使用。

根據該第2特徵，可將TMR上部電極31用作為硬遮罩，而無須另外設置硬遮罩之製程，故可簡化製程。又，由於

以 30~100 nm 此較薄之膜厚而形成 TMR 上部電極 31 之膜厚，故於形成 TMR 上部電極 31 時，亦可減輕施加至 TMR 膜 29 之應力，而不會使 TMR 膜 29 之磁性特性劣化。

進而，由於使用相同材料 (Ta) 一併形成 TMR 下部電極 28 以及 TMR 上部電極 31，因而於將 TMR 上部電極 31 作為遮罩而對 TMR 膜 29 進行加工時，亦可獲致下述功效，即 TMR 下部電極 28 係作為擋止層而作用，且可高精度地讓 TMR 膜 29 形成圖案。

(製造方法)

圖 4~圖 26 係表示實施形態 1 之 MRAM 之製造方法的剖面圖。於該等圖式中，(a) 相當於圖 1 之 A-A 剖面，(b) 相當於圖 1 之 B-B 剖面，(c) 相當於圖 1 之 C-C 剖面。又，圖 12~圖 26 中之 (d) 係表示周邊電路部之剖面。以下，參照該等圖式來說明實施形態 1 之 MRAM 之製造方法。

首先，如圖 4 所示，於半導體基板 100 之上層部選擇性形成元件分離區域 2。元件分離區域 2、2 間之半導體基板 100 之上層部成為形成有電晶體等之活性區域 1。

繼而，如圖 5 所示，導入第 1 導電型雜質，以於半導體基板 100 之上層部形成井區域 1w。

其次，如圖 6 所示，於井區域 1w 上形成閘極絕緣膜 11，於閘極絕緣膜 11 上選擇性形成閘極電極 12。將閘極電極 12 下之井區域 1w 之表面規定為通道區域 1c。

其後，如圖 7 所示，在將第 2 導電型 (與第 1 導電型相反之導電型) 雜質自我對準地植入到閘極電極 12，使其擴散而

於閘極電極12之側面形成2層構造之側壁13後，將第2導電型雜質自我對準地植入到閘極電極12以及側壁13，並使其擴散，藉此，於通道區域1c附近形成具有擴充區域之一對源極/汲極區域14、14。其結果，形成包含通道區域1c、閘極絕緣膜11、閘極電極12、源極/汲極區域14之MOS電晶體Q1。

其次，如圖8所示，於源極/汲極區域14、14以及閘極電極12之表面上分別形成矽化鈷區域15。

繼而，如圖9所示，於整個面上形成層間絕緣膜16，並且貫通層間絕緣膜16而選擇性形成接觸插塞17。該接觸插塞17與一對源極/汲極區域14、14中一方之矽化鈷區域15電性連接。

進而，如圖10所示，將氮化膜41以及(作為氧化膜之)層間絕緣膜18積層於整個面上，貫通氮化膜41以及層間絕緣膜18而選擇性形成Cu配線19。其結果，使Cu配線19之一部分與接觸插塞17電性連接。以此方式，形成作為第1層金屬配線之Cu配線19。

繼而，如圖11所示，將氮化膜42、(作為氧化膜之)層間絕緣膜20及21積層於整個面上，並且貫通氮化膜42以及層間絕緣膜20而選擇性形成微細孔52，進而，貫通包含微細孔52之區域上之層間絕緣膜21而選擇性形成配線孔62，其後，埋入微細孔52以及配線孔62，形成Cu配線22。Cu配線22與Cu配線19(與接觸插塞17電性連接之Cu配線19)電性連接。以此方式，使用金屬鑲嵌技術而形成作為第2層金

屬配線之Cu配線22。

其後，如圖12所示，於整個面上形成氮化膜43、(由氧化膜形成之)層間絕緣膜23及24，並且貫通氮化膜43以及層間絕緣膜23而選擇性形成微細孔53，進而，貫通包含微細孔53之區域上之層間絕緣膜24而選擇性形成配線孔63，其後，埋入到微細孔53以及配線孔63而形成Cu配線25(導線25r、數位線25d)。繼而，將導線25r與Cu配線22電性連接。以此方式，使用金屬鑲嵌技術而形成作為第3層金屬配線之Cu配線25。

又，如圖12(d)所示，於周邊區域，將與MOS電晶體Q1等價之MOS電晶體Q2形成於半導體基板100上，第1~第3層金屬配線各自形成為Cu配線19、Cu配線22以及Cu配線25。

其後，如圖13所示，於整個面上形成層間絕緣膜26a、26b，並且貫通記憶體單元部之導線25r之區域上之一部分而選擇性形成通孔9。

繼而，如圖14所示，將應成為TMR下部電極28、TMR膜29以及TMR上部電極31之層積層於整個面上。此時，在通孔9之底面以及側面上形成TMR下部電極28，藉此，TMR下部電極28與導線25r電性連接。

此時，由於以30~100 nm較薄膜厚而形成TMR上部電極31之膜厚，故於形成TMR上部電極31時，可減輕施加至TMR膜29之應力，而不會使TMR膜29之磁性特性劣化。再者，TMR下部電極28以及TMR上部電極31如上所述，以Ta

作為構成材料，例如，藉由濺鍍法而形成。

其後，如圖15所示，使用未圖示之圖案化抗蝕劑而使TMR上部電極31圖案化之後，將圖案化後之TMR上部電極31作為硬遮罩，對TMR膜29進行蝕刻，以完成TMR元件5。在蝕刻時，利用與TMR上部電極31相同之Ta所構成之TMR下部電極28作為蝕刻擋止層而發揮作用。

以此方式，將TMR上部電極31用作硬遮罩，故無須另外設置硬遮罩之製程，因此可實現製造過程之簡化。

又，如同利用抗蝕劑遮罩進行蝕刻之情形，於TMR膜29之側壁，不會附著有使元件特性惡化之有機物系沈積物，故用以去除TMR膜29之抗蝕劑之灰化或清洗處理亦不會導致磁性膜劣化。

其次，如圖16所示，於300℃以下之低溫狀態下，在整個面上形成由LT-SiN形成之層間絕緣膜30，並且如圖17所示，以僅覆蓋記憶體單元之形成區域之方式形成圖案化抗蝕劑45。

繼而，如圖18所示，將圖案化抗蝕劑45製成遮罩，對TMR下部電極28以及層間絕緣膜30進行蝕刻，藉此使TMR下部電極28得到圖案化，如圖19所示，去除抗蝕劑45。於此，將經過圖案化之抗蝕劑45製成遮罩，並對層間絕緣膜30進行蝕刻，去除抗蝕劑45後，亦可將層間絕緣膜30製成硬遮罩而使TMR下部電極28得到圖案化。藉此可使TMR下部電極28以更高精度進行圖案化。

其次，如圖20所示，在300℃以下之低溫狀態下，於整

個面上形成由LT-SiN形成之層間絕緣膜32。其結果，TMR膜29之側面區域以及TMR下部電極28由層間絕緣膜30及32而覆蓋。

其次，如圖21所示，於整個面上形成由SiO₂形成之層間絕緣膜33。此時，由於TMR膜29之側面區域由層間絕緣膜30及32而覆蓋，故可於形成層間絕緣膜33時充分發揮防氧化功能。因此，於形成層間絕緣膜33時，TMR膜29不會受到不良影響。進而，由於以覆蓋TMR下部電極28之上表面以及側面之方式而形成有層間絕緣膜30及32，故亦可對TMR下部電極28發揮充分之防止氧化功能。

進而，由於作為層間絕緣膜30及32之形成材料之LT-SiN於300℃以下之較低溫狀態下形成，故亦不會使TMR膜29之磁性特性劣化。

其後，如圖22所示，對層間絕緣膜33進行CMP處理，藉此使層間絕緣膜33平坦化。

繼而，如圖23所示，於TMR元件5之上方，形成貫通層間絕緣膜33之通孔39。又，如圖23(d)所示，於周邊區域之一部分Cu配線25之上層，形成通孔49。

繼而，如圖24所示，選擇性蝕刻去除層間絕緣膜33，以用於形成位元線。此時，亦將通孔39下之層間絕緣膜30及32蝕刻去除，而形成通孔40，並將通孔49下之層間絕緣膜30及32蝕刻去除，而形成通孔50。

其次，如圖25所示，在將包含通孔40及50之層間絕緣膜33蝕刻去除後之區域中埋入Cu配線34，藉此形成位元線。

其結果，於記憶體電路區域中，Cu配線34經由通孔40而與TMR元件5(TMR上部電極31)電性連接，於周邊電路區域中，Cu配線34與Cu配線25電性連接。以此方式形成作為第4層金屬配線之Cu配線34。

最後，如圖26所示，於整個面上形成鈍化膜35，以完成實施形態1之MRAM(包含周邊電路)。

再者，實施形態1中表示有於第3層及第4層金屬配線上構成記憶體單元電路(記憶體單元MC、位元線(Cu配線34)等)之例，但亦可於第1層及第2層金屬配線部分構成記憶體單元電路。又，記憶體單元電路亦可構成5層以上。

<實施形態2>(構造)

圖27係本發明實施形態2之半導體裝置，即MRAM之記憶體單元部的平面構造之平面圖，圖28係圖27之A-A剖面之剖面圖。

圖29係表示實施形態2之MRAM所有層之剖面構造之剖面圖，圖29(a)相當於圖27之A-A剖面，圖29(b)相當於圖27之B-B剖面，圖29(c)相當於圖27之C-C剖面。以下，參照圖27~圖29，說明實施形態2之MRAM之構造。再者，由於自半導體基板100至作為第3層金屬配線，即Cu配線25為止之構造，以及自層間絕緣膜33層至鈍化膜35為止之構造，係與圖1~圖3所示之實施形態1之MRAM構造相同，故省略其說明。

於包含有Cu配線25之層間絕緣膜24上，積層層間絕緣膜26a及26b，又，在俯視相當於導線25r之形成區域其中一

部分的層間絕緣膜26a及26b上，設置通孔9，並且對該通孔9進行填充而形成Cu插塞10。

於包含有Cu插塞10之層間絕緣膜26b上，選擇性地形成TMR下部電極28。藉此，TMR下部電極28係經由Cu插塞10而與導線25r電性連接。再者，TMR下部電極28為取得與TMR膜29之晶格的匹配性(matching)，係例如藉由鉭(Ta)而形成。又，TMR下部電極28亦稱作將導線25r與TMR膜29電性連接之引出配線(LS(Local Strap))。

於TMR下部電極28上，在俯視上相當於數位線25d之形成區域其中一部分的區域中，選擇性形成TMR元件5(TMR膜29、TMR上部電極31)。TMR上部電極31藉由鉭(Ta)以30~100 nm之膜厚而形成，並且於製造過程中亦作為硬遮罩而作用。

繼而，於TMR元件5之整個面以及TMR下部電極28之上表面上，形成由LT-SiN所形成之層間絕緣膜30。進而，以覆蓋包含TMR下部電極28之側面之整個面之方式，形成由LT-SiN所形成之層間絕緣膜32。進而，覆蓋整個面而形成由SiO₂所形成之層間絕緣膜33。

實施形態2之MRAM係呈如上所述之結構，與實施形態1同樣具有上述第1及第2特徵，故可獲致與實施形態1同樣功效。

進而，實施形態2之MRAM具有以下第3特徵。第3特徵在於Cu插塞10係埋入到通孔9而形成，並且藉由該Cu插塞10，而實現TMR下部電極28與導線25r之電性連接。

根據具有上述第3特徵，在通孔9中埋入有Cu插塞10，故可不受通孔9之影響，而平坦性良好地形成TMR下部電極28，因此可高精度地形成記憶體單元MC。

以下，將上述效果與實施形態1之構造進行比較而說明。實施形態1中，將TMR下部電極28亦形成於通孔9內，因而隨著通孔9與TMR元件5之形成位置間之距離變近，而使TMR下部電極28之平坦性因通孔9之影響而變差。

另一方面，於實施形態2之構造中，於通孔9內埋入有Cu插塞10，而未將TMR下部電極28形成於通孔9內，因此可以良好平坦性而形成TMR下部電極28，而與通孔9及TMR元件5之距離無關。即，實施形態2之構造適用於更微細化之情形。

又，作為與實施形態2之構造接近之構造，亦可考慮於Cu插塞10之正上方，即，導線25r之上方形形成TMR元件5之其他構造。相對於在上述其他構造中將TMR下部電極28形成於Cu插塞10上，在實施形態2之構造中，將TMR下部電極28形成於層間絕緣膜26b上，因而實施形態2之構造可以良好平坦性而形成TMR下部電極28。進而，當為上述其他構造時，因導線25r位於TMR元件5正下方之關係，必然使數位線25d與TMR元件5之距離變遠，因此亦具有易產生寫入不良之負面情形。

(製造方法)

圖30~圖44係實施形態2之MRAM製造方法之剖面圖。於該等圖中，(a)表示圖27之A-A剖面；(b)表示圖27之B-B剖

面；(c)表示圖27之C-C剖面；(d)表示周邊電路部之剖面。以下，參照該等圖式，說明實施形態2之MRAM之製造方法。

經過實施形態1之圖4~圖12所示之製程後，如圖30所示，於整個面上形成層間絕緣膜26a、26b，並且貫通記憶體單元部中之導線25r該區域上的其中一部分，而選擇性地形成通孔9。

其後，如圖31所示，使用金屬鑲嵌技術埋入到通孔9而形成Cu插塞10。

繼而，如圖32所示，將應成為TMR下部電極28、TMR膜29以及TMR上部電極31之層積層於整個面上。此時，TMR下部電極28經由Cu插塞10而與導線25r電性連接。由於以30~100 nm較薄膜厚而形成TMR上部電極31之膜厚，故於TMR上部電極31形成時，可減輕施加至TMR膜29之應力，而不會使TMR膜29之磁性特性劣化。再者，TMR下部電極28以及TMR上部電極31如上所述，以Ta作為構成材料，例如，藉由濺鍍法而形成。

如上所述，由於並未將TMR下部電極28形成於通孔9內，故可將TMR下部電極28以良好平坦性而形成於層間絕緣膜26b以及Cu插塞10上。

其後，如圖33所示，在使TMR上部電極31圖案化後，將圖案化後之TMR上部電極31作為硬遮罩，對TMR膜29進行蝕刻，以完成TMR元件5。在蝕刻時，利用與TMR上部電極31相同之Ta所構成之TMR下部電極28作為蝕刻擋止層而

發揮作用。

以此方式，將TMR上部電極31用作硬遮罩，故無須另外設置硬遮罩之製程，因此可實現製造過程之簡化。

又，如同利用抗蝕劑遮罩進行蝕刻之情形，於TMR膜29之側壁，並未附著有使元件特性惡化之有機物系沈積物，且用以去除TMR膜29之抗蝕劑之灰化或清洗處理亦並未導致磁性膜劣化。

其次，如圖34所示，於整個面上形成由LT-SiN所形成之層間絕緣膜30，並且如圖35所示，以僅覆蓋記憶體單元MC之形成區域之方式而形成圖案化抗蝕劑45。

繼而，如圖36所示，將圖案化抗蝕劑45作為遮罩而對TMR下部電極28以及層間絕緣膜30進行蝕刻，藉此使TMR下部電極28圖案化，並且如圖37所示，去除抗蝕劑45。

其次，如圖38所示，於整個面上形成由LT-SiN所形成之層間絕緣膜32。其結果，TMR膜29之側面區域藉由層間絕緣膜30及32而覆蓋，並且TMR下部電極28之側面區域藉由層間絕緣膜32而覆蓋。

其次，如圖39所示，於整個面上形成由SiO₂所形成之層間絕緣膜33。此時，由於TMR膜29之側面區域藉由層間絕緣膜30及32而覆蓋，故可於層間絕緣膜33形成時充分發揮防氧化功能。因此，於層間絕緣膜33形成時，TMR膜29並未受到不良影響。

此外，於TMR下部電極28加工時，層間絕緣膜30將TMR元件5之側面全部覆蓋，故能夠可靠保護記憶體單元MC，

尤其 TMR 膜 29 之側面，藉此可防止蝕刻/沈積材料之異物附著而產生洩漏電流。

其後，如圖 40 所示，對層間絕緣膜 33 進行 CMP 處理，以使層間絕緣膜 33 平坦化。

繼而，如圖 41 所示，於 TMR 元件 5 之上方，形成貫通層間絕緣膜 33 之通孔 39。又，如圖 41(d) 所示，於周邊區域其中一部分之 Cu 配線 25 之上層，形成通孔 49。

繼而，如圖 42 所示，為了用以形成位元線形成而選擇性蝕刻去除層間絕緣膜 33。此時，亦將通孔 39 下之層間絕緣膜 30 及 32 蝕刻去除，而形成通孔 40；將通孔 39 下之層間絕緣膜 30 及 32 蝕刻去除，而形成通孔 50。

其次，如圖 43 所示，在將包含通孔 40 及 50 之層間絕緣膜 33 蝕刻去除後之區域中埋入 Cu 配線 34，藉此而形成位元線。其結果，於記憶體電路區域中，Cu 配線 34 經由通孔 40 而與 TMR 元件 5 (TMR 上部電極 31) 電性連接，於周邊電路區域中，Cu 配線 34 與 Cu 配線 25 電性連接。以此方式而形成作為第 4 層金屬配線之 Cu 配線 34。

最後，如圖 44 所示，於整個面上形成鈍化膜 35，以完成實施形態 2 之 MRAM (包含周邊電路)。

<實施形態 3> (前提技術)

圖 45 係表示 MRAM 結構之概略說明圖。如該圖所示，將複數個記憶體元件 102 配置成矩陣狀，沿行方向 (圖中傾斜橫方向) 形成有複數根上部 Cu 配線 134，且以行為單位而與記憶體元件 102 電性連接；沿列方向 (圖中傾斜縱方向) 形成

有複數根下部Cu配線125，且以列為單位而與TMR元件105電性連接。

圖46係表示記憶體元件102與上部Cu配線134以及下部Cu配線125(導線125r、數位線125d)之連接關係詳細情形之剖面圖。如該圖所示，貫通形成於半導體基板100(未圖示，參照圖3等)上方之氧化膜124內而選擇性形成有下部Cu配線125，並且於包含下部Cu配線125之氧化膜124上，積層有氮化矽膜126a以及氧化膜126b，在俯視上相當於導線125r之形成區域其中一部分的層間絕緣膜126a及126b上，設置有通孔109(局部通道)。於層間絕緣膜126b上以及通孔109之底面與側面上，選擇性地形成有作為引出配線(LS(Local Strap))之TMR下部電極158，藉此，TMR下部電極158與導線125r電性連接。

於TMR下部電極158上，在俯視上相當於數位線125d之形成區域其中一部分的區域中，選擇性地形成有TMR元件105(TMR膜129、TMR上部電極131)。藉由TMR元件105以及TMR下部電極158而構成記憶體元件102。TMR膜129係強磁性層129a、非磁性層129b以及強磁性層129c自上開始積層之積層構造。

繼而，覆蓋包含有TMR元件105之整個面，而形成由SiO₂所形成之氧化膜133。

於氧化膜133之上層部，選擇性形成作為位元線之上部Cu配線134，並且於俯視上在形成有TMR元件105之區域其中一部分中，貫通氧化膜133而形成通孔140，且該通孔

140中亦埋入有上部Cu配線134，藉此而將上部Cu配線134與TMR上部電極131電性連接。

如上所述，於通孔109內形成有TMR下部電極158，因此將下部Cu配線125(導線125r)與TMR元件105(TMR膜129)電性連接而成之一般構造(以下簡記為"通道LS連接構造")，係圖46所示之構造。

為獲得圖46所示之構造，一般而言經過包含下述(1)~(9)之製造過程。(1)於包含下部Cu配線125之氧化膜124上堆積氮化矽膜126a以及氧化膜126b。(2)選擇性形成貫通氮化矽膜126a以及氧化膜126b之通孔109。(3)於包含通孔109之氧化膜126b上堆積作為TMR下部電極158之金屬薄膜。(4)於氧化膜126b上之TMR下部電極158上堆積TMR元件105之形成層。(5)使TMR元件105圖案化。(6)將上述(3)所形成之金屬薄膜圖案化，以形成TMR下部電極158。(7)於整個面堆積氧化膜133。(8)選擇性形成貫通氧化膜133之通孔140以及上部Cu配線134之形成區域。(9)埋入堆積上部Cu配線134之後，進行CMP處理。

上述第(6)製程係稱作LS製程，且於該LS製程中存有以下所示之問題。

圖47~圖49係表示用以取得通道LS連接構造(參照圖46)之LS製程之剖面圖。以下，參照該等圖式而說明LS製程。

如圖47所示，在形成於半導體基板上方之氧化膜124形成之後，選擇性地形成貫通氧化膜124之下部Cu配線

125(導線125r、數位線125d)，並且於整個面上形成氮化矽膜126a以及氧化膜126b後，貫通氮化矽膜126a以及氧化膜126b，而形成將導線125r之一部分作為底面之通孔109，又，於通孔109之底面與側面以及氧化膜126b上形成TMR下部電極158後，獲致TMR元件105(TMR膜129、TMR上部電極131)，並且於整個面上形成抗蝕劑155後，設置用以將TMR下部電極158與元件單位分離之開口部156，藉此使抗蝕劑155圖案化。

繼而，如圖48所示，將抗蝕劑155作為遮罩而對TMR下部電極158進行蝕刻，藉此使TMR下部電極158圖案化。其後，利用灰化處理而去除抗蝕劑155。

此時，如圖48所示，利用TMR膜129之側壁上之反應而形成由聚合物、磁性膜等構成之側壁反應部159，並且如圖49所示，於通孔109之通道底端部區域171具有影響材料，該影響材料係自TMR下部電極158其中一部分之極薄成膜部或者未成膜部168開始，且TMR下部電極158下之下部Cu配線125(導線125r)其中一部分會被腐蝕，而產生Cu腐蝕部160。

上述影響材料產生之原因，係由於將TMR下部電極158其中一部分埋入到通孔109而加以形成之點，以及對TMR下部電極158之膜厚進行限制之點等理由，因而無法將TMR下部電極158被覆性良好地埋入通孔109內而加以形成。再者，對TMR下部電極158之膜厚產生限制之原因，由於形成於TMR下部電極158上之TMR元件105，係因作為

基礎層之TMR下部電極158之粗糙度而使其特性受到影響，故作為TMR元件105之基礎層，即TMR下部電極158其膜厚，係限制為100 nm以下。

因此，於通道底端部區域171中，由於TMR下部電極158上產生極薄成膜部或者未成膜部168之可能性高，因而於抗蝕劑155灰化時，實無法忽略自極薄成膜部或者未成膜部168而在下部Cu配線125產生Cu腐蝕之影響材料。

其結果，由於上述影響材料係實際上存在者，因而TMR下部電極158與導線25r之電性連接無法充分進行，導致有配線不良之問題。然而實施形態3可解決前述問題點。

(實施形態3之構造)

圖50係作為本發明實施形態3，即半導體裝置MRAM之記憶體單元部構造之剖面圖。再者，圖50表示於2個TMR形成區域103、104(第1及第2TMR形成區域)中分別形成有相同構造之TMR元件105(第1及第2TMR元件)之構造。

如該圖所示，將貫通作為第1層間絕緣膜之氧化膜124而選擇性構成下部Cu配線125(下層配線)之導線125r以及數位線125d分別形成於TMR形成區域103、104。再者，實施形態3之MRAM亦與實施形態1之MRAM相同，於半導體基板100之上方形形成積層構造，但為了便於說明，僅對自氧化膜124起之上部構造進行圖式表示及說明。再者，氧化膜124相當於實施形態1之層間絕緣膜24(參照圖3等)。

繼而，於包含下部Cu配線125之氧化膜124上，積層氮化矽膜126a(第1部分層間絕緣膜)以及由SiO₂而形成之氧化膜

126b(第2部分層間絕緣膜)，並且利用氮化矽膜126a以及氧化膜126b而構成第2層間絕緣膜。

於TMR形成區域103、104之各自中，在俯視相當於導線125r之形成區域之一部分的層間絕緣膜126a及126b上設置通孔109(局部通道)。於層間絕緣膜126b上以及通孔109之底面與側面上選擇性形成作為LS之TMR下部電極128，藉此，TMR下部電極128於TMR形成區域103、104之各自中與導線125r電性連接。

再者，TMR形成區域103之TMR下部電極128(第1下部電極)與TMR形成區域104之TMR下部電極128(第2下部電極)，因設置於TMR形成區域103、104邊界以及其附近區域之開口部147(距離d1)而相互分離。

於TMR形成區域103、104各自之TMR下部電極128上，在俯視相當於數位線125d之形成區域之一部分的區域中，選擇性形成有TMR元件105(TMR膜129、TMR上部電極131)。再者，TMR膜129形成例如強磁性層129a、非磁性層129b以及強磁性層129c自上而積層之積層構造。

繼而，以覆蓋TMR下部電極128之上表面以及TMR元件105之側面與上表面之方式而形成絕緣性膜130。再者，絕緣性膜130可考慮例如氮化膜(SiN)、氧化膜(SiO₂、GeO、Al₂O₃)等。

又，絕緣性膜130利用300℃以下之低溫下所形成之絕緣性材料而形成。例如，可考慮於低溫下成膜之氮化膜(LT(Low Temperature)-SiN)等作為絕緣性膜130。

繼而，以覆蓋包含絕緣性膜130之整個面之方式，而形成由SiO₂所形成之第3層間絕緣膜，即氧化膜133。此時，氧化膜133係以與氧化膜126b為化學物種相同之材料而形成。進而，氧化膜133藉由與氧化膜126b完全相同內容之製造過程而加以製造。

再者，於開口部147亦形成有氧化膜133，藉此而使TMR形成區域103之TMR下部電極128與TMR形成區域104之TMR下部電極128完全絕緣分離。

於氧化膜133之上層部選擇性形成有成為位元線之上部Cu配線134，且分別於TMR形成區域103、104中，在俯視而形成有TMR元件105之區域其中一部分，貫通氧化膜133以及絕緣性膜130而形成通孔140，且該通孔140中亦埋入有上部Cu配線134，藉此而使上部Cu配線134與TMR上部電極131電性連接。

如上所述，於通孔109內形成有TMR下部電極128，藉此而呈現將下部Cu配線125(導線125r)與TMR元件105(TMR膜129)電性連接之通道LS連接構造。

(效果)

圖51係表示實施形態3之半導體裝置之功效的剖面圖。如該圖所示，縱或於通道底端部區域107中，在TMR下部電極128其中一部分中產生有極薄成膜部或者未成膜部148時，亦由於在通孔109內，於TMR下部電極128上形成有絕緣性膜130，因而於LS製程後，進行LS製程中之TMR下部電極128圖案化所用之抗蝕劑灰化處理時，可確實避免進

行灰化處理時，自極薄成膜部或者未成膜部148而在下部Cu配線125(導線125r)產生之Cu腐蝕。

因此，不會產生如圖49所示之Cu腐蝕部160，且可獲致下述功效果，即，可確保TMR下部電極128與導線125r之間具有良好電性連接關係，且可冀望良率提高。

再者，上述效果亦可發揮於實施形態1之構造(參照圖2等)之中，即，於TMR下部電極28上形成層間絕緣膜30。

又，於開口部147之附近區域之TMR下部電極128與絕緣性膜130之側面基本一致，故並未由於重新形成絕緣性膜130而擴大分別形成於TMR形成區域103、104之TMR下部電極128間之距離d1，因而起到不會損害積體度之微細化效果。

即，因TMR下部電極128與絕緣性膜130之側面一致，故如下所述，在同時使絕緣性膜130以及TMR下部電極128圖案化時，亦不會對TMR下部電極128之加工形狀造成不良影響。

此外，由於使用300℃以下之低溫下所形成之低溫絕緣性膜作為絕緣性膜130，故可藉由於300℃以下之低溫下形成絕緣性膜130而可確實地防止絕緣性膜130形成時TMR元件105之性能劣化。即，於絕緣性膜130形成時不會對TMR元件105之特性造成不良影響。其結果，與形成達300℃以上溫度之絕緣性膜時相比，關於TMR膜129，可期待磁性多層膜之自旋定向改善，且磁性多層膜間之交換耦合改善，熱應力減少。

再者，上述效果亦可發揮於實施形態1之構造(參照圖2等)中，即，在TMR下部電極28上，形成有由LT-SiN所形成之層間絕緣膜30。

圖52及圖53係於低溫下形成絕緣材料而構成絕緣性膜130之效果示意圖。圖52表示TMR元件105之頑磁性Hc之退火溫度依存性，圖53表示TMR元件105之各向異性磁場Hk之退火溫度依存性。於該等溫度區域中，亦包含與絕緣性膜130之形成溫度相當之溫度。再者，於圖52及圖53中，L1表示強磁性層129a之膜厚為3 nm之情形，L2表示強磁性層129a之膜厚為5 nm之情形。

如圖52所示，於絕緣性膜130超過300°C之形成區域中，相對於TMR元件105之溫度變化，頑磁性Hc之傾斜度變為急遽，而不易高精度地設定頑磁性Hc。如圖53所示，於絕緣性膜130超過300°C之形成區域中，相對於TMR元件105之溫度變化，各向異性磁場Hk之傾斜度係更為高攀，因而不易高精度地設定各向異性磁場Hk。

以此方式，若在TMR元件105形成後進行超過300°C之處理，則難以高精度地控制TMR元件105之磁性特性，其結果，磁性特性劣化之可能性較高。

然而，於實施形態3之MRAM中，利用低溫形成絕緣材料而於300°C以下之低溫下形成絕緣性膜130，藉此可有效抑制TMR元件105之磁性特性劣化。

進而，如圖54所示，於未形成有TMR元件105之氧化膜126b上之TMR周邊區域108中，於TMR下部電極128上，整

個面上地形成有絕緣性膜130，因此可期待下述效果，即，於LS製程中防止TMR下部電極128表面之氧化，且改善TMR下部電極128之電性特性(電阻減少)。

再者，上述效果亦可發揮於實施形態1之構造(參照圖2等)之中，即，於未形成有TMR元件5之層間絕緣膜26b上之TMR下部電極28上，形成有層間絕緣膜30。

此外，如圖55所示，藉由以化學物種相同之材料(SiO_2)而形成氧化膜126b與氧化膜133，以於帶(strap)間絕緣區域136中，形成相同材料之氧化膜126b與氧化膜133接觸之界面137。

例如，存有氮化膜與氧化膜之界面時，可預想界面處之缺陷將擴沿，且TMR形成區域103、104中，相互鄰接之TMR下部電極128、128間係流動有洩漏電流。該洩漏電流隨著裝置之微細化發展而成為顯著問題。

然而，於實施形態3中，藉由以化學物種相同之材料而形成氧化膜126b與氧化膜133，而可確實地減少界面137處之缺陷，因而可有效降低上述洩漏電流，且可冀望良率提高。再者，可獲致使裝置微細化之功效。

再者，於本實施形態中，列舉以氧化膜126b及氧化膜133均為 SiO_2 之情形為例，當然，亦可為相同材料之low-k膜等其他態樣。

進而，於實施形態3中，分別以相同內容之製造過程而形成氧化膜126b與氧化膜133，因此可進一步發揮上述洩漏電流抑制效果，且可期待進一步提高良率，促進微細化

效果。

(其他態樣)

又，僅以低溫下所形成之low-k膜而構成使TMR形成區域103、104之TMR下部電極128、128間絕緣之氧化膜133，藉此可降低產生於TMR下部電極128、128間之配線間容量，以使高速動作。

圖56係表示實施形態3之其他態樣之剖面圖。如該圖所示，於帶環絕緣端部區域138中，因TMR下部電極128之端部受到氧化而形成端部氧化區域132。

以此方式，實施形態3以外之其他態樣中，由於存在端部氧化區域132，故帶環絕緣端部區域138中之TMR下部電極128之端部側面位於較絕緣性膜130偏向內側。其結果，實現可提高TMR形成區域103、104中之TMR下部電極128、128(第1及第2下部電極間)間之絕緣性之效果，而不會損害裝置之積體度。又，由於端部氧化區域132相對於TMR下部電極128非常小，故TMR下部電極128之導電性不會因端部氧化區域132而劣化。

再者，較理想的是，利用鈦(Ti)、Ta之所謂高熔點金屬且氧化物具有絕緣性之材料而構成可形成端部氧化區域132之TMR下部電極128。例如，利用Ta形成TMR下部電極128，藉此可於灰化處置時，自TMR下部電極128之端部形成氧化鉭(Ta_2O_5)作為端部氧化區域132。

以此方式，利用具有上述特性之Ti、Ta等而構成TMR下部電極128，藉此，除由端部氧化區域132所產生之上述

TMR下部電極128、128間之絕緣效果之外，還實現防止製造過程中TMR下部電極128形成材料之擴散之效果。

(製造方法)

圖57~圖63係表示實施形態3之MRAM製造方法其中一部分之剖面圖。又，圖62及圖63中之(a)表示記憶體電路區域之剖面，該等圖之(b)表示周邊電路區域之剖面。以下，參照該等圖而說明實施形態3之MRAM之製造方法。

首先，利用與實施形態1同樣之方法，獲得圖57所示之構造。即，在獲得貫通形成於未圖示之半導體基板上方之氧化膜124而選擇性形成之下部Cu配線125(導線125r、數位線125d)後，於整個面上，依次形成氮化矽膜126a及由SiO₂所形成之氧化膜126b，並且貫通記憶體電路區域中導線125r區域上的一部分而選擇性形成通孔109。

繼而，將應成為TMR下部電極128、TMR膜129以及TMR上部電極131之層積層於整個面上。此時，於通孔109之底面及側面上形成有TMR下部電極128，藉此使TMR下部電極128與導線125r電性連接。其後，使TMR上部電極131以及TMR膜129圖案化，以完成TMR元件105。

繼而，圖58如所示，於300℃以下之低溫狀態下，於整個面上形成由LT-SiN形成之絕緣性膜130後，於TMR形成區域103、104之邊界附近區域，形成具有開口部146之圖案化抗蝕劑145。此時，絕緣性膜130例如以60 nm左右之與氮化矽膜126a具有相同程度之膜厚而形成。

以此方式，實施形態3之MRAM製造方法係於300℃以下

之低溫下形成絕緣性膜130，因此於絕緣性膜130形成時，並不會對TMR元件105之特性(參照圖52、圖53)造成不良影響。

再者，上述效果亦可發揮於實施形態1之製造方法(參照圖16等)中，即於300°C以下之低溫狀態下，於整個面上形成由LT-SiN形成之層間絕緣膜30。

繼而，如圖59所示，將圖案化抗蝕劑145製成遮罩，並對絕緣性膜130以及TMR下部電極128進行反應性離子蝕刻(Reactive Ion Etching; RIE)，藉此使絕緣性膜130以及TMR下部電極128連續圖案化。以此方式，利用抗蝕劑145使絕緣性膜130及TMR下部電極128連續蝕刻，因此於蝕刻後不久，開口部147之絕緣性膜130與TMR下部電極128之側面基本一致。

其結果，可使TMR形成區域103(第1TMR形成區域)中之TMR下部電極128、TMR元件105以及絕緣性膜130(第1下部電極、第1TMR元件、第1絕緣性膜)、與TMR形成區域104(第2TMR形成區域)中之TMR下部電極128、TMR元件105以及絕緣性膜130(第2下部電極、第2TMR元件、第2絕緣性膜)相互獨立形成。

繼而，上述第1及第2絕緣性膜具有相互間隔距離d1(特定間隔)而對向之側面，而上述第1及第2下部電極具有相互間隔距離d1而對向之側面。即，上述第1絕緣性膜以及上述第1下部電極(TMR形成區域103中之TMR下部電極128以及絕緣性膜130)，於自TMR形成區域103朝向TMR形成

區域104之相同方向(第1方向)上，側面形成位置一致，而上述第2絕緣性膜以及上述第2下部電極(TMR形成區域104中之TMR下部電極128以及絕緣性膜130)，於自TMR形成區域104朝向TMR形成區域103之相同方向(第2方向)上，側面形成位置一致。

再者，於本實施形態中，所謂側面一致，指利用同一遮罩圖案連續進行蝕刻時所形成之側面。即，上述第1絕緣性膜與上述第1下部電極之側面於第1方向上之距離(於TMR形成區域103中，TMR下部電極128及絕緣性膜130之側面產生階差時，自TMR形成區域103朝向TMR形成區域104之相同方向(第1方向)上之側面間距離)，小於例如利用不同遮罩圖案所形成之TMR元件129的開口部147側之側面與TMR下部電極128之側面間之距離。

其後，如圖60所示，利用灰化處理而去除抗蝕劑145。其結果，可獲得下述構造：於TMR形成區域103、104各自中，相同方向上之TMR下部電極128以及絕緣性膜130之側面基本一致。

另一方面，利用由Ti、Ta等高熔點且氧化物具有絕緣性之金屬材料而形成TMR下部電極128時，如圖61所示，於灰化處理階段，TMR下部電極128自開口部147之露出側面受到氧化而形成端部氧化區域132。

即，由於灰化處理而自上述第1及第2下部電極之側面起部分氧化，藉此於TMR形成區域103及104各自中，形成有端部氧化區域132(第1及第2端部氧化區域)。隨著端部氧化

區域132之形成，上述第1及第2下部電極之側面相對於上述第1及第2絕緣性膜之側面，於上述第1及第2方向上凹陷而形成。

以此方式，由去除抗蝕劑145時之灰化處理而使自上述第1及第2下部電極之側面起部分氧化，藉此形成有上述第1及第2端部氧化區域，因而可進一步提高上述第1及第2下部電極間之絕緣性。

進而，於灰化處理後，可藉由進行濕式清洗而可靠去除抗蝕劑145。此時，由於在TMR下部電極128上形成有絕緣性膜130，故於濕式清洗(cleaning)時，TMR下部電極128上不會產生不良情況。

以此方式，由於抗蝕劑145之去除裝置執行灰化處理以及濕式清洗處理，因此可高精度去除抗蝕劑145。此時，因於TMR下部電極128上形成有絕緣性膜130，故於執行灰化處理以及濕式清洗時，不會對TMR下部電極128以及通孔109底面之導線125r造成不良影響。

如上所述，實施形態3之半導體裝置之製造方法係將抗蝕劑145作為遮罩，連續蝕刻TMR下部電極128以及絕緣性膜130，以使TMR下部電極128以及絕緣性膜130圖案化，因此在TMR下部電極128加工後，通孔109之TMR下部電極128因絕緣性膜130而受到保護，結果於抗蝕劑145之去除處理(灰化處理、濕式清洗處理)階段，可避免對通孔109下之導線125r之損害，因此可實現完成後之半導體裝置之良率提高。

再者，上述效果亦可發揮於實施形態1之製造方法(參照圖18、圖19等)之中，即：於將抗蝕劑45作為遮罩TMR而對下部電極28以及層間絕緣膜30同時進行蝕刻後，在去除抗蝕劑45時，於TMR下部電極28上形成有層間絕緣膜30。

其次，於整個面形成由 SiO_2 形成之氧化膜133後，如圖62(a)所示，於記憶體電路區域之TMR元件105之上方，形成貫通氧化膜133之通孔139(TMR用部分通孔)，並且如圖62(b)所示，於周邊區域之一部分之下部Cu配線125之上層，形成貫通氧化膜133及氧化膜126b之通孔149(周邊用部分通孔)。此時，絕緣性膜130作為形成通孔139之擋止層而作用，氮化矽膜126a作為形成通孔149之擋止層而作用。

以此方式，由於氧化膜133係以化學物種不同於作為氮化矽膜之絕緣性膜130以及氮化矽膜126a之材料，且與氧化膜126b之化學物種相同之材料(SiO_2)而形成，故在同時形成通孔139以及通孔149時，亦可使與氧化膜133及氧化膜126b之化學物種為不同材料(不同材質)之絕緣性膜130及氮化矽膜126a，作為擋止層之而作用，藉此可分別高精度地形成通孔139以及149。

進而，於TMR元件105之上方，如圖63(a)所示，形成自記憶體電路區域之通孔139亦貫通絕緣性膜130之通孔140(TMR用通孔)，同時，於周邊區域中，如圖63(b)所示，形成自通孔149亦貫通氮化矽膜126a之通孔150(周邊用通孔)。

此時，由於將化學物種為相同材料之氮化矽膜之絕緣性膜130的膜厚，形成為與氮化矽膜126a之膜厚具有相同程度，故可同時形成通孔140與通孔150，並可高精度地分別形成通孔140以及150。

其結果，由於可同時形成通孔140以及150，故可實現隨著製造過程之簡化而降低製造成本。

繼而，藉由於通孔140以及150內埋入有上部Cu配線134而形成位元線。其結果，於記憶體電路區域中，上部Cu配線134經由通孔140而與TMR元件105(TMR上部電極131)電性連接，於周邊電路區域中，上部Cu配線134與下部Cu配線125電性連接。以此方式，完成實施形態3之MRAM(包含周邊電路)。

【圖式簡單說明】

圖1係表示本發明實施形態1之半導體裝置，即MRAM之記憶體單元部之平面構造的平面圖。

圖2係表示圖1之A-A剖面之剖面圖。

圖3(a)-(c)係表示實施形態1之MRAM所有層之剖面構造之剖面圖。

圖4(a)-(c)係表示實施形態1之MRAM之製造方法之剖面圖。

圖5(a)-(c)係表示實施形態1之MRAM之製造方法之剖面圖。

圖6(a)-(c)係表示實施形態1之MRAM之製造方法之剖面圖。

圖 7(a)-(c)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 8(a)-(c)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 9(a)-(c)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 10(a)-(c)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 11(a)-(c)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 12(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 13(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 14(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 15(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 16(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 17(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 18(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 19(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 20(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 21(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 22(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 23(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 24(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 25(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 26(a)-(d)係表示實施形態 1 之 MRAM 之製造方法之剖面圖。

圖 27 係表示本發明實施形態 2 之半導體裝置，即 MRAM 之記憶體單元部之平面構造的平面圖。

圖 28 係表示圖 27 中之 A-A 剖面處的剖面圖。

圖 29(a)-(c)係表示實施形態 2 之 MRAM 所有層之剖面構造之剖面圖。

圖 30(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面圖。

圖 31(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面

圖。

圖 32(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面圖。

圖 33(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面圖。

圖 34(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面圖。

圖 35(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面圖。

圖 36(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面圖。

圖 37(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面圖。

圖 38(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面圖。

圖 39(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面圖。

圖 40(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面圖。

圖 41(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面圖。

圖 42(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面圖。

圖 43(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面

圖。

圖 44(a)-(d)係表示實施形態 2 之 MRAM 之製造方法之剖面圖。

圖 45 係表示 MRAM 結構之概略情形說明圖。

圖 46 係表示 MRAM 記憶體元件與上部 Cu 配線以及下部 Cu 配線之連接關係之詳細情形剖面圖。

圖 47 係表示用以獲致通道 LS 連接構造之 LS 製程之剖面圖。

圖 48 係表示用以獲致通道 LS 連接構造之 LS 製程之剖面圖。

圖 49 係表示用以獲致通道 LS 連接構造之 LS 製程之剖面圖。

圖 50 係表示本發明實施形態 3 之半導體裝置，即 MRAM 之記憶體單元部之構造的剖面圖。

圖 51 係表示實施形態 3 之半導體裝置之功效的剖面圖。

圖 52 係表示相對於絕緣性膜形成溫度之 TMR 元件的頑磁性圖。

圖 53 係表示相對於絕緣性膜形成溫度之 TMR 元件之各向異性磁場圖。

圖 54 係表示實施形態 3 之半導體裝置之功效的剖面圖。

圖 55 係表示實施形態 3 之半導體裝置之功效的剖面圖。

圖 56 係表示實施形態 3 之其他態樣之剖面圖。

圖 57 係表示實施形態 3 之 MRAM 製造方法其中一部分之剖面圖。

圖 58 係表示實施形態 3 之 MRAM 製造方法其中一部分之剖面圖。

圖 59 係表示實施形態 3 之 MRAM 製造方法其中一部分之剖面圖。

圖 60 係表示實施形態 3 之 MRAM 製造方法其中一部分之剖面圖。

圖 61 係表示實施形態 3 之 MRAM 製造方法其中一部分之剖面圖。

圖 62(a)-(b)係表示實施形態 3 之 MRAM 製造方法其中一部分之剖面圖。

圖 63(a)-(b)係表示實施形態 3 之 MRAM 製造方法其中一部分之剖面圖。

【主要元件符號說明】

5、105	TMR 元件
10	Cu 插塞
25d、125	數位線
25r、125r	導線
28、128	TMR 下部電極
29、129	TMR 膜
31、131	TMR 上部電極
30、32、33	層間絕緣膜
34	Cu 配線(位元線)
125	下部 Cu 配線
126a	氮化矽膜

200807775

126b、133

氧化膜

134

上部Cu配線134

五、中文發明摘要：

本發明可獲致一種具有記憶體單元之半導體裝置及其製造方法，該記憶體單元包含記憶精度不會劣化之TMR膜。本發明之半導體裝置，係於TMR下部電極28上，在俯視相當於數位線25d之形成區域其中一部分之區域中，選擇性地形成有TMR元件5(TMR膜29、TMR上部電極31)。TMR上部電極31係藉由Ta並以30~100 nm之膜厚而形成，並於製程中作為硬遮罩使用。於TMR元件5之整個面以及TMR下部電極28之上表面上，形成由LT-SiN所形成之層間絕緣膜30，並覆蓋包含TMR下部電極28之整個側面，而形成由LT-SiN所形成之層間絕緣膜32。進而，覆蓋整個面而形成由SiO₂所形成之層間絕緣膜33。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置，其包含有：

記憶體單元，係形成於半導體基板上，且含有下部電極、形成於上述下部電極之一部分上之TMR膜、以及上部電極之積層構造者；

防氧化膜，係以對上述記憶體單元至少覆蓋上述下部電極之上表面以及上述TMR膜之側面之方式而形成者；及

氧化膜，係形成於上述防氧化膜上。

2. 如請求項1之半導體裝置，其中上述防氧化膜進而覆蓋上述下部電極之側面。

3. 如請求項1或2之半導體裝置，其中上述防氧化膜包含有複數個防氧化膜。

4. 如請求項1至3中任一項之半導體裝置，其進而包含有導線，係以俯視與上述TMR膜相隔特定距離之方式，而形成於上述下部電極之下方；及

上述金屬插塞，係形成於上述導線上，且電性連接上述導線與上述下部電極。

5. 如請求項1至4中任一項之半導體裝置，其中上述上部電極包含具有導電性之硬遮罩層，該硬遮罩層係使用與上述下部電極相同材質而形成，且膜厚為30~100 nm者。

6. 一種半導體裝置，其包含有：

記憶體單元，係形成於半導體基板上，且含有下部電極、形成於上述下部電極之一部分上之TMR膜、以及上

部電極之積層構造者；

導線，係以俯視與上述TRM膜相隔特定距離之方式，而形成於上述下部電極之下方；及

金屬插塞，係形成於上述導線上，且電性連接上述導線與上述下部電極。

7. 如請求項6之半導體裝置，其中上述上部電極包含具有導電性之硬遮罩層，該硬遮罩層係使用與上述下部電極相同之材質而形成，且膜厚為30~100 nm者。
8. 一種半導體裝置，其特徵在於包含有記憶體單元，其係形成於半導體基板上，且含有下部電極、形成於上述下部電極一部分上之TMR膜、以及上部電極之積層構造者；且上述上部電極係使用與上述下部電極相同之材質而形成之膜厚為30~100 nm之具有導電性之硬遮罩層者。
9. 一種半導體裝置之製造方法，其包含有下述步驟：
 - (a)於半導體基板上，形成下部電極、形成於上述下部電極之一部分上之TMR膜、以及上部電極之積層構造之步驟；
 - (b)使上述上部電極以及上述TMR膜圖案化之步驟；
 - (c)以覆蓋上述下部電極、上述上部電極以及上述TMR膜之方式而形成第1防氧化膜之步驟；
 - (d)於上述第1防氧化膜覆蓋上述上部電極以及上述TMR膜之狀態下，使上述第1防氧化膜以及上述下部電極圖案化之步驟；
 - 以及(e)於整個面上形成氧化膜之步驟。
10. 如請求項9之半導體裝置之製造方法，其進而包含有步驟(f)，其於上述步驟(d)後且上述步驟(e)前實施，其係

以覆蓋上述第1防氧化膜以及上述下部電極之方式而形成第2防氧化膜之步驟，且上述步驟(e)包含有一於包含上述第2防氧化膜之整個面上，形成氧化膜之步驟。

11. 如請求項9或10之半導體裝置之製造方法，其中上述步驟(a)包含有下述步驟：

(a-1)於上述半導體基板上形成導線之步驟；(a-2)於上述導線上形成層間絕緣膜之步驟；(a-3)貫通上述導線上之層間絕緣膜而形成通孔之步驟；(a-4)充填上述通孔而形成金屬插塞之步驟；以及(a-5)於包含上述通孔之上述層間絕緣膜上，形成上述積層構造之步驟；上述積層構造中之上述下部電極，係經由上述金屬插塞而與上述導線電性連接，且上述步驟(b)中經圖案化後之上述TMR膜，係以俯視與上述導線相隔特定距離之方式而形成。

12. 如請求項9至11中任一項之半導體裝置之製造方法，其中上述上部電極包含有使用與上述下部電極相同材質所形成之膜厚為30~100 nm之電極，且

上述步驟(b)包含有下述步驟：

(b-1)使上述上部電極圖案化之步驟；及

(b-2)將上述上部電極作為硬遮罩層使用，並使上述TMR膜圖案化之步驟。

13. 如請求項9至12中任一項之半導體裝置之製造方法，其中上述防氧化膜包含有於300℃以下形成之氮化矽膜。

14. 一種半導體裝置之製造方法，其包含有下述步驟：

(a)於半導體基板上形成導線之步驟；(b)於上述導線

上形成層間絕緣膜之步驟；(c)貫通上述導線上之層間絕緣膜而形成通孔之步驟；(d)充填上述通孔而形成金屬插塞之步驟；以及(e)於包含有上述通孔之上述層間絕緣膜上，形成下部電極、TMR膜以及上部電極之積層構造之步驟；上述下部電極係經由上述金屬插塞而與上述導線電性連接，且該半導體裝置之製造方法進而包含有步驟(f)，其係使上述上部電極以及上述TMR膜圖案化者，並且經圖案化後之上述TMR膜，係以俯視與上述導線相隔特定距離之方式而形成。

15. 如請求項14之半導體裝置之製造方法，其中上述上部電極係包含有使用與上述下部電極相同材質而形成，且膜厚為30~100 nm之電極，且

上述步驟(f)包含有下述步驟：

(f-1)使上述上部電極圖案化之步驟；及(f-2)將上述上部電極作為硬遮罩層使用，並使上述TMR膜圖案化之步驟。

16. 一種半導體裝置之製造方法，其包含有下述步驟：

(a)於半導體基板上，形成下部電極、TMR膜以及上部電極之積層構造之步驟；(b)使上述上部電極圖案化之步驟；以及(c)將上述上部電極作為硬遮罩層使用，並使上述TMR膜圖案化之步驟。

17. 一種半導體裝置，其包含有：

第1層間絕緣膜，其形成於半導體基板之上方；

下層配線，係貫通上述第1層間絕緣膜而選擇性地形

成者；以及

第2層間絕緣膜，其形成於包含有上述下層配線之上述第1層間絕緣膜上；且

上述第2層間絕緣膜包含有以上述下層配線之至少一部分作為底面之通孔；且

前述半導體裝置進而包含有：下部電極，其係形成於上述通孔之底面與側面以及上述第2層間絕緣膜上者，且

上述下部電極係經由上述通孔而與上述下層配線電性連接；且

該半導體裝置進而包含有：TMR元件，其係選擇性地形成於上述下部電極之一部分上，且由TMR膜及上部電極之積層構造所構成；以及絕緣性膜，其係形成於包含有上述通孔內之上述下部電極上者；

於上述第2層間絕緣膜上，上述絕緣性膜以及上述下部電極均於相同方向上具有側面，且上述下部電極之側面係相對於上述絕緣性膜之側面，而於上述相同方向上一致，或者係凹陷於上述絕緣性膜而形成。

18. 如請求項17之半導體裝置，其中上述絕緣性膜包含有於300°C以下之低溫下所形成之低溫絕緣性膜。

19. 如請求項17或18之半導體裝置，其中上述絕緣性膜係形成於上述第2層間絕緣膜上之上述下部電極的整個面上。

20. 如請求項17至19中任一項之半導體裝置，其中上述下部電極之側面係相對於上述絕緣性膜之側面，於上述相同

方向上一致而形成。

21. 如請求項17至19中任一項之半導體裝置，上述半導體裝置進而包含有第3層間絕緣膜，該第3層間絕緣膜係包含有第1及第2TMR形成區域，並分別於上述第1及第2TMR形成區域中，形成上述TMR元件、上述下部電極以及上述絕緣性膜，且該第3層間絕緣膜形成在包含上述第1及第2TMR形成區域之上述第2層間絕緣膜之整個面上，

又，該半導體裝置係藉由直接形成於上述第2層間絕緣膜上之上述第3層間絕緣膜，而使上述第1及第2TMR形成區域之下部電極相互絕緣隔離，

且上述第2及第3層間絕緣膜中，至少於其界面及其附近區域，係由化學物種相同之材料形成。

22. 如請求項21之半導體裝置，其中上述第2及第3層間絕緣膜係由內容相同之製程而形成。

23. 如請求項22之半導體裝置，其中上述第2及第3層間絕緣膜中，至少於其界面及其附近，係藉由於300℃以下之低溫下所形成之低溫絕緣性膜而形成。

24. 如請求項17至19中任一項之半導體裝置，上述半導體裝置進而包含有第3層間絕緣膜，該第3層間絕緣膜係包含有第1及第2TMR形成區域，且上述TMR元件包含有形成於上述第1及第2TMR形成區域中之第1及第2TMR元件，而上述絕緣性膜包含有形成於上述第1及第2TMR形成區域中之第1及第2絕緣性膜，且

上述第1及第2絕緣性膜係包含相互隔有第1間隔而相

對向之側面，且上述下部電極包含有形成於上述第1及第2TMR形成區域中之第1及第2下部電極，而上述第1及第2下部電極係包含相互隔有第2間隔而相對向之側面，

且上述第1絕緣性膜以及上述第1下部電極，係將由上述第1TMR形成區域朝向上述第2TMR形成區域之方向，作為上述相同方向，且上述第2絕緣性膜以及上述第2下部電極，係將由上述第2TMR形成區域朝向上述第1TMR形成區域之方向，作為上述相同方向，

並且該第3層間絕緣膜係形成在包含有上述第1及第2TMR形成區域之上述第2層間絕緣膜之整個面上，

且該半導體裝置係藉由形成於上述第1及第2下部電極之間之前述第3層間絕緣膜，使上述第1及第2下部電極絕緣隔離，而上述第1及第2下部電極之側面，係相對於上述第1及第2絕緣性膜之側面，於上述相同方向上凹陷而形成；且

該半導體裝置進而包含有：端部氧化區域，其係鄰接於上述第1及上述第2下部電極之側面，且形成於上述第1及第2絕緣性膜之下方。

25. 如請求項24之半導體裝置，其中上述第1及第2下部電極係由高熔點，且氧化物具有絕緣性之金屬材料構成。

26. 一種半導體裝置之製造方法，其包含有下述步驟：

- (a)於半導體基板之上方形形成第1層間絕緣膜之步驟；
- (b)貫通上述第1層間絕緣膜而選擇性地形成下層配線之步驟；(c)於包含有上述下層配線之上述第1層間絕緣膜

上，形成第2層間絕緣膜之步驟；以及(d)貫通上述下層配線上之上述第2層間絕緣膜而形成通孔之步驟；上述通孔之底面係上述下層配線之至少一部分，且該半導體裝置之製造方法進而包含有步驟(e)，其係於上述通孔之底面與側面以及上述第1層間絕緣膜上，形成下部電極之步驟，

上述下部電極係經由上述通孔而與上述下層配線電性連接，且

該半導體裝置之製造方法進而包含有下述步驟：

(f)於上述第2層間絕緣膜上之上述下部電極上，選擇性地形成作為TMR膜及上部電極之積層構造之TMR元件之步驟；(g)於包含有上述通孔之上述下部電極上形成絕緣性膜之步驟；(h)於上述絕緣性膜上形成經圖案化之抗蝕劑之步驟；(i)將上述抗蝕劑作為遮罩，同時對上述下部電極以及上述絕緣性膜進行蝕刻，俾使上述下部電極與上述絕緣性膜圖案化之步驟，以及(j)去除上述抗蝕劑之步驟。

27. 如請求項26之半導體裝置之製造方法，其中上述絕緣性膜包含有低溫絕緣性膜，且

上述步驟(g)包含有一於300°C以下之低溫下形成上述絕緣性膜之步驟。

28. 如請求項26或27之半導體裝置之製造方法，其中上述步驟(j)包含有灰化處理以及濕式潔淨處理中之至少一者。

29. 如請求項26至28中任一項之半導體裝置之製造方法，其

中上述半導體裝置包含有第1及第2TMR形成區域，且上述TMR元件包含有形成於上述第1及第2TMR形成區域中之第1及第2TMR元件，而上述絕緣性膜包含有形成於上述第1及第2TMR形成區域中之第1及第2絕緣性膜，

且於上述步驟(i)實施後，上述第1及第2絕緣性膜包含相互隔有特定間隔而對向之側面，且上述下部電極包含有形成於上述第1及第2TMR形成區域中之第1及第2下部電極，

且於上述步驟(i)實施後，上述第1及第2下部電極包含相互隔有上述特定間隔而對向之側面，且上述步驟(j)包含灰化處理，並藉由上述灰化處理，而自上述第1及第2下部電極之側面進行部分氧化，藉此形成第1及第2端部氧化區域。

30. 如請求項26至29中任一項之半導體裝置之製造方法，其中上述半導體裝置包含形成有上述TMR元件之元件形成區域，與未形成有上述TMR元件之周邊區域，

上述第2層間絕緣膜包含第1部分層間絕緣膜，以及形成於上述第1部分層間絕緣膜上之第2部分層間絕緣膜，

且上述絕緣性膜係以與上述第2部分層間絕緣膜具相同程度之膜厚，及化學物種相同之材料形成，

且，該半導體裝置之製造方法進而包含有下述步驟：
(k)於上述步驟(j)後實施，且於包含上述元件形成區域以及上述周邊區域之整個面上，形成第3層間絕緣膜之步驟；及(l)於上述元件形成區域，在形成貫通上述第3層

間絕緣膜之TMR用部分通孔之同時，於上述周邊區域，形成貫通上述第3層間絕緣膜以及上述第2部分層間絕緣膜之周邊用部分通孔之步驟；且

該半導體裝置之製造方法進而包含有步驟(m)，其係於上述元件形成區域中，由上述TMR用部分通孔進一步貫通前述絕緣性膜，而形成TMR用通孔，同時於上述周邊區域中，由上述周邊用部分通孔貫通上述第1部分層間絕緣膜，而形成周邊用通孔，

上述第3層間絕緣膜，係以化學物種不同於上述絕緣性膜以及上述第2部分層間絕緣膜之材料，且化學物種與上述第2部分層間絕緣膜相同之材料形成。

十一、圖式：

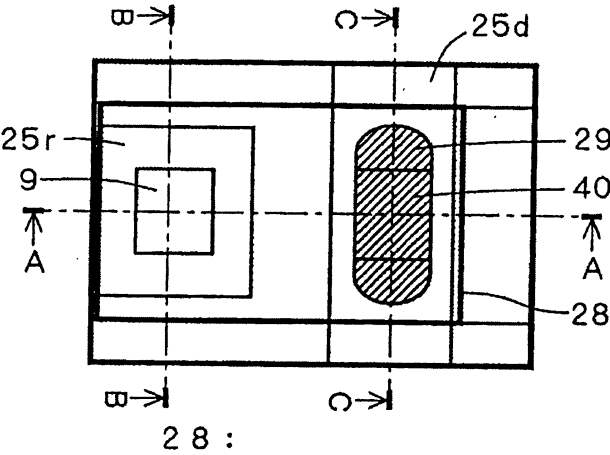
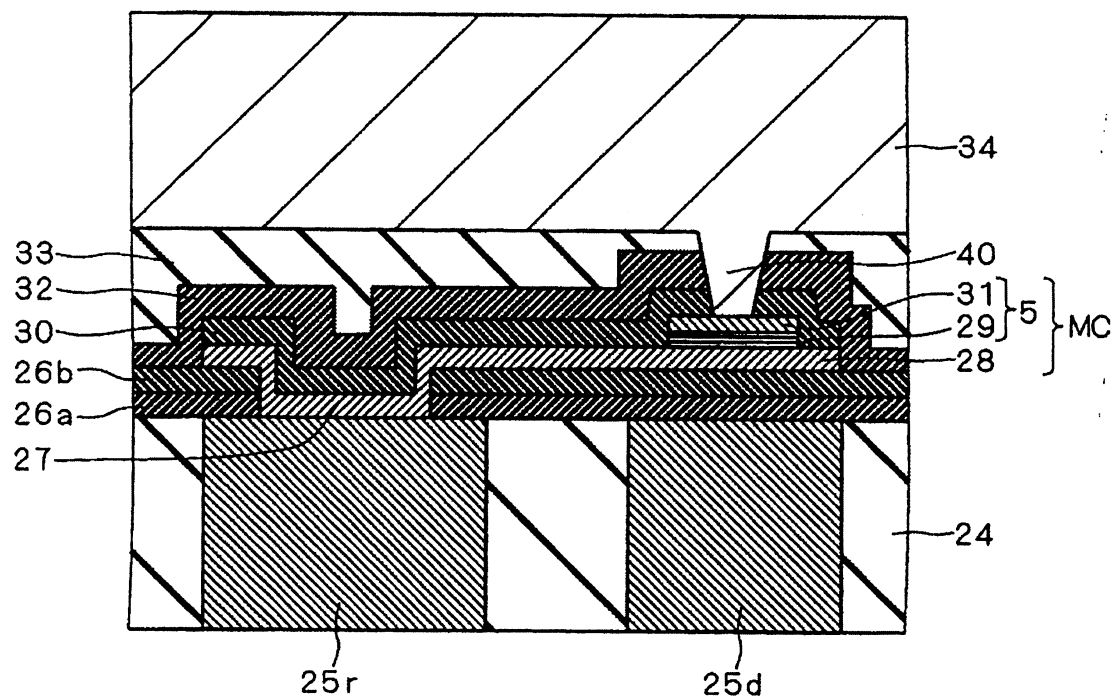


圖1



- 5 :
- 25 d :
- 25 r :
- 29 :
- 31 :
- 30 , 32 , 33 :
- 34 :
- MC :

圖2

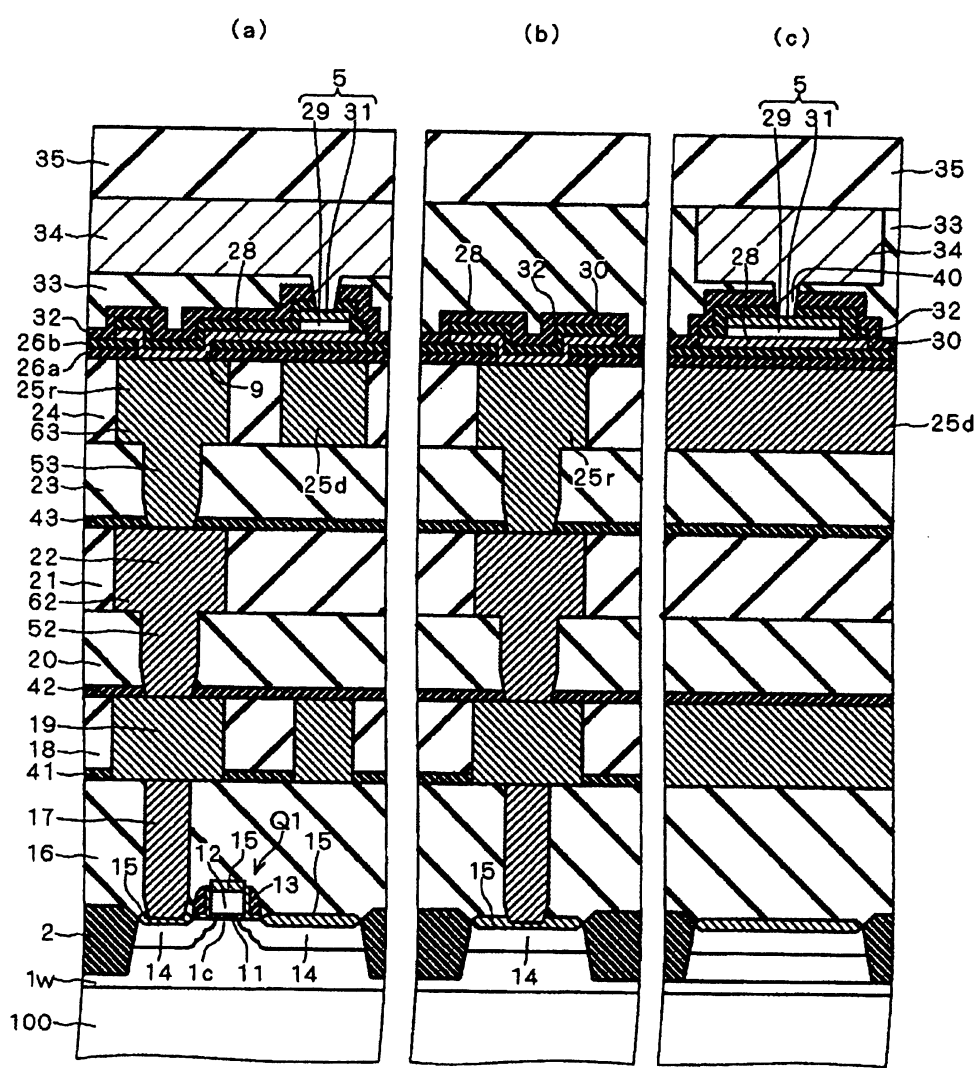


圖3

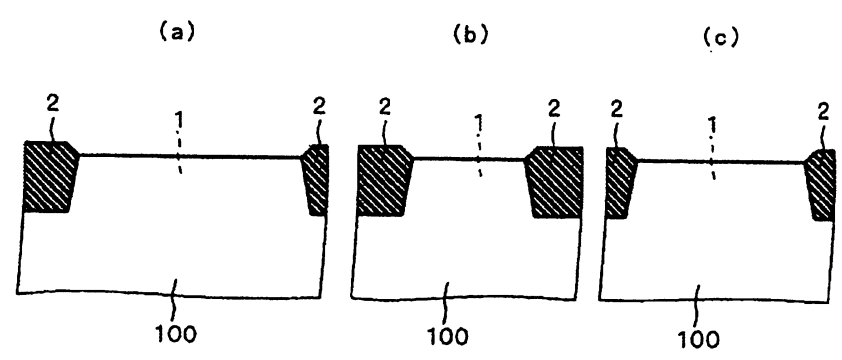


圖4

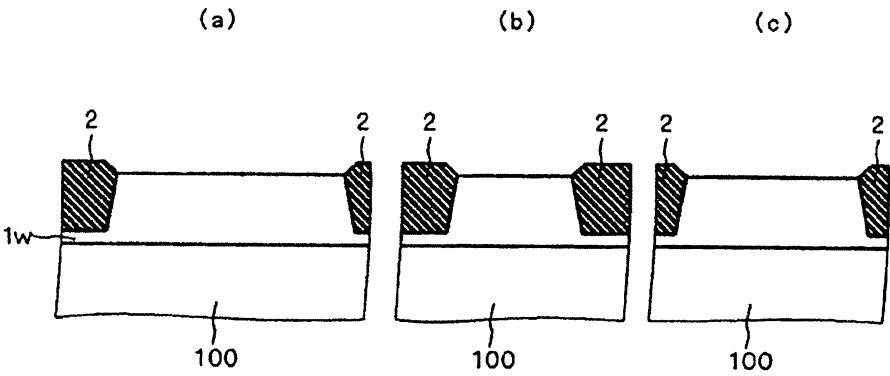


圖5

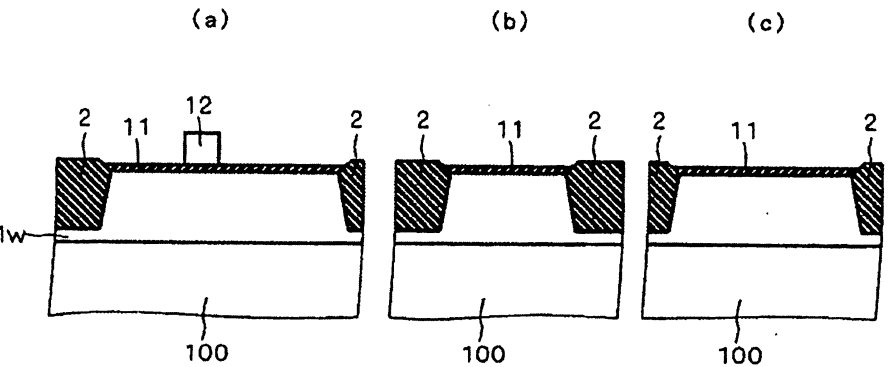


圖6

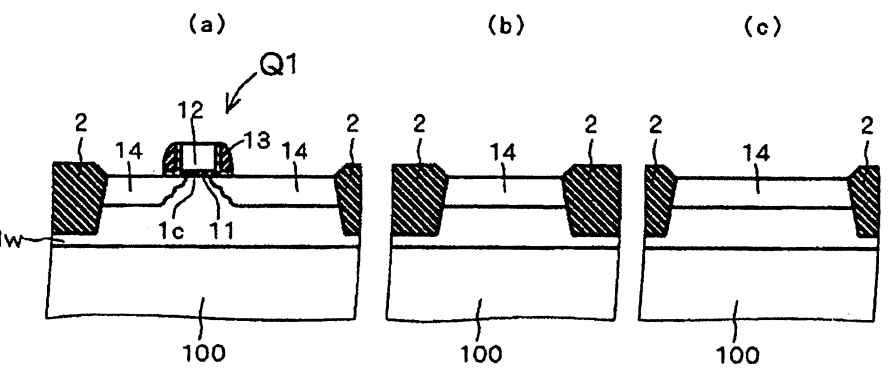


圖7

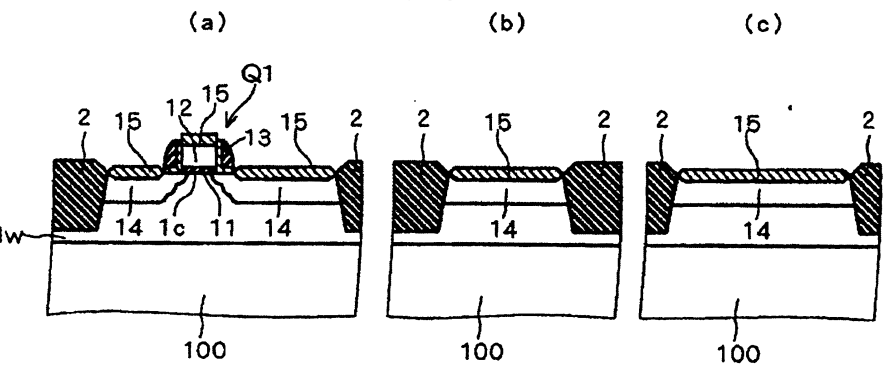


圖8

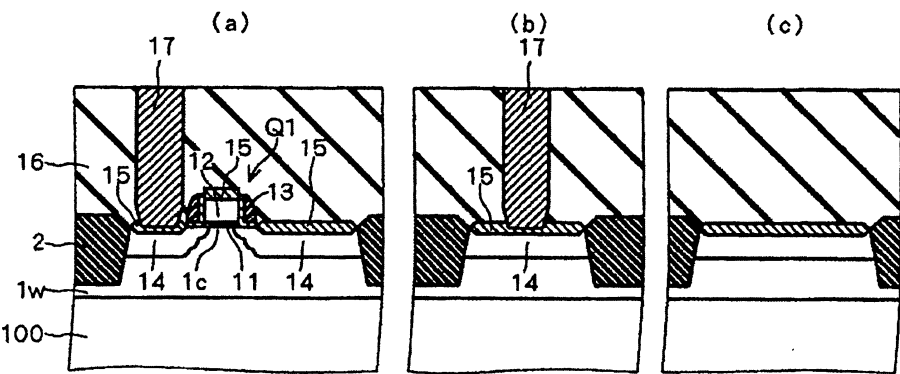


圖9

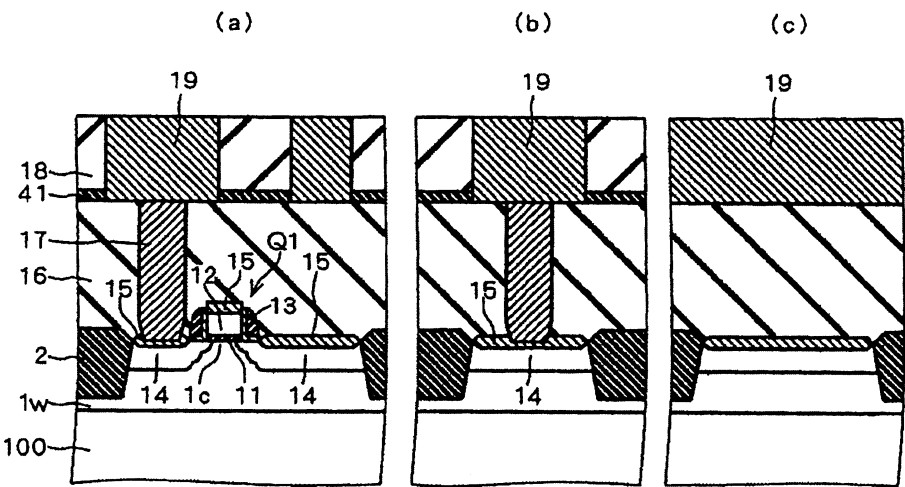


圖10

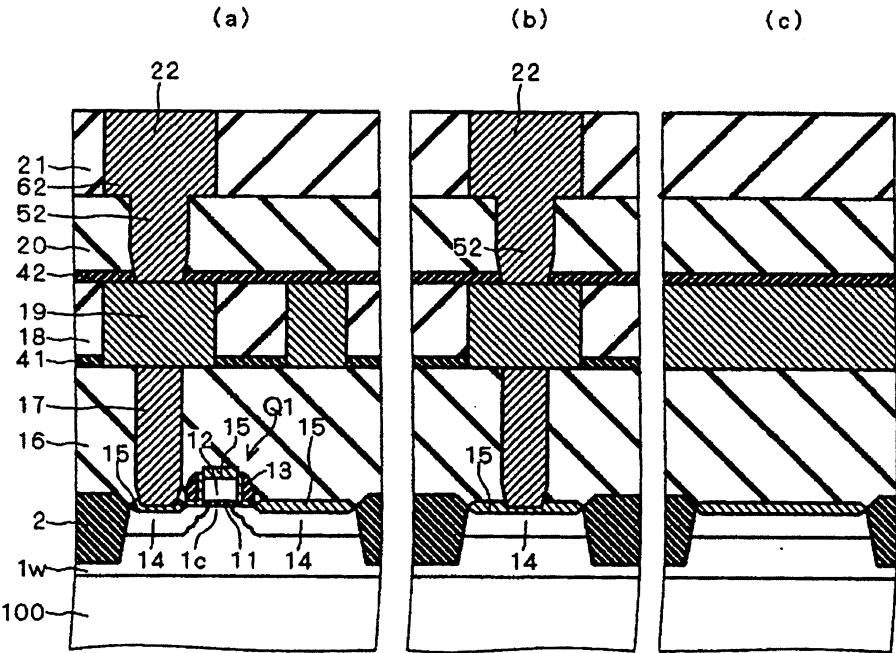


圖11

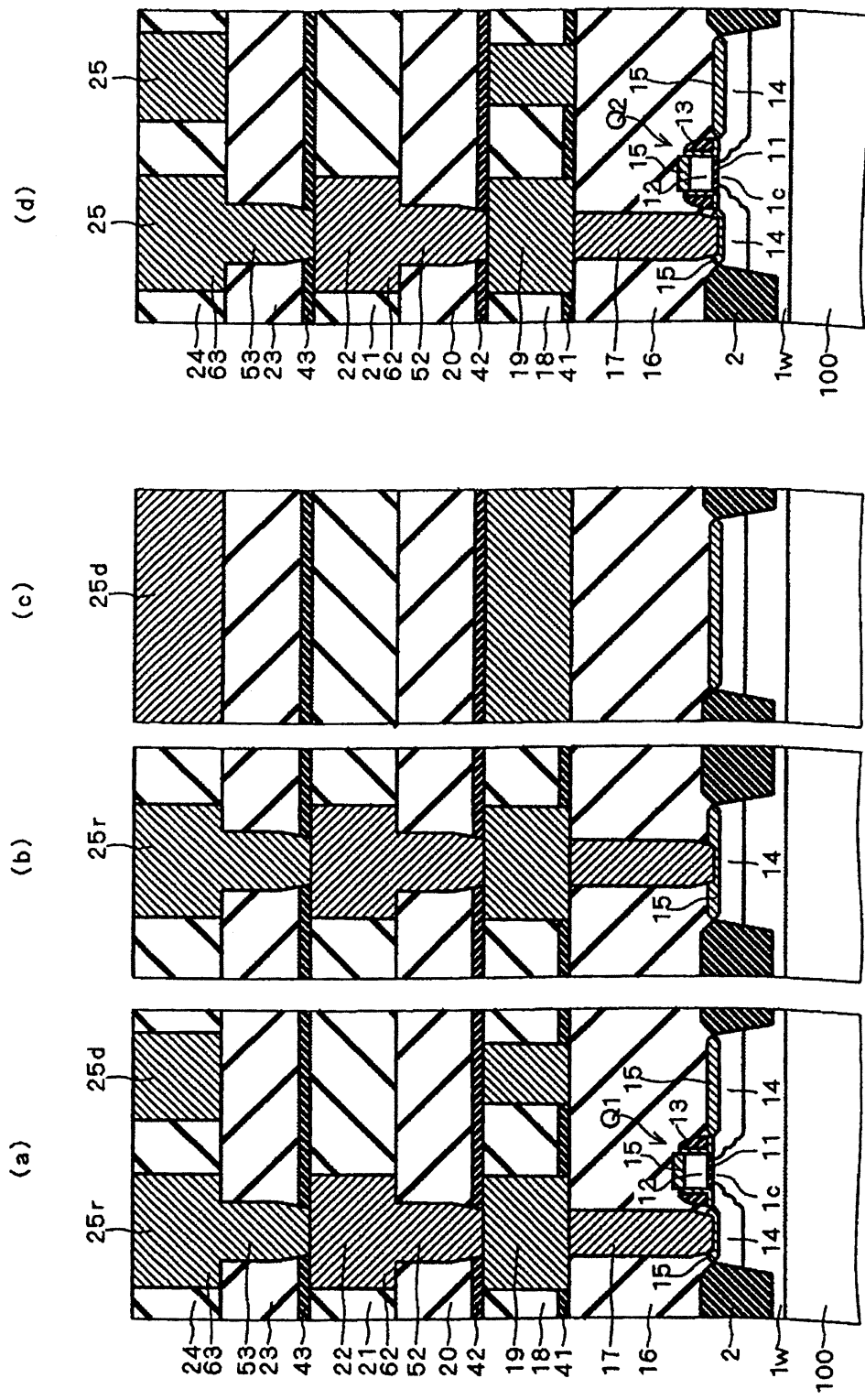


圖12

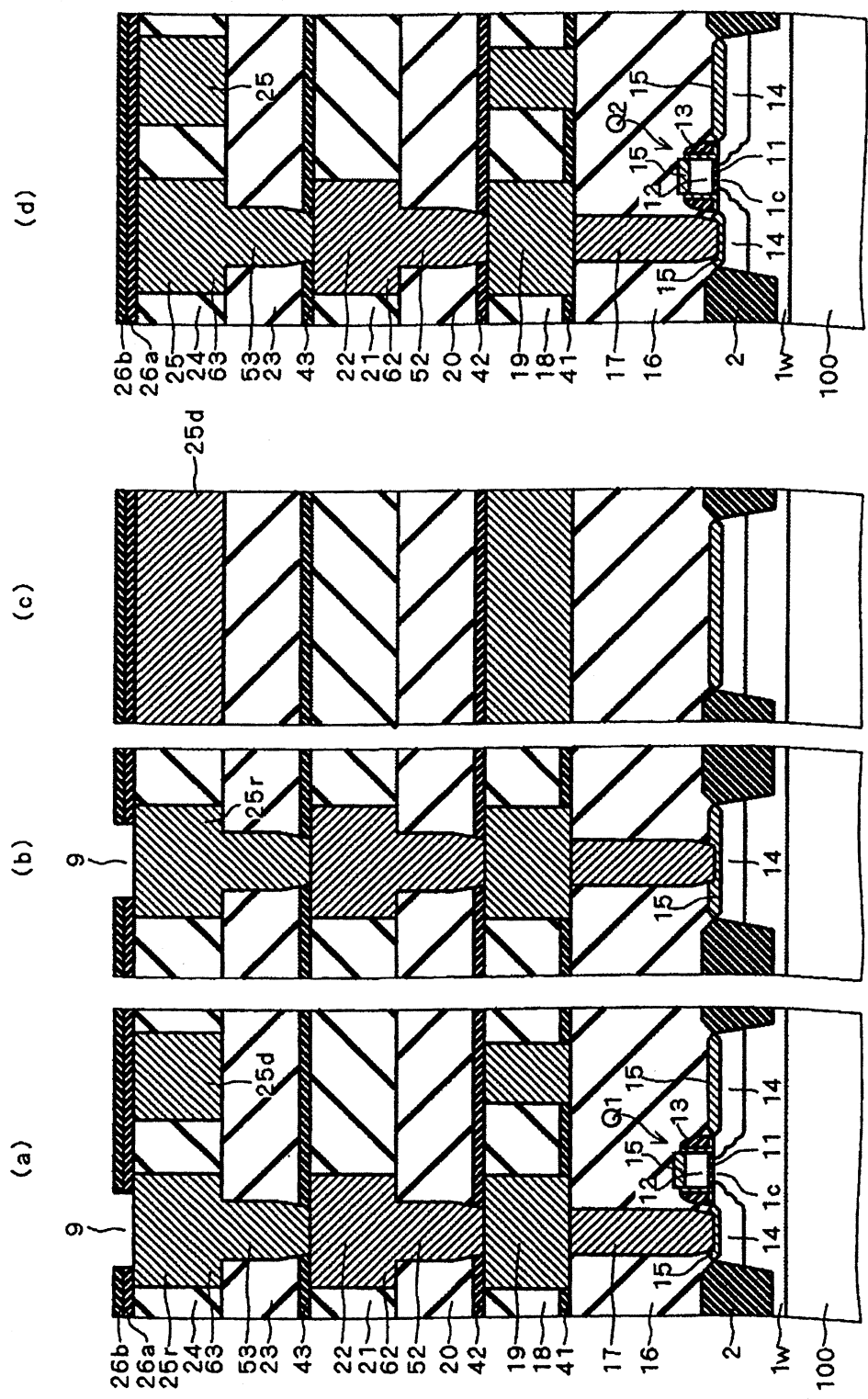


圖13

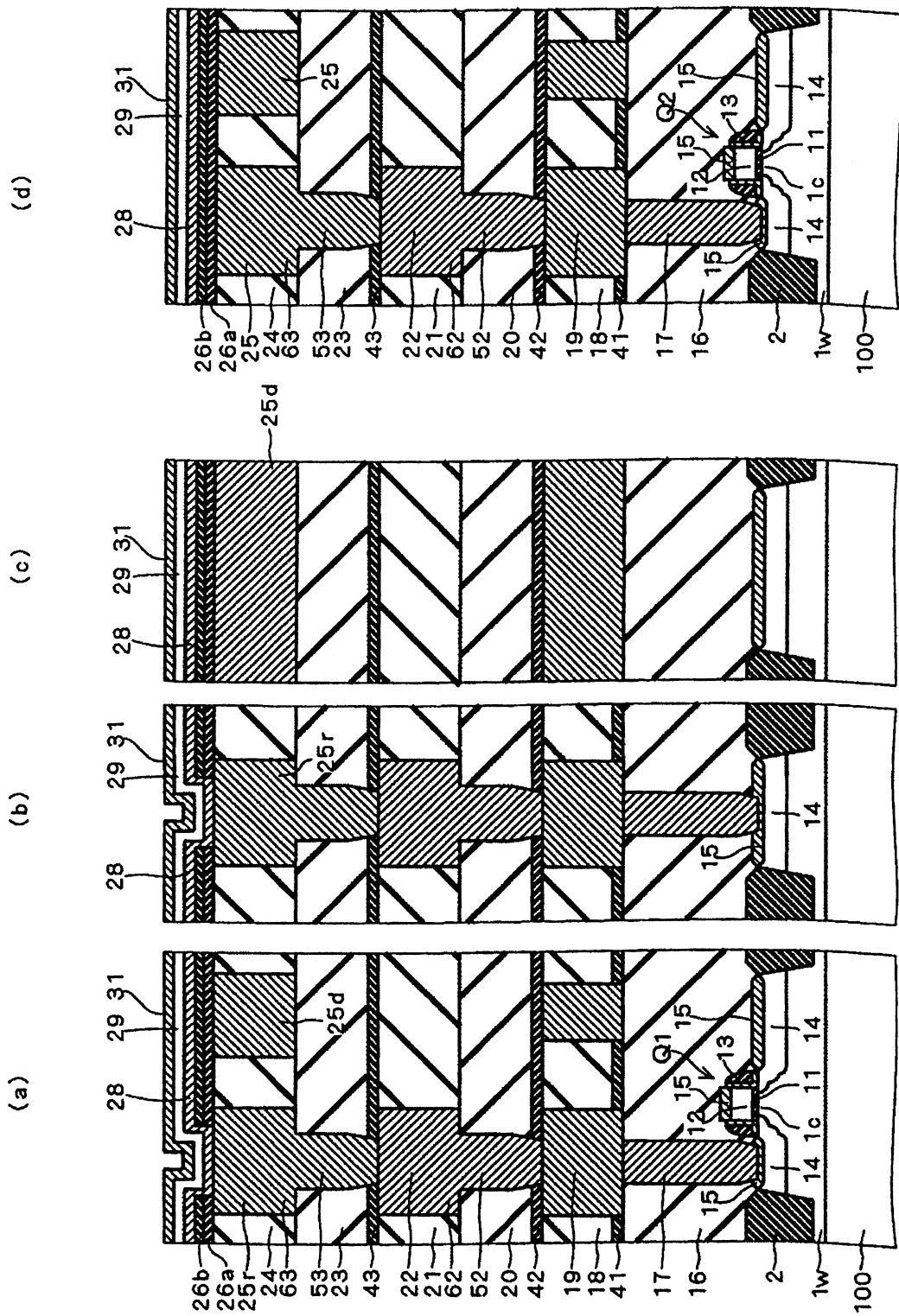


圖14

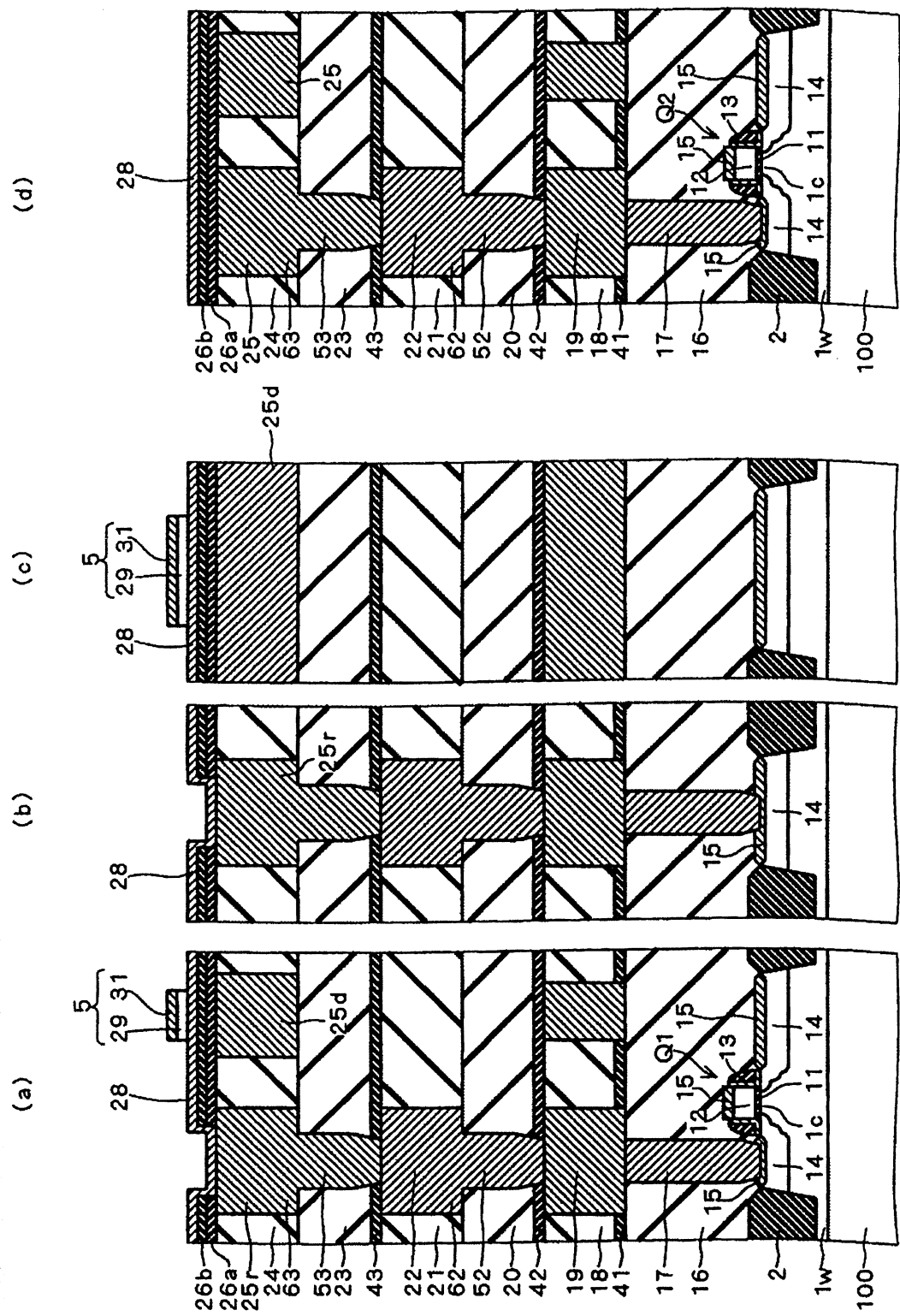


圖15

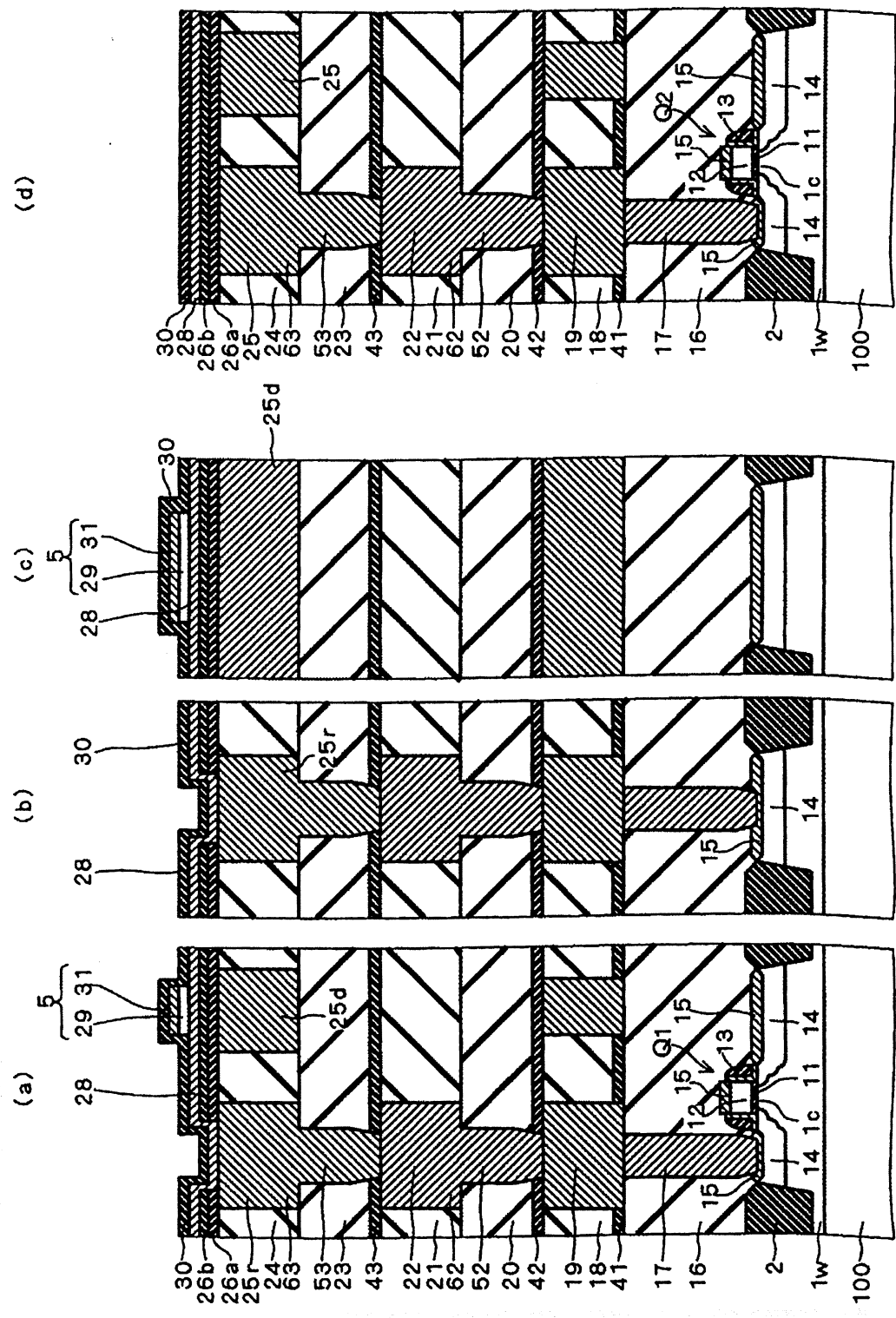


圖16



18

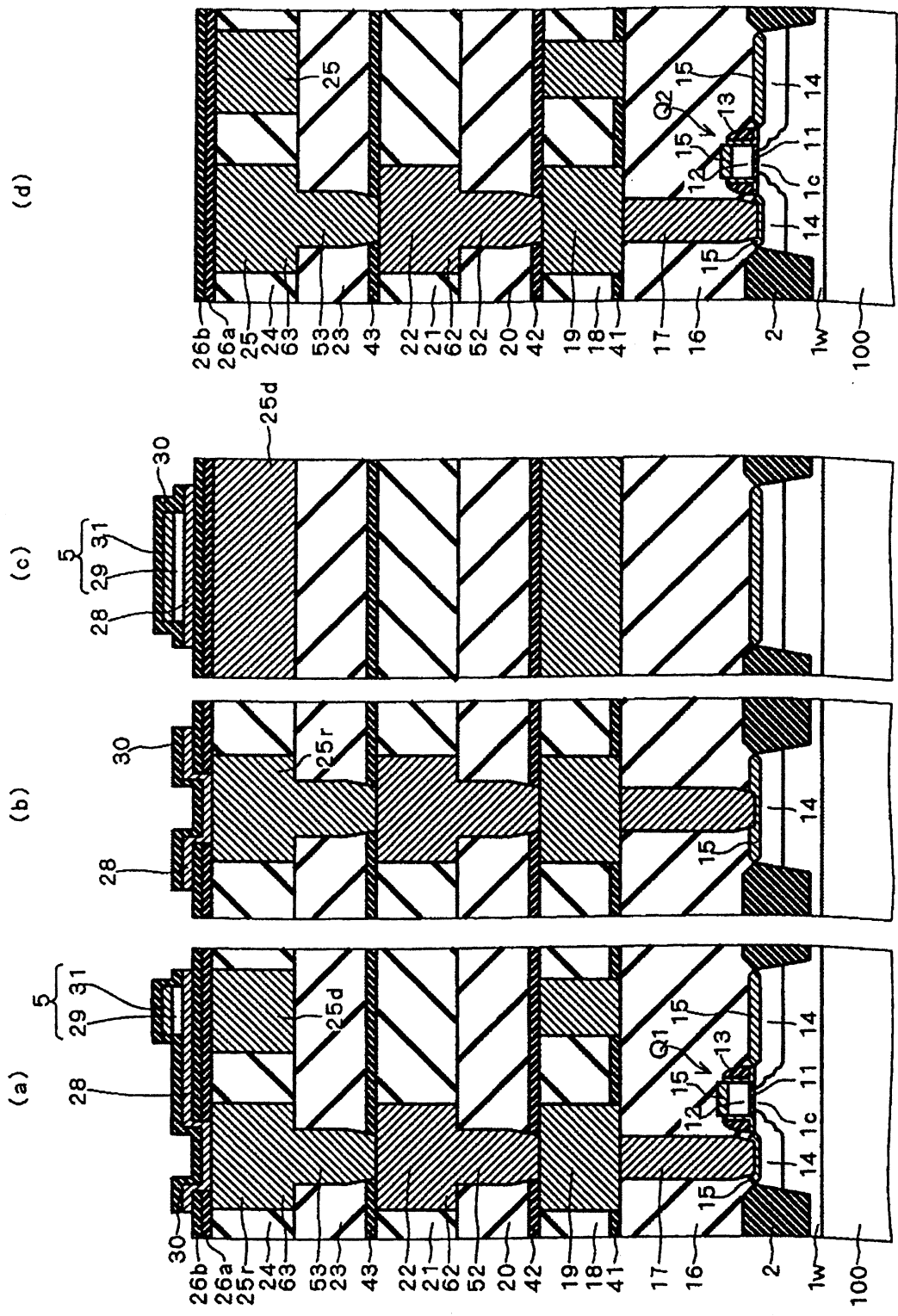


圖19

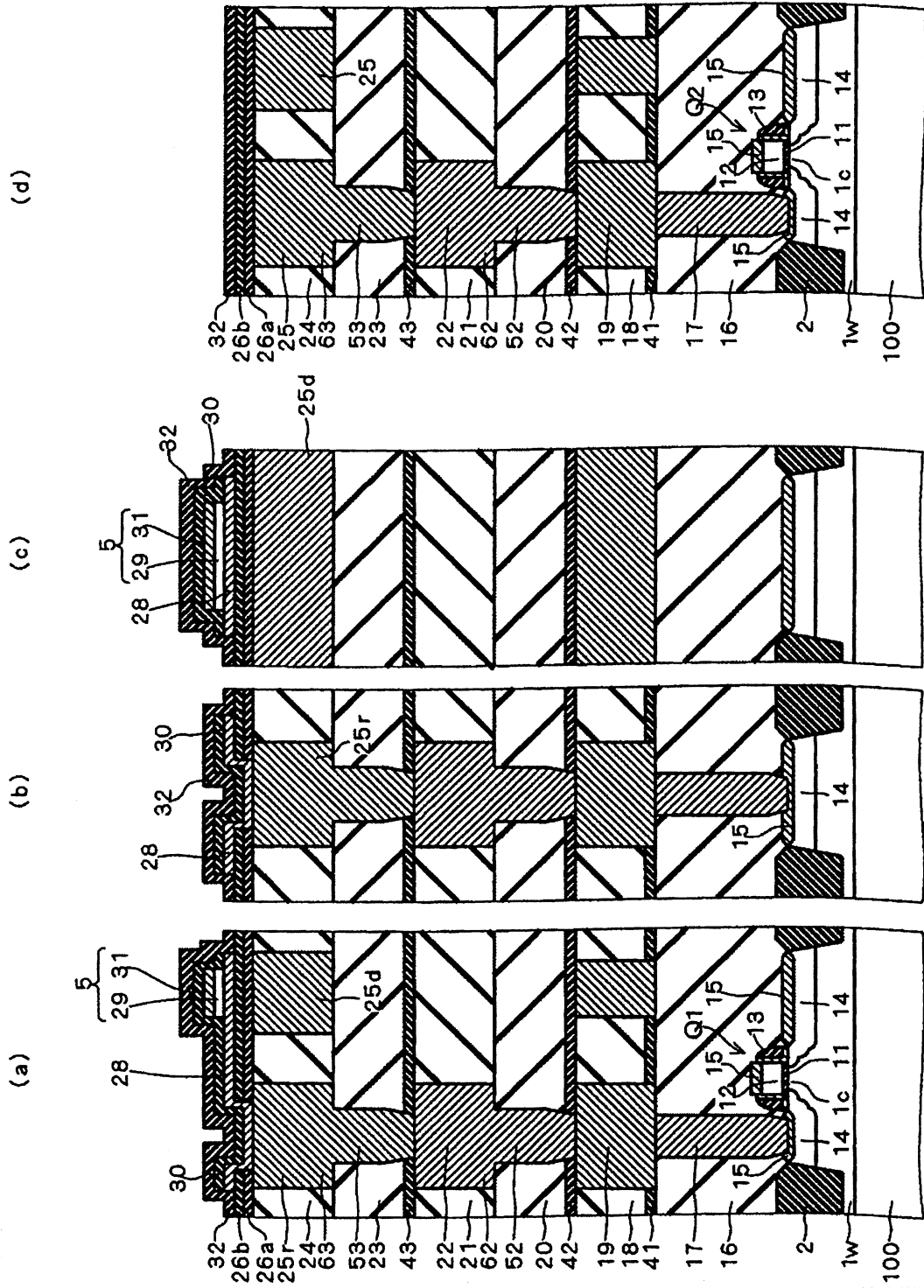


圖20

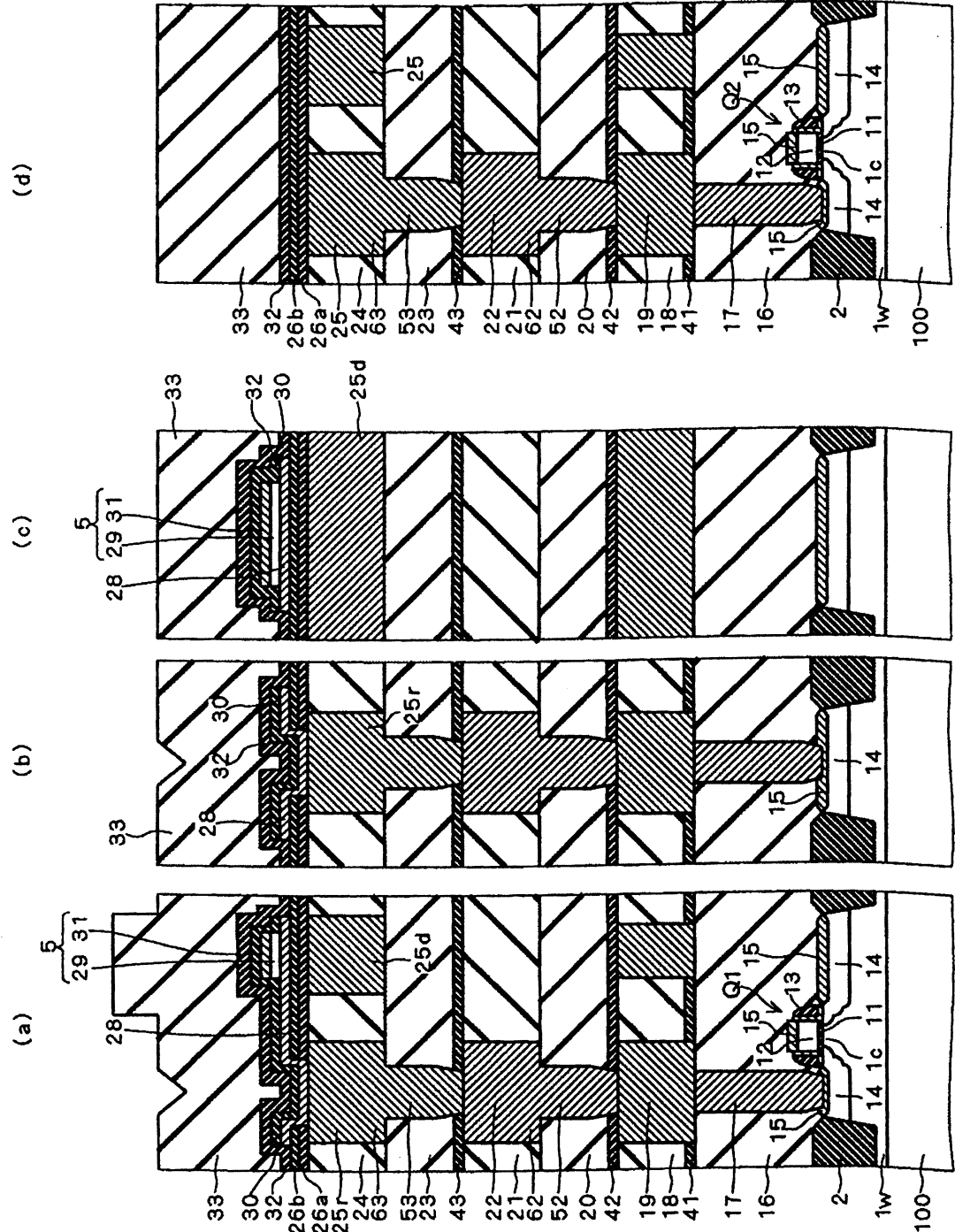


圖21

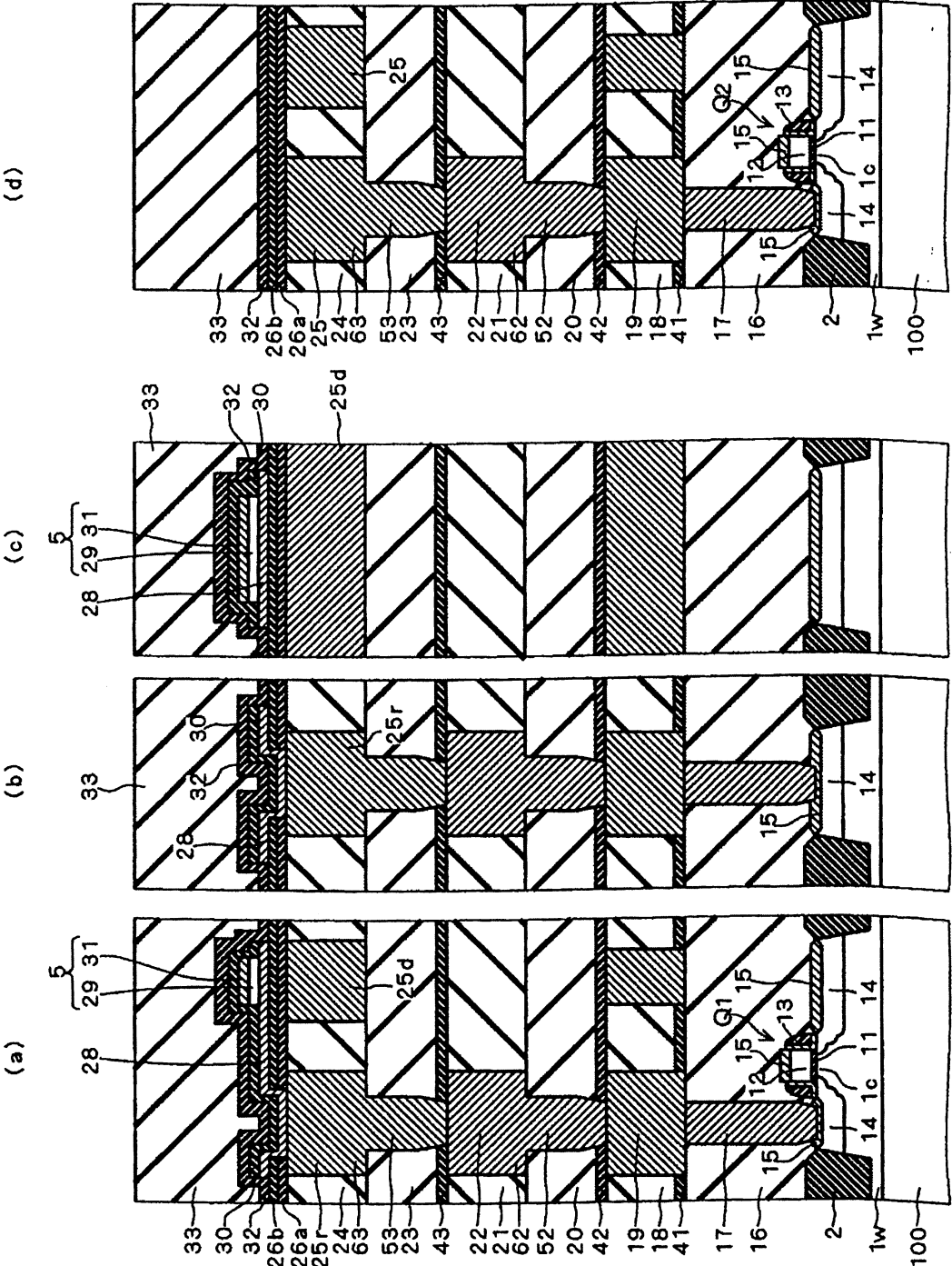


圖22

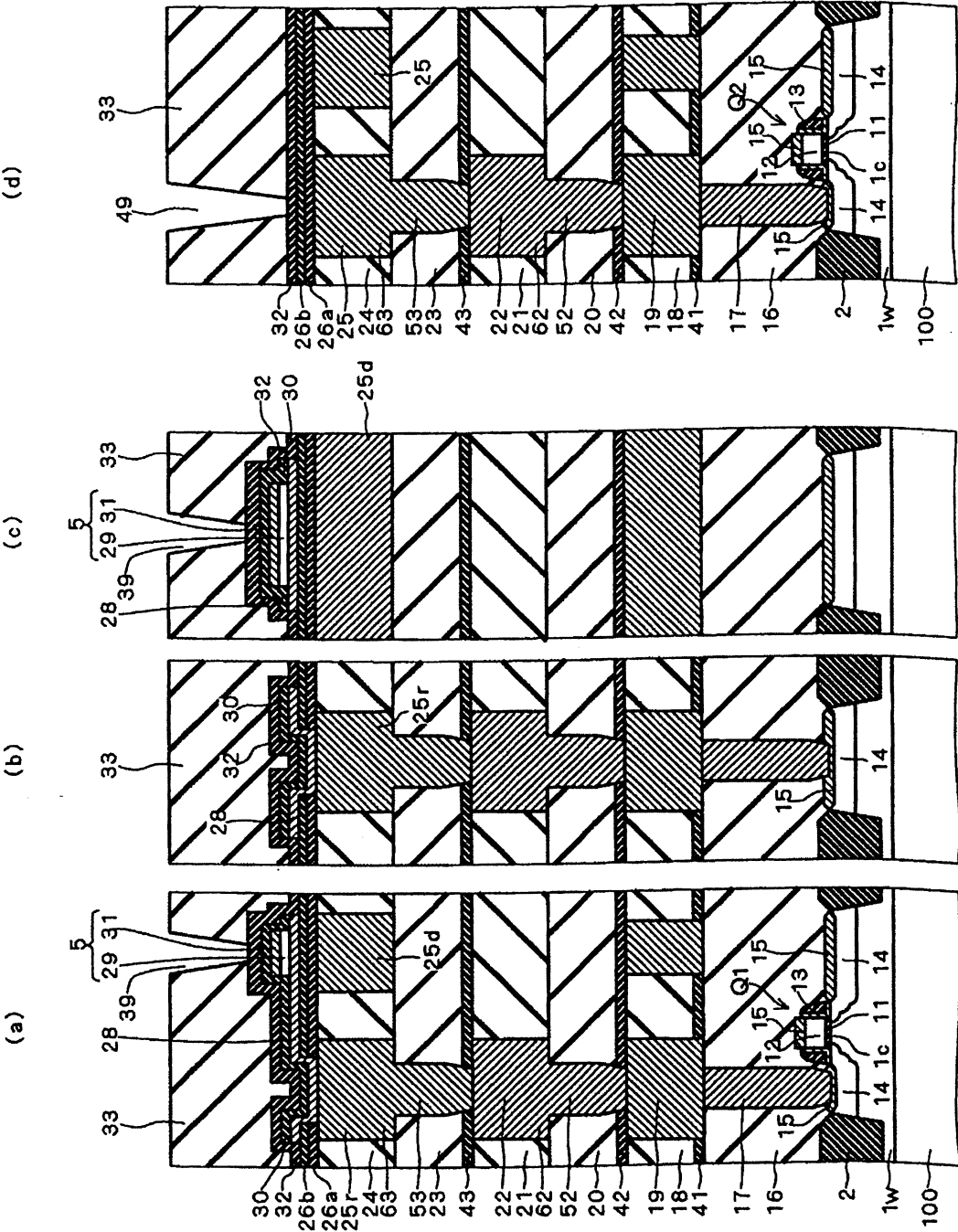


圖23

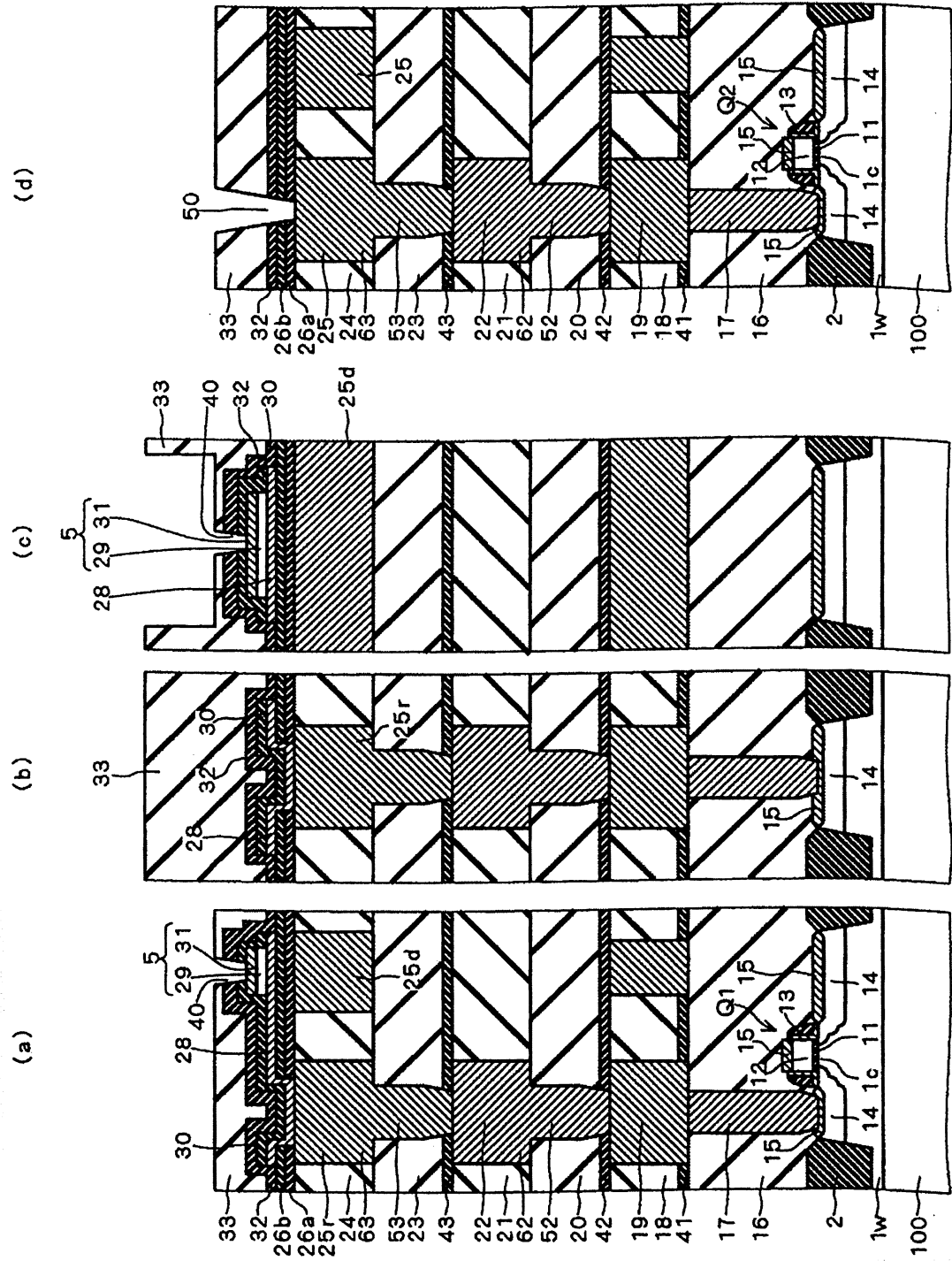


圖24

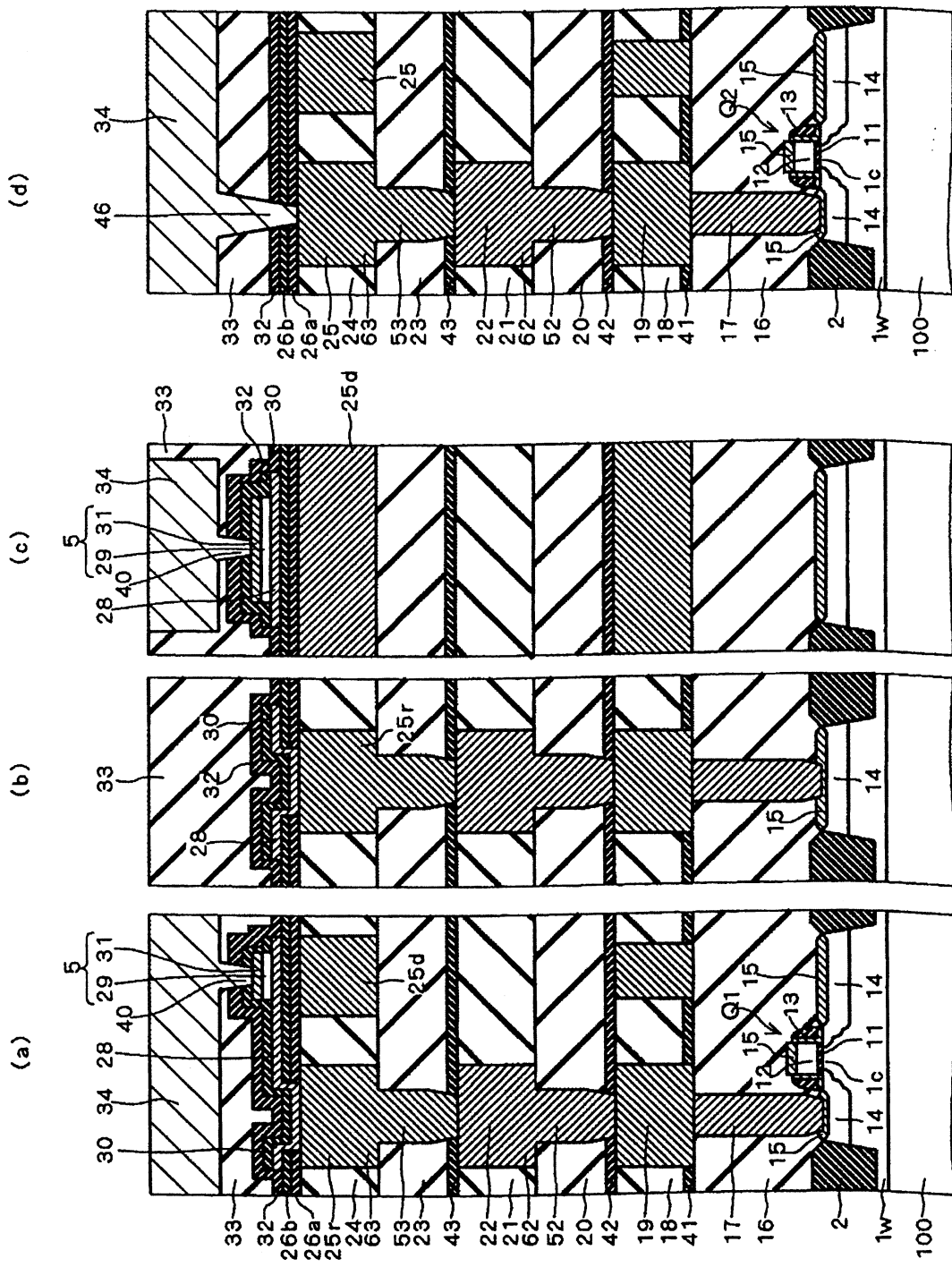


圖25

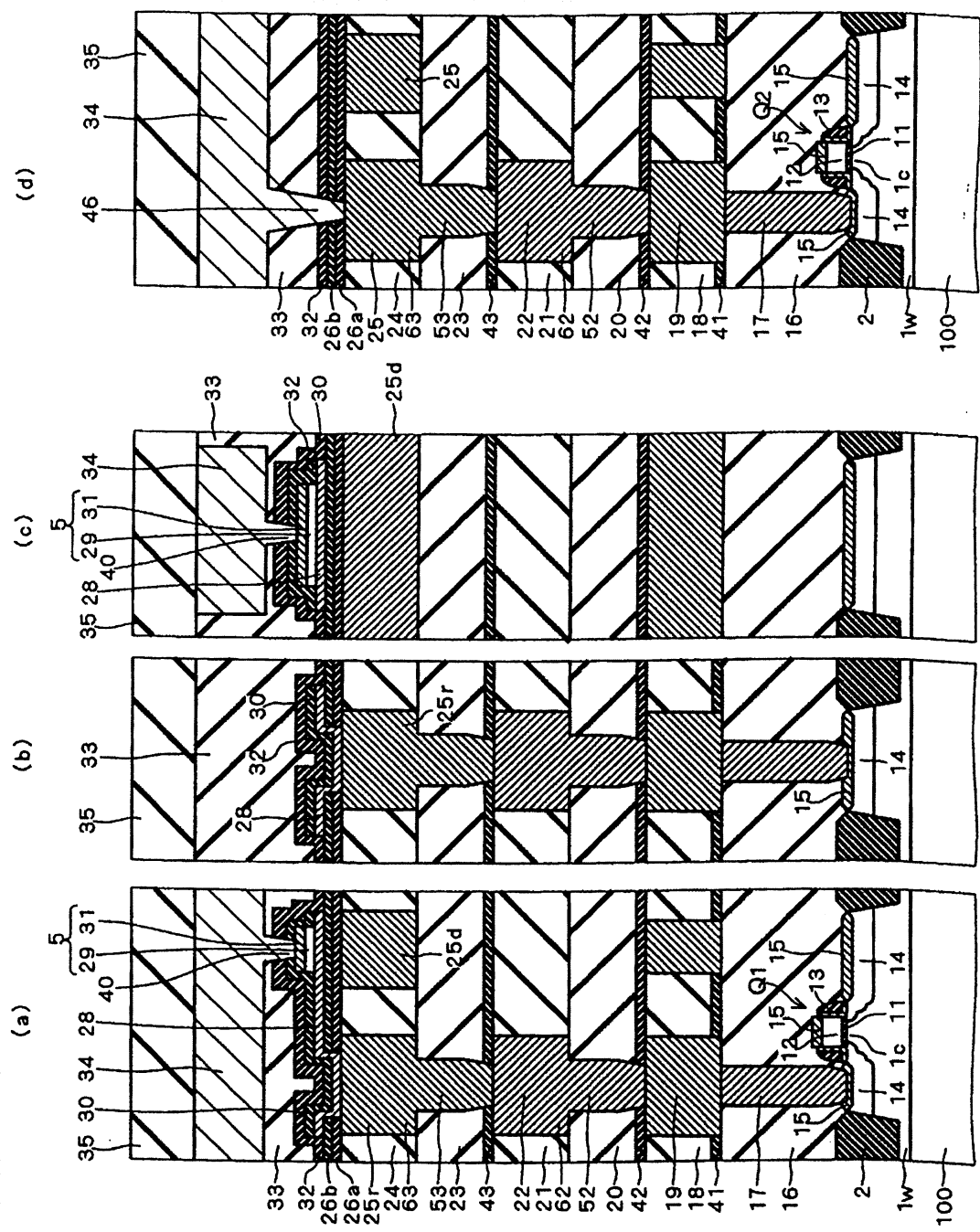
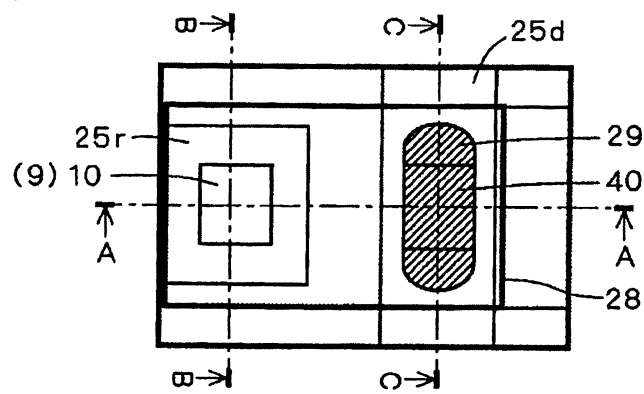


圖26



10 :

圖27

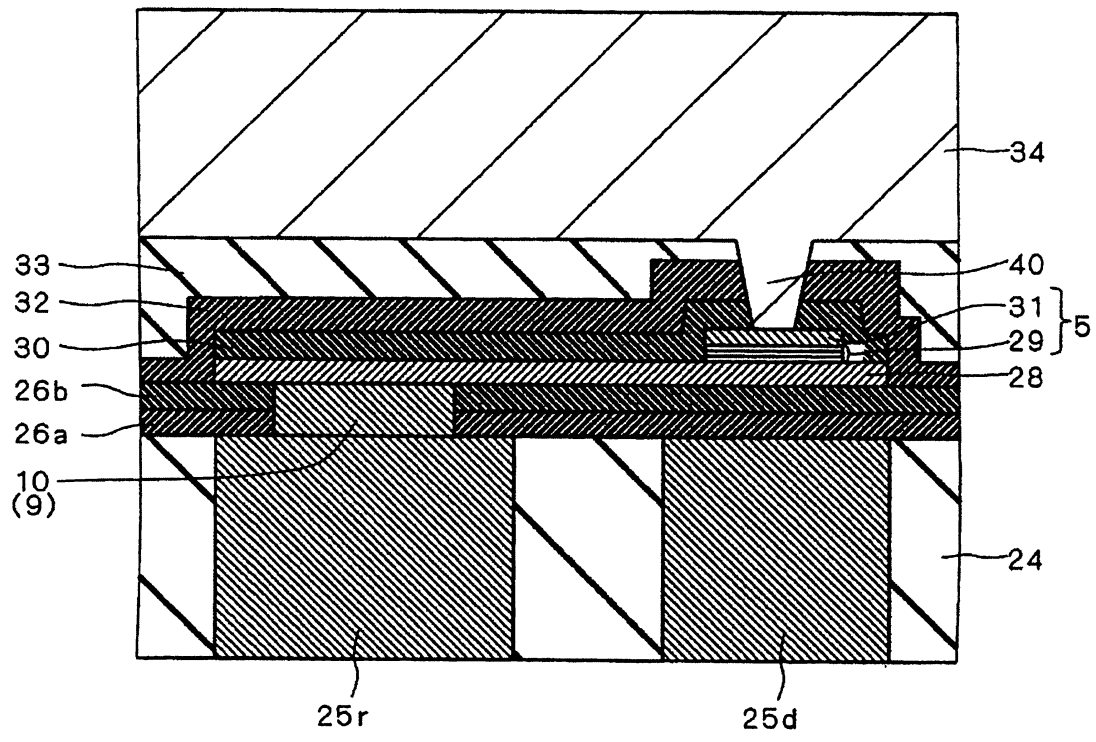


圖28

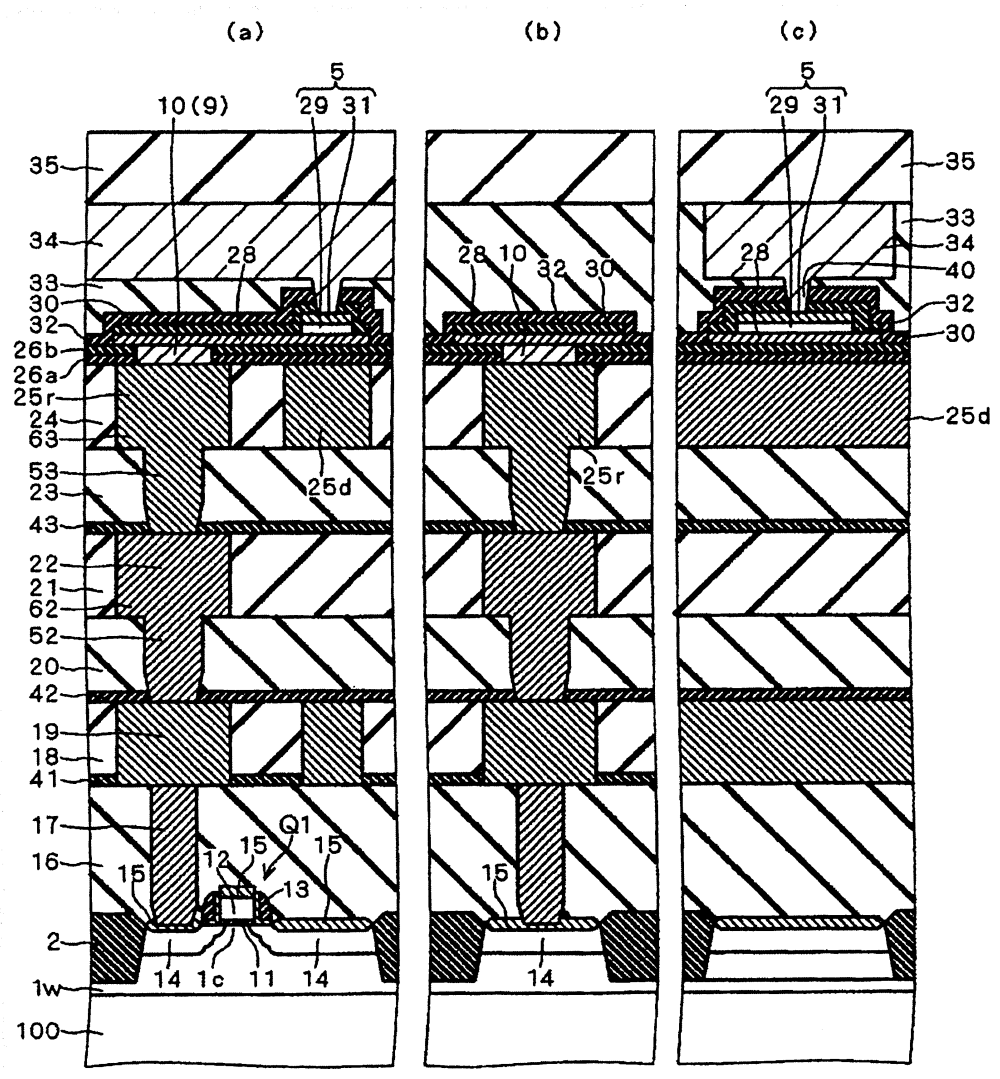


圖29

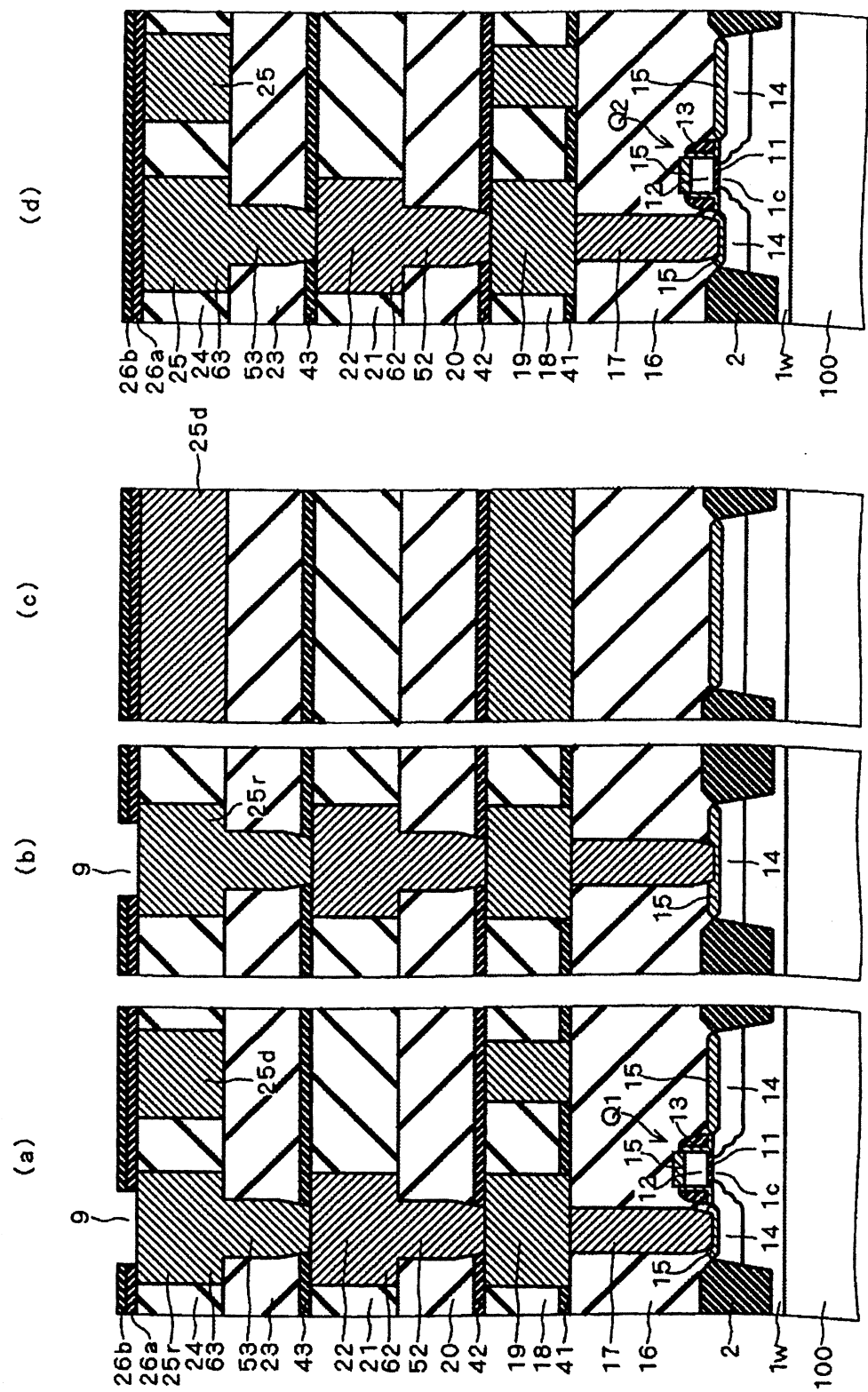


圖30

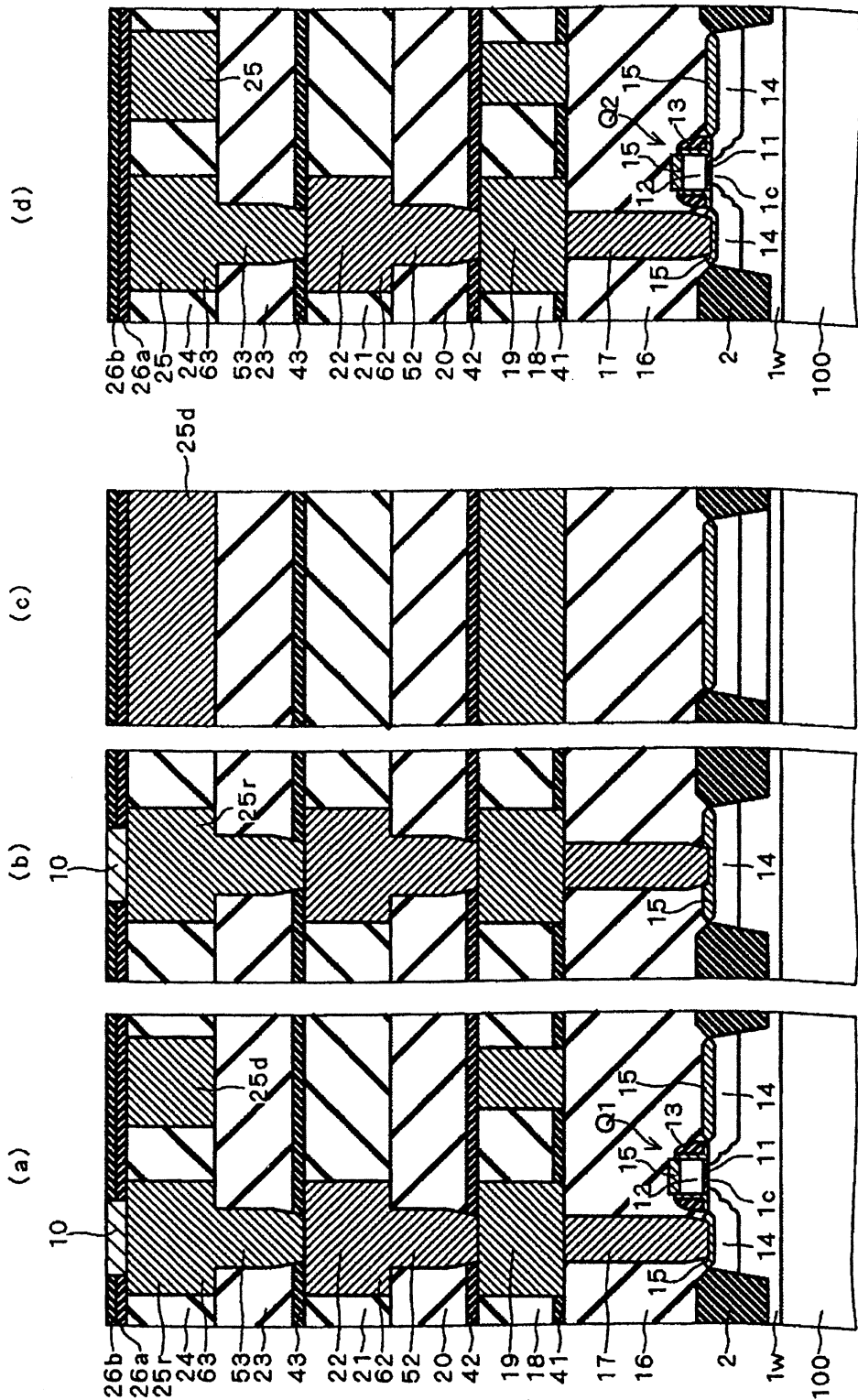


圖31

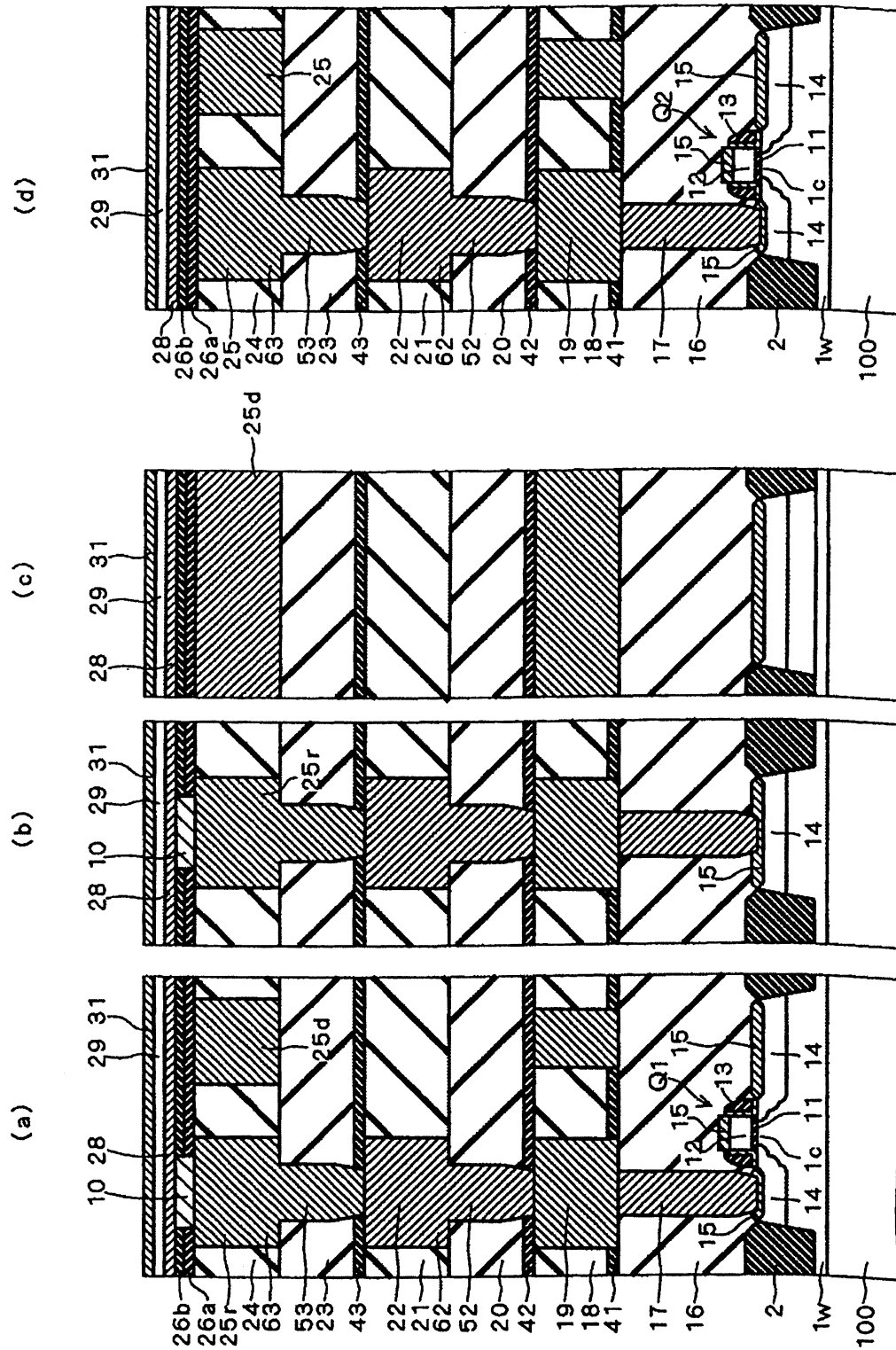


圖 32

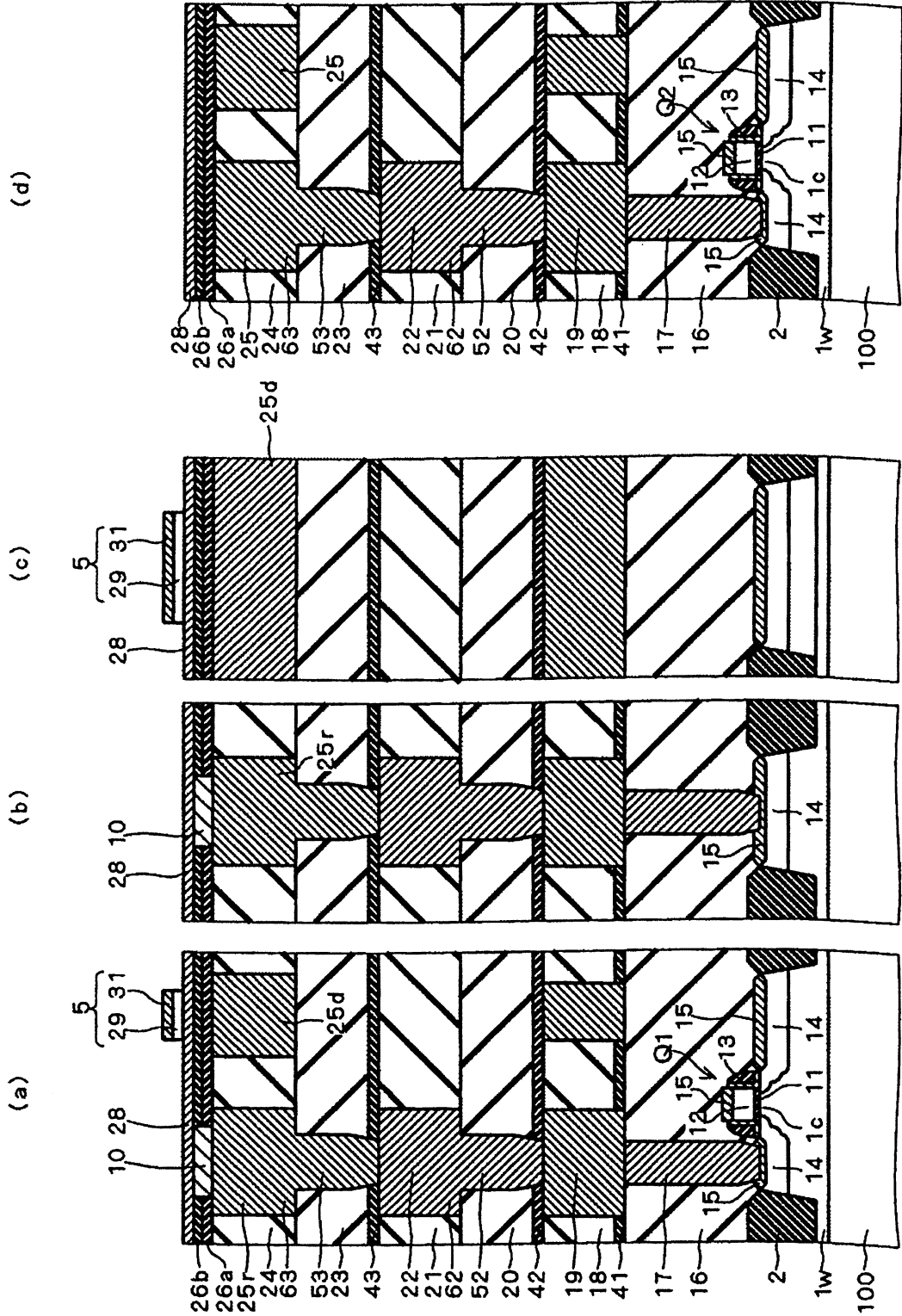


圖33

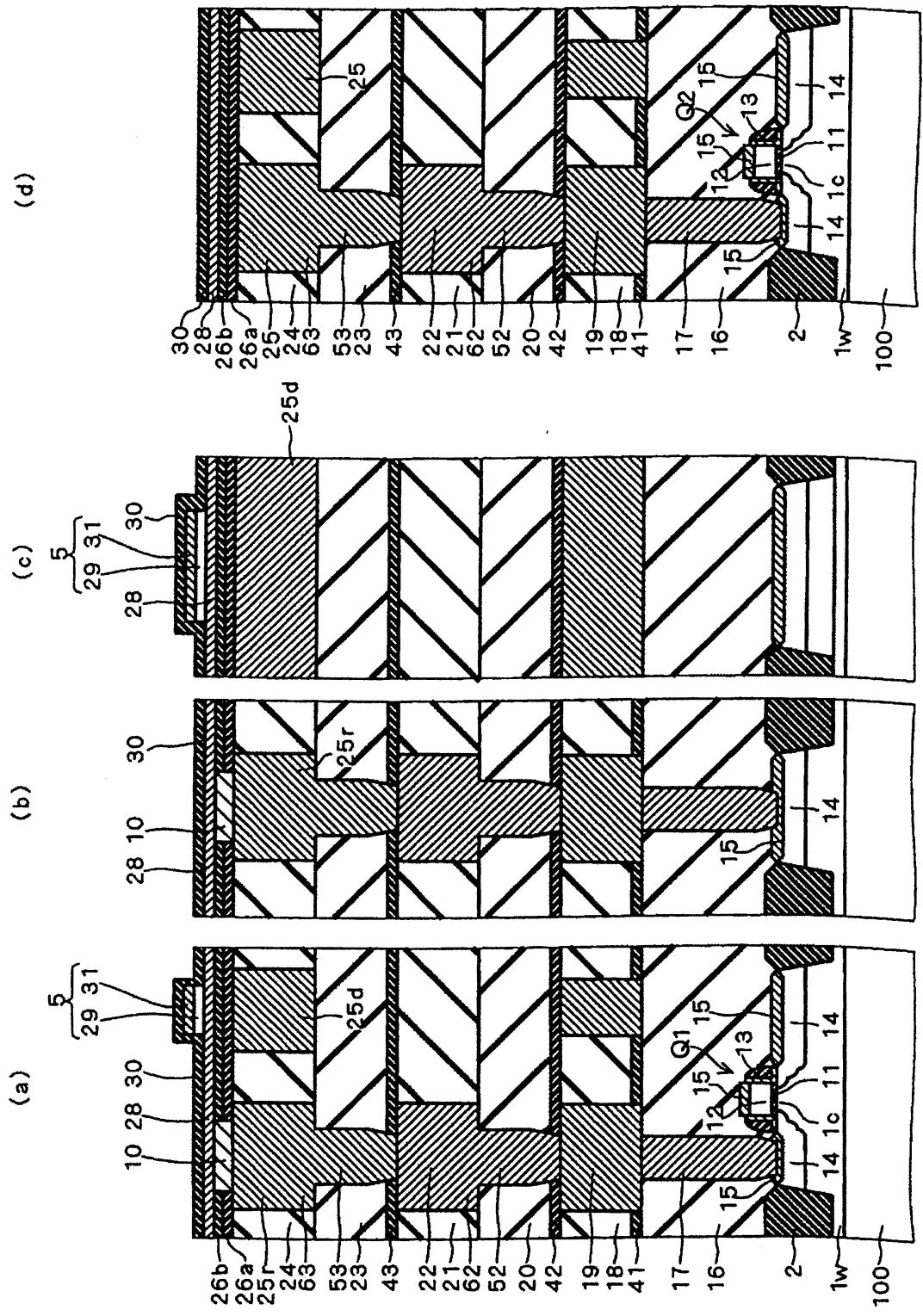


圖34

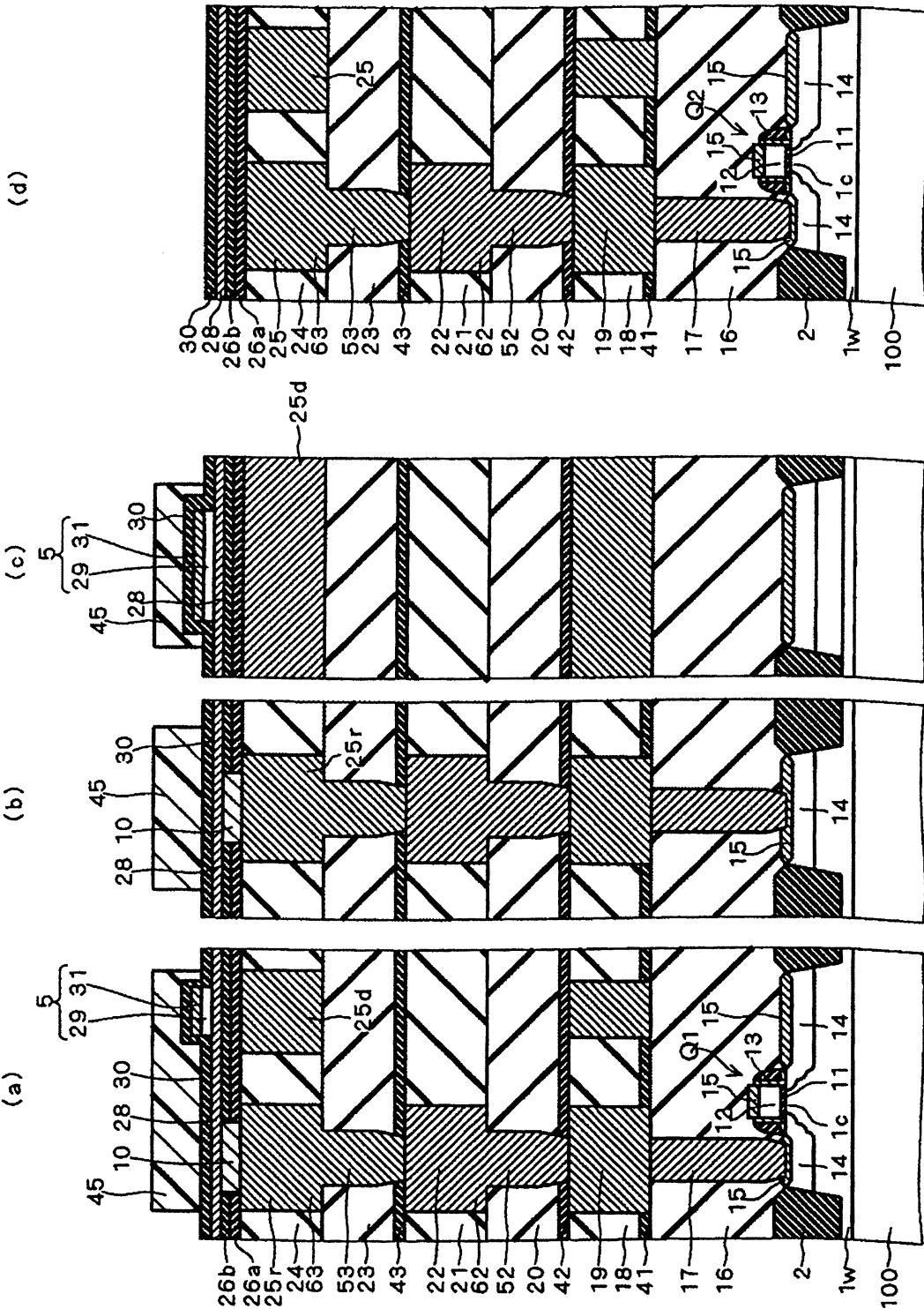


圖35

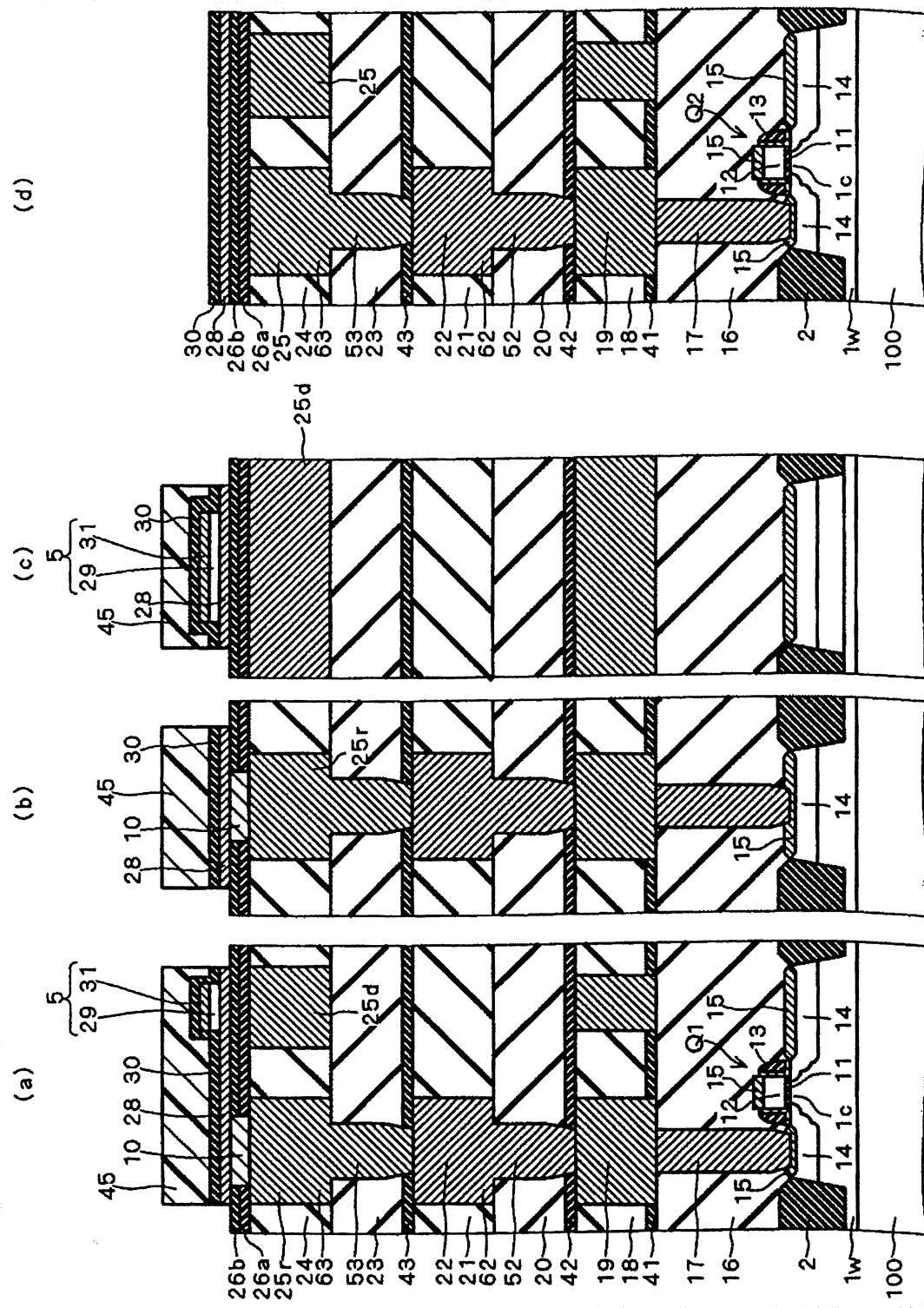


圖36

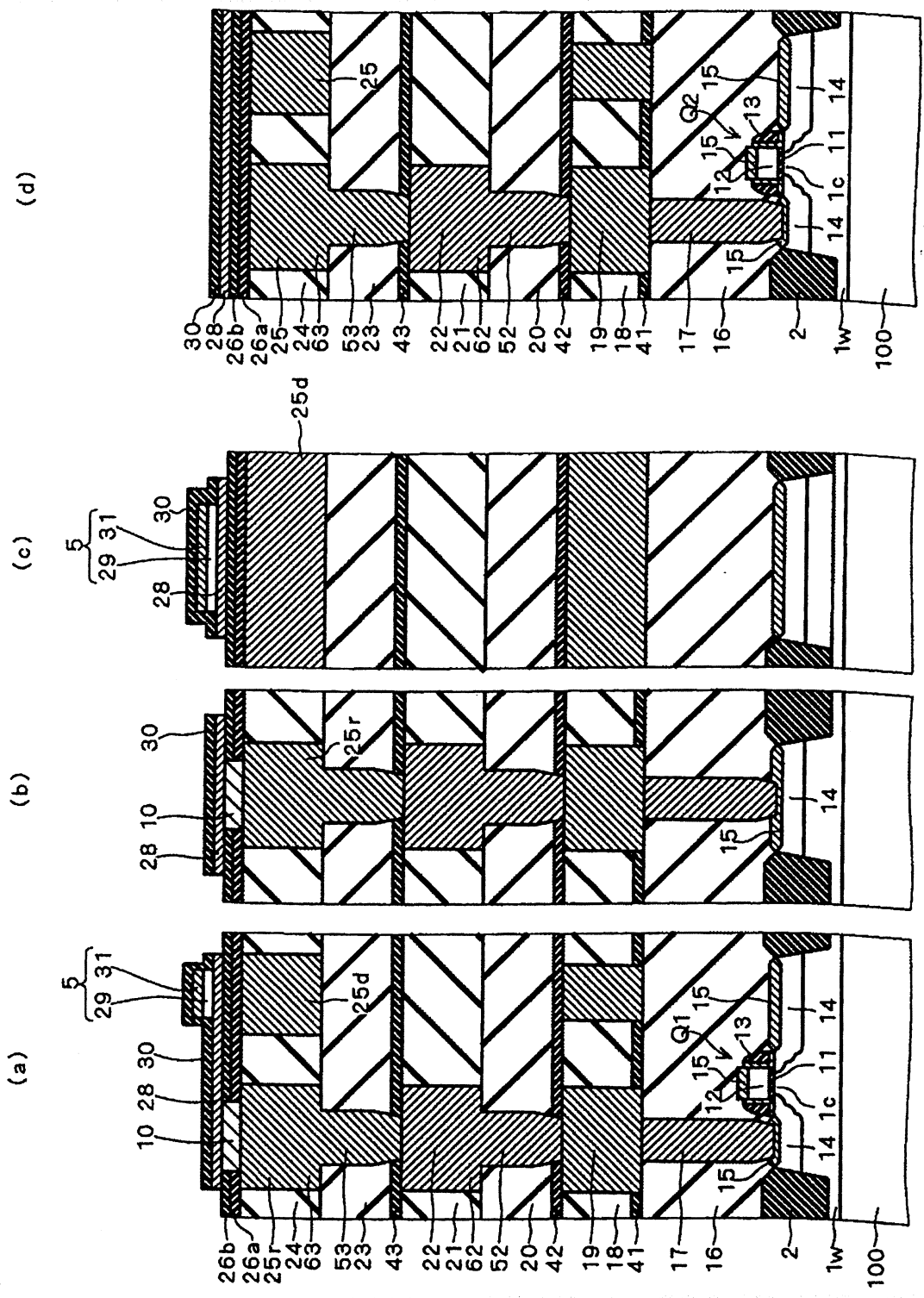


圖37

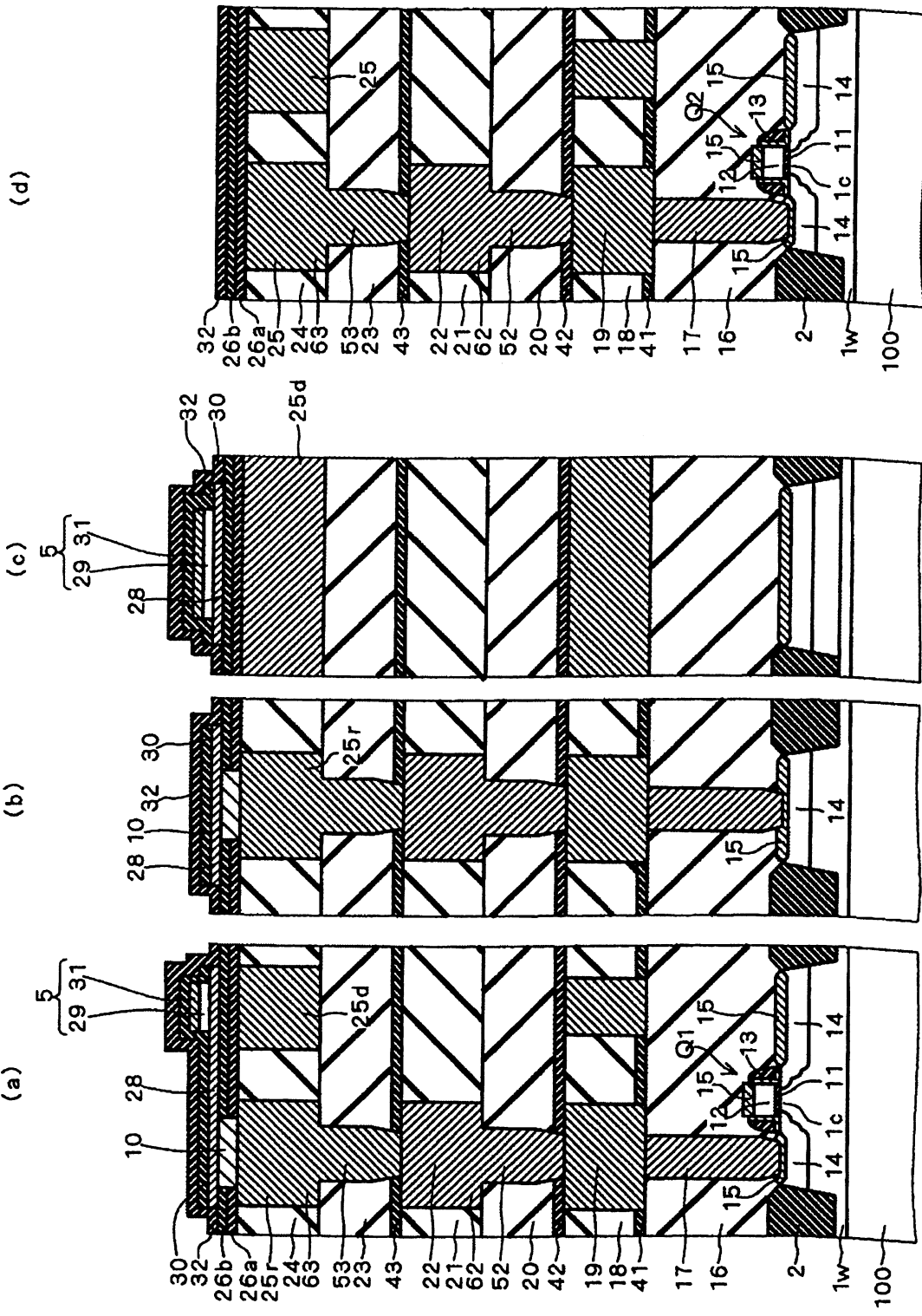


圖38

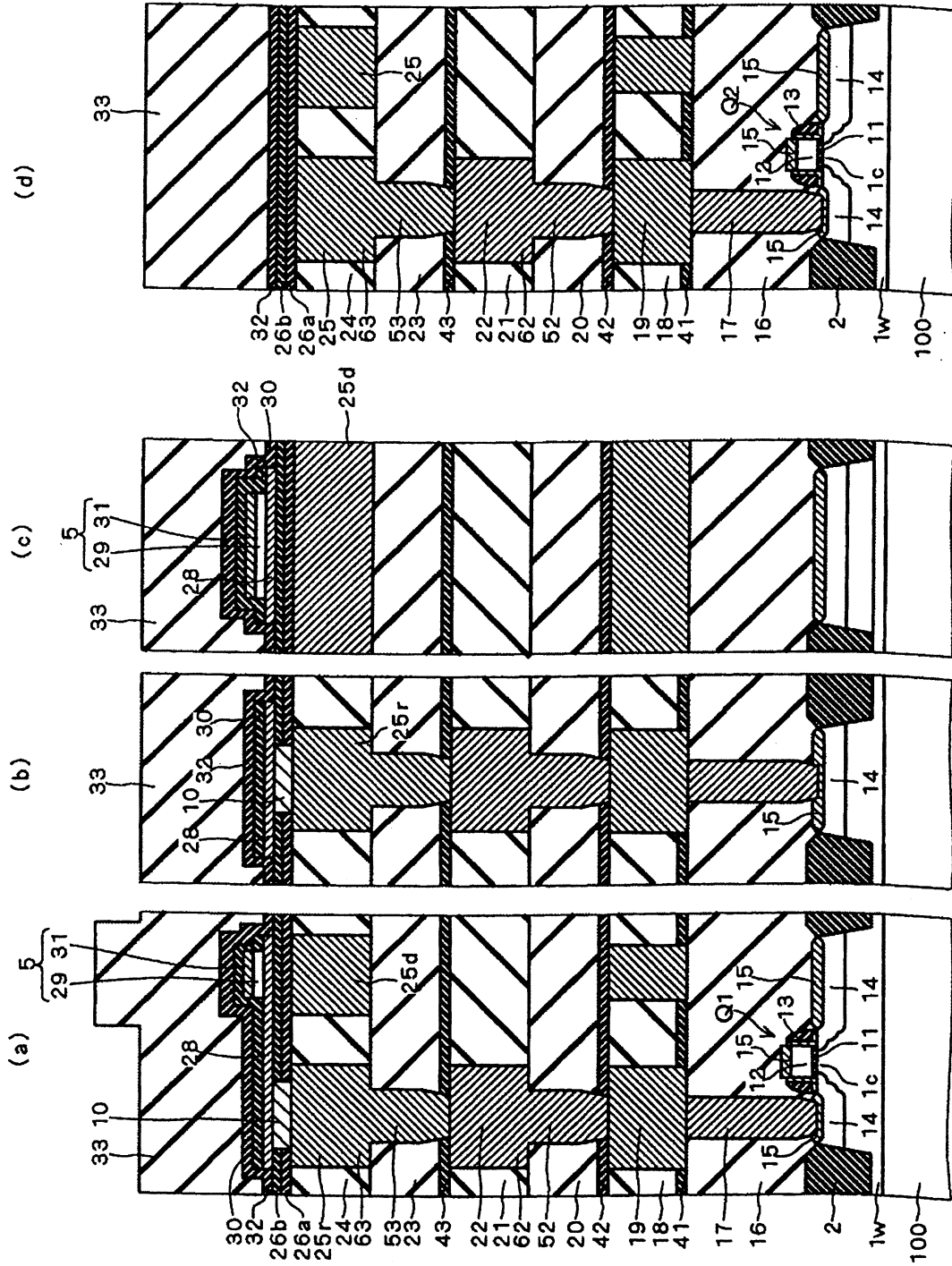


圖39

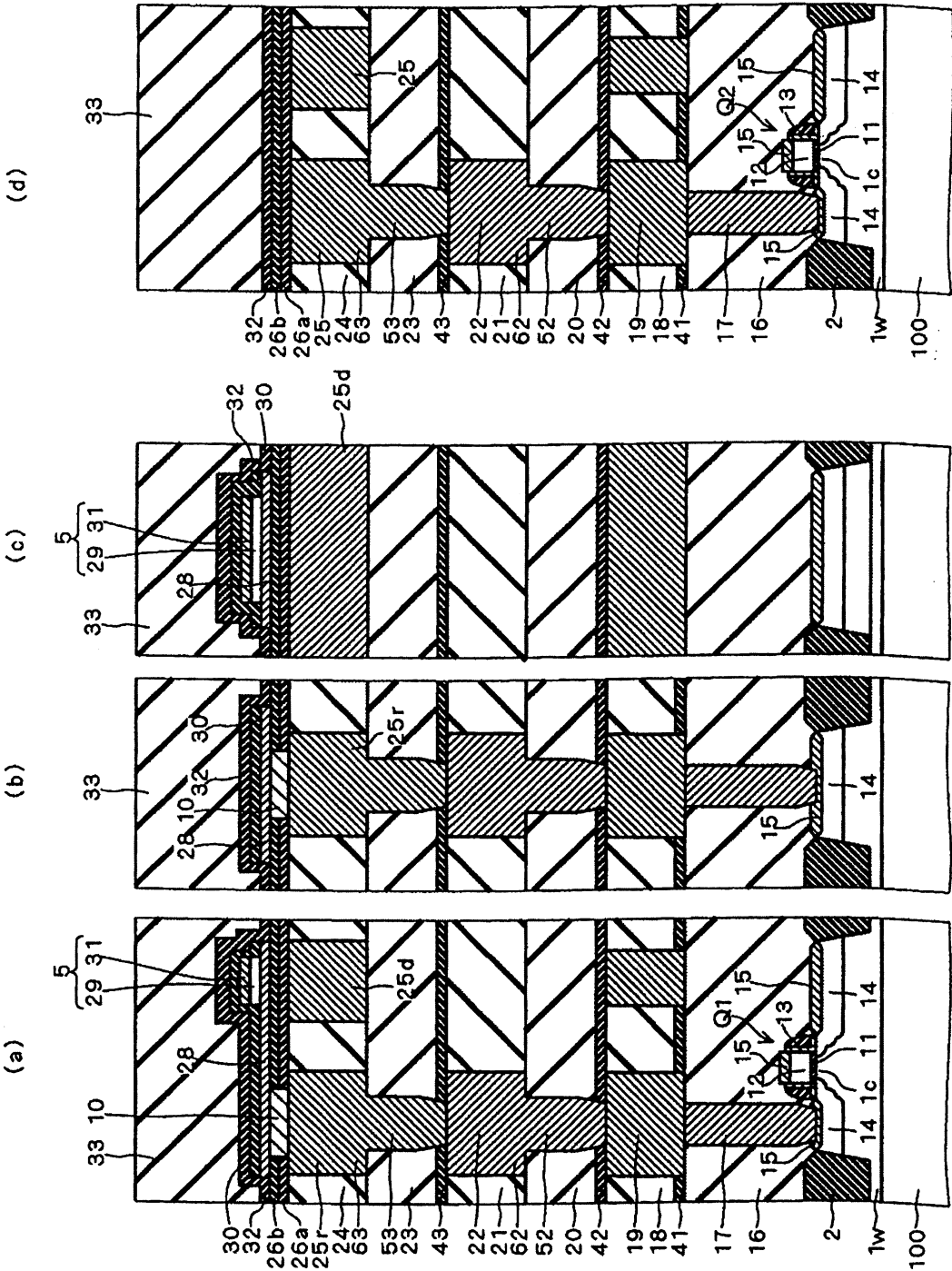


圖40

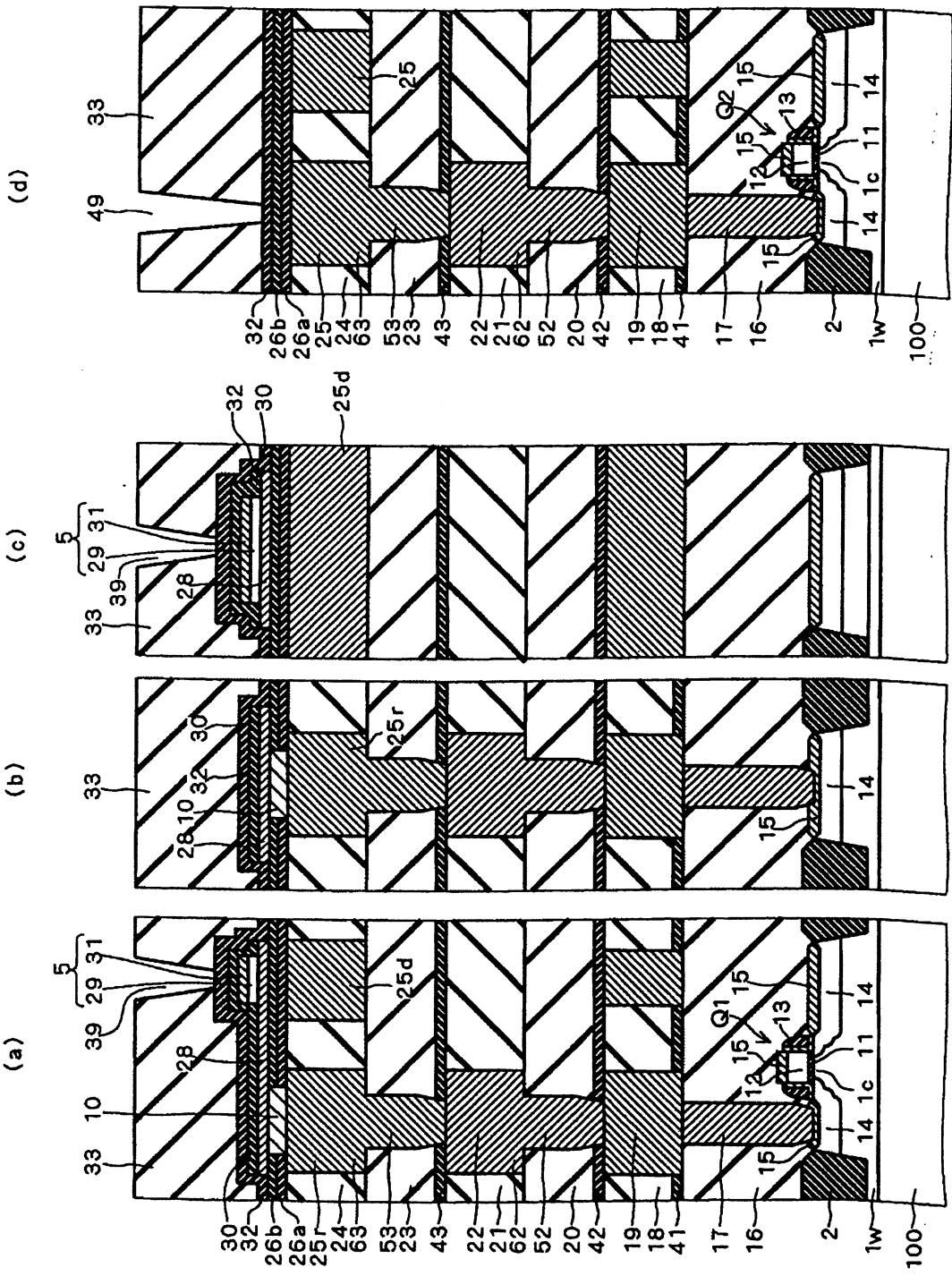


圖41

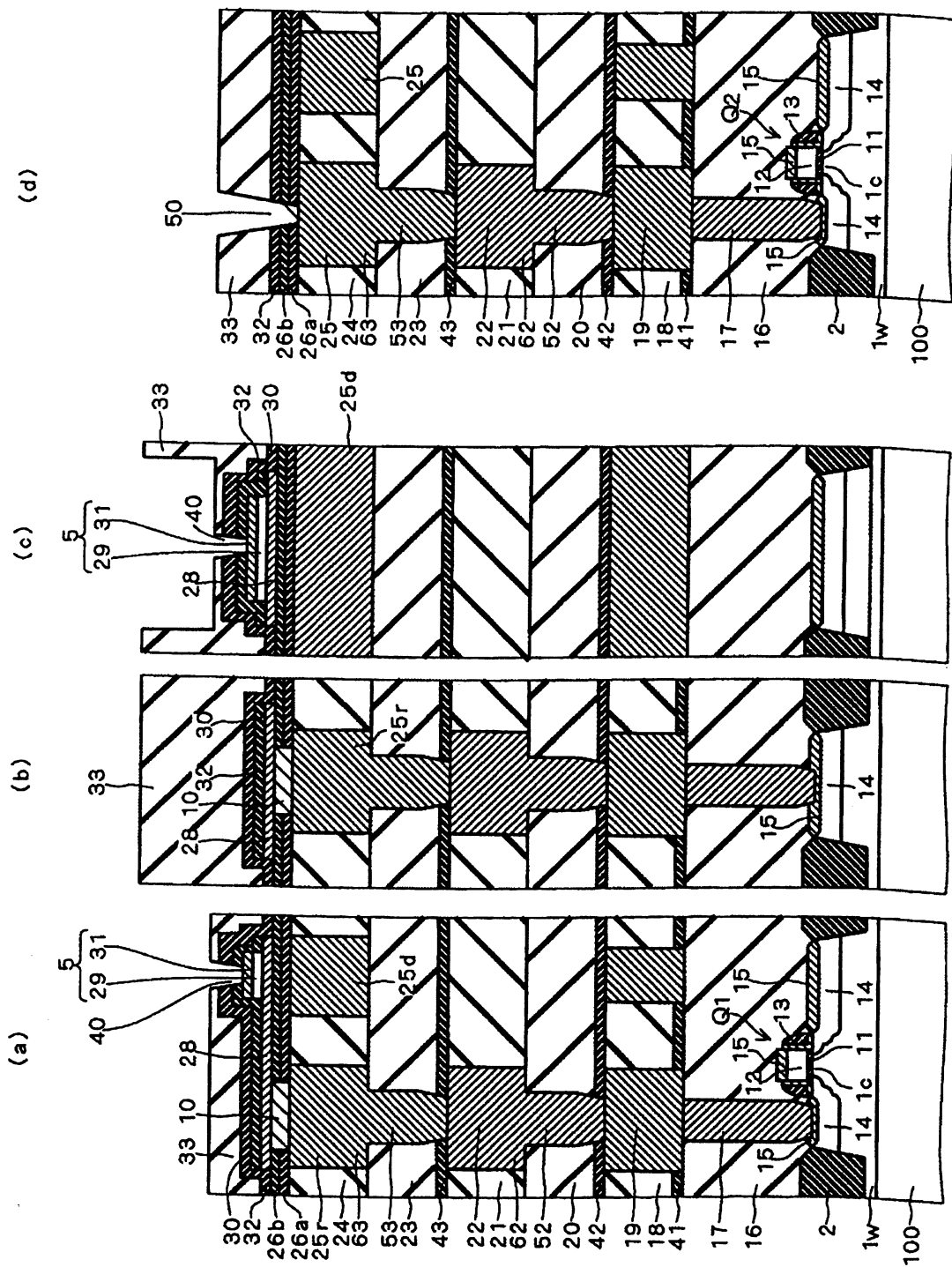


圖42

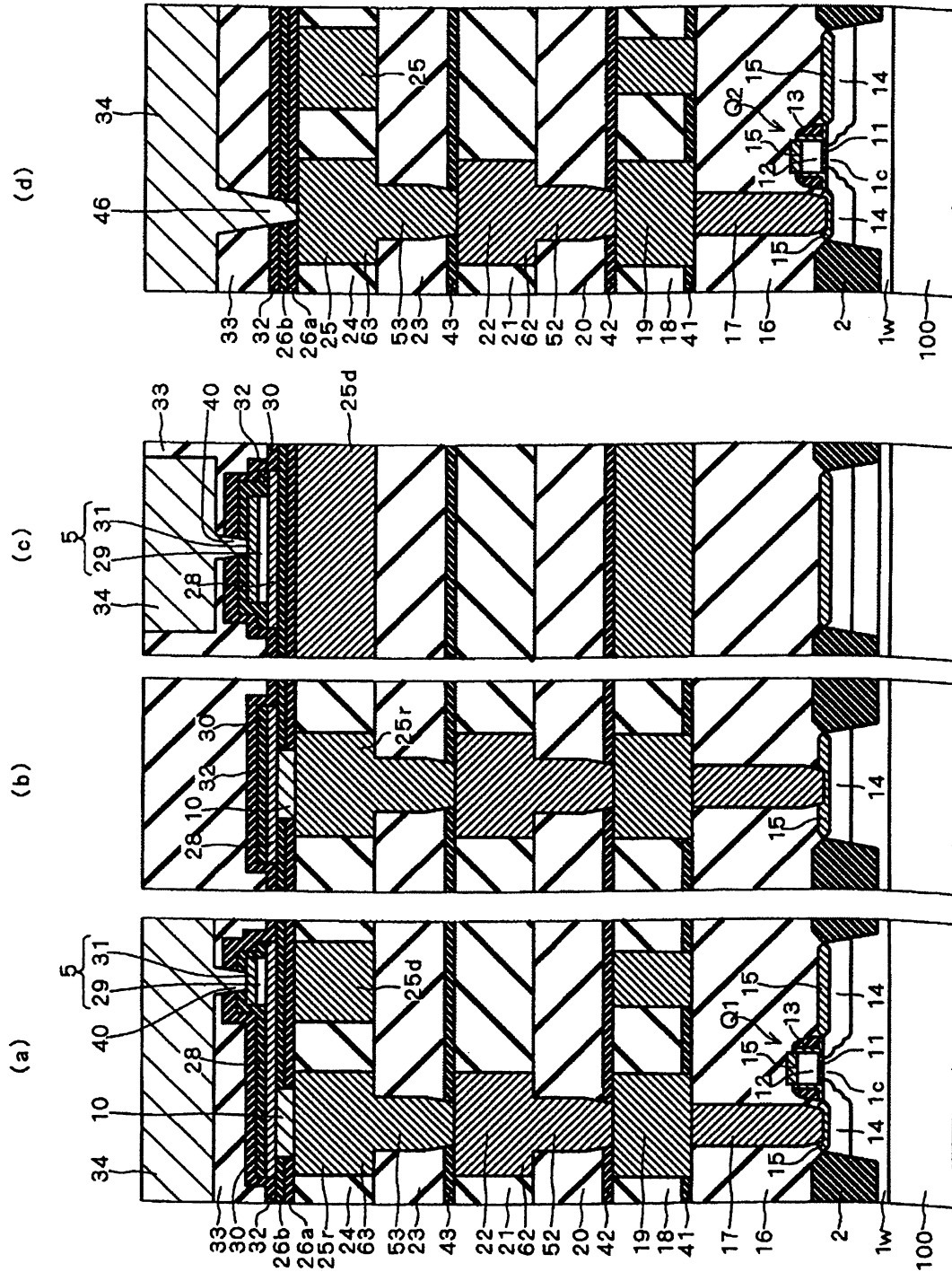


圖 43

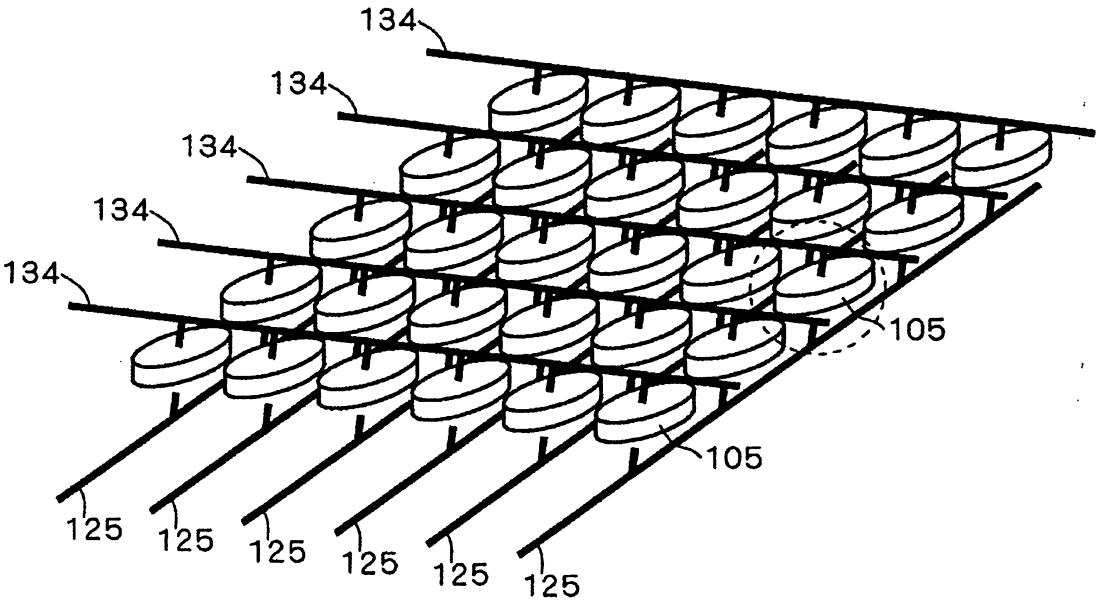


圖45

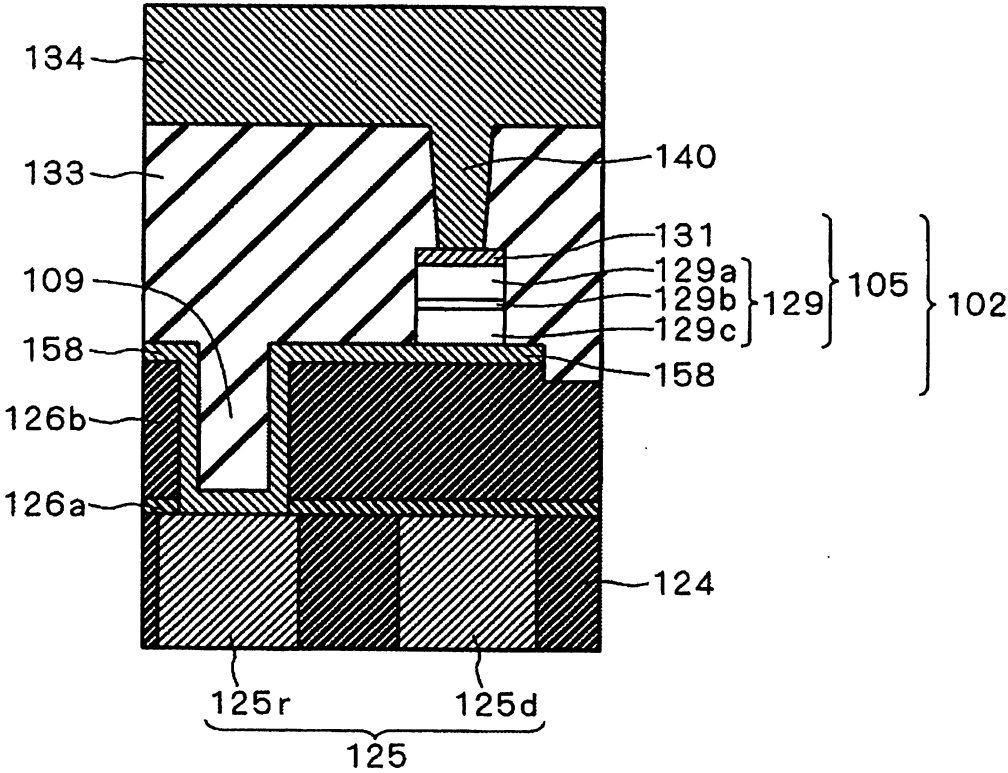


圖46

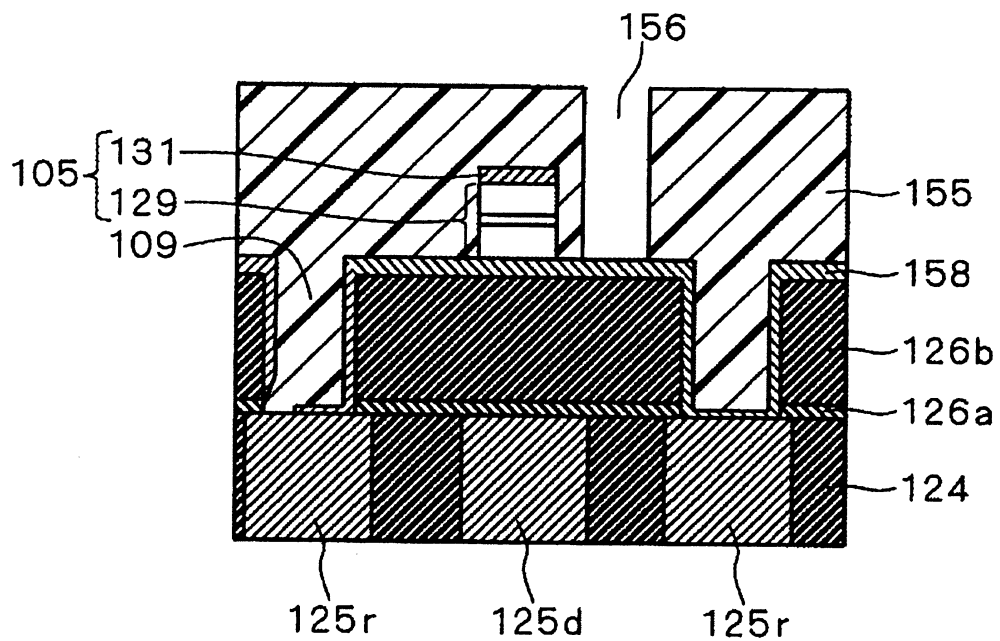


圖47

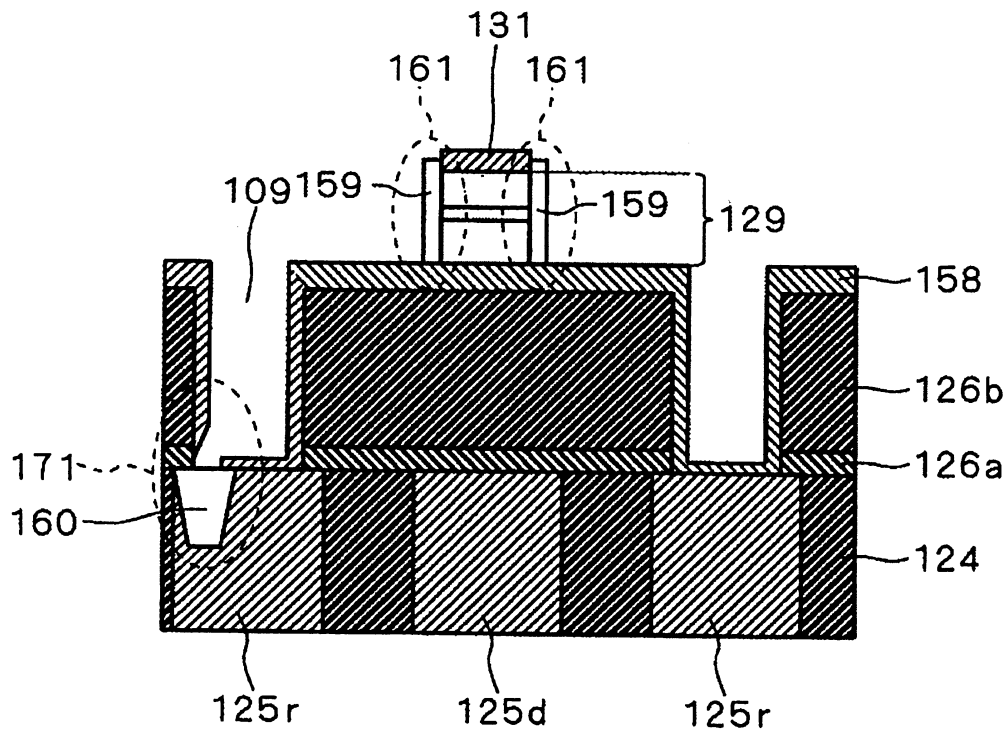


圖48

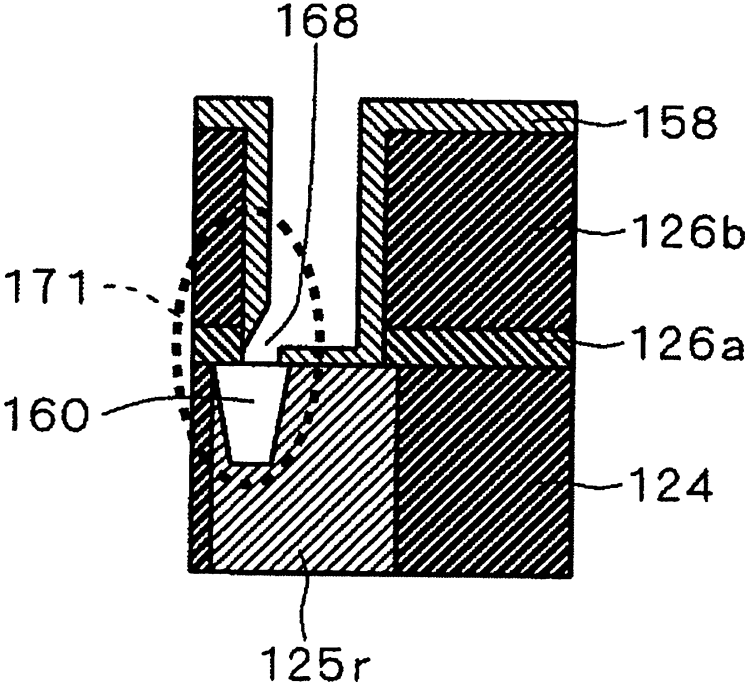


圖49

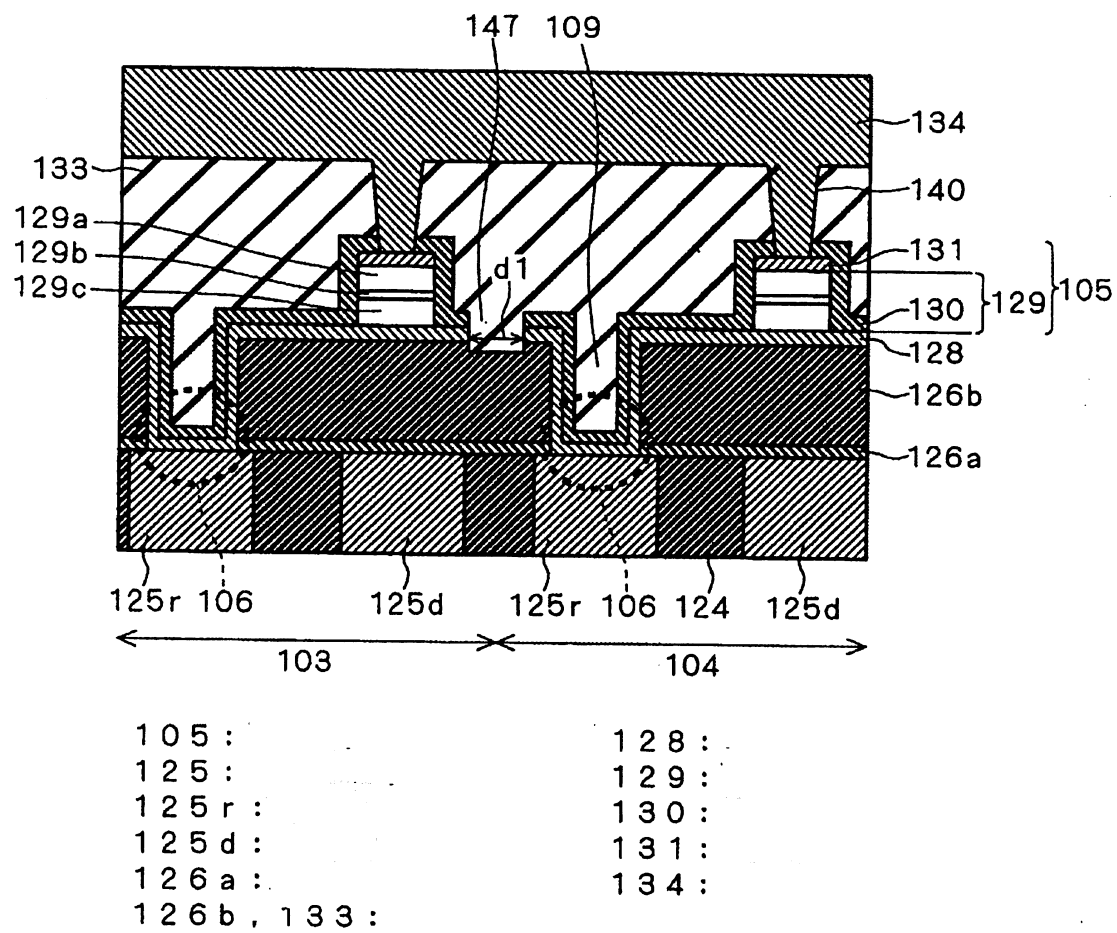


圖50

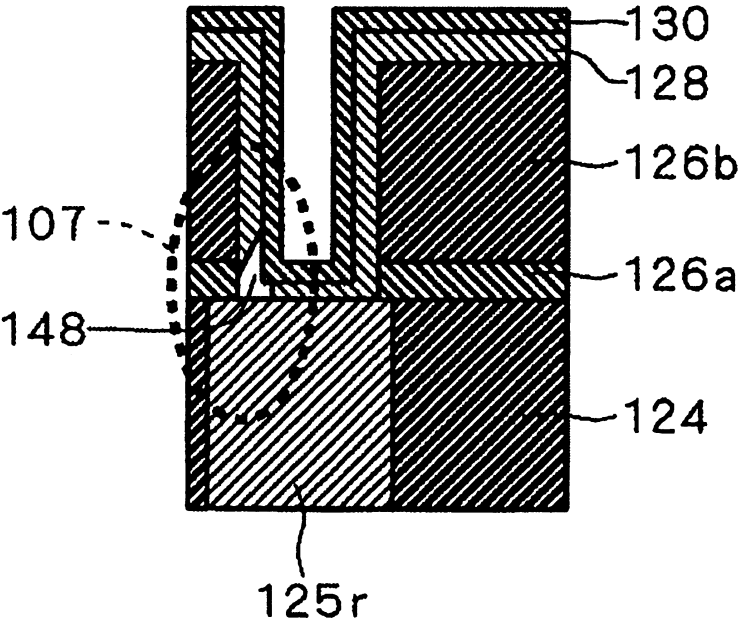


圖51

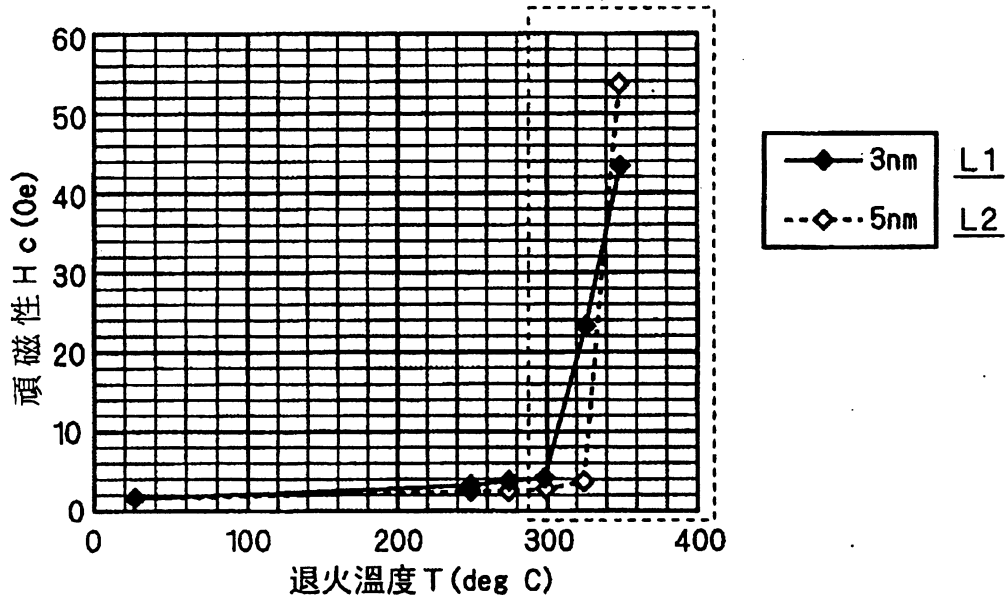


圖52

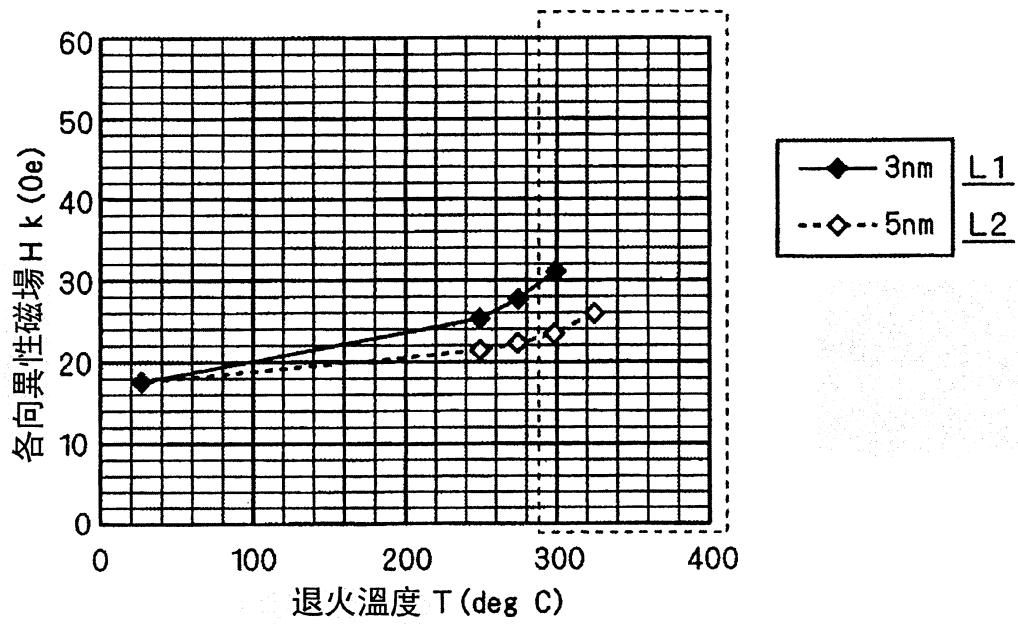


圖53

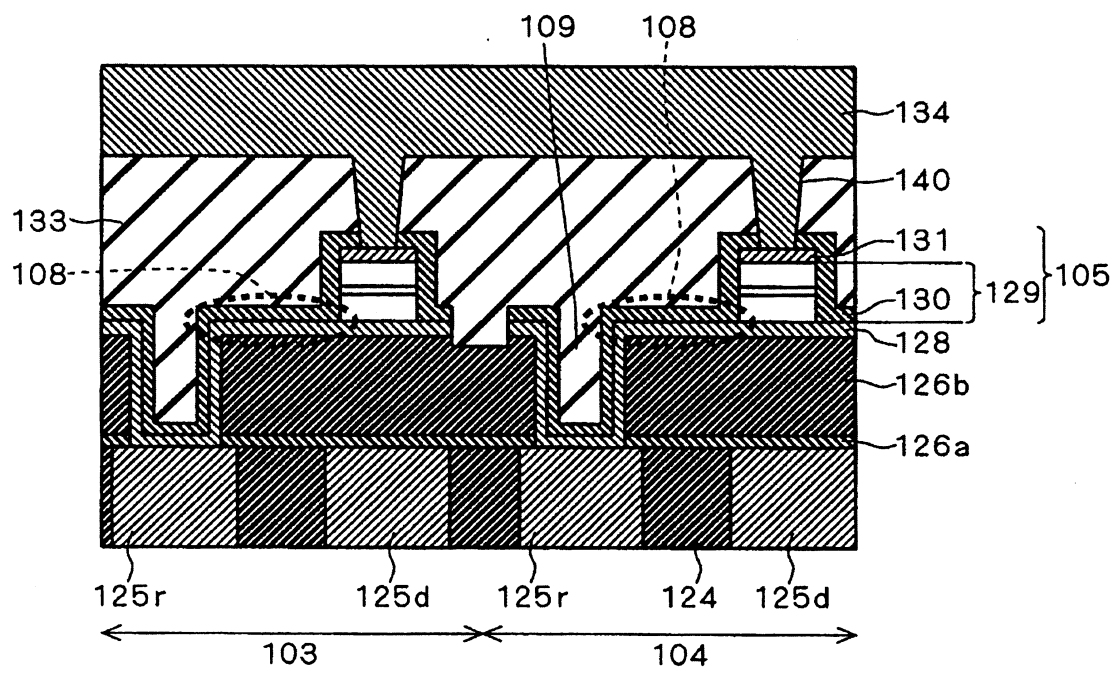


圖54

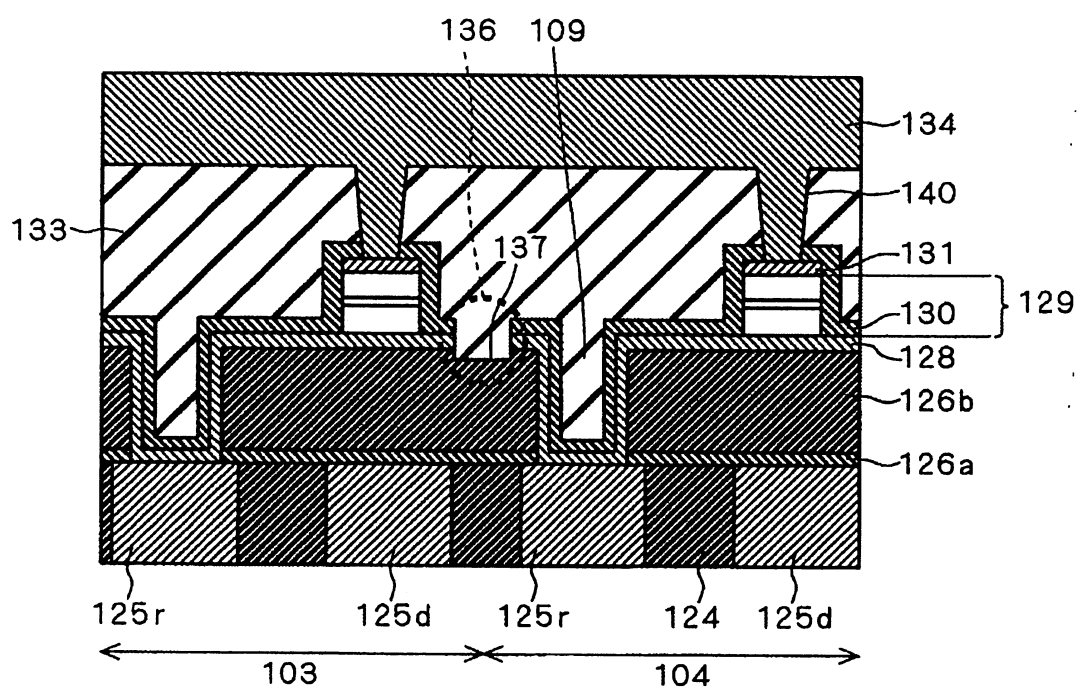


圖55

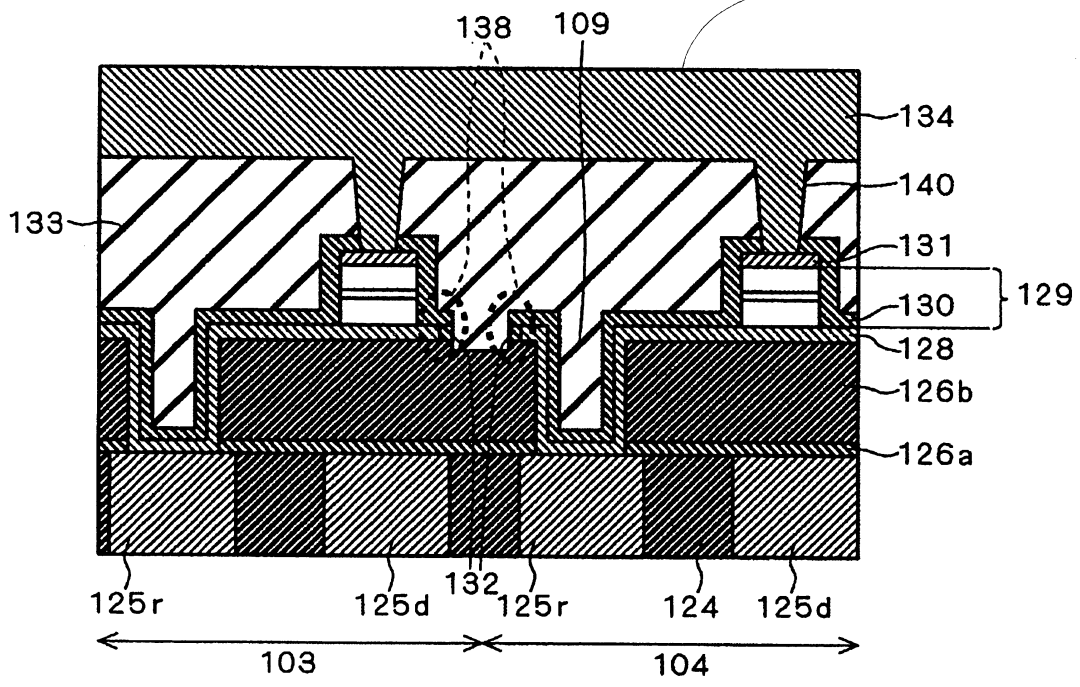


圖56

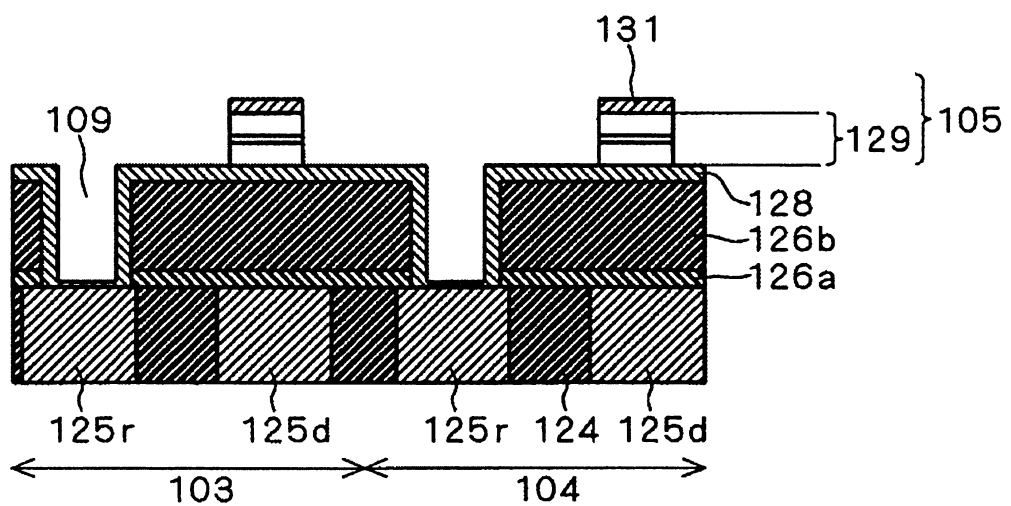


圖57

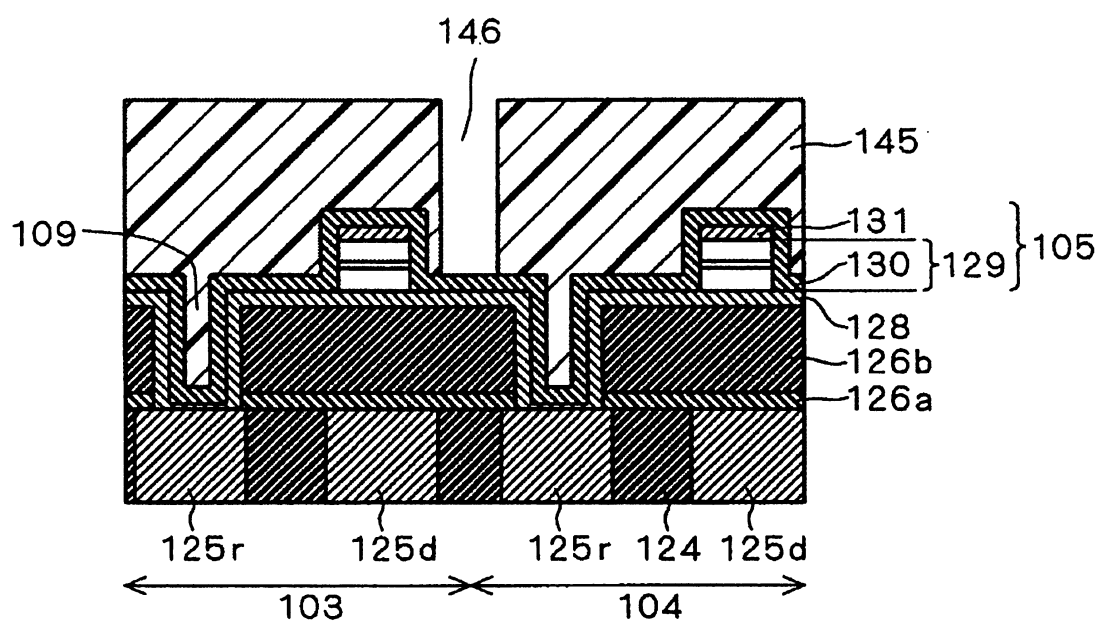


圖58

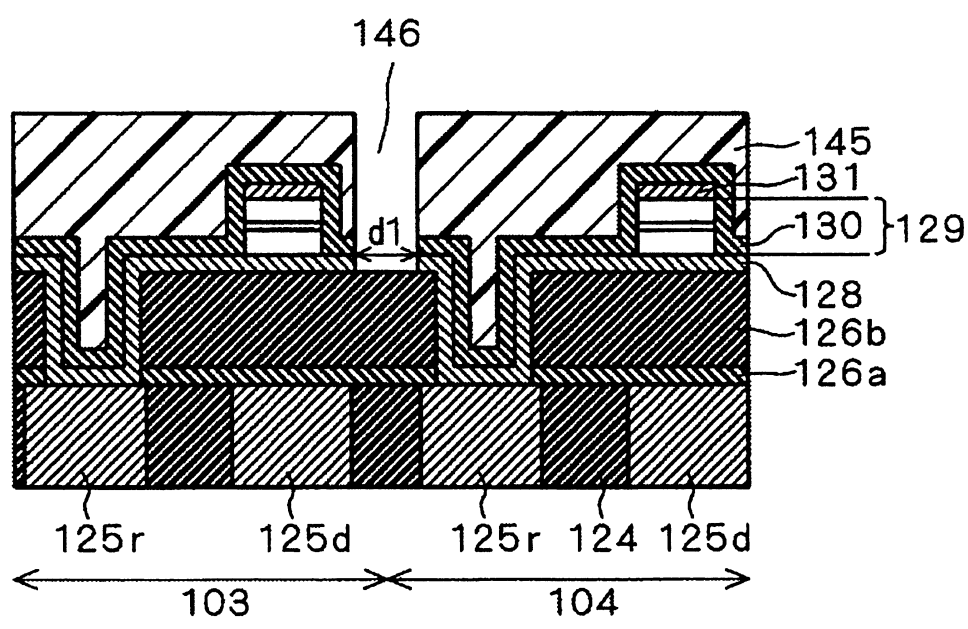


圖59

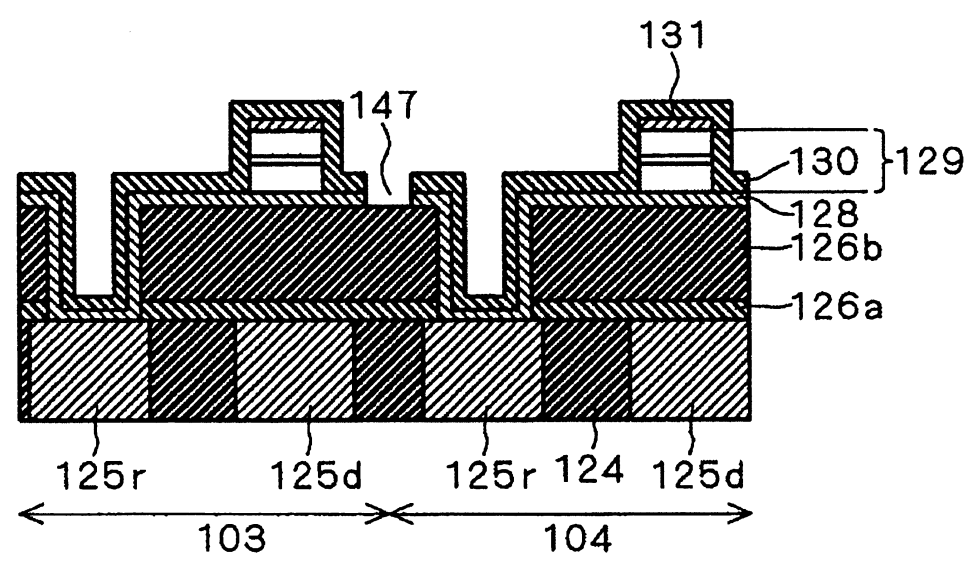


圖60

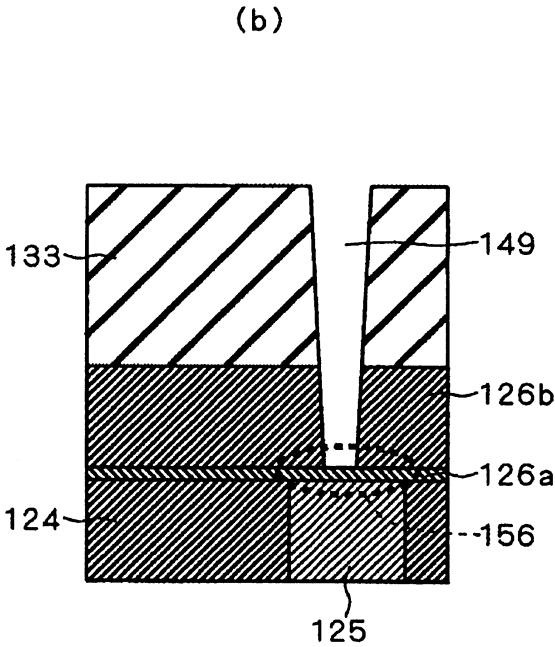
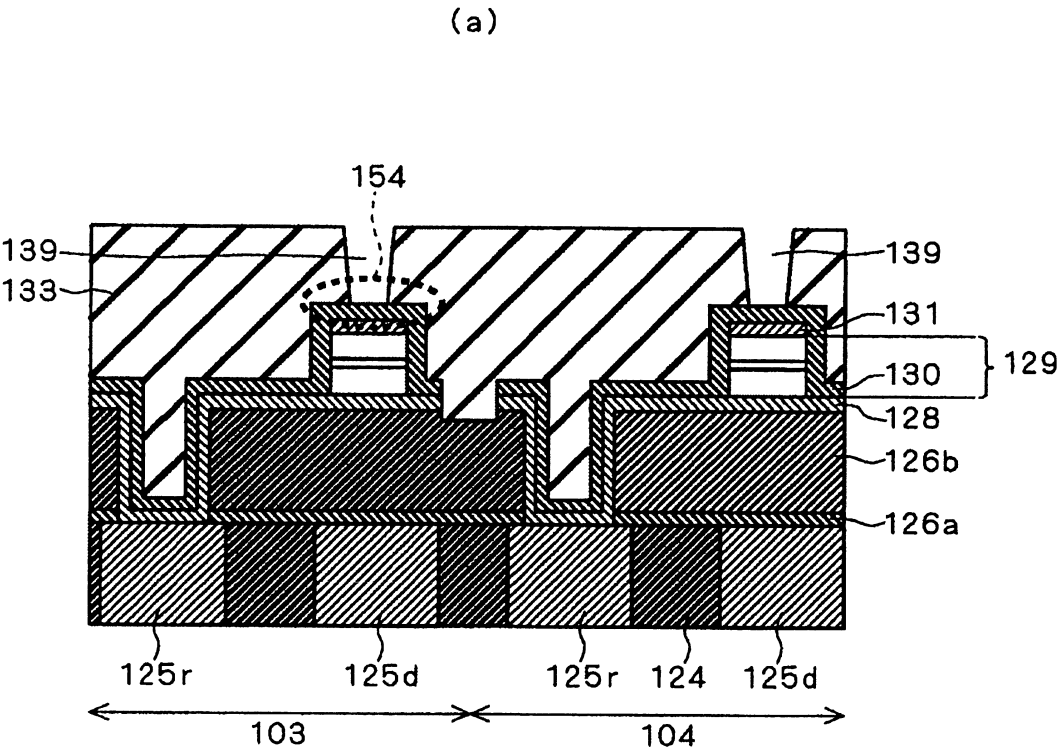


圖62

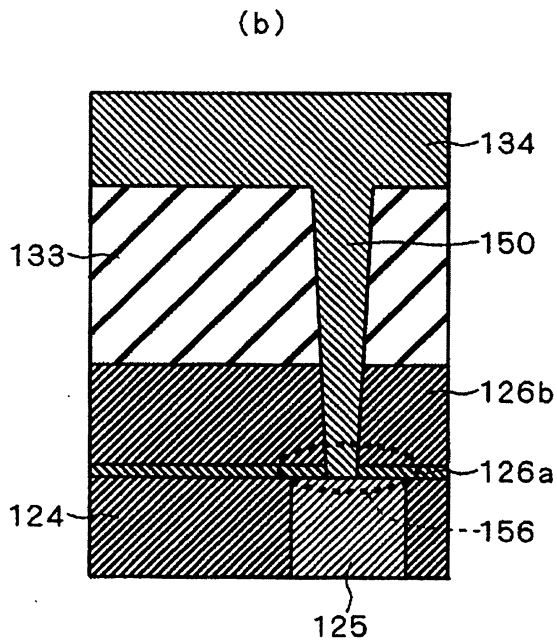
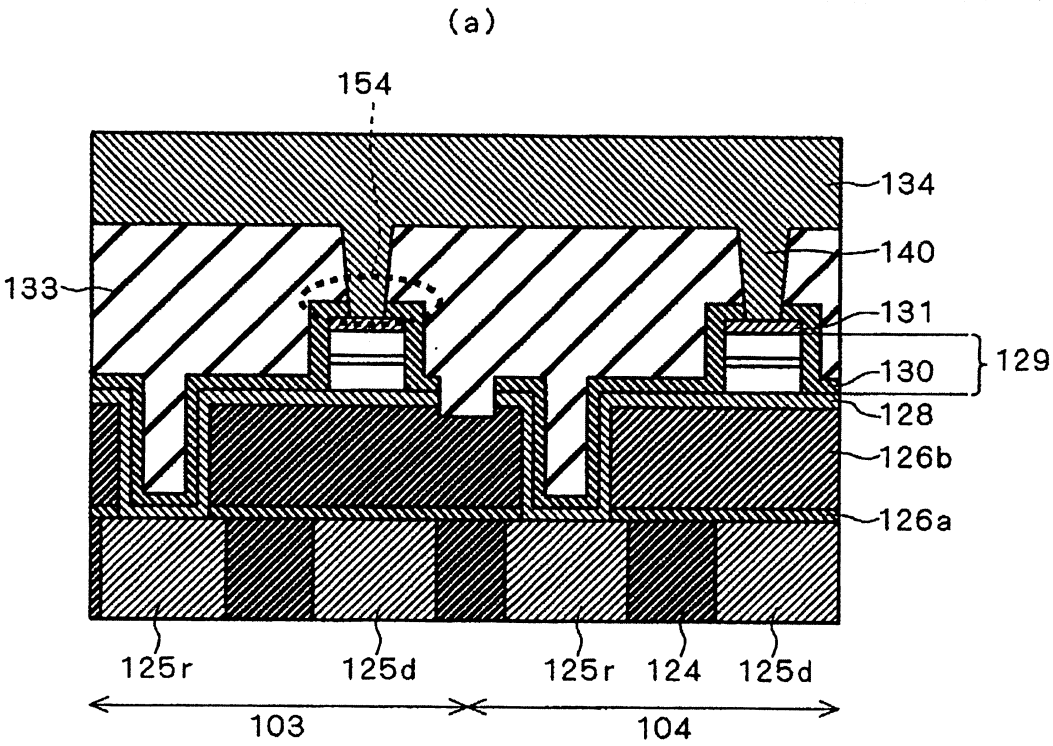


圖63

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

5	TMR元件
24、26a、26b、30、32、33	層間絕緣膜
25d	數位線
25r	導線
28	TMR下部電極
29	TMR膜
31	TMR上部電極
34	Cu配線
40	通孔
MC	記憶體單元

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)