



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0028362  
(43) 공개일자 2010년03월12일

(51) Int. Cl.

H01L 21/336 (2006.01) H01L 29/78 (2006.01)

(21) 출원번호 10-2008-0087366

(22) 출원일자 2008년09월04일

심사청구일자 2008년09월04일

(71) 출원인

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

강동우

인천광역시 동구 송림3동 89-13 9/1

(74) 대리인

김용인, 박영복

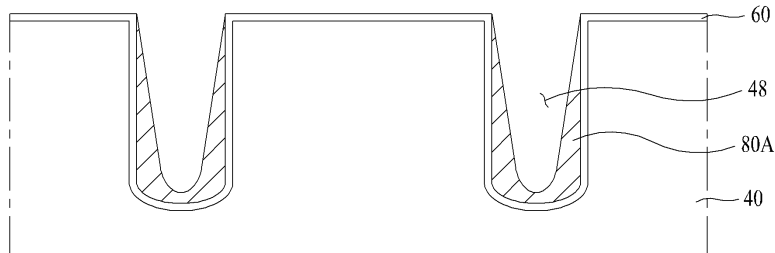
전체 청구항 수 : 총 13 항

(54) 반도체 소자 및 그의 제조 방법

(57) 요약

반도체 소자 및 그의 제조 방법이 개시된다. 이 방법은, 반도체 기판에 트렌치를 형성하는 단계와, 트렌치를 포함하여 반도체 기판의 전면에 게이트 절연막을 형성하는 단계와, 게이트 절연막의 전면에 게이트용 제1 폴리 실리콘층을 형성하는 단계와, 제1 폴리 실리콘층을 식각하여 트렌치에 폴리 스페이서를 형성하는 단계와, 폴리 스페이서를 포함하여 트렌치를 깎필하도록 반도체 기판의 전면에 게이트용 제2 폴리 실리콘층을 형성하는 단계를 구비하는 것을 특징으로 한다. 그러므로, 선폭이 작고 높은 외형비를 갖는 파워 MOSFET 소자의 경우에도, 트렌치에 매립된 게이트용 폴리 실리콘에 보이드가 발생할 가능성을 원천적으로 봉쇄하여 폴리 보이드로 야기될 수 있는 디바이스의 신뢰성 불량을 방지할 수 있는 효과를 갖는다.

대표도 - 도2j



## 특허청구의 범위

### 청구항 1

반도체 기판에 트렌치를 형성하는 단계;

상기 트렌치를 포함하여 상기 반도체 기판의 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막의 전면에 게이트용 제1 폴리 실리콘층을 형성하는 단계;

상기 제1 폴리 실리콘층을 식각하여 상기 트렌치에 폴리 스페이서를 형성하는 단계;

상기 폴리 스페이서를 포함하여 상기 트렌치를 갱필하도록 상기 반도체 기판의 전면에 상기 게이트용 제2 폴리 실리콘층을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 2

제1 항에 있어서, 상기 트렌치를 형성하는 단계는

상기 반도체 기판의 전면에 마스크층을 형성하는 단계;

상기 트렌치가 형성될 영역을 노출시키도록 상기 마스크층을 패터닝하여 마스크 패턴을 형성하는 단계; 및

상기 마스크 패턴을 마스크로 이용하여 상기 반도체 기판을 식각하여 상기 트렌치를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 3

제2 항에 있어서, 상기 마스크층은 포토 레지스트인 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 4

제2 항에 있어서, 상기 마스크 층은 하드 마스크인 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 5

제1 항에 있어서, 상기 반도체 소자의 제조 방법은

상기 트렌치를 형성한 후, 상기 트렌치의 하부를 등갈게 식각하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 6

제1 항에 있어서, 상기 반도체 소자의 제조 방법은

상기 트렌치를 포함하는 상기 반도체 기판의 전면에 라이너 산화막을 형성하는 단계; 및

상기 라이너 산화막을 제거하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 7

제1 항에 있어서, 상기 제1 폴리 실리콘층의 두께는 상기 트렌치의 깊이 및 외형비에 따라 결정되는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 8

제7 항에 있어서, 상기 제1 폴리 실리콘층의 최대 두께는 상기 트렌치의 폭의 절반보다 작은 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 9

제7 항에 있어서, 상기 제1 폴리 실리콘층의 두께는 상기 트렌치 깊이의 5 내지 10%인 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 10**

제1 항에 있어서, 상기 반도체 소자의 제조 방법은

상기 제1 폴리 실리콘층을 식각할 때 발생한 부산물 및 폴리머를 제거하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 11**

제10 항에 있어서, 상기 부산물 및 상기 폴리머는 습식 식각에 의해 제거되는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 12**

제1 항에 있어서, 상기 폴리 스페이서의 기울기는 상기 트렌치의 외형비에 따라 결정되는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 13**

반도체 기판에 형성된 트렌치를 포함하여 상기 반도체 기판의 전면에 형성된 게이트 절연막;

상기 트렌치 내부에, 상기 게이트 절연막의 상부에 게이트용 제1 폴리 실리콘층에 의해 형성된 폴리 스페이서; 및

상기 폴리 스페이서를 포함하여 상기 트렌치를 갭필하도록 상기 반도체 기판의 전면에 형성된 상기 게이트용 제 2 폴리 실리콘층을 구비하는 것을 특징으로 하는 반도체 소자.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 반도체 소자 및 그의 제조 방법에 관한 것으로서, 특히 트렌치-게이트(trench-gate) 구조를 갖는 파워(Power) MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 같은 반도체 소자 및 그의 제조 방법에 관한 것이다.

**배경기술**

[0002] 파워 MOSFET 디바이스(Device)의 기술이 발전될수록 선폭이 작아져 외형비(Aspect Ratio)가 점차 높아지고 있다.

[0003] 도 1은 일반적인 파워 MOSFET의 폴리 실리콘 게이트의 구조를 개략적으로 나타는 단면도이다.

[0004] 도 1을 참조하면, 반도체 기판(10)에 깊은 트렌치(DEEP TRENCH)(11)가 형성되고, 깊은 트렌치(11)의 상부에 게이트 절연막(12)이 형성되고, 깊은 트렌치(11)를 포함한 게이트 절연막(12)의 상부에 폴리 실리콘(14)이 갭필된다. 이때, 게이트(14)로 동작되는 깊은 트렌치 영역(11)의 외형비가 크기 때문에, 트렌치(11)에 폴리 실리콘(14)의 갭필(Gap Fill) 진행시 원활히 갭필되지 않아 보이드(Void)(20)가 형성되어 소자의 신뢰성에 문제를 일으킬 수 있다.

[0005] 부연하면, 보이드(20)는 폴리 실리콘(14)의 내부에 있으므로 검사되기 어려우며 보이드(20)가 형성된 디바이스의 경우 DC 테스트나 수율(yield) 분석시에는 확인되지 않을 수 있다. 고전압을 사용하는 파워 MOSFET 제품에서는 신뢰성 검사(Burn In Test)시에 보이드(20)가 형성된 지역으로 전기장이 몰리게 되어 순간적으로 셀(cell) 지역에 데미지(damage)가 발생할 수 있는 문제점이 있다.

**발명의 내용**

**해결 하고자하는 과제**

[0006] 본 발명이 이루고자 하는 기술적 과제는, 트렌치에 갭필된 게이트용 폴리 실리콘이 보이드를 갖지 않도록 하여

신뢰성 검사에서 불량(fail)을 방지할 수 있는 하는 반도체 소자 및 그의 제조 방법을 제공하는 데 있다.

**과제 해결수단**

[0007] 상기 과제를 이루기 위한 본 발명에 의한 반도체 소자의 제조 방법은, 반도체 기판에 트렌치를 형성하는 단계와, 상기 트렌치를 포함하여 상기 반도체 기판의 전면에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막의 전면에 게이트용 제1 폴리 실리콘층을 형성하는 단계와, 상기 제1 폴리 실리콘층을 식각하여 상기 트렌치에 폴리 스페이서를 형성하는 단계와, 상기 폴리 스페이서를 포함하여 상기 트렌치를 갱필하도록 상기 반도체 기판의 전면에 상기 게이트용 제2 폴리 실리콘층을 형성하는 단계로 이루어지는 것이 바람직하다.

[0008] 상기 다른 과제를 이루기 위한 본 발명에 의한 반도체 소자는, 반도체 기판에 형성된 트렌치를 포함하여 상기 반도체 기판의 전면에 형성된 게이트 절연막과, 상기 트렌치 내부에, 상기 게이트 절연막의 상부에 게이트용 제1 폴리 실리콘층에 의해 형성된 폴리 스페이서 및 상기 폴리 스페이서를 포함하여 상기 트렌치를 갱필하도록 상기 반도체 기판의 전면에 형성된 상기 게이트용 제2 폴리 실리콘층으로 구성되는 것이 바람직하다.

**효과**

[0009] 본 발명에 의한 반도체 소자 및 그의 제조 방법은 선폭이 작고 높은 외형비를 갖는 파워 MOSFET 소자의 경우에도, 트렌치에 일차적으로 폴리 실리콘층을 형성한 후 이를 식각하여 트렌치에 폴리 스페이서를 형성한 후, 이차적으로 폴리 실리콘층을 형성하므로, 트렌치에 매립된 게이트용 폴리 실리콘에 보이드가 발생할 가능성을 원천적으로 봉쇄하여 폴리 보이드로 야기될 수 있는 디바이스의 신뢰성 불량을 방지할 수 있는 효과를 갖는다.

**발명의 실시를 위한 구체적인 내용**

[0010] 이하, 본 발명에 의한 반도체 소자의 제조 방법의 실시예를 첨부한 도면들을 참조하여 다음과 같이 설명한다.

[0011] 도 2a 내지 도 2k들은 본 발명의 실시예에 의한 반도체 소자의 공정 단면도들을 나타낸다.

[0012] 도 2a 내지 도 2e에 도시된 바와 같이, 반도체 기판(40)에 트렌치(46)를 형성한다.

[0013] 보다 구체적으로 살펴보면, 도 2a에 도시된 반도체 기판(40)의 전면에 마스크층(미도시)을 형성한다. 여기서, 반도체 기판(40)의 상부에 에피층을 형성하고, 에피층의 상부에 마스크층을 형성할 수도 있다.

[0014] 여기서, 마스크층은 포토 레지스트(photoresist)일 수도 있고, 하드 마스크(hard mask)일 수도 있다. 형성하고자 하는 트렌치(46)의 깊이가 클 경우 즉 트렌치(46)의 외형비가 클 경우, 하드 마스크를 마스크층으로서 사용하는 것이 바람직하다. 하드 마스크층은 산화막(미도시)일 수도 있고 ONO(Oxide-Nitride-Oxide)막일 수도 있다.

[0015] 이후, 도 2b에 도시된 바와 같이 트렌치(46)가 형성될 영역을 노출시키도록 마스크층을 패터닝하여 마스크 패턴(42)을 형성한다.

[0016] 이후, 도 2c에 도시된 바와 같이, 마스크 패턴(42)을 식각 마스크로 이용하여 반도체 기판(40)을 식각하여 트렌치(44)를 형성한다. 여기서, 트렌치(44)를 형성하기 위한 식각은 반응성 이온 에칭(RIE:Reactive Ion Etching)과 같이 건식 식각일 수 있다.

[0017] 이후, 도 2d에 도시된 바와 같이 마스크 패턴(42)을 제거한다. 만일, 마스크 패턴(42)이 포토 레지스트로 이루어진 경우 애싱(ashing)에 의해 마스크 패턴(42)을 제거한다.

[0018] 이후, 도 2e에 도시된 바와 같이 트렌치(44)의 하부를 둥글게 식각한다.

[0019] 여기서, 도 2e에 도시된 바와 같이 트렌치(44)의 하부를 둥글게 식각하는 공정은 선택적이므로 생략될 수도 있다.

[0020] 이후, 도 2f에 도시된 바와 같이 트렌치(46)를 포함하는 반도체 기판(40)의 전면에 라이너 산화막(liner oxide)(50)을 형성한다.

[0021] 이후, 도 2g에 도시된 바와 같이, 라이너 산화막(50)을 제거한다. 라이너 산화막(50)을 식각 공정을 이용하여 제거할 수 있다. 습식 식각 공정시 식각 용액은 유기 용액이나 무기 용액일 수 있다. 예컨대, 유기 용액으로는 NE14가 사용될 수 있지만 이에 한정하지 않는다. 무기 용액으로는 DHF(diluted HF)나 BHF(BufferedHF)가 사용될 수 있으나 이에 한정하지 않는다.

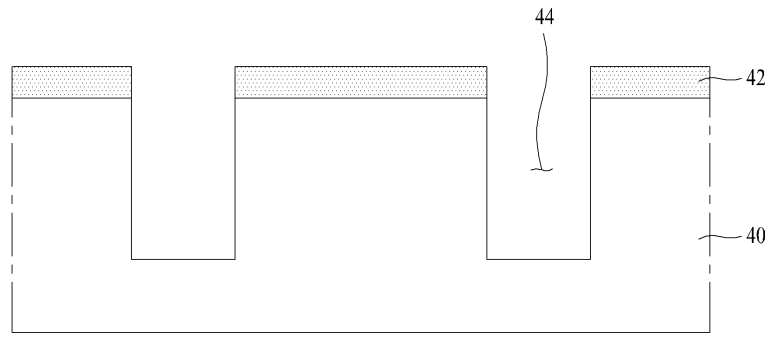
- [0022] 여기서, 라이너 산화막(50)을 형성한 후 제거하면, 트렌치(46)의 내부의 실리콘 반도체 기판(40)의 표면의 거칠음(roughness)이 해소될 수 있다.
- [0023] 여기서, 도 2f 및 도 2g에 도시된 바와 같이, 라이너 산화막(50)을 형성한 후 제거하는 공정은 선택적이므로 생략될 수도 있다.
- [0024] 도 2e에 도시된 바와 같이 트렌치(44)의 하부를 둥글게 식각하고 라이너 산화막(50)을 형성한 후 제거하면, 실리콘 반도체 기판(40)의 표면의 데미지(damage)가 최소화될 수 있다.
- [0025] 이후, 도 2h에 도시된 바와 같이, 트렌치(46)를 포함하여 반도체 기판(40)의 전면에 게이트 절연막(60)을 형성한다. 여기서, 게이트 절연막(60)은 산화막일 수 있다.
- [0026] 이후, 도 2i에 도시된 바와 같이, 게이트 절연막(60)의 전면에 게이트용 제1 폴리 실리콘(poly silicon)층(80)을 형성한다.
- [0027] 본 발명에 의하면, 제1 폴리 실리콘층(80)의 두께는 트렌치(46)의 깊이(h) 및 외형비(asepct ratio)인 h/w에 따라 결정된다. 여기서, w는 트렌치(46)의 폭을 나타낸다.
- [0028] 또한, 제1 폴리 실리콘층(80)의 두께(t)의 최대값은 트렌치(46)의 폭(w)의 절반보다 작을 수 있다. 예를 들어, 제1 폴리 실리콘층(80)의 두께(t)는 트렌치(46) 깊이(h)의 5 내지 10%일 수 있다.
- [0029] 이후, 도 2j에 도시된 바와 같이, 제1 폴리 실리콘층(80)을 식각하여 트렌치(46)의 내부에 폴리 스페이스(poly spacer)(80A)를 형성한다. 여기서, 식각에 의해 형성될 폴리 스페이스(80A)의 기울기(slope)는 트렌치(46)의 외형비에 따라 결정될 수 있다.
- [0030] 이후, 제1 폴리 실리콘층(80)을 식각할 때 발생한 부산물(by-product) 및 폴리머(polymer)를 제거한다. 예를 들어, 부산물 및 폴리머는 습식 식각에 의해 제거될 수 있다.
- [0031] 이후, 도 2k에 도시된 바와 같이 폴리 스페이스(80A)를 포함하여 트렌치(48)를 갱필하도록 반도체 기판(40)의 전면에 게이트용 제2 폴리 실리콘층(82)을 형성한다.
- [0032] 본 발명의 경우 기울기를 갖는 폴리 스페이스(80A)의 상부에 제2 폴리 실리콘층(82)이 형성되므로, 비록 트렌치(46)가 높은 외형비를 갖는다고 하더라도, 도 1에 도시된 바와 같은 보이드(20)의 발생이 원천적으로 봉쇄될 수 있다.
- [0033] 전술한 제1 폴리 실리콘층(80)과 제2 폴리 실리콘층(82)은 도전형 필름으로서, 폴리 실리콘 필름을 화학적 기상 증착(CVD:Chemical Vapor Deposition)법에 의해 증착하여 형성될 수 있다.
- [0034] 이후, 제2 폴리 실리콘층(82)을 식각하여 파워 MOSFET을 구현하는 후속 공정들은 일반적인 사항이므로 여기서는 상세한 설명을 생략한다. 예를 들어, 게이트-트렌치의 구조의 Power MOSFET에 대해서는 미국 특허 공개 번호 2008/0093665에 개시되어 있다.
- [0035] 이하, 본 발명에 의한 반도체 소자의 실시예들 각각의 구성 및 동작을 첨부한 도2k를 참조하여 다음과 같이 설명한다.
- [0036] 도 2k를 참조하면, 본 발명에 의한 반도체 소자는 반도체 기판(40)에 트렌치(46)가 형성되어 있다. 이때, 형성된 트렌치(46)를 포함하여 반도체 기판(40)의 전면에 게이트 절연막(60)이 형성되어 있다.
- [0037] 트렌치(46) 내부에서 게이트 절연막(60)의 상부에 게이트용 제1 폴리 실리콘층에 의해 폴리 스페이스(80A)가 형성되어 있다. 여기서, 폴리 스페이스(80A)의 기울기는 트렌치(46)의 외형비에 따라 결정될 수 있다.
- [0038] 폴리 스페이스(80A)를 포함하여 트렌치(48)를 갱필하여 반도체 기판(40)의 전면에 게이트용 제2 폴리 실리콘층(82)이 형성되어 있다.
- [0039] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명백할 것이다.

**도면의 간단한 설명**

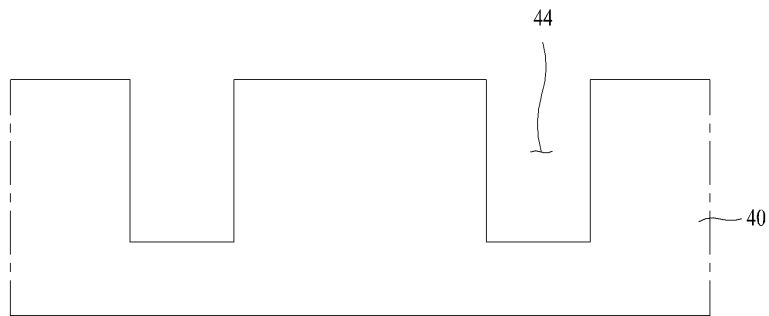
- [0040] 도 1은 일반적인 파워 MOSFET의 폴리 실리콘 게이트의 구조를 개략적으로 나타는 단면도이다.



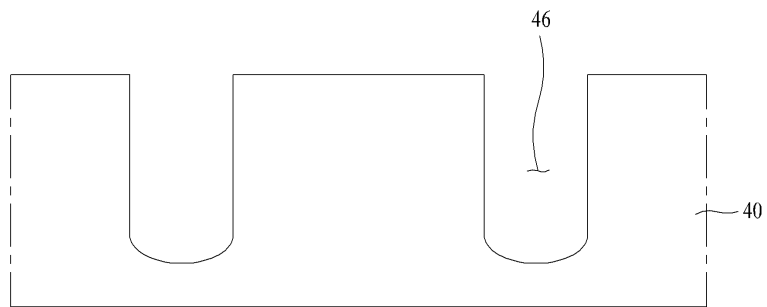
도면2c



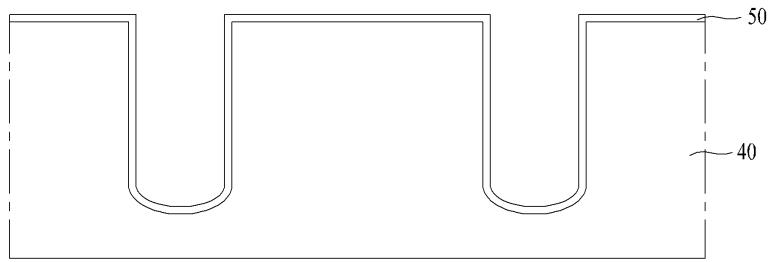
도면2d



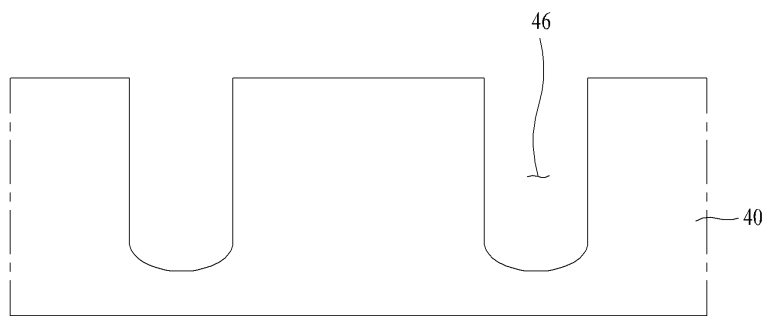
도면2e



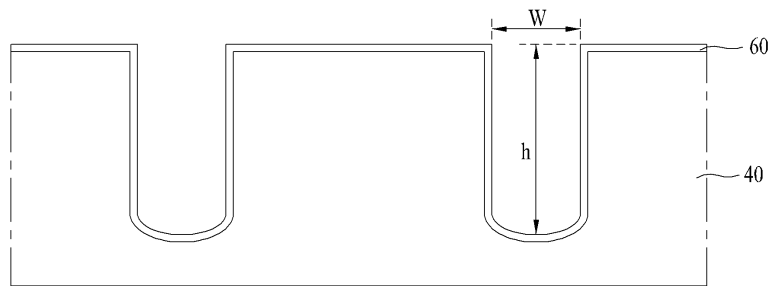
도면2f



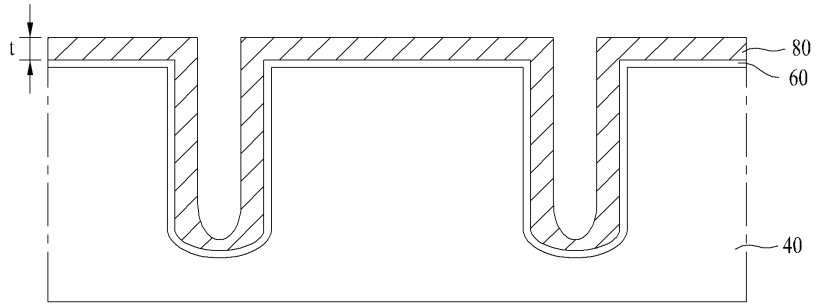
도면2g



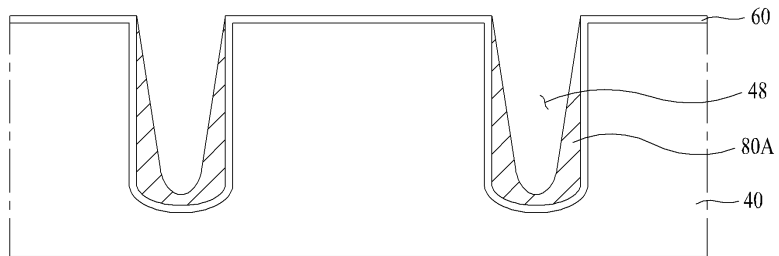
도면2h



도면2i



도면2j



도면2k

