

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2014-0003089 (43) 공개일자 2014년01월09일
(51) 국제특허분류(Int. Cl.) H01L 21/82 (2006.01) H01L 23/62 (2006.01) (21) 출원번호 10-2012-0070677 (22) 출원일자 2012년06월29일 심사청구일자 없음		(71) 출원인 에스케이하이닉스 주식회사 경기도 이천시 부발읍 경충대로 2091 서강대학교산학협력단 서울특별시 마포구 백범로 35 (신수동, 서강대학교) (72) 발명자 최우영 서울특별시 마포구 신수로 15 (현석동, 강변힐스테이트) 102동 403호 윤규한 경기도 성남시 분당구 미금로 215 (금곡동, 청솔마을대원아파트) 814-1501 (74) 대리인 특허법인 대아

전체 청구항 수 : 총 22 항

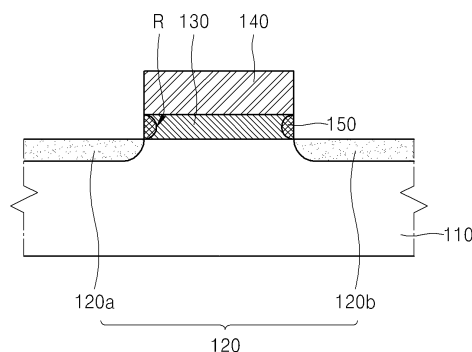
(54) 발명의 명칭 반도체 소자의 안티퓨즈 및 그 제조 방법

(57) 요약

유전율의 차이를 이용하여 절연막의 파괴 위치의 제어가 가능하고, 절연막 파괴 후의 저항산포를 개선할 수 있는 반도체 소자의 안티퓨즈 및 그 제조 방법을 개시한다.

본 발명에 따른 반도체 소자의 안티퓨즈(anti-fuse)는 기판에 서로 이격 형성된 소오스 및 드레인; 양단 중 적어도 어느 한쪽에 언더컷(under cut)이 형성되어 있으며, 일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기판 상에 제1유전율을 갖는 물질을 포함하여 형성된 게이트 절연막; 상기 제1유전율보다 낮은 제2유전율을 갖는 물질로, 상기 언더컷을 채우는 언더컷충진부; 및 상기 게이트 절연막 및 언더컷충진부 상에 형성된 게이트 전극;을 포함하는 것을 특징으로 한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	NIPA-2012-C1090-1201-0003
부처명	지식경제부
연구사업명	대학 IT연구센터 육성·지원사업
연구과제명	차세대 융복합 시스템용 아날로그 IP 핵심설계기술 개발
기 여 율	1/1
주관기관	서강대학교 산학협력단
연구기간	2010.06.01 ~ 2013.12.31

특허청구의 범위

청구항 1

기관에 서로 이격 형성된 소오스 및 드레인;

양단 중 적어도 어느 한쪽에 언더컷(under cut)이 형성되어 있으며, 일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기관 상에 제1유전율을 갖는 물질을 포함하여 형성된 게이트 절연막;

상기 제1유전율보다 낮은 제2유전율을 갖는 물질로, 상기 언더컷을 채우는 언더컷충진부; 및

상기 게이트 절연막 및 언더컷충진부 상에 형성된 게이트 전극;을 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 2

제1항에 있어서,

상기 언더컷충진부는

3.0 이하의 유전율을 갖는 물질 또는 실리콘 산화막(SiO_2)으로 형성되는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 3

제2항에 있어서,

상기 언더컷충진부는

SiOF , 하이드로젠 실세스퀴옥산(HSQ), 폴리 아릴렌 에테르(PAE), 폴리이미드, 플로린계, 퍼틸렌-N, 퍼틸렌-F, B-스테이지 폴리머, 다이아몬드상 카본(DLC), 비정질 카본, 폴리테트라 플루오로에틸렌(PTFE), SiOC 폴리머, 다공성 MSQ, 다공성 PAE, 다공성 실크, 다공성 SiO_2 및 실리콘 산화막(SiO_2) 중에서 하나 이상을 포함하여 형성되는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 4

제1항에 있어서,

상기 언더컷충진부는

상기 게이트 전극과 상기 기관 사이에 인가된 전압에 의해 절연성이 파괴되는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 5

기관에 서로 이격 형성된 소오스 및 드레인;

양단에 언더컷(under cut)이 형성되어 있으며, 일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기관 상에 제1유전율을 갖는 물질을 포함하여 형성된 게이트 절연막;

상기 제1유전율보다 낮은 제2유전율을 갖는 물질로, 상기 게이트 절연막 일단의 언더컷을 채우는 제1언더컷충진부;

상기 제2유전율보다 높은 제3유전율을 갖는 층간 유전 물질로, 상기 게이트 절연막 타단의 언더컷을 채우는 제2

언더컷충진부; 및

상기 게이트 절연막, 제1 및 제2언더컷충진부 상에 형성된 게이트 전극;을 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 6

제5항에 있어서,

상기 제1언더컷충진부는

3.0 이하의 유전율을 갖는 물질 또는 실리콘 산화막(SiO_2)으로 형성되는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 7

제6항에 있어서,

상기 제1언더컷충진부는

SiOF , 하이드로젠 실세스퀴옥산(HSQ), 폴리 아릴렌 에테르(PAE), 폴리이미드, 플로린계, 퍼틸렌-N, 퍼틸렌-F, B-스테이지 폴리머, 다이아몬드상 카본(DLC), 비정질 카본, 폴리테트라 플루오로에틸렌(PTFE), SiOC 폴리머, 다공성 MSQ, 다공성 PAE, 다공성 실크, 다공성 SiO_2 및 실리콘 산화막(SiO_2) 중에서 하나 이상을 포함하여 형성되는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 8

기판에 서로 이격 형성된 소오스 및 드레인을 형성하는 단계;

일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기판 상에 제1유전율을 갖는 물질을 포함하는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 식각 마스크로 하여 상기 게이트 절연막을 식각하여 상기 게이트 절연막의 양단에 언더컷 (under cut)을 형성하는 단계; 및

상기 제1유전율보다 낮은 제2유전율을 갖는 물질로, 상기 언더컷을 채우는 언더컷충진부를 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 9

기판에 서로 이격 형성된 소오스 및 드레인을 형성하는 단계;

일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기판 상에 제1유전율을 갖는 물질을 포함하는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계;

상기 게이트 절연막의 타단을 덮도록, 상기 소오스 및 드레인 중 어느 하나 및 선택된 소오스 또는 드레인에 인접한 쪽의 상기 게이트 전극의 적어도 일부 영역 상에 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 식각 마스크로 하여 상기 게이트 절연막의 노출된 일단을 식각하여 언더컷(under cut)을 형성하는 단계; 및

상기 제1유전율보다 낮은 제2유전율을 갖는 물질로, 상기 언더컷을 채우는 언더컷충진부를 형성하는 단계;를 포

합하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 10

기관에 서로 이격 형성된 소오스 및 드레인을 형성하는 단계;

일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기관 상에 제1유전율을 갖는 물질을 포함하는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 식각 마스크로 하여 상기 게이트 절연막을 식각하여 상기 게이트 절연막의 양단에 언더컷 (under cut)을 형성하는 단계;

상기 게이트 절연막의 타단을 덮도록, 상기 소오스 및 드레인 중 어느 하나 및 선택된 소오스 또는 드레인에 인접한 쪽의 상기 게이트 전극의 적어도 일부 영역 상에 감광막 패턴을 형성하는 단계;

상기 제1유전율보다 낮은 제2유전율을 갖는 물질로, 상기 게이트 절연막 일단의 언더컷을 채우는 제1언더컷충진부를 형성하는 단계;

상기 제1언더컷충진부의 반대편에 위치한 상기 게이트 절연막 타단의 언더컷이 노출되도록 상기 감광막 패턴을 제거하는 단계; 및

상기 제2유전율보다 높은 제3유전율을 갖는 층간 유전 물질로, 상기 게이트 절연막 타단의 언더컷을 채우는 제2언더컷충진부를 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 11

제8항, 제9항 및 제10항 중 어느 한 항에 있어서,

상기 언더컷을 형성하는 단계는

20℃ 내지 30℃ 온도의 불산(HF) 용액으로 상기 게이트 절연막의 양단 중 적어도 한 쪽의 노출부를 식각하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 12

제8항, 제9항 및 제10항 중 어느 한 항에 있어서,

상기 언더컷을 형성하는 단계는

35℃ 내지 40℃ 온도의 기상 불산(HF vapor)으로 상기 게이트 절연막의 양단 중 적어도 한 쪽의 노출부를 식각하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 13

제8항 또는 제9항에 있어서,

상기 언더컷충진부는

3.0 이하의 유전율을 갖는 물질 또는 실리콘 산화막(SiO₂)으로 형성하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 14

제13항에 있어서,

상기 언더컷충진부는

SiOF, 하이드로젠 실세스퀴옥산(HSQ), 폴리 아릴렌 에테르(PAE), 폴리이미드, 플로린계, 파릴렌-N, 파릴렌-F, B-스테이지 폴리머, 다이아몬드상 카본(DLC), 비정질 카본, 폴리테트라 플루오로에틸렌(PTFE), SiOC 폴리머, 다공성 MSQ, 다공성 PAE, 다공성 실크, 다공성 SiO₂ 및 실리콘 산화막(SiO₂) 중에서 하나 이상을 포함하여 형성하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 15

제10항에 있어서,

상기 제1언더컷충진부는

3.0 이하의 유전율을 갖는 물질 또는 실리콘 산화막(SiO₂)으로 형성하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 16

제15항에 있어서,

상기 제1언더컷충진부는

SiOF, 하이드로젠 실세스퀴옥산(HSQ), 폴리 아릴렌 에테르(PAE), 폴리이미드, 플로린계, 파릴렌-N, 파릴렌-F, B-스테이지 폴리머, 다이아몬드상 카본(DLC), 비정질 카본, 폴리테트라 플루오로에틸렌(PTFE), SiOC 폴리머, 다공성 MSQ, 다공성 PAE, 다공성 실크, 다공성 SiO₂ 및 실리콘 산화막(SiO₂) 중에서 하나 이상을 포함하여 형성하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 17

제8항 또는 제9항에 있어서,

상기 언더컷충진부를 형성하는 단계는

- (a) 상기 언더컷을 캡필하도록 상기 언더컷을 포함한 기판 상에 상기 제2유전율을 갖는 물질을 증착 또는 코팅하여 유전막을 형성하는 단계와,
- (b) 상기 유전막을 식각하여 상기 언더컷 내부에만 상기 유전막을 잔류시키는 단계;를 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 18

제17항에 있어서,

상기 (a) 단계는

화학기상증착(CVD) 방법 또는 스핀 온 증착(SOD) 방법으로 상기 유전막을 형성하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 19

제17항에 있어서,

상기 (b)단계는

상기 유전막을 블랭킷 식각(blanket etch)하여 실시하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 20

제10항에 있어서,

상기 제1언더컷충진부를 형성하는 단계는

(a) 상기 게이트 절연막 일단의 언더컷을 깎필하도록 상기 언더컷을 포함한 기판 상에 상기 제2유전율을 갖는 물질을 스핀 온 증착(SOD) 방법으로 코팅하여 저유전막을 형성하는 단계와,

(b) 상기 저유전막을 비등방성 식각하여 상기 게이트 절연막 일단의 언더컷 내부에만 상기 저유전막을 잔류시키는 단계;를 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 21

제8항, 제9항 및 제10항 중 어느 한 항에 있어서,

상기 게이트 전극, 게이트 절연막, 소오스 및 드레인층

상기 반도체 소자의 셀 영역을 형성하는 과정에서 형성하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 22

제9항에 있어서,

상기 언더컷을 형성하는 단계와 상기 언더컷충진부를 형성하는 단계 사이에,

상기 감광막 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

명세서

기술 분야

[0001] 본 발명은 반도체 소자에 관한 것으로, 보다 자세하게는 반도체 소자의 안티퓨즈 및 그 제조 방법에 관한 것이다.

[0002]

배경 기술

[0003] 반도체 장치, 특히 메모리 장치는 제조 시에 수많은 메모리 셀 중에서 한 개라도 결함이 있으면 메모리로서의 기능을 수행하지 못하므로 불량품으로 처리된다. 그러나 메모리 내의 일부 메모리 셀에만 결함이 발생하였는데도 불구하고 메모리 장치 전체를 불량품으로 폐기하는 것은 생산성 측면에서 비효율적이다. 따라서 현재는 메모리 소자 내에 미리 제조해 둔 여분의 셀(redundancy cell)을 이용하여 불량 메모리 셀을 대체함으로써, 전체소자를 되살려 주는 방식으로 수율을 향상시키고 비용을 절감하고 있다.

[0004] 상기 여분의 셀을 이용한 리페어(repair) 공정은 검사 공정을 통해 불량으로 판명된 셀을 퓨즈(fuse)를 사용하여 칩 내에 내장된 여분의 셀과 연결시켜 재생시키는 공정이다. 즉, 특정 퓨즈들만을 절단함으로써 리페어할 셀들의 위치 정보를 생성하는 것이다.

[0005] 그러나, 퓨즈를 이용하여 반도체 소자를 리페어하는 방식은 웨이퍼 상태에서 리페어 하는 것으로, 패키징 이후

에는 레이저 리페어 장비를 사용할 수 없기 때문에 패키지까지 완료된 상태에서 불량 셀이 존재하는 것으로 판명된 경우에는 적용할 수 없는 한계가 존재한다. 이러한 퓨즈 방식의 한계를 극복하기 위한 것으로 개발된 것이 안티퓨즈(antifuse) 방식이다.

[0006] 안티퓨즈는 패키지 단계에서도 간단하게 결함 구제를 위한 프로그램을 할 수 있다. 안티퓨즈는 패키지 이전의 퓨즈에 대한 상대적인 의미로, 정상 상태에서는 전기적으로 개방(open)되어 있다가, 필요에 따라 고전압을 인가하여 도전체 사이의 절연체를 파괴하면 전기적으로 단락(short) 상태가 되는 퓨즈를 말한다. 이러한 안티퓨즈는 주변회로영역(periphery)에 형성하며, 안티퓨즈를 위한 여분의 셀들 또한 주변회로영역에 형성하되 통상 리프레쉬(refresh)가 필요 없는 SRAM(static random access memory) 셀로 형성한다.

[0007] 종래의 안티퓨즈는 두 개의 도전층과 그들 사이에 유전층을 포함한 구조를 가진다. 이러한 안티퓨즈는 두 개의 도전층 사이에 전압을 인가하여 유전층을 절연 파괴(breakdown) 시킴으로써 프로그래밍된다. 프로그래밍 여부에 따라, 상기 두 도전층 사이의 전류의 크기가 달라진다. 그러나, 종래의 안티퓨즈로는 파열(rupture) 위치의 제어가 쉽지 않다.

[0008] 대한민국 공개특허공보 제2011-0014581호(2011.02.11 공개)에는 이중 두께의 게이트 산화물을 갖는 안티퓨즈 메모리 셀을 포함한 메모리 장치에 대하여 개시하고 있다.

[0009]

발명의 내용

해결하려는 과제

[0010] 본 발명의 하나의 목적은 유전율의 차이를 이용하여 절연막의 파괴(rupture) 위치를 제어하고, 절연막 파괴 후의 저항산포를 개선할 수 있는 반도체 소자의 안티퓨즈를 제공하는 것이다.

[0011] 또한, 본 발명의 다른 목적은 기존의 공정을 이용하여 용이하게 제조가 가능한 반도체 소자의 안티퓨즈 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0012] 상기 하나의 목적을 달성하기 위한 본 발명의 실시예에 따른 반도체 소자의 안티퓨즈는, 기판에 서로 이격 형성된 소오스 및 드레인; 양단 중 적어도 어느 한쪽에 언더컷(under cut)이 형성되어 있으며, 일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기판 상에 제1유전율을 갖는 물질을 포함하여 형성된 게이트 절연막; 상기 제1유전율보다 낮은 제2유전율을 갖는 물질로, 상기 언더컷을 채우는 언더컷충진부; 및 상기 게이트 절연막 및 언더컷충진부 상에 형성된 게이트 전극;을 포함하는 것을 특징으로 한다.

[0013] 상기 하나의 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 소자의 안티퓨즈는, 기판에 서로 이격 형성된 소오스 및 드레인; 양단에 언더컷(under cut)이 형성되어 있으며, 일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기판 상에 제1유전율을 갖는 물질을 포함하여 형성된 게이트 절연막; 상기 제1유전율보다 낮은 제2유전율을 갖는 물질로, 상기 게이트 절연막 일단의 언더컷을 채우는 제1언더컷충진부; 상기 제2유전율보다 높은 제3유전율을 갖는 층간 유전 물질로, 상기 게이트 절연막 타단의 언더컷을 채우는 제2언더컷충진부; 및 상기 게이트 절연막, 제1 및 제2언더컷충진부 상에 형성된 게이트 전극;을 포함하는 것을 특징으로 한다.

[0014] 또한, 상기 다른 목적을 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자의 안티퓨즈 제조 방법은 기판에 서로 이격 형성된 소오스 및 드레인을 형성하는 단계; 일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기판 상에 제1유전율을 갖는 물질을 포함하는 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 식각 마스크로 하여 상기 게이트 절연막을 식각하여 상기 게이트 절연막의 양단에 언더컷(under cut)을 형성하는 단계; 및 상기 제1유전율보다 낮은 제2유전율을 갖는 물질로, 상기 언더컷을 채우는 언더컷충진부를 형성하는 단계;를 포함하는 것을 특징으로 한다.

[0015] 상기 다른 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 소자의 안티퓨즈 제조 방법은 기판에 서로 이격 형성된 소오스 및 드레인을 형성하는 단계; 일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기판 상에 제1유전율을 갖는 물질을 포함하는 게이트 절연막을 형성하는 단계; 상기 게이트 절

연막 상에 게이트 전극을 형성하는 단계; 상기 게이트 절연막의 타단을 덮도록, 상기 소오스 및 드레인 중 어느 하나 및 선택된 소오스 또는 드레인에 인접한 쪽의 상기 게이트 전극의 적어도 일부 영역 상에 감광막 패턴을 형성하는 단계; 상기 감광막 패턴을 식각 마스크로 하여 상기 게이트 절연막의 노출된 일단을 식각하여 언더컷(under cut)을 형성하는 단계; 및 상기 제1유전율보다 낮은 제2유전율을 갖는 물질로, 상기 언더컷을 채우는 언더컷충진부를 형성하는 단계;를 포함하는 것을 특징으로 한다.

[0016] 상기 다른 목적을 달성하기 위한 본 발명의 또 다른 실시예에 따른 반도체 소자의 안티퓨즈 제조 방법은 기판에 서로 이격 형성된 소오스 및 드레인을 형성하는 단계; 일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기판 상에 제1유전율을 갖는 물질을 포함하는 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 식각 마스크로 하여 상기 게이트 절연막을 식각하여 상기 게이트 절연막의 양단에 언더컷(under cut)을 형성하는 단계; 상기 게이트 절연막의 타단을 덮도록, 상기 소오스 및 드레인 중 어느 하나 및 선택된 소오스 또는 드레인에 인접한 쪽의 상기 게이트 전극의 적어도 일부 영역 상에 감광막 패턴을 형성하는 단계; 상기 제1유전율보다 낮은 제2유전율을 갖는 물질로, 상기 게이트 절연막 일단의 언더컷을 채우는 제1언더컷충진부를 형성하는 단계; 상기 제1언더컷충진부의 반대편에 위치한 상기 게이트 절연막 타단의 언더컷이 노출되도록 상기 감광막 패턴을 제거하는 단계; 및 상기 제2유전율보다 높은 제3유전율을 갖는 층간 유전 물질로, 상기 게이트 절연막 타단의 언더컷을 채우는 제2언더컷충진부를 형성하는 단계;를 포함하는 것을 특징으로 한다.

발명의 효과

[0017] 본 발명에 따른 안티퓨즈는 게이트 절연막의 양단 중 적어도 어느 한쪽에 형성된 언더컷이 게이트 절연막 및 ILD(inter-layer dielectric)막의 유전율보다 낮은 유전율을 갖는 물질로 이루어진 언더컷충진부로 채워짐으로써, 리퍼어 공정 시 인가된 전압에서 선택적으로 언더컷충진부의 양단 중 적어도 어느 한쪽을 절연 파괴시킬 수 있다. 이에 따라, 안티퓨즈용 절연막의 파괴 위치의 제어가 가능하고, 안티퓨즈용 절연막 파괴 후의 저장산포를 개선할 수 있다.

[0018] 또한, 낮은 브레이크다운 전압에서도 쉽게 언더컷충진부의 양단 중 적어도 어느 한쪽을 단락시켜 게이트 전극과 접합 영역 간의 도통을 쉽게 할 수 있다.

[0019] 나아가, 본 발명에 따른 안티퓨즈는 통상의 반도체 소자의 제조 공정을 활용하여 제조할 수 있으므로, 메모리 어레이와 같은 셀 영역(cell region)의 소자를 형성하는 과정에서 그와 더불어 용이하게 제조할 수 있다.

[0020]

도면의 간단한 설명

[0021] 도 1은 본 발명의 일 실시예에 따른 반도체 소자의 안티퓨즈를 도시한 단면도이다.

도 2는 본 발명의 다른 실시예에 따른 반도체 소자의 안티퓨즈를 도시한 단면도이다.

도 3 내지 도 5는 본 발명의 일 실시예에 따른 반도체 소자의 안티퓨즈 제조 방법을 설명하기 위한 공정단면도들이다.

도 6 내지 도 10은 본 발명의 다른 실시예에 따른 반도체 소자의 안티퓨즈의 제조 방법을 설명하기 위한 공정단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

[0023] 이하 첨부된 도면을 참조하여 본 발명의 실시예에 따른 안티퓨즈(antifuse) 및 그 제조 방법에 관하여 설명하기로 한다.

- [0024] 도 1은 본 발명의 일 실시예에 따른 반도체 소자의 안티퓨즈를 도시한 단면도이고, 도 2는 본 발명의 다른 실시예에 따른 반도체 소자의 안티퓨즈를 도시한 단면도로서, 주변회로영역에 한정된다.
- [0025] 도 1을 참조하면, 본 발명의 일 실시예에 따른 반도체 소자의 안티퓨즈는, 기판(110)에 서로 이격 형성된 소오스(120a) 및 드레인(120b)을 포함하는 접합 영역(120)과, 양단에 언더컷(under cut, R)이 형성되어 있으며, 일단이 소오스(120a)에 접촉하고, 타단이 드레인(120b)에 접촉하도록, 기판(110) 상에 제1유전율을 갖는 물질을 포함하여 형성된 게이트 절연막(130)과, 제1유전율보다 낮은 제2유전율을 갖는 물질로, 언더컷(R)을 채우는 언더컷충진부(150), 및 게이트 절연막(130) 및 언더컷충진부(150) 상에 형성된 게이트 전극(140)을 포함한다.
- [0026] 기판(110)은 통상의 반도체 기판일 수 있다. 일례로, 기판(110)은 p형 불순물이 저농도로 도핑된 p-기판이거나, n형 불순물이 저농도로 도핑된 n-기판일 수 있다. 이와 다르게, 기판(110)은 벌크 실리콘(bulk Si) 기판, SOI(silicon-on-insulator) 기판 및 그 밖의 다른 기판일 수 있다.
- [0027] 게이트 절연막(130), 게이트 전극(140) 및 언더컷충진부(150)는 일 방향으로 뻗어 있는 라인(line) 형태의 게이트 스택(gate stack)을 형성한다.
- [0028] 게이트 절연막(130)은 통상의 절연 물질로 형성될 수 있으며, 바람직하게 3.0을 초과하는 유전율(ϵ)을 갖는 물질을 포함하여 형성될 수 있다. 일례로, 게이트 절연막(130)은 실리콘 산화물(SiO_2), 실리콘 질화물(Si_3N_4), 알루미늄 산화물(Al_2O_3), 지르코늄 산화물(ZrO_2), 하프늄 산화물(HfO_2) 등을 포함하여 형성될 수 있으며, 이들이 단독 혹은 2종 이상 혼용되어 사용될 수 있다.
- [0029] 게이트 절연막(130)은 소오스(120a)와 접촉하는 일단 및 드레인(120b)과 접촉하는 타단에, 끝단으로부터 게이트 절연막(130)의 일부가 약 1nm 내지 게이트 길이의 절반 이하 정도로 식각되어 형성된 언더컷(under cut)(R)이 형성된다. 이러한 언더컷(R)은 게이트 절연막(130)의 식각에 의한 고의적 손상을 통해 형성된다.
- [0030] 게이트 절연막(130) 양단의 언더컷(R)은 언더컷충진부(150)에 의해 갭필(gap-fill)된다. 이러한 언더컷충진부(150)는 고저항 상태에서 저저항 상태로 비가역적 변화되는 안티퓨즈 수단의 일례일 수 있다.
- [0031] 이를 위해, 언더컷충진부(150)는 게이트 절연막(130)의 유전율(ϵ)보다 낮은 유전율을 갖는 물질로 형성될 수 있다. 바람직하게, 언더컷충진부(150)는 3.0 이하의 유전율을 갖고, 비가역적(irreversible) 저항 변화 특성, 즉, 절연 파괴(breakdown) 특성을 갖는 물질로 형성될 수 있다.
- [0032] 언더컷충진부(150)는 유전율이 3.0 이하인 유기물, 무기물 또는 유무기 복합물 등으로 형성될 수 있으며, 이들을 단독으로 사용하거나 2종 이상 혼용하여 사용할 수 있다.
- [0033] 일례로, 유기물은 SiOF(fluorinated glass)($\epsilon=2.8$) 또는 하이드로젠 실세스퀴옥산(hydrogen silsesquioxane; HSQ)($\epsilon=2.9$) 등일 수 있고, 무기물은 폴리 아릴렌 에테르(poly(arylene ether); PAE)($\epsilon=2.6$), 폴리이미드(polyimides)($\epsilon=2.9$), 플루오린(fluorinated)계($\epsilon=2.3$), 파릴렌(parylene)-N($\epsilon=2.7$), 파릴렌-F($\epsilon=2.4$), B-스테이지 폴리머(B-stage polymer)($\epsilon=2.6$), 다이아몬드상 카본(diamond-like carbon; DLC)($\epsilon=2.7$), 비정질 카본(amorphous carbon)($\epsilon=3.0$) 또는 폴리테트라 플루오로에틸렌(polytetrafluoroethylene; PTFE, 테프론)($\epsilon=1.9$) 등일 수 있고, 유무기 복합물은 SiOC 폴리머, 예컨대 메틸실세스퀴옥산(methylsilsesquioxane; MSQ) 등일 수 있다.
- [0034] 이와는 다르게, 언더컷충진부(150)는 유전율이 3.0 이하인 다공성 물질로 형성될 수 있다. 일례로, 다공성 물질은 다공성 MSQ($\epsilon=1.8$), 다공성 PAE($\epsilon=1.8$), 다공성 실크(silk)($\epsilon=1.5$) 및 다공성 SiO_2 ($\epsilon=1.1$) 등일 수 있으며, 이들을 단독으로 사용하거나 2종 이상 혼용하여 사용할 수 있다.
- [0035] 상기에서, 3.0을 초과하는 유전율을 갖는 물질로 언더컷충진부(150)를 형성할 경우, 리페어 공정 중 낮은 브레이크전압에서는 언더컷충진부(150) 양단의 절연 파괴가 용이하지 않을 수 있다.
- [0036] 한편, 게이트 절연막(130)이 실리콘 산화막(SiO_2)보다 유전율이 높은 고유전 물질(high-k)을 포함하여 형성될 경우, 언더컷충진부(150)는 유전율이 3.0 이하인 저유전 물질(low-k) 뿐만 아니라 실리콘 산화막(SiO_2)과 같은

유전율이 3.0 이상인 물질로도 형성될 수 있음은 물론이다.

- [0037] 상기한 언더컷충진부(150)는 리페어 공정 중 인가되는 전압에 의한 절연막의 파괴가 집중되도록 유도할 수 있다. 이는, 동일한 게이트 전압이 인가되더라도 게이트 절연막(130)의 양단에 걸리는 전압보다 게이트 절연막(130)의 유전율보다 낮은 유전율을 갖는 물질로 이루어진 언더컷충진부(150)의 양단에 걸리는 전압이 높기 때문이다. 여기서는 통상적으로 유전율이 작을수록 막에 인가되는 전압이 높아지는 원리가 적용된다.
- [0038] 본 발명의 일 실시예에 따르면, 상기한 원리에 의해, 리페어 공정 시 인가된 전압에서 막의 유전율 차이를 이용하여 선택적으로 언더컷충진부(150)의 양단을 절연 파괴시킬 수 있기 때문에 안티퓨즈용 절연막의 파괴 위치의 제어가 가능하다.
- [0039] 또한, 일반적으로 저유전 물질(low-k)의 브레이크다운 전압이 고유전 물질(high-k)의 브레이크다운 전압보다 낮기 때문에, 3.0 이하의 저유전율을 갖는 물질로 형성된 언더컷충진부(150)를 적용하면, 낮은 브레이크다운 전압에서도 쉽게 언더컷충진부(150)의 양단이 단락되어 게이트 전극(140)과 접합 영역(120) 간의 도통을 쉽게 할 수 있다.
- [0040] 본 발명의 일 실시예에 따르면, 상기한 원리에 의해, 리페어 공정 시 인가된 전압에서 막의 유전율 차이를 이용하여 선택적으로 언더컷충진부(150)의 양단을 절연 파괴시킬 수 있기 때문에 안티퓨즈용 절연막의 파괴 위치의 제어가 가능하다.
- [0041] 또한, 일반적으로 저유전 물질(low-k)의 브레이크다운 전압이 고유전 물질(high-k)의 브레이크다운 전압보다 낮기 때문에, 3.0 이하의 저유전율을 갖는 물질로 형성된 언더컷충진부(150)를 적용하면, 낮은 브레이크다운 전압에서도 쉽게 언더컷충진부(150)의 양단이 단락되어 게이트 전극(140)과 접합 영역(120) 간의 도통을 쉽게 할 수 있다.
- [0042] 게이트 전극(140)은 게이트 절연막(130) 및 언더컷충진부(150) 상에 형성된다. 게이트 전극(140)은 안티퓨즈용 제2 전극으로서, 도전성 재질을 포함하여 형성될 수 있다. 일례로, 게이트 전극(140)은 폴리실리콘(polysilicon) 또는 금속이나 실리사이드(silicide) 등의 금속 재질을 하나 이상 포함하여 단층 또는 다층 구조로 형성될 수 있다.
- [0043] 접합 영역(120)은 소오스(120a) 및 드레인(120b)을 포함하며, 게이트 전극(140) 양측의 기판(110) 내에 형성될 수 있다. 이때, 소오스(120a)는 게이트 전극(140) 일단의 가장자리를 따라 형성될 수 있고, 드레인(120b)은 게이트 전극(140) 타단의 가장자리를 따라 형성될 수 있다.
- [0044] 소오스(120a) 및 드레인(120b)은 안티퓨즈용 제1 전극으로서 사용된다. 이러한 소오스(120a) 및 드레인(120b)은 n형 불순물이 고농도로 도핑된 n⁺ 영역이거나, p형 불순물이 고농도로 도핑된 p⁺ 영역일 수 있다.
- [0045] 한편, 도면으로 도시하지는 않았으나, 소오스(120a) 및 드레인(120b) 각각의 일부는 게이트 절연막(130) 밑면의 일단 및 타단과 오버랩(overlap)되어 있을 수 있고, 소오스(120a) 및 드레인(120b)은 LDD(lightly doped drain) 구조를 포함할 수 있다. 소오스(120a) 및 드레인(120b) 사이의 기판(110)은 채널(channel, 미도시)이다.
- [0046] 소오스(120a), 드레인(120b), 게이트 절연막(130), 게이트 전극(140) 및 언더컷충진부(150)는 일종의 트랜지스터를 구성할 수 있는데, 이 트랜지스터는 NMOS(n-channel metal-oxide-semiconductor) 트랜지스터 또는 PMOS(p-channel metal-oxide-semiconductor) 트랜지스터일 수 있다. 본 발명의 일 실시예에서는 소오스(120a), 드레인(120b), 게이트 절연막(130), 게이트 전극(140) 및 언더컷충진부(150)가 안티퓨즈를 구성한다.
- [0047] 이러한 구조를 갖는 본 발명의 일 실시예에 따른 안티퓨즈는 언더컷충진부(150) 양단의 절연 파괴(breakdown) 현상을 이용한다.
- [0048] 상기 안티퓨즈는 게이트 전극(140)과 기판(110) 사이에 프로그래밍 전압을 인가하면 게이트 전극(140)과 채널

영역 사이에 임계 전압 이상의 전압이 인가되는데, 이때 게이트 절연막(130) 양단에 걸리는 전압에 비해 낮은 유전율로 인해 높은 전압이 걸리는 언더컷충진부(150) 양단의 절연 파괴가 발생하고, 그 결과 게이트 전극(140)과 접합 영역(120)이 도통된다. 그러나, 언더컷충진부(150)에 비해 상대적으로 높은 유전율을 갖는 게이트 절연막(130)은 절연 파괴가 방지될 수 있다. 이와 같이 언더컷충진부(150)의 양단을 절연 파괴시키는 동작을 프로그래밍 동작이라고 한다. 안티퓨즈의 프로그램 동작은 충분한 시간 동안 안티퓨즈 단자들을 통해 고전압을 인가하여 접합 영역(120)과 게이트 전극(140) 사이의 언더컷충진부(150) 양단을 파괴하는 방식으로 프로그래밍한다.

[0049] 상기에서, 언더컷충진부(150)의 양단을 절연 파괴시키기 위한 프로그래밍 전압의 크기는 언더컷충진부(150)의 형성 물질과 두께 등에 따라 달라질 수 있다.

[0050] 이렇듯, 본 발명의 일 실시예에 따른 안티퓨즈는 인가된 전압에서 언더컷충진부(150)의 양단을 선택적으로 절연 파괴시킬 수 있기 때문에 안티퓨즈용 절연막의 파괴 위치의 제어가 가능하다.

[0051] 언더컷충진부(150)를 저유전 물질(low-k)로 형성할 경우에는, 낮은 브레이크다운 전압에서도 쉽게 언더컷충진부(150)의 양단을 단락시킬 수 있어 게이트 전극(140)과 접합 영역(120) 간의 도통이 용이하다.

[0052] 또한, 안티퓨즈가 프로그램되면 게이트 전극(140)의 양단과 소오스(120a) 및 드레인(120b)이 단락되어 저항은 작은 값이 되는데, 상기 안티퓨즈를 이용하면 언더컷충진부(150) 절연 파괴 후의 저항산포를 개선할 수 있다.

[0053] 한편, 도면으로 도시하지는 않았으나, 도 1에서처럼 게이트 절연막의 양단에 언더컷이 형성될 경우, 게이트 절연막 일단의 언더컷에는 게이트 절연막의 유전율보다 낮은 유전율을 갖는 제1언더컷충진부가 형성되고, 게이트 절연막 타단의 언더컷에는 제1언더컷충진부의 유전율보다 높은 유전율을 갖는 제2언더컷충진부가 형성될 수도 있다. 이때, 제2언더컷충진부는 통상의 컨택(contact) 공정에 사용되는 층간 유전(inter-layer dielectric; ILD) 물질, 일례로 유전율이 약 3.5 정도인 BPSG(boron phosphorus silicate glass), PSG(phosphorus silicate glass), FSG(fluorinated silicate glass) 등을 포함하여 형성될 수 있다. 이 외의 나머지 구성은 전술한 도 1의 본 발명의 일 실시예와 동일할 수 있으므로 이에 대한 중복된 설명은 생략하기로 한다. 이때에는, 리페어 공정 중 인가되는 전압에 의해, 양단 중 실질적으로 유전율이 가장 낮은 물질을 포함한 제1언더컷충진부가 형성된 어느 한 쪽에만 절연 파괴를 유도하여 안티퓨즈용 절연막의 파괴 위치의 제어가 가능하다.

[0054] 또한, 도시된 도 2에서와 같이, 본 발명의 또 다른 실시예에 따른 반도체 소자의 안티퓨즈는 게이트 절연막(130)의 양단 중 어느 한쪽에만 언더컷(R)이 형성되고, 이 언더컷(R)을 채우는 언더컷충진부(150)가 형성될 수 있다. 이때에는, 리페어 공정 중 인가되는 전압에 의해 양단 중 언더컷충진부(150)가 형성된 어느 한 쪽에만 절연 파괴를 유도하여 안티퓨즈용 절연막의 파괴 위치의 제어가 가능하다. 도 2에 도시된 반도체 소자의 안티퓨즈는 언더컷충진부(150)가 양단 중 어느 한 쪽의 언더컷(R)을 채우도록 형성된 것을 제외하고는 나머지 구성은 전술한 도 1의 본 발명의 일 실시예에 따른 반도체 소자의 안티퓨즈와 동일할 수 있으므로, 이에 대한 중복된 설명은 생략하기로 한다. 도 2의 경우에도 도 1에서와 같이 동일한 효과를 얻을 수 있음은 물론이다.

[0055] 본 발명의 실시예들에 따른 안티퓨즈는 복수개로 배열되어 이차원 어레이(array) 구조를 가질 수 있고, 반도체 메모리 장치, 로직 장치, 마이크로프로세서(microprocessor), FPGA(field programmable gate array) 및 그 밖의 VLSI(very large scale integration) 회로 등에 다양한 목적으로 적용될 수 있다.

[0056] 이하, 본 발명의 실시예에 따른 반도체 소자의 안티퓨즈 제조 방법들을 설명하기로 한다.

[0057] 도 3 내지 도 5는 본 발명의 일 실시예에 따른 반도체 소자의 안티퓨즈 제조 방법을 설명하기 위한 공정단면도들이다.

[0058] 도 3을 참조하면, 게이트 절연막(130)과 게이트 전극(140)의 게이트 스택, 및 게이트 절연막(130)의 일측 및 타측 하부 각각에 소오스(120a) 및 드레인(120b)을 포함한 기판(110)을 마련한다.

[0059] 게이트 절연막(130)은 기판(110) 상에 산화(oxidation) 공정 또는 화학기상증착(chemical vapor deposition; CVD) 방법 등을 사용하여 3.0을 초과하는 유전율을 갖는 물질, 예컨대 실리콘 산화물(SiO_2), 실리콘 질화물(Si_3N_4), 알루미늄 산화물(Al_2O_3), 지르코늄 산화물(ZrO_2), 하프늄 산화물(HfO_2) 등을 산화 또는 증착시켜 절연막(미도시)을 형성한 후 이 절연막을 통상의 포토리소그래피(photolithography) 공정으로 패터닝하여 일 방향으로 뻗어있는 라인 타입으로 형성할 수 있다.

- [0060] 소오스(120a) 및 드레인(120b)을 포함하는 접합 영역(120)은 마스크(미도시)를 이용한 불순물 이온 주입 공정을 통해 고농도의 n형 또는 p형 불순물을 기판(110)에 도핑하여 형성할 수 있다. 소오스(120a)는 게이트 절연막(130)의 일단과 접촉하고, 드레인(120b)은 게이트 절연막(130)의 타단과 접촉한다. 소오스(120a) 및 드레인(120b) 사이의 기판(110)은 채널(미도시)이다.
- [0061] 한편, 도면으로 도시하지는 않았으나, 소오스(120a) 및 드레인(120b) 각각의 일부는 게이트 절연막(130) 밑면의 일단 및 타단과 오버랩되도록 형성할 수 있고, 소오스(120a) 및 드레인(120b)은 LDD 구조를 포함하여 형성할 수 있다.
- [0062] 접합 영역(120)을 형성한 후 게이트 절연막(130)을 형성하거나 게이트 절연막(130)을 형성한 후 접합 영역(120)을 형성하는 것 모두 고려될 수 있다.
- [0063] 게이트 전극(140)은 게이트 절연막(130) 상에 일 방향으로 뻗어있는 라인 타입으로 형성할 수 있다. 게이트 전극(140)은 게이트 절연막(130) 상에 폴리실리콘 재질, 금속 재질 또는 실리사이드(silicide) 재질을 물리기상증착(physical vapor deposition; PVD) 방법, CVD 또는 유기금속화학기상증착(metal organic chemical vapor deposition; MOCVD) 방법 등을 이용하여 도전성막(미도시)을 증착한 후 이 도전성막을 포토리소그래피 공정으로 패터닝하여 형성할 수 있다.
- [0064] 한편, 기판(110) 전면에 차례로 절연막과 도전성막의 적층막을 형성한 후 이 적층막을 포토리소그래피 공정으로 패터닝하여 라인 타입으로 패터닝된 게이트 절연막(130)과 게이트 전극(140)의 적층구조를 형성할 수도 있음은 물론이다. 이때, 접합 영역(120), 게이트 절연막(130) 및 게이트 전극(140)은 주변회로영역에 형성되며, 셀 영역의 접합 영역, 게이트 절연막 및 게이트 전극을 형성하는 과정에서 형성된다.
- [0065] 도 4를 참조하면, 게이트 전극(140)을 식각 마스크로 이용하여 게이트 절연막(130)의 양단을 선택적으로 식각한다.
- [0066] 식각 공정은 게이트 절연막(130)의 양단이 선택적으로 식각될 수 있도록, 게이트 전극(140)에 비해 게이트 절연막(130)에 대한 식각 선택비(또는 식각률)가 높은 식각액이나 식각 가스를 사용한다.
- [0067] 일례로, 식각 공정은 불산(HF) 용액을 사용하여 실시하거나 혹은 기상 불산(HF vapor)을 사용하여 실시할 수 있다.
- [0068] 불산(HF) 용액을 사용한 식각 공정은 20℃ 내지 30℃ 온도의 불산(HF) 용액을 이용할 수 있다. 불산(HF) 용액의 온도가 20℃ 이하일 경우, 공정 시간이 길어질 수 있고, 반면에 30℃를 초과하는 경우, 게이트 절연막(130)의 중앙부까지 과식각되어 절연막의 파괴 위치 제어가 어려울 수 있다.
- [0069] 기상 불산(HF vapor)을 사용한 식각 공정은 35℃ 내지 45℃ 온도 분위기에서 수행할 수 있다. 이 경우, 온도가 35℃ 이하일 경우, 공정 시간이 길어질 수 있고, 반면에 45℃를 초과하는 경우, 게이트 절연막(130)의 중앙부까지 과식각되어 절연막의 파괴 위치 제어가 어려울 수 있다.
- [0070] 이로써, 식각에 의해 게이트 절연막(130)의 양단에 언더컷(under cut)(R)이 형성된다. 이러한 언더컷(R)은 절연막의 파괴(rupture) 위치 제어를 위하여 게이트 절연막(130)의 끝단으로부터 약 1nm 내지 게이트 길이의 절반 정도 식각되도록 형성할 수 있다.
- [0071] 이처럼, 언더컷(R)은 게이트 절연막(130)의 식각에 의한 고의적 손상을 통해 형성된다.
- [0072] 도 5를 참조하면, 게이트 절연막(130) 양단의 언더컷(R)을 채우는 언더컷충진부(150)를 형성한다.
- [0073] 언더컷충진부(150)는 게이트 절연막(130)의 유전율보다 낮은 유전율을 갖는 물질, 예컨대 SiOF 또는 HSQ 등의 유기물, 실리콘 산화막(SiO₂), PAE, 폴리이미드, 플로린계, 파릴렌-N, 파릴렌-F, B-스테이지 폴리머, DLC, 비정질 카본, PTFE(테프론) 등의 무기물, SiOC 폴리머 또는 MSQ 등의 유무기 복합물, 다공성 MSQ, 다공성 PAE, 다공성 실크 또는 다공성 SiO₂ 등의 다공성 물질 등으로 형성할 수 있으며, 이들을 단독으로 사용하거나 2종 이상 혼용하여 사용할 수 있다.
- [0074] 일례로, 언더컷충진부(150)는 게이트 절연막(130)의 유전율보다 낮은 유전율을 갖는 물질을 CVD 방법을 사용하여 언더컷(R)을 갭필(gap-fill)하도록 증착하여 형성할 수 있다. 이러한 CVD 방법을 이용하면, 게이트 절연막(130)의 두께가 얇더라도 충분히 언더컷(R)을 갭필할 수 있다는 장점을 지닌다.
- [0075] 이와는 다르게, 언더컷충진부(150)는 게이트 절연막(130)의 유전율보다 낮은 유전율을 갖는 물질을 스핀 온 증

착(spin-on-deposition; SOD) 방법을 사용하여 언더컷(R)을 갭필(gap-fill)하도록 코팅하여 형성할 수 있다.

- [0076] 언더컷충진부(150)는 언더컷(R)을 갭필하도록 언더컷(R)을 포함한 기관(110) 상에 CVD 방법 또는 SOD 방법으로 게이트 절연막(130)의 유전율보다 유전율이 낮은 물질을 증착 또는 코팅하여 유전막(미도시)을 형성한 후, 유전막이 언더컷(R) 내부에만 잔류될 수 있도록 유전막을 식각, 일레로, 블랭킷 식각(blanket etch)하여 형성할 수 있다. 유전막을 블랭킷 식각하면, 언더컷충진부(150)를 제외한 다른 영역에서는 유전막이 제거되어 존재하지 않게 된다.
- [0077] 이로써, 소오스(120a), 드레인(120b), 게이트 절연막(130), 게이트 전극(140) 및 언더컷충진부(150)를 포함하는 안티퓨즈가 완성된다.
- [0078] 도 6 내지 도 10은 본 발명의 다른 실시예에 따른 반도체 소자의 안티퓨즈의 제조 방법을 설명하기 위한 공정단면도들이다.
- [0079] 도 6을 참조하면, 게이트 절연막(130)과 게이트 전극(140)의 게이트 스택, 및 게이트 절연막(130)의 일측 및 타측 하부 각각에 소오스(120a) 및 드레인(120b)을 포함한 기관(110)을 마련한다.
- [0080] 기관(110), 소오스(120a) 및 드레인(120b)을 포함하는 집합영역(120), 게이트 절연막(130) 및 게이트 전극(140)의 형성 물질 및 형성 방법은 전술한 본 발명의 제조 방법의 일 실시예와 동일할 수 있으므로, 이에 대한 중복된 설명은 생략하기로 한다.
- [0081] 도 7을 참조하면, 게이트 절연막(130)의 타단을 덮도록, 소오스(120a) 및 소오스(120a)에 인접한 쪽의 게이트 전극(140)의 적어도 일부 영역 상에 감광막 패턴(145)을 형성한다.
- [0082] 감광막 패턴(145)은 게이트 전극(140)을 포함한 기관(110) 상에 감광성 물질을 도포하여 감광막(미도시)을 형성한 후, 기 설계된 마스크를 이용하여 소오스(120a) 및 소오스(120a)에 인접한 측의 게이트 전극(140)의 적어도 일부 영역에 대응되는 감광막이 잔류되도록 감광막을 포토리소그래피 공정으로 패터닝하여 형성할 수 있다. 감광막 패턴(145)에 의해 게이트 절연막(130)의 일단이 노출된다.
- [0083] 게이트의 길이가 작아지게 되면 게이트 전극(140)의 상부에 정확히 감광막이 패터닝되는 것이 어려울 수 있으므로, 감광막 패턴(145)은 정렬오차(alignment error) 등을 고려하여 도 7에 도시된 바와 같이 게이트 전극(140)을 절반 정도 덮도록 형성하는 것이 공정 마진 측면에 있어서 바람직하나, 게이트 절연막(130)의 일단을 덮는 한 특별히 이에 한정되지 않으며, 게이트 전극(140)의 상부를 완전히 덮는 것 또한 고려될 수 있음은 물론이다.
- [0084] 한편, 도 7에서는 감광막 패턴(145)을 소오스(120a) 상부 및 소오스(120a)에 인접한 쪽의 게이트 전극(140)의 일부 영역 상에 형성하는 것으로 설명하였으나, 이에 한정되는 것은 아니며, 도시하지 않았으나 감광막 패턴(145)은 게이트 절연막(130)의 일단을 덮도록 드레인(120b) 및 드레인(120b)에 인접한 쪽의 게이트 전극(140)의 적어도 일부 영역 상에 형성될 수 있음은 물론이다.
- [0085] 도 8을 참조하면, 감광막 패턴(145)을 식각 마스크로 하여 게이트 절연막(130)의 노출된 일단을 선택적으로 식각한다. 식각 공정은 게이트 절연막(130)의 노출된 일단이 선택적으로 식각될 수 있도록, 감광막 패턴(145), 게이트 전극(140), 드레인(120b) 및 기관(110)에 비해 게이트 절연막(130)에 대한 식각 선택비(또는 식각률)가 높은 식각액이나 식각 가스를 사용한다.
- [0086] 일레로, 식각 공정은 불산(HF) 용액을 사용하여 실시하거나 혹은 기상 불산(HF vapor)을 사용하여 실시할 수 있으며, 이는 전술한 본 발명의 제조 방법의 일 실시예와 동일하므로, 이에 대한 중복된 설명은 생략하기로 한다.
- [0087] 이로써, 식각에 의해 게이트 절연막(130)의 양단 중 노출된 일단에 언더컷(under cut)(R)이 형성된다. 이러한 언더컷(R)은 절연막의 파괴(rupture) 위치 제어를 위하여 게이트 절연막(130)의 끝단으로부터 약 1nm 내지 게이트 길이의 절반 정도 식각되도록 형성할 수 있다.
- [0088] 이처럼, 언더컷(R)은 게이트 절연막(130)의 식각에 의한 고의적 손상을 통해 형성된다.
- [0089] 도 9를 참조하면, 감광막 패턴(145)을 제거한다. 일레로, 감광막 패턴(145)은 약 120~150℃의 황산(H₂SO₄) 용액을 사용하여 제거할 수 있다.
- [0090] 도 10을 참조하면, 게이트 절연막(130)의 일단에 형성된 언더컷(R)을 채우는 언더컷충진부(150)를 형성한다.

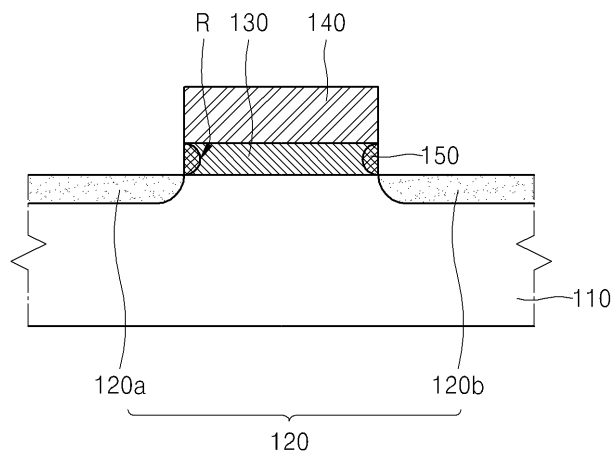
- [0091] 언더컷충진부(150)는 게이트 절연막(130)의 유전율보다 낮은 유전율을 갖는 물질을 CVD 방법 또는 SOD 방법으로 언더컷(R)을 갭필(gap-fill)하도록 증착 또는 코팅하여 유전막을 형성한 후 유전막이 언더컷(R) 내부에만 잔류될 수 있도록 유전막을 식각, 일레로, 블랭킷 식각하여 형성할 수 있으며, 이는 전술한 본 발명의 제조 방법의 일 실시예와 동일하므로, 이에 대한 중복된 설명은 생략하기로 한다.
- [0092] 이로써, 소오스(120a), 드레인(120b), 게이트 절연막(130), 게이트 전극(140) 및 게이트 절연막(130)의 일측에 형성된 언더컷충진부(150)를 포함하는 안티퓨즈가 완성된다.
- [0093] 한편, 도면으로 도시하지는 않았으나, 본 발명의 또 다른 실시예에 따르면, 도 4까지 완료한 상태에서, 게이트 절연막의 타단을 덮도록 소오스 및 드레인 중 어느 하나 및 선택된 소오스 또는 드레인에 인접한 쪽의 게이트 전극의 적어도 일부 영역 상에 감광막 패턴을 형성한 후 게이트 절연막의 제1유전율보다 낮은 제2유전율을 갖는 물질을 SOD 방법으로 증착하여 저유전막을 형성한 다음 저유전막을 비등방성 식각하여 게이트 절연막 일단의 언더컷에만 저유전막을 잔류시켜 제1언더컷충진부를 형성한다. 이어서, 감광막 패턴을 제거하여 제1언더컷충진부의 반대편에 위치한 게이트 절연막 타단의 언더컷을 노출시킨 후, 통상의 컨택 공정에 사용되는 ILD 물질, 일레로 유전율 약 3.5정도의 BPSG, PSG, FSG 등을 CVD 또는 SOD 방법 등으로 증착하여 게이트 절연막 타단의 언더컷에 ILD막으로 형성된 제2언더컷충진부를 형성한다. 이때, BPSG, PSG, FSG 등의 통상의 ILD 물질은 약 3.5의 유전율을 가지므로, 실질적으로 제1언더컷충진부가 제2언더컷충진부 및 게이트 절연막에 비해 가장 낮은 유전율을 갖게 된다.
- [0094] 이 경우, 소오스, 드레인, 게이트 절연막, 게이트 전극 및 게이트 절연막의 일측에 형성된 제1언더컷충진부 및 게이트 절연막의 타측에 형성된 제2언더컷충진부를 포함하는 안티퓨즈가 완성된다.
- [0095] 이렇듯, 본 발명의 일 실시예, 다른 실시예 및 또 다른 실시예에 따른 안티퓨즈는 통상의 반도체 소자의 제조 공정을 활용하여 제조할 수 있으므로, 메모리 어레이와 같은 셀 영역(cell region)의 소자를 형성하는 과정에서 그와 더불어 용이하게 제조할 수 있다.
- [0096] 이상에서는 본 발명의 실시예를 중심으로 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 기술자의 수준에서 다양한 변경이나 변형을 가할 수 있다. 이러한 변경과 변형은 본 발명이 제공하는 기술 사상의 범위를 벗어나지 않는 한 본 발명에 속한다고 할 수 있다. 따라서 본 발명의 권리범위는 이하에 기재되는 청구 범위에 의해 판단되어야 할 것이다.

부호의 설명

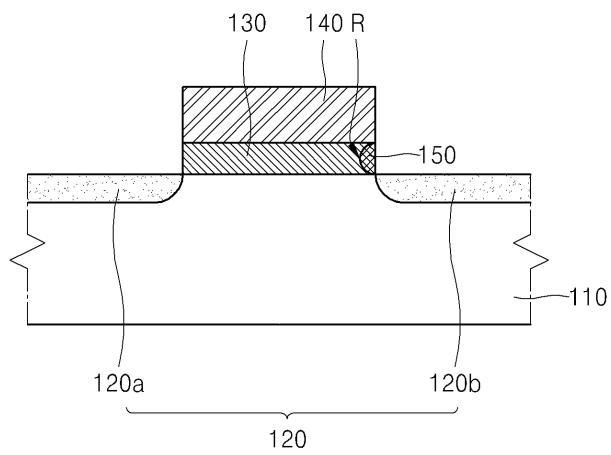
- [0097]
- | | |
|---------------|--------------|
| 110 : 기판 | 120 : 접합 영역 |
| 120a : 소오스 | 120b : 드레인 |
| 130 : 게이트 절연막 | 140 : 게이트 전극 |
| 145 : 감광막 패턴 | 150 : 언더컷충진부 |
| R : 언더컷 | |

도면

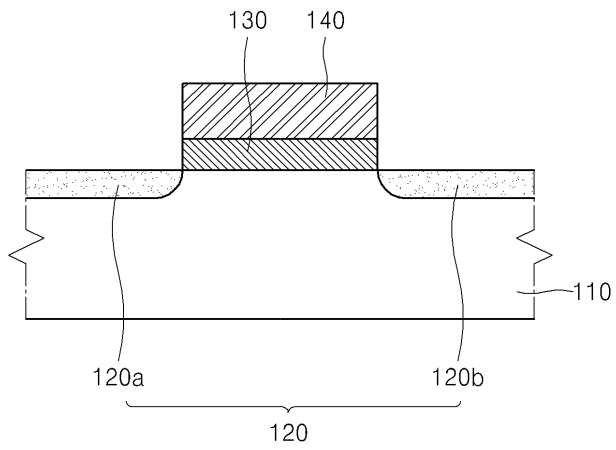
도면1



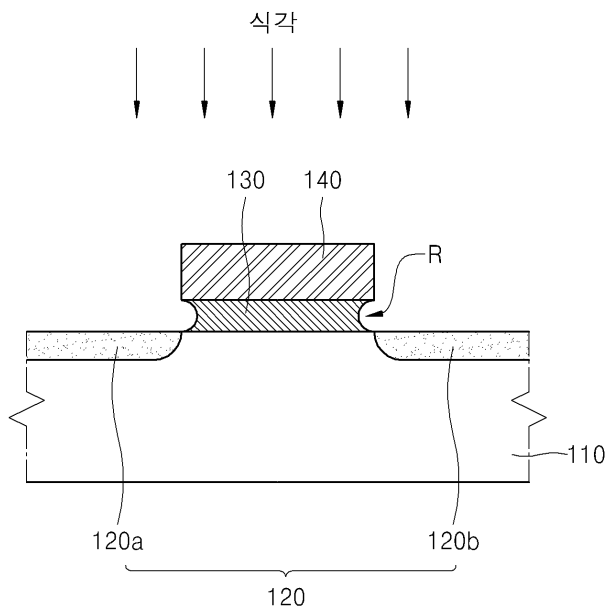
도면2



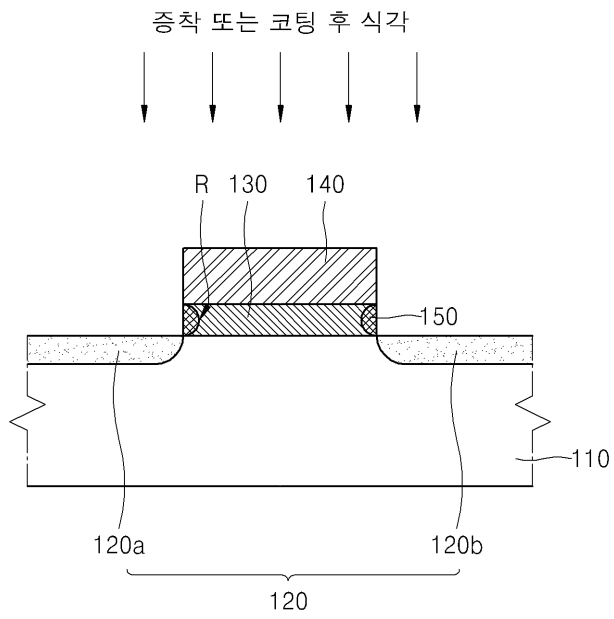
도면3



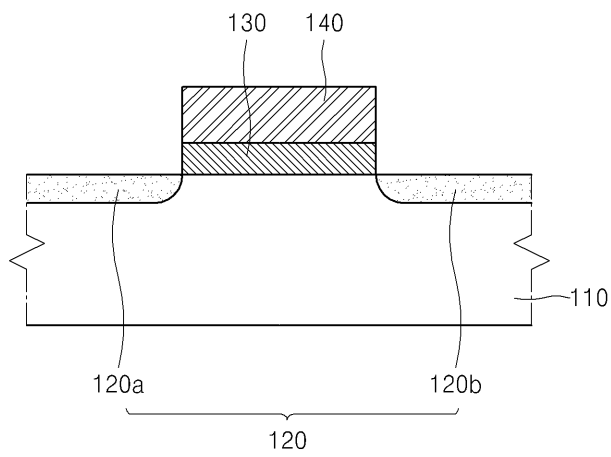
도면4



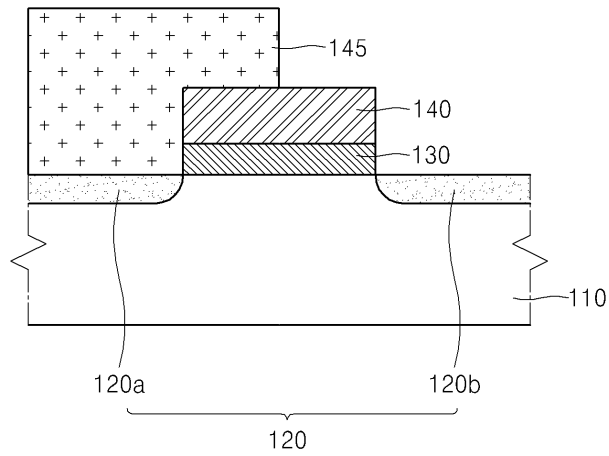
도면5



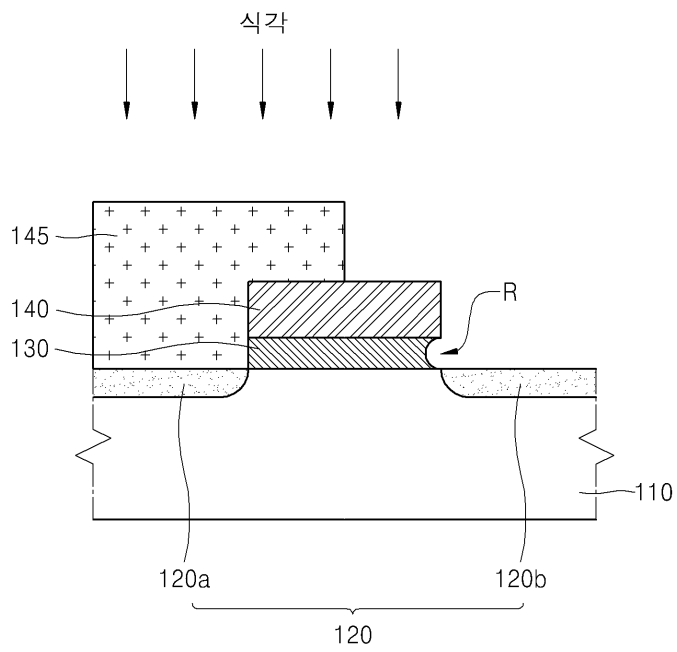
도면6



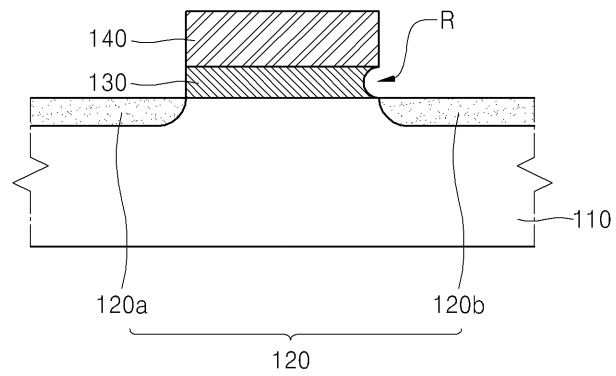
도면7



도면8



도면9



도면10

