

FIG. 9K

【特許請求の範囲】

【請求項 1】

熱電モジュールを製造する方法であって、
第 1 の基板の上に N 型薄膜熱電材層を形成するステップと、
前記 N 型薄膜熱電材層の上に第 1 の磁気メタライズ層を形成するステップと、
前記第 1 の磁気メタライズ層および前記 N 型薄膜熱電材層を、前記 N 型薄膜熱電材層を貫通してエッチングして、複数の N 型熱電材レッグを形成するステップと、
前記複数の N 型熱電材レッグの第 1 の部分に第 1 の電極集合体を接合させるステップと、
前記複数の N 型熱電材レッグとは反対側で前記第 1 の基板の表面に隣接させて磁石を配置するステップと、
前記第 1 の基板と前記 N 型薄膜熱電材層の間に位置された解放層を溶解させ、それにより、接合された前記複数の N 型熱電材レッグの前記第 1 の部分を含む前記第 1 の電極集合体を前記第 1 の基板から分離するステップであって、前記磁石と、前記第 1 の磁気メタライズ層からの残りの磁性材料との間の磁力が、前記第 1 の電極集合体に接合されていない前記複数の N 型熱電材レッグの残りの部分を前記第 1 の基板上に維持するステップと、
第 2 の基板の上に P 型薄膜熱電材層を形成するステップと、
前記 P 型薄膜熱電材層の上に第 2 のメタライズ層を形成するステップと、
前記第 2 のメタライズ層および前記 P 型薄膜熱電材層をエッチングして、複数の P 型熱電材レッグを形成するステップと、
前記複数の P 型熱電材レッグの第 1 の部分に第 2 の電極集合体を接合させるステップと、
前記複数の P 型熱電材レッグの前記第 1 の部分を含む前記第 2 の電極集合体を前記第 2 の基板から除去するステップと、
フリップチップ接合プロセスによって、前記複数の N 型熱電材レッグの前記第 1 の部分を含む前記第 1 の電極集合体を、前記複数の P 型熱電材レッグの前記第 1 の部分を含む前記第 2 の電極集合体に接合させて、直列接続された複数の熱電素子を備える熱電モジュールを形成するステップと、を含む方法。

【請求項 2】

前記複数の P 型熱電材レッグの前記第 1 の部分を含む前記第 2 の電極集合体を前記第 2 の基板から除去するステップが、前記第 2 の基板と前記 P 型薄膜熱電材層の間に位置された解放層を溶解させ、それにより、接合された前記複数の P 型熱電材レッグの前記第 1 の部分を含む前記第 2 の電極集合体を前記第 2 の基板から分離するステップを含む請求項 1 に記載の方法。

【請求項 3】

前記第 2 のメタライズ層が第 2 の磁気メタライズ層である請求項 1 に記載の方法。

【請求項 4】

前記第 2 のメタライズ層および前記 P 型薄膜熱電材層をエッチングするステップが、前記 P 型薄膜熱電材層を貫通して、前記第 2 の磁気メタライズ層および前記 P 型薄膜熱電材層をエッチングするステップを含む請求項 3 に記載の方法。

【請求項 5】

前記複数の P 型熱電材レッグの前記第 1 の部分を含む前記第 2 の電極集合体を前記第 2 の基板から除去するステップが、
前記複数の P 型熱電材レッグとは反対側で前記第 2 の基板の表面に隣接させて磁石を配置するステップと、
前記第 2 の基板と前記 P 型薄膜熱電材層の間に位置された解放層を溶解させ、それにより、接合された前記複数の P 型熱電材レッグの前記第 1 の部分を含む前記第 2 の電極集合体を前記第 2 の基板から分離するステップとを含み、
前記磁石と、前記第 2 の磁気メタライズ層からの残りの磁性材料との間の磁力が、前記第 2 の電極集合体に接合されていない前記複数の P 型熱電材レッグの残りの部分を前記第

2の基板上に維持する請求項4に記載の方法。

【請求項6】

前記複数のN型熱電材レッグの前記残りの部分に第3の電極集合体を接合させるステップと、

前記複数のP型熱電材レッグの前記残りの部分に第4の電極集合体を接合させるステップと、

フリップチップ接合によって、前記第3の電極集合体を前記第4の電極集合体に接合させて、直列接続された複数の熱電素子を備える第2の熱電モジュールを形成するステップと、をさらに含む請求項5に記載の方法。

【請求項7】

熱電モジュールを製造する方法であって、

第1の基板の上にN型薄膜熱電材層を形成するステップと、

前記N型薄膜熱電材層の上に第1のメタライズ層を形成するステップと、

前記第1のメタライズ層および前記N型薄膜熱電材層を、前記N型薄膜熱電材層の底部から所定の厚さまでエッチングして、複数のN型熱電材レッグを形成するステップと、

前記複数のN型熱電材レッグの第1の部分に第1の電極集合体を接合させるステップと

、
前記複数のN型熱電材レッグの前記第1の部分を含む前記第1の電極集合体を前記第1の基板から除去するステップと、

第2の基板の上にP型薄膜熱電材層を形成するステップと、

前記P型薄膜熱電材層の上に第2のメタライズ層を形成するステップと、

前記第2のメタライズ層および前記P型薄膜熱電材層をエッチングして、複数のP型熱電材レッグを形成するステップと、

前記複数のP型熱電材レッグの第1の部分に第2の電極集合体を接合させるステップと

、
前記複数のP型熱電材レッグの前記第1の部分を含む前記第2の電極集合体を前記第2の基板から除去するステップと、

フリップチップ接合プロセスによって、前記複数のN型熱電材レッグの前記第1の部分を含む前記第1の電極集合体を、前記複数のP型熱電材レッグの前記第1の部分を含む前記第2の電極集合体に接合させて、直列接続された複数の熱電素子を備える熱電モジュールを形成するステップと、を含み、

前記複数のN型熱電材レッグの前記第1の部分を含む前記第1の電極集合体を前記第1の基板から除去するステップが、

前記第1の基板と前記N型薄膜熱電材層の間に位置決めされた解放層を溶解させ、それにより前記複数のN型熱電材レッグを前記第1の基板から除去するステップであって、前記N型薄膜熱電材層の底部からの所定の厚さまでのエッチングにより、前記複数のN型熱電材レッグが連続的な底面を有するステップと、

前記複数のN型熱電材レッグの前記連続的な底面の上に第3のメタライズ層を形成するステップと、

前記複数のN型熱電材レッグを分離するステップと、を含む方法。

【請求項8】

前記複数のN型熱電材レッグを分離するステップが、機械的な力によって前記複数のN型熱電材レッグを分離するステップを含む請求項7に記載の方法。

【請求項9】

前記複数のN型熱電材レッグを分離するステップが、

前記第3のメタライズ層を備える前記複数のN型熱電材レッグの前記連続的な底面を基板に取り付けるステップと、

前記複数のN型熱電材レッグの前記第1の部分に前記第1の電極集合体を接合させた後、前記第1の電極集合体を持ち上げ、前記複数のN型熱電材レッグの前記第1の部分を機械的な力によって前記複数のN型熱電材レッグの残りの部分から分離するステップと、を

10

20

30

40

50

含む請求項 7 に記載の方法。

【請求項 10】

前記複数の N 型熱電材レッグの前記連続的な底面上の前記第 3 のメタライズ層が、磁性材料を備える磁気メタライズ層であり、前記複数の N 型熱電材レッグを分離するステップが、

前記磁気メタライズ層を備える前記複数の N 型熱電材レッグの前記連続的な底面を基板上に配置するステップと、

前記複数の N 型熱電材レッグと反対側で前記基板の表面に隣接させて磁石を配置するステップと、

前記第 1 の電極集合体を前記複数の N 型熱電材レッグの前記第 1 の部分に接合させた後、前記第 1 の電極集合体を持ち上げ、前記複数の N 型熱電材レッグの前記第 1 の部分を機械的な力によって前記複数の N 型熱電材の残りの部分から分離し、また、前記磁石と、前記複数の N 型熱電材レッグの前記連続的な底面上の前記磁気メタライズ層の対応する部分との間の磁力により、前記複数の N 型熱電材レッグの前記残りの部分を基板上に維持するステップと、を含む請求項 7 に記載の方法。

10

【請求項 11】

前記複数の N 型熱電材レッグの前記連続的な底面上の前記第 3 のメタライズ層が銅サブ層を備える請求項 7 に記載の方法。

【請求項 12】

前記第 2 のメタライズ層および前記 P 型薄膜熱電材層をエッチングして、前記複数の P 型熱電材レッグを形成するステップが、前記 P 型薄膜熱電材層の底部から所定の厚さまで前記第 2 のメタライズ層および前記 P 型薄膜熱電材層をエッチングするステップを含み、

20

前記複数の P 型熱電材レッグの前記第 1 の部分を含む前記第 2 の電極集合体を前記第 2 の基板から除去するステップが、

前記第 2 の基板と前記 P 型薄膜熱電材層の間に位置決めされた解放層を溶解させ、それにより前記複数の P 型熱電材レッグを前記第 2 の基板から除去するステップであって、前記 P 型薄膜熱電材層の底部から所定の厚さまでのエッチングにより、前記複数の P 型熱電材レッグが連続的な底面を有するステップと、

前記複数の P 型熱電材レッグの前記連続的な底面上に第 4 のメタライズ層を形成するステップと、

30

前記複数の P 型熱電材レッグを分離するステップと、を含む請求項 7 に記載の方法。

【請求項 13】

前記複数の P 型熱電材レッグを分離するステップが、機械的な力によって前記複数の P 型熱電材レッグを分離するステップを含む請求項 12 に記載の方法。

【請求項 14】

前記複数の P 型熱電材レッグを分離するステップが、

前記第 4 のメタライズ層を備える前記複数の P 型熱電材レッグの前記連続的な底面を基板に取り付けるステップと、

前記複数の P 型熱電材レッグの前記第 1 の部分に前記第 2 の電極集合体を接合させた後、前記第 2 の電極集合体を持ち上げ、前記複数の P 型熱電材レッグの前記第 1 の部分を機械的な力によって前記複数の P 型熱電材レッグの残りの部分から分離するステップと、を含む請求項 12 に記載の方法。

40

【請求項 15】

前記複数の P 型熱電材レッグの底面上の前記第 4 のメタライズ層が、磁性材料を備える磁気メタライズ層であり、前記複数の P 型熱電材レッグを分離するステップが、

前記磁気メタライズ層を備える前記複数の P 型熱電材レッグの前記連続的な底面を基板上に配置するステップと、

前記複数の P 型熱電材レッグとは反対側で前記基板の表面に隣接させて磁石を配置するステップと、

前記複数の P 型熱電材レッグの前記第 1 の部分に前記第 2 の電極集合体を接合させた後

50

、前記第 2 の電極集合体を持ち上げ、前記複数の P 型熱電材レッグの前記第 1 の部分を機械的な力によって前記複数の P 型熱電材レッグの残りの部分から分離し、また、前記磁石と、前記複数の P 型熱電材レッグの前記連続的な底面上に形成された前記磁気メタライズ層の対応する部分との間の磁力によって、前記複数の P 型熱電材レッグの前記残りの部分を前記基板上に維持するステップと、を含む請求項 12 に記載の方法。

【請求項 16】

前記複数の P 型熱電材レッグの前記連続的な底面上の前記第 4 のメタライズ層が銅サブ層を備える請求項 12 に記載の方法。

【請求項 17】

前記複数の N 型熱電材レッグの残りの部分に第 3 の電極集合体を接合させるステップと、
前記複数の P 型熱電材レッグの残りの部分に第 4 の電極集合体を接合させるステップと、
フリップチップ接合プロセスによって、前記第 3 の電極集合体を前記第 4 の電極集合体に接合させて、直列接続された複数の熱電素子を備える第 2 の熱電モジュールを形成するステップと、をさらに含む請求項 12 に記載の方法。

【請求項 18】

前記 N 型薄膜熱電材層の底部からの所定の厚さが、前記 N 型薄膜熱電材層の厚さの約 10 % ~ 20 % の範囲内である請求項 7 に記載の方法。

【請求項 19】

熱電モジュールを製造する方法であって、
第 1 の基板の上に N 型薄膜熱電材層を形成するステップと、
前記 N 型薄膜熱電材層の上に第 1 のメタライズ層を形成するステップと、
前記第 1 のメタライズ層および前記 N 型薄膜熱電材層をエッチングして、複数の N 型熱電材レッグを形成するステップと、
前記複数の N 型熱電材レッグの第 1 の部分に第 1 の電極集合体を接合させるステップと、
前記複数の N 型熱電材レッグの前記第 1 の部分を含む前記第 1 の電極集合体を前記第 1 の基板から除去するステップと、
第 2 の基板の上に P 型薄膜熱電材層を形成するステップと、
前記 P 型薄膜熱電材層の上に第 2 のメタライズ層を形成するステップと、
前記第 2 のメタライズ層および前記 P 型薄膜熱電材層をエッチングして、複数の P 型熱電材レッグを形成するステップと、
前記複数の P 型熱電材レッグの第 1 の部分に第 2 の電極集合体を接合させるステップと、
前記複数の P 型熱電材レッグの前記第 1 の部分を含む前記第 2 の電極集合体を前記第 2 の基板から除去するステップと、
フリップチップ接合プロセスによって、前記複数の N 型熱電材レッグの前記第 1 の部分を含む前記第 1 の電極集合体を、前記複数の P 型熱電材レッグの前記第 1 の部分を含む前記第 2 の電極集合体に接合させて、直列接続された複数の熱電素子を備える熱電モジュールを形成するステップと、
前記複数の N 型熱電材レッグの残りの部分に第 3 の電極集合体を接合させるステップと、
前記複数の P 型熱電材レッグの残りの部分に第 4 の電極集合体を接合させるステップと、
前記フリップチップ接合プロセスによって前記第 3 の電極集合体を前記第 4 の電極集合体に接合させて、直列接続された複数の熱電素子を備える第 2 の熱電モジュールを形成するステップと、を含む方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

関連出願

本出願は、2009年10月5日出願の米国仮特許出願第61/248,691号の利益を主張するものであり、その仮特許出願の開示全体を参照により本明細書に援用する。

【0002】

本開示は、熱電モジュールに関し、より詳細には薄膜熱電モジュールの製造に関する。

【背景技術】

【0003】

半導体材料および素子に基づく技術は、商業的実用に顕著な実績がある。シリコンベースのソリッドステート電子回路により、計算技術において、40年以上にわたって2年毎に倍増するペースで性能改良が続いている（ムーアの法則）。さらに、化合物半導体の光電子工学、多くはガリウムヒ素（GaAs）およびインジウムリン（InP）ベースのIII-V族半導体レーザダイオードにより、通信技術において、光ファイバを介するデータ量は9ヶ月毎に倍増している（フォトリソのバター（Butter）の法則）。今日、半導体技術は、エネルギーおよびエネルギー効率の面で適用されている。近年、シリコンおよび他の半導体材料をベースとする太陽電池素子は、大きな商業的成功を収めている。しかし、太陽電池の電力発生効率の大幅な改良の余地はほとんど残っていないことが広く認識されている。すなわち、太陽電池に関して、ムーアの法則に従うペースでの改良の見込みはないものと思われる。対照的に、クリーン技術の分野において、熱源から電力を発生させるための熱電材が、ムーアの法則に従う性能改良ペースを維持する見込みがあるものとしてますます認識されている。

【0004】

一般に、熱電材を使用して熱電発電機および熱電冷却器を形成することができる。より具体的には、図1Aに、従来の2レッグ熱電発電機（TEG）10を示す。図示するように、TEG10は、バルク形状のN型熱電材12と、バルク形状のP型熱電材14と、上部導電性金属層16と、底部導電性金属層18とを含む。電力を発生させるために、上部導電性金属層16に熱を印加し、それにより上部導電性金属層16と底部導電性金属層18の間に熱的な差を生じさせる。図示するように、この熱的な差が、TEG10内での電流を誘発する。N型熱電材12およびP型熱電材14を通る電流は、TEG10内での熱伝達の方法に平行である。誘発された電流が抵抗負荷20に電力を供給する。

【0005】

図1Bは、従来の2レッグ熱電冷却器（TEC）22を示す。TEG10と同様に、TEC22は、バルク形状のN型熱電材24と、バルク形状のP型熱電材26と、上部導電性金属層28と、底部導電性金属層30とを含む。熱電冷却を行うために、図示するようにTEC22に電流を印加する。N型熱電材24およびP型熱電材26での電流伝達の方法は、TEC22での熱伝達の方法に平行である。その結果、TEC22の上面で熱を吸収し、TEC22の底面で熱を解放することによって、上部導電性金属層28で冷却が行われる。

【0006】

熱電材に関する主要な性能指数はZTであり、ZTは以下のように定義される。

【数1】

$$ZT = S^2 \sigma T / k$$

ここで、Sは熱電材のゼーベック係数であり、 σ は熱電材の導電率であり、kは熱電材の熱伝導率であり、Tは温度（単位はケルビン）である。したがって、良好な熱電材は、低い熱伝導率、高い導電率、および高いゼーベック係数を有する。現在、市販の熱電材はZT値が約1.0である。しかし、3.0以上のZT値が望まれている。したがって、高いZT値を有する熱電材が必要とされている。

【0007】

本明細書では、高いZT値を有する薄膜熱電材の実施形態を開示する。開示する熱電材

は薄膜材料であるので、熱電モジュールを製造するために使用される従来のピックアンドブレース技法を使用することはできない。より具体的には、従来の熱電モジュールは、図 1 A および図 1 B のものなど従来の熱電素子から形成される。これらの従来の熱電素子は、寸法が数ミリメートルのオーダーのバルク形状の熱電材レッグを有する。対照的に、本明細書で開示する薄膜熱電材からは、寸法が数ミクロン～数十ミクロンのオーダーの熱電材レッグを有する熱電素子が得られる。したがって、ミリメートルスケールでの熱電材レッグを有する従来の熱電素子を製造するために使用される従来のピックアンドブレース技法は、マイクロメートルスケールでの熱電材レッグを有する熱電素子の製造に使用するのには適していない。したがって、薄膜熱電モジュールを製造する方法も必要とされている。

10

【発明の概要】

【0008】

薄膜熱電材から熱電モジュールを製造する方法を開示する。一般に、薄膜熱電モジュールは、まず基板の上に N 型薄膜熱電材層を形成することから製造を始める。次いで、N 型薄膜熱電材層の上に 1 つまたは複数のメタライズ層を形成する。次いで、1 つまたは複数のメタライズ層および N 型薄膜熱電材層をエッチングして、複数の N 型熱電材レッグを形成する。次いで、N 型熱電材レッグの第 1 の部分に第 1 の電極集合体を接合させ、N 型熱電材レッグの第 1 の部分を含む第 1 の電極集合体を基板から除去する。同様に、基板の上に P 型薄膜熱電材層を形成する。P 型薄膜熱電材層の上に 1 つまたは複数のメタライズ層を形成する。

20

次いで、1 つまたは複数のメタライズ層および P 型薄膜熱電材層をエッチングして、複数の P 型熱電材レッグを形成する。次いで、P 型熱電材レッグの第 1 の部分に第 2 の電極集合体を接合させ、P 型熱電材レッグの第 1 の部分を含む第 2 の電極集合体を基板から除去する。次いで、接合された N 型熱電材レッグを含む第 1 の電極集合体と、接合された P 型熱電材レッグを含む第 2 の電極集合体を、フリップチップ接合プロセスを使用して接合させて、熱電モジュールの製造を完了する。

【0009】

一実施形態では、N 型熱電材レッグの残りの部分に第 3 の電極集合体を接合させ、N 型熱電材レッグの残りの部分を含む第 3 の電極集合体を基板から除去する。次いで、P 型熱電材レッグの残りの部分に第 4 の電極集合体を接合させ、P 型熱電材レッグの残りの部分を含む第 4 の電極集合体を基板から除去する。次いで、接合された N 型熱電材レッグを含む第 3 の電極集合体と、接合された P 型熱電材レッグを含む第 4 の電極集合体を、フリップチップ接合プロセスを使用して接合させて、第 2 の熱電モジュールの製造を完了する。

30

【0010】

当業者は、以下の好ましい実施形態の詳細な説明を添付図面に関連付けて読めば、本発明の範囲を理解し、本発明のさらなる態様を実現されよう。

【0011】

本明細書に組み込まれ、本明細書の一部を成す添付図面は、本発明のいくつかの態様を例示し、本説明と共に本発明の原理を説明するものである。

【図面の簡単な説明】

40

【0012】

【図 1 A】従来技術による例示的な熱電素子を示す図である。

【図 1 B】従来技術による例示的な熱電素子を示す図である。

【図 2】I V-V I 族半導体材料から形成されたヘテロ構造を含む薄膜熱電材を示す図である。ここでは、本開示の一実施形態に従って、ヘテロ構造がポテンシャルバリア材層を含み、ポテンシャルバリア材層の厚さは、所望の温度での電荷キャリアの平均自由行程とほぼ等しい。

【図 3】図 2 の薄膜熱電材のヘテロ構造に関するエネルギーバンド図である。ここでは、本開示の一実施形態に従って、ヘテロ構造のフェルミエネルギーが、ポテンシャルバリア材層のバリア高さまたはその付近にある。

50

【図 4】 I V - V I 族半導体材料から形成されたヘテロ構造を含む薄膜熱電材を示す図である。ここでは、本開示の一実施形態に従って、ヘテロ構造が複数のポテンシャルバリア材層を含み、ポテンシャルバリア材層の厚さは、熱電冷却器 (T E C) に組み込まれるとき、薄膜熱電材にわたる予想される温度勾配における対応する温度での電荷キャリアの平均自由行程とほぼ等しい。

【図 5】 図 4 の薄膜熱電材のヘテロ構造に関するエネルギーバンド図である。ここでは、本開示の一実施形態に従って、ヘテロ構造のフェルミエネルギーが、ポテンシャルバリア材層のバリア高さまたはその付近にある。

【図 6】 I V - V I 族半導体材料から形成されたヘテロ構造を含む薄膜熱電材を示す図である。ここでは、本開示の一実施形態に従って、ヘテロ構造が複数のポテンシャルバリア材層を含み、ポテンシャルバリア材層の厚さは、熱電発電機 (T E G) に組み込まれるとき、薄膜熱電材にわたる予想される温度勾配における対応する温度での電荷キャリアの平均自由行程とほぼ等しい。

【図 7】 図 6 の薄膜熱電材のヘテロ構造に関するエネルギーバンド図である。ここでは、本開示の一実施形態に従って、ヘテロ構造のフェルミエネルギーが、ポテンシャルバリア材層のバリア高さまたはその付近にある。

【図 8】 本開示の一実施形態に従って直列接続された複数の熱電素子の対を含むように製造された熱電モジュールを示す図である。

【図 9 A】 本開示の一実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 9 B】 本開示の一実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 9 C】 本開示の一実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 9 D】 本開示の一実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 9 E】 本開示の一実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 9 F】 本開示の一実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 9 G】 本開示の一実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 9 H】 本開示の一実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 9 I】 本開示の一実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 9 J】 本開示の一実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 9 K】 本開示の一実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 10 A】 本開示の別の実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 10 B】 本開示の別の実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 10 C】 本開示の別の実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 10 D】 本開示の別の実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 10 E】 本開示の別の実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

10

20

30

40

50

【図 11 N】本開示の別の実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【図 1 1 0】本開示の別の実施形態による図 8 の熱電モジュールを製造するためのプロセスを示す模式図である。

【発明を実施するための形態】

【0013】

【0014】

【0015】

【0016】

【0017】

【0018】

【0019】

【0020】

【0021】

【0022】

【0023】

10

以下に述べる実施形態は、当業者が本発明を実施できるようにするのに必要な情報を提供し、また本発明を実施する最良の形態を例示する。当業者は、添付図面の各図に照らし合わせて以下の説明を読めば、本発明の概念を理解し、また本明細書では特に取り扱っていないこれらの概念の用途を理解されよう。これらの概念および用途が本開示および添付の特許請求の範囲の範囲内にあることを理解すべきである。

【0024】

20

図 2 に、本開示の一実施形態による高い Z T 値を有する薄膜熱電材 3 2（本明細書では以後「熱電材 3 2」と呼ぶ）を示す。熱電材 3 2 は、I V－V I 族半導体材料から形成されたヘテロ構造 3 4 を含む。より具体的には、この実施形態では、ヘテロ構造 3 4 は、第 1 のマトリクス材層 3 6 と、第 1 のマトリクス材層 3 6 に隣接するポテンシャルバリア材層 3 8（本明細書では以後「バリア材層 3 8」と呼ぶ）と、第 1 のマトリクス材層 3 6 とは反対側でバリア材層 3 8 に隣接する第 2 のマトリクス材層 4 0 とを含む。ポテンシャルバリアとして働くように、バリア材層 3 8 は、第 1 のマトリクス材層 3 6 および第 2 のマトリクス材層 4 0 のバンドギャップよりも大きいバンドギャップを有し、したがって、本明細書では「広いバンドギャップの材料から形成される」と言い表す。得られるバリア材層 3 8 のバリア高さは、好ましくは 2 5 m e V（ミリエレクトロンボルト）～1 0 0 m e V の範囲内（両端を含む）であるが、それに限定されない。好ましい実施形態では、第 1 のマトリクス材層 3 6 および第 2 のマトリクス材層 4 0 は P b S n S e であり、バリア材層 3 8 は P b S e である。しかし、他の I V－V I 族半導体材料、例えば限定はしないが P b T e、P b S n T e、P b S r S e、P b S r T e、および関連の合金を使用することもできる。例えば、1 つの代替実施形態では、第 1 のマトリクス材層 3 6 および第 2 のマトリクス材層 4 0 は P b S n T e であり、バリア材層 3 8 は P b T e である。別の代替実施形態では、第 1 のマトリクス材層 3 6 および第 2 のマトリクス材層 4 0 は P b S n S e T e であり、バリア材層 3 8 は P b S e である。さらに、P b S n S e T e / P b S e の組合せを、格子整合と規定することができ、これは、交差面電荷キャリア伝導を改良する一助となる特徴である。動作時、エネルギー的に熱励起された電子または正孔（熱電材 3 2 の導電型に応じて決まる）が、選択的に「選り抜かれ（s k i m m e d o f f）」、第 1 のマトリクス材層 3 6 からバリア材層 3 8 を横切って第 2 のマトリクス材層 4 0 に輸送される。第 1 のマトリクス材層 3 6 は、電荷キャリアのエミッタとして働き、第 2 のマトリクス材層 4 0 は、電荷キャリアのコレクタとして働く。

30

40

【0025】

この実施形態では、バリア材層 3 8 の厚さ（ t_{BL} ）は、所望の温度での散乱事象間のバリア材層 3 8 内での電荷キャリア（すなわち電子または正孔）の平均自由行程とほぼ等しいか、またはそれと同程度である。一実施形態では、所望の温度は室温（すなわち 3 0 0 ケルビン）である。しかし、所望の温度は、熱電材 3 2 から形成された熱電素子を動作させることができる任意の所望の温度でよい。バリア材層 3 8 の厚さ（ t_{BL} ）を、所望の温

50

度での散乱事象間の電荷キャリアの平均自由行程とほぼ等しくすることによって、第1のマトリクス材層36からバリア材層38を通して第2のマトリクス材層40への電荷キャリアの弾道輸送が可能になり、それにより熱電材32のゼーベック係数、すなわち熱電材32のZT値が増加する。

【0026】

熱電材32がN型の場合、電子の平均自由行程は以下のように定義される。

【数2】

$$l_{mfp}^e = \frac{\mu_n}{q} \sqrt{3kTm_e^*}$$

10

ここで、 l_{mfp}^e は、バリア材層38内の電子の平均自由行程であり、 μ_n はバリア材層38の電子移動度であり、 q は電子の電荷であり、 k はボルツマン定数であり、 T は温度（単位はケルビン）であり、 m_e^* は電子質量である。したがって、熱電材32がN型の場合、バリア材層38の厚さ（ t_{BL} ）は、好ましくは以下のように定義される。

【数3】

$$t_{BL} \cong l_{mfp}^e = \frac{\mu_n}{q} \sqrt{3kTm_e^*}$$

同様に、熱電材32がP型の場合、正孔の平均自由行程が以下のように定義される。

20

【数4】

$$l_{mfp}^h = \frac{\mu_p}{q} \sqrt{3kTm_h^*}$$

ここで、 l_{mfp}^h は、バリア材層38内の正孔の平均自由行程であり、 μ_p はバリア材層38の電子移動度であり、 q は電子の電荷であり、 k はボルツマン定数であり、 T は温度（単位はケルビン）であり、 m_h^* は正孔質量である。したがって、熱電材32がP型の場合、バリア材層38の厚さ（ t_{BL} ）は、好ましくは以下のように定義される。

【数5】

$$t_{BL} \cong l_{mfp}^h = \frac{\mu_p}{q} \sqrt{3kTm_h^*}$$

30

【0027】

一例として、好ましい実施形態では、バリア材層38はPbSeである。この例に関して、所望の温度は室温（すなわち300ケルビン）であると仮定する。したがって、数3を使用すると、以下の表に示すように、室温での軽くドーブしたPbSe内の電子の平均自由行程は16.9nm（ナノメートル）である。

【表1】

N_d (cm ⁻³)	μ_n (cm ² /vs)	m_e^* (x m_0)	l_{mfp}^e (nm)
1×10^{18}	1,000	0.1	16.9

40

同様に、数5を使用すると、以下の表に示すように、室温での軽くドーブしたPbSe内の正孔の平均自由行程は105nmである。

【表 2】

N_a (cm ⁻³)	M_p (cm ² /vs)	m_h^* (x m_0)	l_{mfp}^h (nm)
2×10^{17}	600	0.1	10.1

したがって、この例では、バリア材層 38 の厚さは、熱電材 32 が N 型の場合には約 16.9 nm であり、熱電材 32 が P 型の場合には約 10.1 nm である。しかし、PbSe 内での電荷キャリアの平均自由行程は、高温での数十ナノメートルから低温での数百ナノメートルの範囲を取ることができることに留意されたい。

【0028】

さらに、この実施形態では、第 2 のマトリクス材層 40 厚さ (t_{ML}) は、バリア材層 38 の厚さの 3 倍以上である。第 2 のマトリクス材層 40 の厚さ (t_{ML}) をバリア材層 38 の厚さ (t_{BL}) の 3 倍以上にすることによって、第 1 のマトリクス材層 36 からバリア材層 38 を通って第 2 のマトリクス材層 40 内に進む電荷キャリアが、少なくとも 3 倍散乱可能となることによって熱的に緩和される。すなわち、電荷キャリアは、熱平衡レベルに達することが可能である。電荷キャリアを熱的に緩和させることに関して、第 1 のマトリクス材層 36 の厚さは重要ではないことに留意されたい。したがって、第 1 のマトリクス材層 36 の厚さは任意の所望の厚さにすることができる。

【0029】

図 3 は、本開示の一実施形態による図 2 の熱電材 32 に関する例示的なエネルギーバンド図である。この例では、熱電材 32 は N 型である。しかし、この論述は、熱電材 32 が P 型の場合にも当てはまる。この実施形態では、バリア材層 38 の合金化、第 1 のマトリクス材層 36 および第 2 のマトリクス材層 40 のドーピング、またはそれら両方が、熱電材 32 のフェルミエネルギー (E_f) がバリア材層 38 のバリア高さ (Δ) またはその付近になるように選択または制御される。フェルミエネルギー (E_f) は、フェルミディラック確率分布関数が 0.5 であるエネルギーレベル (すなわち、そのレベルよりも上に電荷キャリアの半分があると予想されるエネルギーレベル) を定義するので、フェルミエネルギー (E_f) をバリア高さ (Δ) またはその付近になるように増加させることによって、より多くの電子がバリア高さ (Δ) またはそれより上に存在する。その結果、交差面実効キャリア密度が増加され、これがさらに、熱電材 32 に関する ZT 値を増加させる。フェルミエネルギー (E_f) は、バリア高さ (Δ) とほぼ等しくてよく、またはバリア高さ (Δ) 付近の値範囲内でもよい。

【0030】

例えば、好ましい実施形態では、第 1 のマトリクス材層 36 および第 2 のマトリクス材層 40 は PbSe であり、バリア材層 38 は PbSnSe である。バリア高さ (Δ) は、Sn 含有量によって制御することができる。より具体的には、Sn 含有量を増加させると、バリア高さ (Δ) が増加する。追加として、または代替として、例えばビスマス (Bi) などの不純物を添加することによって、I V-VI 族半導体材料のドーピングによってフェルミエネルギー (E_f) を制御することができる。ドーピングレベルを増加させるにつれて、フェルミエネルギー (E_f) が伝導帯 (N 型) または価電子帯 (P 型) の中へさらに移動していく。Sn 含有量および/またはドーピングを制御して、フェルミエネルギー (E_f) をバリア高さ (Δ) またはその付近に設定することができる。この例では、フェルミエネルギー (E_f) は、例えば、バリア高さ (Δ) とほぼ等しくなるように設定することができ、またはバリア高さ (Δ) $\pm$ 約 $0.1^* kT$ (ここで k はボルツマン定数であり、 T は温度 (単位はケルビン) である) の範囲内にすることができ、またはバリア高さ (Δ) - 約 $0.1^* kT$ の範囲内にすることができ、例えば、室温で、26 meV の熱エネルギー (kT) で、フェルミエネルギー (E_f) をバリア高さ (Δ) $\pm$ 3 meV に制御することができる。

10

20

30

40

50

【0031】

図4に、本開示の別の実施形態による高いZT値を有する薄膜熱電材42（本明細書では以後「熱電材42」と呼ぶ）を示す。熱電材42は、IⅤ-VⅤ族半導体材料から形成されたヘテロ構造44を含む。ヘテロ構造44は、交互の一連のマトリクス材層46とポテンシャルバリア材層48（本明細書では以後「バリア材層48」と呼ぶ）を含む。ポテンシャルバリアとして働くように、バリア材層48は、マトリクス材層46のバンドギャップよりも大きいバンドギャップを有し、したがって、本明細書では「広いバンドギャップ材料から形成される」と言い表す。得られるバリア材層48のバリア高さは、好ましくは25meV～100meVの範囲内（両端を含む）であるが、それに限定されない。好ましい実施形態では、マトリクス材層46はPbSnSeであり、バリア材層48はPbSeである。しかし、他のIⅤ-VⅤ族半導体材料を使用することもできる。この例示的実施形態では、ヘテロ構造44は、最初のマトリクス材層46-0、および交互の一連のバリア材層48-1～48-4とマトリクス材層46-1～46-4を含む。この例示的実施形態では、5つのマトリクス材層46-0～46-4（本明細書ではまとめてマトリクス材層46と呼ぶ）と、4つのバリア材層48-1～48-4（本明細書ではまとめてバリア材層48と呼ぶ）が存在することに留意されたい。しかし、ヘテロ構造44はそれに限定されない。ヘテロ構造44は、少なくとも2つのバリア材層48を含む限り、任意の数の交互のマトリクス材層46とバリア材層48を含むことができる。

10

【0032】

この実施形態では、熱電材42は、熱電冷却器（TEC）で動作するように設計され、したがって動作中、熱電材42の上面50が低温になり、熱電材42の底面52が高温になる。その結果、熱電材42は、対応する温度勾配54を有する、または温度勾配54を受ける。バリア材層48の厚さは、熱電材42に関する温度勾配54における対応する温度での散乱事象間の電荷キャリアの平均自由行程とほぼ等しいか、またはそれと同程度である。バリア材層48の厚さを、熱電材42の温度勾配54における対応する温度での散乱事象間の電荷キャリアの平均自由行程とほぼ等しくすることによって、バリア材層48にわたる電荷キャリアの弾道輸送が可能になり、それにより熱電材42のゼーベック係数が増加する。

20

【0033】

熱電材42がN型の場合、熱電材42内での第iのバリア材層48の厚さ（ t_{BLi} ）は、好ましくは以下のように定義される。

30

【数6】

$$t_{BLi} \cong l_{mfp}^e = \frac{\mu_n}{q} \sqrt{3kT_i m_e^*}$$

ここで、 T_i は、熱電材42内の第iのバリア材層48の位置での温度勾配54における温度（単位はケルビン）であり、 μ_n は、温度 T_i でのバリア材層48の電子移動度であり、 q は電子の電荷であり、 k はボルツマン定数であり、 m_e^* は電子質量である。同様に、熱電材42がP型の場合、熱電材42内の第iのバリア材層48の厚さ（ t_{BLi} ）は、好ましくは以下のように定義される。

40

【数7】

$$t_{BLi} \cong l_{mfp}^h = \frac{\mu_p}{q} \sqrt{3kT_i m_h^*}$$

ここで、 T_i は、熱電材42内の第iのバリア材層48の位置での温度勾配54における温度（単位はケルビン）であり、 μ_p は、温度 T_i でのバリア材層48の電子移動度であり、 q は電子の電荷であり、 k はボルツマン定数であり、 m_h^* は正孔質量である。得ることができる材料品質、および熱電材42の絶対温度に応じて、高温用に設計されるバリア

50

材層 48 の厚さは数ナノメートル程に薄くすることができ、一方、低温用に設計されるバリア材層 48 は 100 ナノメートル以上に厚くすることができる。

【0034】

さらに、この実施形態では、電荷キャリアの流れの方向で、隣接するバリア材層 48 の下流にある各マトリクス材層 46 の厚さは、すぐ前のバリア材層 48 の厚さの 3 倍以上である。より具体的には、この実施形態では、マトリクス材層 46-1 の厚さ (t_{ML1}) がバリア材層 48-1 の厚さ (t_{BL1}) の 3 倍以上であり、マトリクス材層 46-2 の厚さ (t_{ML2}) がバリア材層 48-2 の厚さ (t_{BL2}) の 3 倍以上であり、マトリクス材層 46-3 の厚さ (t_{ML3}) がバリア材層 48-3 の厚さ (t_{BL3}) の 3 倍以上であり、マトリクス材層 46-4 の厚さ (t_{ML4}) がバリア材層 48-4 の厚さ (t_{BL4}) の 3 倍以上である。マトリクス材層 46-1~46-4 の厚さ ($t_{ML1} \sim t_{ML4}$) を、対応するバリア材層 48-1~48-4 の厚さ ($t_{BL1} \sim t_{BL4}$) の 3 倍以上にすることにより、電荷キャリアは、バリア材層 48-1~48-4 を通過した後に少なくとも 3 倍散乱可能となることによって熱的に緩和される。すなわち、電荷キャリアは、熱平衡レベルに達することが可能である。電荷キャリアを熱的に緩和させることに関して、マトリクス材層 46-0 の厚さは重要でないことに留意されたい。したがって、マトリクス材層 46-0 の厚さは任意の所望の厚さにすることができる。

【0035】

一実施形態では、コレクタ層（例えばマトリクス材層 46-1~46-4）内への量子井戸の組込みが、サブバンド縮退分裂効果と関連付けられた電子フォノン共鳴により、電子の捕獲および熱励起を促進することができることに留意すべきである。量子井戸の組込みは、コレクタ層をより薄くできるようにし、したがって所与の素子構造厚さでより多数のバリア材層 48 を提供できるので、有用となることがある。さらなる利益は、周期的な量子井戸層の組込みが、ウムクラップ (Umklapp) プロセスと関連付けられたフォノン散乱の増加により格子熱伝導率を減少させることである。同様の材料設計コンセプトのこれらおよび他の変形および組合せは、本開示の範囲内にあるとみなされる。

【0036】

図 5 は、本開示の一実施形態による図 4 の熱電材 42 に関する例示的なエネルギーバンド図である。この例では、熱電材 42 は N 型である。しかし、この論述は、熱電材 42 が P 型の場合にも当てはまる。この実施形態では、バリア材層 48 の合金化、マトリクス材層 46 のドーピング、またはそれら両方が、熱電材 42 のフェルミエネルギー (E_f) がバリア材層 48 のバリア高さ (Δ) またはそれより上になるように選択または制御される。フェルミエネルギー (E_f) は、フェルミディラック確率分布関数が 0.5 であるエネルギーレベル（すなわち、そのレベルよりも上に電荷キャリアの半分があると予想されるエネルギーレベル）を定義するので、フェルミエネルギー (E_f) をバリア高さ (Δ) またはその付近になるように増加させることによって、より多くの電子がバリア高さ (Δ) またはその付近に存在する。その結果、交差面実効キャリア密度が増加され、これがさらに、熱電材 42 に関する ZT 値を増加させる。フェルミエネルギー (E_f) は、バリア高さ (Δ) とほぼ等しくてよく、またはバリア高さ (Δ) 付近の値範囲内でもよい。例えば、フェルミエネルギー (E_f) は、例えば、バリア高さ (Δ) とほぼ等しくなるように設定することができ、またはバリア高さ (Δ) $\pm$ 約 0.1^*kT （ここで k はボルツマン定数であり、 T は温度（単位はケルビン）である）の範囲内にすることができ、またはバリア高さ (Δ) $-$ 約 0.1^*kT の範囲内にすることができる。

【0037】

図 6 に、本開示の別の実施形態による高い ZT 値を有する薄膜熱電材 56（本明細書では以後「熱電材 56」と呼ぶ）を示す。この実施形態は、図 4 の実施形態とほぼ同じである。しかし、熱電材 56 は、TEC ではなく熱電発電機 (TEG) で使用するために設計される。熱電材 56 は、IV-VI 族半導体材料から形成されたヘテロ構造 58 を含む。ヘテロ構造 58 は、交互の一連のマトリクス材層 60 とポテンシャルバリア材層 62（本明細書では以後「バリア材層 62」と呼ぶ）を含む。ポテンシャルバリアとして働くよう

に、バリア材層 6 2 は、マトリクス材層 6 0 のバンドギャップよりも大きいバンドギャップを有し、したがって、本明細書では「広いバンドギャップの材料から形成される」と言い表す。得られるバリア材層 6 2 のバリア高さは、好ましくは $25 \text{ meV} \sim 100 \text{ meV}$ の範囲内（両端を含む）であるが、それに限定されない。好ましい実施形態では、マトリクス材層 6 0 は PbSnSe であり、バリア材層 6 2 は PbSe である。しかし、他の $\text{I V} - \text{V I}$ 族半導体材料を使用することもできる。この例示的实施形態では、ヘテロ構造 5 8 は、最初のマトリクス材層 6 0 - 0、および交互の一連のバリア材層 6 2 - 1 ~ 6 2 - 4 とマトリクス材層 6 0 - 1 ~ 6 0 - 4 を含む。この例示的实施形態では、5 つのマトリクス材層 6 0 - 0 ~ 6 0 - 4（本明細書ではまとめてマトリクス材層 6 0 と呼ぶ）と、4 つのバリア材層 6 2 - 1 ~ 6 2 - 4（本明細書ではまとめてバリア材層 6 2 と呼ぶ）が存在することに留意されたい。しかし、ヘテロ構造 5 8 はそれに限定されない。ヘテロ構造 5 8 は、少なくとも 2 つのバリア材層 6 2 を含む限り、任意の数の交互のマトリクス材層 6 0 とバリア材層 6 2 を含むことができる。

10

【0038】

この実施形態では、熱電材 5 6 は、TEG で動作するように設計されており、したがって動作中、熱電材 5 6 の上面 6 4 が高温になり、熱電材 5 6 の底面 6 6 が低温になる。その結果、熱電材 5 6 は、対応する温度勾配 6 8 を有する、または温度勾配 6 8 を受ける。バリア材層 6 2 の厚さは、熱電材 5 6 に関する温度勾配 6 8 における対応する温度での散乱事象間の電荷キャリアの平均自由行程とほぼ等しいか、またはそれと同程度である。バリア材層 6 2 の厚さを、熱電材 5 6 の温度勾配 6 8 における対応する温度での散乱事象間の電荷キャリアの平均自由行程とほぼ等しくすることによって、バリア材層 6 2 にわたる電荷キャリアの弾道輸送が可能になり、それにより、熱電材 5 6 のゼーベック係数が増加する。

20

【0039】

熱電材 5 6 が N 型の場合、熱電材 5 6 内での第 i のバリア材層 6 2 の厚さ (t_{BLi}) は、好ましくは以下のように定義される。

【数 8】

$$t_{BLi} \cong l_{mfp}^e = \frac{\mu_n}{q} \sqrt{3kT_i m_e^*}$$

30

ここで、 T_i は、熱電材 5 6 内の第 i のバリア材層 6 2 の位置での温度勾配 6 8 における温度（単位はケルビン）であり、 μ_n は、温度 T_i でのバリア材層 6 2 の電子移動度であり、 q は電子の電荷であり、 k はボルツマン定数であり、 m_e^* は電子質量である。同様に、熱電材 5 6 が P 型の場合、熱電材 5 6 内の第 i のバリア材層 6 2 の厚さ (t_{BLi}) は、好ましくは以下のように定義される。

【数 9】

$$t_{BLi} \cong l_{mfp}^h = \frac{\mu_p}{q} \sqrt{3kT_i m_h^*}$$

40

ここで、 T_i は、熱電材 5 6 内の第 i のバリア材層 6 2 の位置での温度勾配 6 8 における温度（単位はケルビン）であり、 μ_p は、温度 T_i でのバリア材層 6 2 の電子移動度であり、 q は電子の電荷であり、 k はボルツマン定数であり、 m_h^* は正孔質量である。得ることができる材料品質、および熱電材 5 6 の絶対温度に応じて、高温用に設計されるバリア材層 6 2 の厚さは数ナノメートル程に薄くすることができ、一方、低温用に設計されたバリア材層 6 2 は 100 ナノメートル以上に厚くすることができる。

【0040】

さらに、この実施形態では、電荷キャリアの流れの方向で、隣接するバリア材層 6 2 の下流にある各マトリクス材層 6 0 の厚さは、すぐ前のバリア材層 6 2 の厚さの 3 倍以上である。より具体的には、この実施形態では、マトリクス材層 6 0 - 1 の厚さ (t_{ML1}) が

50

バリア材層 6 2-1 の厚さ (t_{BL1}) の 3 倍以上であり、マトリクス材層 6 0-2 の厚さ (t_{ML2}) がバリア材層 6 2-2 の厚さ (t_{BL2}) の 3 倍以上であり、マトリクス材層 6 0-3 の厚さ (t_{ML3}) がバリア材層 6 2-3 の厚さ (t_{BL3}) の 3 倍以上であり、マトリクス材層 6 0-4 の厚さ (t_{ML4}) がバリア材層 6 2-4 の厚さ (t_{BL4}) の 3 倍以上である。マトリクス材層 6 0-1 ~ 6 0-4 の厚さ ($t_{ML1} \sim t_{ML4}$) を、対応するバリア材層 6 2-1 ~ 6 2-4 の厚さ ($t_{BL1} \sim t_{BL4}$) の 3 倍以上にすることにより、電荷キャリアは、バリア材層 6 2-1 ~ 6 2-4 を通過した後に少なくとも 3 倍散乱可能となることによって熱的に緩和される。すなわち、電荷キャリアは、熱平衡レベルに達することが可能である。電荷キャリアを熱的に緩和させることに関して、マトリクス材層 6 0-0 の厚さは重要でないことに留意されたい。したがって、マトリクス材層 6 0-0 の厚さは任意の所望の厚さにすることができる。

10

【0041】

一実施形態では、コレクタ層（例えばマトリクス材層 6 0-1 ~ 6 0-4）内への量子井戸の組込みが、サブバンド縮退分裂効果と関連付けられた電子フォノン共鳴により、電子の捕獲および熱励起を促進することができることに留意すべきである。量子井戸の組込みは、コレクタ層をより薄くできるようにし、したがって所与の素子構造厚さでより多数のバリア材層 6 2 を提供できるので、有用となることがある。さらなる利益は、周期的な量子井戸層の組込みが、ウムクラッププロセスと関連付けられたフォノン散乱の増加により格子熱伝導率を減少させることである。同様の材料設計コンセプトのこれらおよび他の変形および組合せは、本開示の範囲内にあるものとみなされる。

20

【0042】

図 7 は、本開示の一実施形態による図 6 の熱電材 5 6 の例示的なエネルギーバンド図である。この例では、熱電材 5 6 は N 型である。しかし、この論述は、熱電材 5 6 が P 型の場合にも当てはまる。この実施形態では、バリア材層 6 2 の合金化、マトリクス材層 6 0 のドーピング、またはそれら両方が、熱電材 5 6 のフェルミエネルギー (E_f) がバリア材層 6 2 のバリア高さ (Δ) またはその付近になるように選択または制御される。フェルミエネルギー (E_f) は、フェルミディラック確率分布関数が 0.5 であるエネルギーレベル（すなわち、そのレベルよりも上に電荷キャリアの半分があると予想されるエネルギーレベル）を定義するので、フェルミエネルギー (E_f) をバリア高さ (Δ) またはその付近になるように増加させることによって、より多くの電子がバリア高さ (Δ) またはそれより上に存在する。その結果、交差面実効キャリア密度が増加され、これがさらに、熱電材 5 6 に関する ZT 値を増加させる。フェルミエネルギー (E_f) は、バリア高さ (Δ) とほぼ等しくてよく、またはバリア高さ (Δ) 付近の値範囲内でもよい。例えば、フェルミエネルギー (E_f) は、例えば、バリア高さ (Δ) とほぼ等しくなるように設定することができ、またはバリア高さ (Δ) $\pm$ 約 $0.1 * kT$ （ここで k はボルツマン定数であり、 T は温度（単位はケルビン）である）の範囲内にすることができ、またはバリア高さ (Δ) - 約 $0.1 * kT$ の範囲内にすることができる。

30

【0043】

図 8 は、本開示の一実施形態による蛇行構成において直列接続された複数の薄膜熱電素子 7 2-1 ~ 7 2-10（まとめて熱電素子 7 2 と呼ぶ）を含む熱電モジュール 7 0 を示す。好ましくは、熱電素子 7 2 は、上述した熱電材 3 2、4 2、または 5 6 から形成される。図示するように、TEG として構成するとき、熱電モジュール 7 0 の上面（熱電素子 7 2 の蛇行構成が見えるように、図示せず）に熱を加え、それにより、熱電モジュール 7 0 の上面と熱電モジュール 7 0 の底面 7 4 の間に熱的な差が生成される。その結果、熱電モジュール 7 0 内で電流が生成され、この電流は、図示するように、蛇行経路内を熱電素子 7 2 を通って（すなわち熱電素子 7 2-1 を通って熱電素子 7 2-2 に、さらに熱電素子 7 2-3 に、さらに熱電素子 7 2-4 に、さらに以下同様に）流れる。それとは対照的に、TEC として構成するときには、熱電モジュール 7 0 に電流を加え、図示される蛇行経路内で熱電素子 7 2 を通って電流が流れるようにする。その結果、熱電モジュール 7 0 の上面が冷却される。

40

50

【0044】

図9A～図9Jは、本開示の一実施形態による図8の熱電モジュール70を製造するためのプロセスを模式図で示す。図9Aに示すように、プロセスは基板76から始まる。一実施形態では、基板76はシリコン(Si)基板である。しかし、本開示はそれに限定されない。例えばサファイア基板など他のタイプの基板を使用することもできる。次に、図9Bに示すように、基板76の上に解放層78を形成する。一実施形態では、解放層78はフッ化バリウム(BaF₂)であり、これは容易に水に可溶である。しかし、基板76上に形成された構造を基板76から分離させることができるように、他のタイプの解放層を使用することもできることに留意されたい。

【0045】

次に、図9Cに示すように、解放層78の上にN型熱電材層80を形成する。好ましくは、N型熱電材層80は、上述した熱電材32、42、または56から形成される。しかし、本開示はそれに限定されない。他のタイプの薄膜熱電材を使用することもできる。N型熱電材層80は、分子ビームエピタキシ(MBE)、液相エピタキシ(LPE)、または金属有機化学蒸着(MOCVD)など既知の薄膜製造技法を使用して形成する。一実施形態では、N型熱電材層80は、5μm(マイクロメートル)～25μmの範囲内(両端を含む)の厚さを有する。次いで、図9Dに示すように、N型熱電材層80の上にメタライズ層(ML)を形成する。メタライズ層82は複数の機能を果たし、したがって1つまたは複数の異なる材料またはサブ層から構成することができる。好ましくは、メタライズ層82は、低い固有接触抵抗を実現するためのN型熱電材層80に隣接するオーム接触サブ層と、N型熱電材層80内への原子種の移動を防止するための拡散バリアサブ層と、別の金属への低温での取付けのための共晶接合金属と、金などの酸化バリアサブ層とを含む。メタライズ層82の厚さは、好ましくは1.0～5.0ミクロンの範囲内(両端を含む)である。メタライズ層82は、例えば電子ビーム堆積または電気めっきなどブランケットメタライゼーションプロセスによって形成する。好ましくは、メタライズ層82は、高い導電率および熱伝導率を有する材料を含む。例えば、銅および銀を使用することができる。

【0046】

次に、図9Eに示すように、フォトリジスト層84を堆積してパターン化する。次いで、図9Fに示すように、フォトリジスト層84が除去された領域内で、メタライズ層82およびN型熱電材層80を、N型熱電材層80を貫通して解放層78まで下へエッチングして、複数のN型熱電材レッグ86-1～86-20を形成する(本明細書ではまとめてN型熱電材レッグ86と呼ぶ)。湿式化学エッチングと乾式プラズマエッチングの組合せ、または単独での乾式プラズマエッチングを使用することができる。20個のN型熱電材レッグ86を図示したが、任意の所望の数の1つまたは複数のN型熱電材レッグ86にすることができることに留意されたい。各N型熱電材レッグ86は、N型熱電材層80とメタライズ層82の対応する部分を含む。

【0047】

次に、図9Gに示すように、N型熱電材レッグ86の第1の部分に第1の電極集合体88を接合させる。第1の電極集合体88は、窒化アルミニウム(AlN)セラミック90と、複数の銅トレース92-1～92-10(図9Gでは92-1～92-3のみが見える)を含む。ここでも、銅は一例である。高い導電率および熱伝導率を有する他の材料を使用することもできる。例えば、代わりに銀を使用することができる。この実施形態では、銅トレース92-1～92-10(本明細書ではまとめて銅トレース92と呼ぶ)を、例えば金-スズ、鉛-スズ、金-インジウム、インジウムなどの共晶接合材(EBM)で金属化する。好ましくは、共晶接合材は、0.5～5.0ミクロンの範囲内(両端を含む)の厚さを有する。共晶接合材は低融点材料であり、液体状態で、例えば銅-銅拡散接合よりもかなり低い接合圧力しか必要としない。その結果、接合中の圧力によりN型熱電材が損傷を受ける可能性がかなり低減される。望ましくない酸化物の生成を防止するために、接合ステップを真空環境内で行うことが好ましい。しかし、本開示が共晶接合に限定さ

10

20

30

40

50

れないことに留意されたい。また、A1Nは一例であることにも留意すべきである。低い導電率および高い熱伝導率を有する任意の材料（例えばダイヤモンド、酸化ベリリウム、アルミナなど）を使用することもできる。

【0048】

この実施形態では、銅トレース92は「L」字形である。一実施形態では、「L」字形銅トレース92は、最も厚い点では $2\mu\text{m}$ ～ $5\mu\text{m}$ の範囲内（両端を含む）の厚さを有し、最も薄い点では $1\mu\text{m}$ ～ $2\mu\text{m}$ の範囲内（両端を含む）の厚さを有する。物理蒸着法または電気化学蒸着法を用いた複数回の堆積ステップを使用して「L」字形トレースを形成することができる。シャドーマスクの使用を伴う加法的技法、またはフォトリソグラフィマスクおよび化学エッチングを伴う減法的技法を使用することができる。好ましくは、金属化したTEレグセグメントへの低温での取付けを容易にするために、銅トレース92に共晶接合金属を被覆する。N型熱電材レグ86-1、86-3、86-5、86-7、86-9、86-11、86-13、86-15、86-17、および86-19をそれぞれ銅トレース92-1～92-10に接合させる。「L」字形銅トレース92の薄い部分は、後でP型熱電材レグを接合させる位置であり、それにより熱電モジュール70の製造を完了する。

【0049】

この時点で、解放層78を溶解させ、それによりN型熱電材レグ86を基板76から解放する。一実施形態では、解放層78はフッ化バリウム（ BaF_2 ）であり、水に溶解される。次いで、図9Hに示すように、第1の電極集合体88を基板76から持ち上げる。次いで、図9Iに示すように、N型熱電材レグ86の露出したN型熱電材表面をメタライズ層93で金属化する。好ましくは、メタライズ層93は、低い固有接触抵抗を実現するためのN型熱電材に隣接するオーム接触サブ層と、N型熱電材への原子種の移動を防止するための拡散バリアサブ層と、別の金属への低温での取付けのための共晶接合金属と、金などの酸化バリアサブ層とを含む。各N型熱電材レグ86の表面上のメタライズ層93は、メタライズ層93がN型熱電材レグ86の側壁を被覆しないように電子ビーム蒸着など直接視線の物理蒸着技法によって形成することができる。必要であれば、N型熱電材レグ86の側壁は、金属堆積が生じないようにフォトレジストで被覆することができる。次いで、当業者によく知られている標準的なメタライゼーションリフトオフ技法を使用して、メタライズ層93がN型熱電材レグ86の上面のみを覆っている電極集合体構造を得ることができる。

【0050】

また、図9Jに示すように、図9A～9IのプロセスをP型熱電材に関しても行い、第2の電極集合体96に接合させるP型熱電材レグ94を形成する。第1の電極集合体88と同様に、第2の電極集合体96は、A1Nセラミック98と、複数の銅トレース100-1～100-10（本明細書ではまとめて銅トレース100と呼ぶ）を含む。銅トレース100-1～100-10をP型熱電材レグ94の対応する部分、すなわちP型熱電材レグ94-2、94-4、94-6、94-8、94-10、94-12、94-14、94-16、94-18、および94-20に接合させる。第2の電極集合体が銅トレース100-0を含み、この銅トレース100-0は、より薄い部分、すなわち対応するP型熱電材レグ94を接合させることができる位置を有することに留意されたい。

【0051】

やはり図9Jに示すように、ここでも、P型熱電材レグ94を含む第2の電極集合体96を対応する基板から除去した後、P型熱電材レグ96の露出したP型熱電材表面をメタライズ層101で金属化する。好ましくは、メタライズ層101は、低い固有接触抵抗を実現するためにP型熱電材に隣接するオーム接触サブ層と、P型熱電材への原子種の移動を防止するための拡散バリアサブ層と、別の金属への低温での取付けのための共晶接合金属と、金などの酸化バリアサブ層とを含む。ここで使用する共晶接合金属は、好ましくは、TEレグ材料の反対側の共晶接合金属よりも低い液相温度を有する。例えば、AuIn共晶接合金属は、TEレグの反対側でより高い液相温度のAuSn接合金属を液

化させることなく使用することができる。各P型熱電材レッグ94の表面上のメタライズ層101は、メタライズ層101がP型熱電材レッグ94の側壁を被覆しないように電子ビーム蒸着など直接視線の物理蒸着技法によって形成することができる。必要であれば、P型熱電材レッグ94の側壁を、金属堆積が生じないようにフォトレジストで被覆することができる。次いで、当業者によく知られている標準的なメタライゼーションリフトオフ技法を使用して、メタライズ層101がP型熱電材レッグ94の上面のみを覆っている電極集合体構造を得ることができる。

【0052】

最後に、図9Kに示すように、フリップチップ接合プロセスを使用して、図9Iの第1の電極集合体88を図9Jの第2の電極集合体96に接合させる。接合温度は、共晶接合金属を液化するのに十分に高いが、先に使用したTE材料の反対側にある共晶接合金属の液相温度未満である。この時点で、熱電モジュール70の製造が完了する。具体的には、N型熱電材レッグ86-1とP型熱電材レッグ94-2が第1の熱電素子を形成し、N型熱電材レッグ86-3とP型熱電材レッグ94-4が、第1の熱電素子と直列に結合された第2の熱電素子を形成し、以下同様である。

【0053】

図10A~10Pは、本開示の別の実施形態による図8の熱電モジュール70の製造を示す。このプロセスの多くの態様は上述したものと同様である。ここでも、図10Aに示すように、プロセスは基板76から始まる。次に、図10Bに示すように、基板76の上に解放層78を形成する。次に、図10Cに示すように、解放層78の上にN型熱電材層80を形成する。次いで、図10Dに示すように、N型熱電材層80の上に磁気メタライズ層(MML)102を形成する。この実施形態では、磁気メタライズ層102は、上述した図9Dのメタライズ層82とほぼ同じであるが、磁性材料をさらに含む。1つの好ましい実施形態では、磁気メタライズ層102は、コバルト(Co)などの磁性材料のサブ層を含む。コバルトサブ層は、好ましくは厚さが50nm(ナノメートル)~300nmである。高い導電率および熱伝導率を有する他のタイプの磁性材料を使用することもできることに留意されたい。コバルト(Co)などの磁性材料のサブ層は、磁気メタライズ層102のサブ層の内部の任意の所望の位置に位置決めすることができる。例えば、磁性材料のサブ層は、N型熱電材層80に隣接する磁気メタライズ層102の第1のサブ層でよく、または磁気メタライズ層102の最上層のサブ層でよく、または磁気メタライズ層102の上面と底面の間の任意のサブ層でよい。磁気メタライズ層102は、例えばPVDまたは電気めっきなどブラケットメタライゼーションプロセスによって形成される。

【0054】

次に、図10Eに示すように、フォトレジスト層84を堆積してパターン化する。次いで、図10Fに示すように、パターン化したフォトレジスト層84の除去された領域内で、磁気メタライズ層102およびN型熱電材層80を、N型熱電材層80を貫通して解放層78まで下へエッチングして、N型熱電材レッグ86を形成する。各N型熱電材レッグ86は、N型熱電材層80および磁気メタライズ層102の対応する部分を含む。次に、図10Gに示すように、N型熱電材レッグ86の第1の部分に第1の電極集合体88を接合させる。この実施形態でも、銅トレース92を、例えば金-スズ、鉛-スズ、金-インジウム、インジウムなどの共晶接合材で金属化する。

【0055】

この時点で、N型熱電材レッグ86とは反対側で基板76の下に磁石104を配置する。次いで、解放層78を溶解させる。次いで、図10Hに示すように、第1の電極集合体88を基板76から持ち上げる。次いで、図10Iに示すように、N型熱電材レッグ86の露出したN型熱電材表面をメタライズ層93で金属化する。好ましくは、メタライズ層93は、低い固有接触抵抗を実現するためのN型熱電材に隣接するオーム接触サブ層と、N型熱電材への原子種の移動を防止するための拡散バリアサブ層と、別の金属への低温での取付けのための共晶接合金属と、金などの酸化バリアサブ層とを含む。ここで使用する共晶接合金属は、好ましくは、TEレッグ材料の反対側の共晶接合金属よりも低い液相温

度を有する。例えば、AuIn共晶接合金属は、TEレグの反対側でより高い液相温度のAuSn接合金属を液化させることなく使用することができる。各N型熱電材レグ86の表面上のメタライズ層93は、メタライズ層93がN型熱電材レグ86の側壁を被覆しないように電子ビーム蒸着など直接視線の物理蒸着技法によって形成することができる。必要であれば、N型熱電材レグ86の側壁を、金属堆積が生じないようにフォトリソで被覆することができる。次いで、当業者によく知られている標準的なメタライゼーションリフトオフ技法を使用して、メタライズ層93がN型熱電材レグ86の上面のみを覆っている電極集合体構造を得ることができる。

【0056】

磁石104とN型熱電材レグ86の磁気メタライズ層部分との間の磁力により、第1の電極集合体88に接合されていないN型熱電材レグ86は、解放層78を溶解させた後に基板76上に残る。磁力なしでは、切り離されていないN型熱電材レグ86（すなわち、第1の電極集合体88に接合されていないN型熱電材レグ86）は、解放層78を溶解させたときに失われる。したがって、歩留りを50%～100%増加させることができる。

【0057】

図10Jに示すように、N型熱電材レグ86の残りの部分が磁力により基板76上に残るので、この実施形態では、N型熱電材レグ86の残りの部分に第3の電極集合体106を接合させることによって、N型熱電材レグ86の残りの部分を切り離することができる。第3の電極集合体106は、AlNセラミック108と、いくつかの銅トレース110-1～110-10（本明細書ではまとめて銅トレース110と呼ぶ。図10Jでは110-1と110-2のみが見える）を含む。また、P型熱電材レグ94を接合させることができる位置を確定する「L」字形でない銅トレース110-0が存在することに留意されたい。ここでも、銅は一例である。高い導電率および熱伝導率を有する他の材料を使用することもできる。例えば、代わりに銀を使用することができる。この実施形態では、銅トレース110を、例えば金-スズ、鉛-スズ、金-インジウム、インジウムなどの共晶接合材（EBM）で金属化する。好ましくは、共晶接合材は、0.5～5.0ミクロンの範囲内（両端を含む）の厚さを有する。共晶接合材は低融点材料であり、液体状態で、例えば銅-銅拡散接合よりもかなり低い接合圧力しか必要としない。その結果、接合中の圧力によりN型熱電材が損傷を受ける可能性がかなり低減される。望ましくない酸化物の生成を防止するために、接合ステップを真空環境内で行うことが好ましい。しかし、本開示が共晶接合に限定されないことに留意されたい。また、AlNは一例であることにも留意すべきである。低い導電率および高い熱伝導率を有する任意の材料（例えばダイヤモンド、酸化ベリリウム、アルミナなど）を使用することもできる。

【0058】

この実施形態では、銅トレース110は「L」字形である。一実施形態では、「L」字形銅トレース110は、最も厚い点では2μm～5μmの範囲内（両端を含む）の厚さを有し、最も薄い点では1μm～2μmの範囲内（両端を含む）の厚さを有する。物理蒸着法または電気化学蒸着法を用いた複数回の堆積ステップを使用して「L」字形トレースを形成することができる。シャドーマスクの使用を伴う加法的技法、またはフォトリソグラフィマスクおよび化学エッチングを伴う減法的技法を使用することができる。好ましくは、金属化したTEレグセグメントへの低温での取付けを容易にするために、銅トレース110に共晶接合金属を被覆する。N型熱電材レグ86-2、86-4、86-6、86-8、86-10、86-12、86-14、86-16、86-18、および86-20をそれぞれ銅トレース110-1～110-10に接合させる。「L」字形銅トレース110の薄い部分は、後でP型熱電材レグを接合させる位置であり、それにより熱電モジュール70の製造を完了する。

【0059】

次いで、図10Kに示すように、N型熱電材レグ86を含む第3の電極集合体106を基板76から持ち上げる。N型熱電材レグ86の残りの部分を基板76から解放する

ために、磁石104を基板76から離れるように（またはその逆に）移動させることができることに留意されたい。ここでも上述したように、図10Lに示すように、N型熱電材レッグ86の露出したN型熱電材表面をメタライズ層93で金属化する。

【0060】

また、図10A～10LのプロセスをP型熱電材に関しても行い、それぞれ図10Mおよび図10Nに示すように第2の電極集合体96および第4の電極集合体112に接合させるP型熱電材レッグ94を形成する。他の電極集合体と同様に、第4の電極集合体112は、AlNセラミック114と、複数の銅トレース116-1～116-10（本明細書ではまとめて銅トレース116と呼ぶ）を含む。第2の電極集合体96の銅トレース100-1～100-10をP型熱電材レッグ94の対応する部分、すなわちP型熱電材レッグ94-2、94-4、94-6、94-8、94-10、94-12、94-14、94-16、94-18、および94-20に接合させる。同様に、第4の電極集合体112の銅トレース116-1～116-10をP型熱電材レッグ94の残りの部分、すなわちP型熱電材レッグ94-1、94-3、94-5、94-7、94-9、94-11、94-13、94-15、94-17、および94-19に接合させる。

10

【0061】

最後に、図10Oに示すように、フリップチップ接合プロセスを使用して、図10Iの第1の電極集合体88を図10Mの第2の電極集合体96に接合させる。接合温度は、共晶接合金属を液化するのに十分に高いが、先に使用したTE材料の反対側にある共晶接合金属の液相温度未満である。この時点で、熱電モジュール70の製造が完了する。同様に、図10Pに示すように、フリップチップ接合プロセスを使用して、図10Lの第3の電極集合体106と図10Nの第4の電極集合体112を互いに接合させて、第2の熱電モジュール118を製造する。

20

【0062】

図11A～11Oは、本開示の別の実施形態による図8の熱電モジュール70の製造を示す。このプロセスの多くの態様は上述したものと同様である。ここでも、図11Aに示すように、プロセスは基板76から始まる。次に、図11Bに示すように、基板76の上に解放層78を形成する。次に、図11Cに示すように、解放層78の上にN型熱電材層80を形成する。次いで、図11Dに示すように、N型熱電材層80の上にメタライズ層82を形成する。次に、図11Eに示すように、フォトレジスト層84を堆積してパターン化する。

30

【0063】

次いで、図11Fに示すように、パターン化したフォトレジスト層84の除去された部分を通して、メタライズ層82およびN型熱電材層80を、N型熱電材層80の底部から所定の厚さ（ t ）（この実施形態では解放層78からの所定の厚さ（ t ））まで下へエッチングして、N型熱電材レッグ86を形成する。各N型熱電材レッグ86は、N型熱電材層80およびメタライズ層82の対応する部分を含む。一実施形態では、所定の厚さ（ t ）は例えば $0.5\mu\text{m}\sim 2\mu\text{m}$ でよい。別の実施形態では、所定の厚さは、N型熱電材層80の厚さの10%～20%である。以下に論じるように、N型熱電材層80を通して完全にはエッチングしないことにより、N型熱電材層80の底面は、ブランケットメタライゼーションに適した連続的な表面である。

40

【0064】

次に、図11Gに示すように、解放層78を溶解させて、N型熱電材レッグ86を基板76から除去し、ブランケットメタライゼーションを行って、N型熱電材レッグ86の連続的な底面の上に磁気メタライズ層120を形成する。好ましくは、磁気メタライズ層120は、コバルト（Co）など磁性材料のサブ層を含めた複数のサブ層を含む。一実施形態では、磁気メタライズ層120はコバルト（Co）サブ層を含み、ここでコバルト（Co）サブ層は、 $50\text{nm}\sim 300\text{nm}$ の範囲内（両端を含む）の厚さを有する。また、磁気メタライズ層120は、低い固有接触抵抗を実現するためのN型熱電材に隣接するオーミック接触サブ層と、N型熱電材への原子種の移動を防止するための拡散バリアサブ層と、別

50

の金属への低温での取付けのための共晶接合金属と、金などの酸化バリアサブ層とを含むこともできる。磁気メタライズ層120の全体の厚さは、好ましくは1.0～5.0ミクロンの範囲内（両端を含む）である。コバルトが一例であることに留意されたい。高い導電率および熱伝導率を有する他のタイプの磁性材料を使用することもできる。

【0065】

次いで、図11Hに示すように、基板122の上にN型熱電材レッグ86を配置し、N型熱電材レッグ86の第1の部分に第1の電極集合体88を接合させる。第1の電極集合体88は、AlNセラミック90と銅トレース92を含む。この時点で、やはり図11Hに示すように、N型熱電材レッグ86とは反対側で基板122の下に磁石124を配置する。図11Iに示すように、第1の電極集合体88を持ち上げることによる機械的な力と、磁石124とコバルトの間の磁力とにより、N型熱電材レッグ86を分解し、接合されたN型熱電材レッグ86の第1の部分を有する第1の電極集合体88を提供する。切り離されていないN型熱電材レッグ86（すなわち、第1の電極集合体88に接合されていないN型熱電材レッグ86）が基板122に取り付けられたままであったことに留意されたい。この実施形態では、図11Jに示すように、N型熱電材レッグ86の残りの部分に第3の電極集合体106を接合させる。第3の電極集合体106は、AlNセラミック108と銅トレース110を含む。次いで、図11Kに示すように、N型熱電材レッグ86を含む第3の電極集合体106を基板76から持ち上げる。

10

【0066】

また、図11A～11KのプロセスをP型熱電材に関しても行い、それぞれ図11Lおよび図11Mに示すように第2の電極集合体96および第4の電極集合体112に接合させるP型熱電材レッグ94を形成する。最後に、図11Nに示すように、フリップチップ接合プロセスを使用して、図11Iの第1の電極集合体88を図11Lの第2の電極集合体96に接合させる。この時点で、熱電モジュール70の製造が完了する。同様に、図11Oに示すように、フリップチップ接合プロセスを使用して、図11Kの第3の電極集合体106と図11Mの第4の電極集合体112を互いに接合させて、第2の熱電モジュール118を製造する。

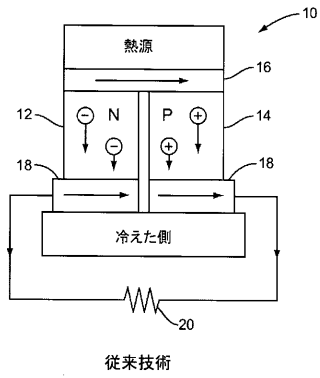
20

【0067】

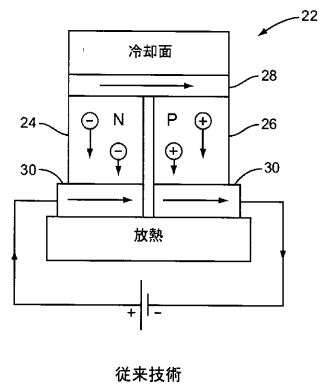
当業者は、本開示の好ましい実施形態に対する改良および変更を理解されよう。すべてのそのような改良および変更は、本明細書に開示するコンセプトおよび添付の特許請求の範囲の範囲内にあるものとみなす。

30

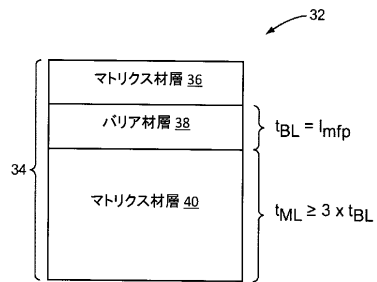
【図 1 A】



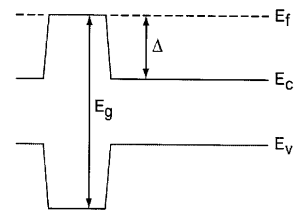
【図 1 B】



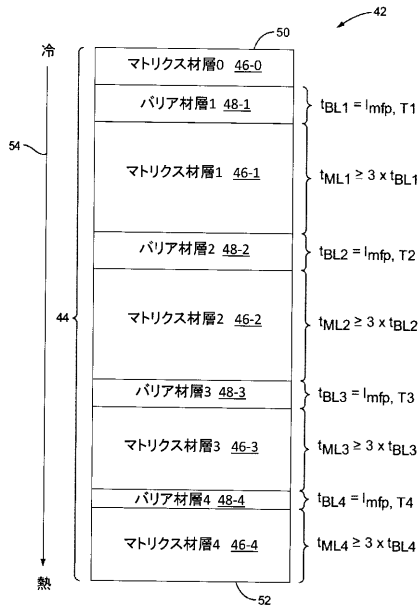
【図 2】



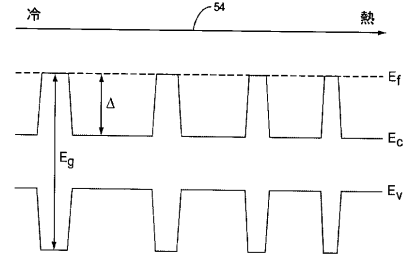
【図 3】



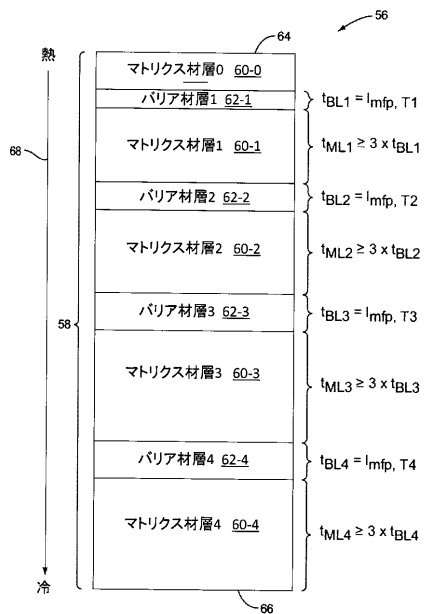
【図 4】



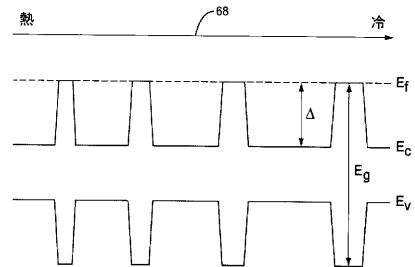
【図 5】



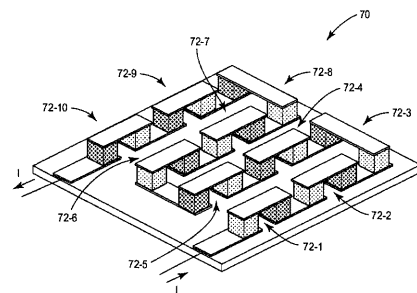
【図 6】



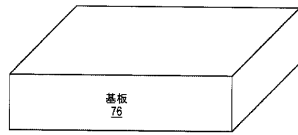
【図 7】



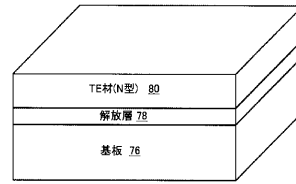
【図 8】



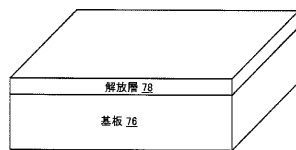
【図 9 A】



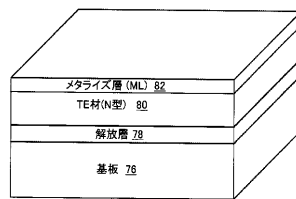
【図 9 C】



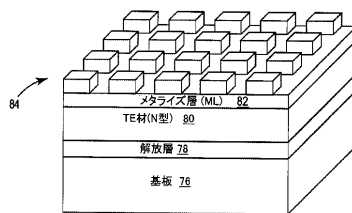
【図 9 B】



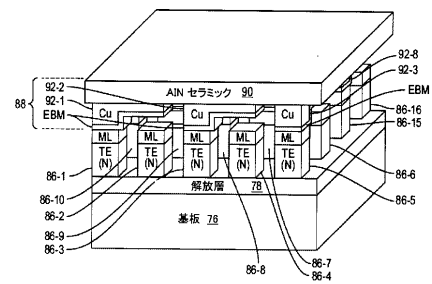
【図 9 D】



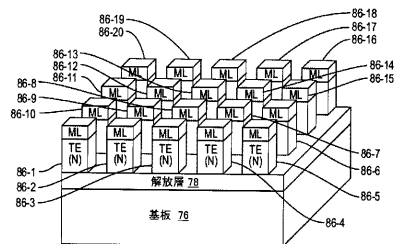
【図 9 E】



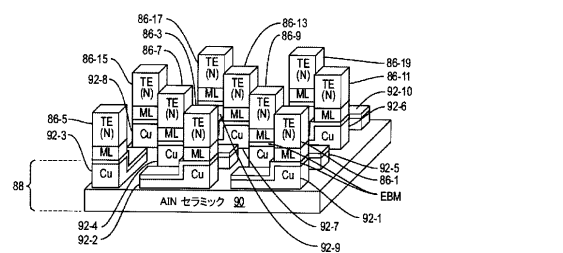
【図 9 G】



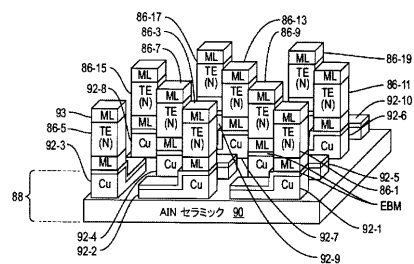
【図 9 F】



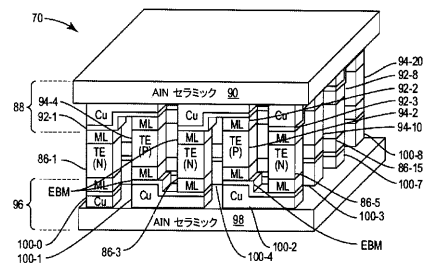
【図 9 H】



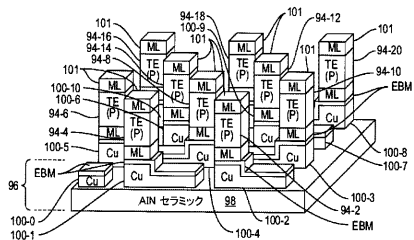
【図 9 I】



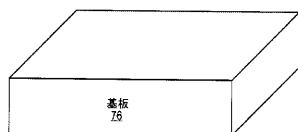
【図 9 K】



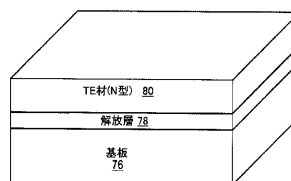
【図 9 J】



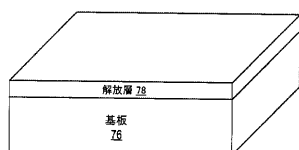
【 図 1 0 A 】



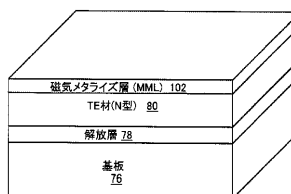
【図 10 C】



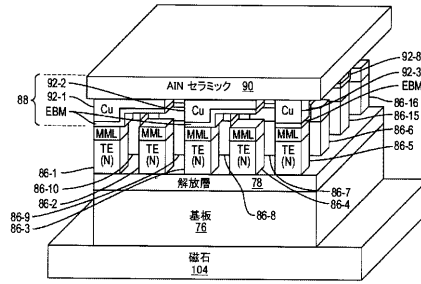
【 図 1 0 B 】



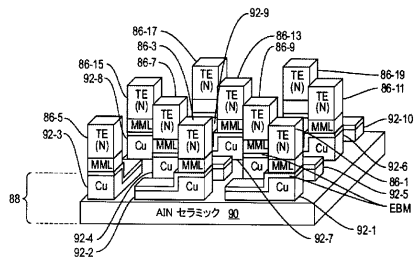
【図 10 D】



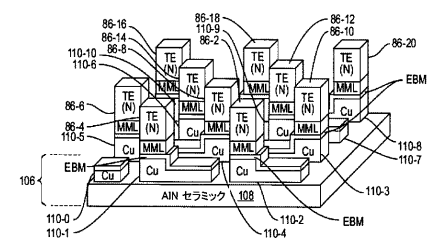
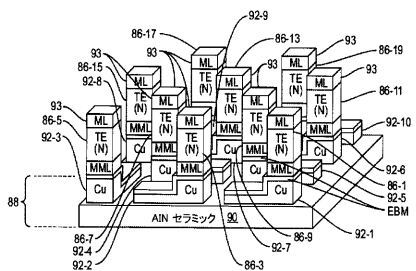
【図 10 G】



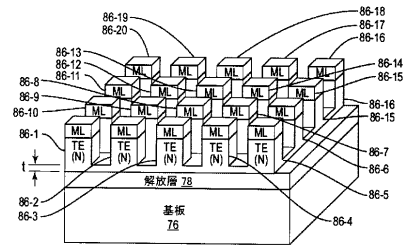
【図 10 J】



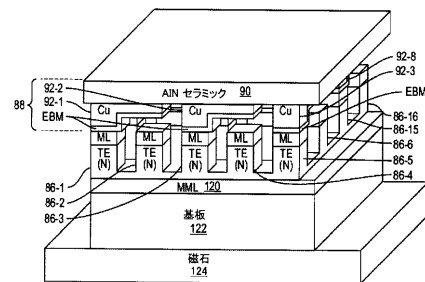
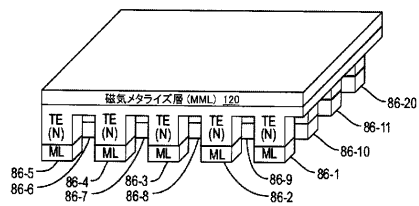
【図 10 K】



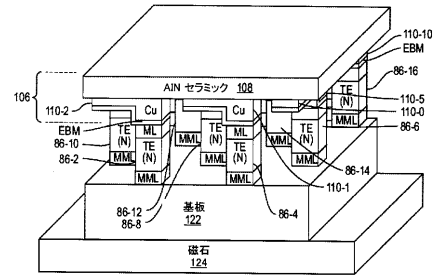
【图 1-1-F】



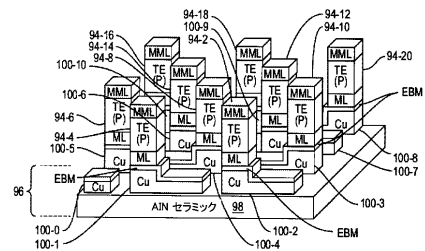
【図 1 1 H】



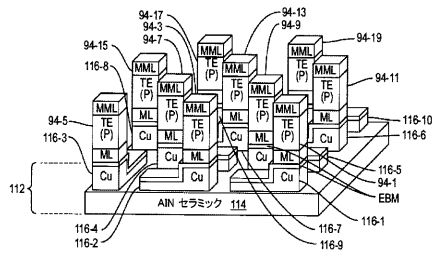
【図 1 1 J】



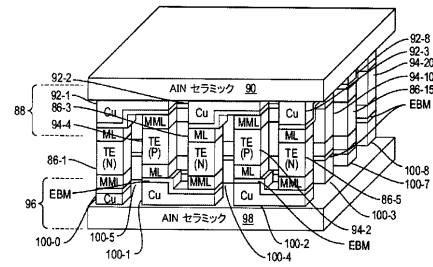
【図 1 1 L】



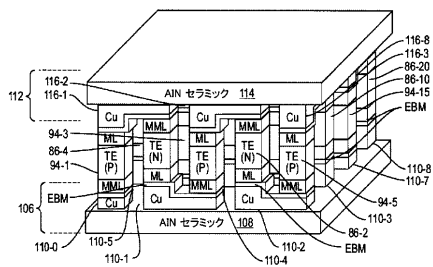
【図 1 1 M】



【図 1 1 N】



【図 1 1 O】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2010/051457

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L35/34 H01L35/08 H01L21/76 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2007/103249 A2 (NEXTREME THERMAL SOLUTIONS [US]; BHARATHAN JAYESH [US]; KOESTER DAVID) 13 September 2007 (2007-09-13) paragraph [0053] - paragraph [0118]; figures 1-13	1-5, 22, 23
Y	----- US 2005/139249 A1 (UEKI TATSUHIKO [JP] ET AL) 30 June 2005 (2005-06-30) paragraph [0602] - paragraph [0624]; figures 6-1 - 6-9 paragraph [0299] - paragraph [0365]; figures 1-1 - 1-15	1-5
Y	----- US 6 818 470 B1 (ACKLIN BRUNO [DE] ET AL) 16 November 2004 (2004-11-16) column 5, line 57 - column 6, line 24; figures 3A-3F	1-5, 9, 21
A	----- -/--	22, 23
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 6 May 2011		Date of mailing of the international search report 13/05/2011
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Kirkwood, Jonathan

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2010/051457

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006 114554 A (OKANO ELECTRIC WIRE CO LTD) 27 April 2006 (2006-04-27)	1-3,9,21
A	abstract; figures 1-7	10-12
X,P	----- KR 100 984 108 B1 (KOREA MACH & MATERIALS INST [KR]) 28 September 2010 (2010-09-28) figures 1-14	1-3
X	----- US 2003/099279 A1 (VENKATASUBRAMANIAN RAMA [US] ET AL) 29 May 2003 (2003-05-29) paragraph [0044]; figures 11-15	22,23
X	----- US 2007/028956 A1 (VENKATASUBRAMANIAN RAMA [US] ET AL) 8 February 2007 (2007-02-08) paragraph [0009] - paragraph [0010] paragraph [0090] - paragraph [0092]; figure 14	22,23
X	----- US 6 060 657 A (HARMAN THEODORE C [US]) 9 May 2000 (2000-05-09) claims 12-16; figure 1; table 1	22,23
X	----- WO 98/44562 A1 (RES TRIANGLE INST [US]; VENKATASUBRAMANIAN RAMA [US]) 8 October 1998 (1998-10-08)	22
A	figures 1-9	1
A	----- EP 1 079 445 A2 (SEIKO INSTR INC [JP]) 28 February 2001 (2001-02-28) paragraph [0050] - paragraph [0068]; figures 2,3,8-13	1-3
A	----- JP 2004 221109 A (FURUKAWA ELECTRIC CO LTD) 5 August 2004 (2004-08-05) abstract; figures 1-16	1-3
A	----- US 2005/045702 A1 (FREEMAN WILLIAM [US] ET AL) 3 March 2005 (2005-03-03) paragraph [0057] - paragraph [0068]; figures 7-9	1-3
A	----- US 7 531 739 B1 (MOCZYGEMBA JOSHUA E [US]) 12 May 2009 (2009-05-12) column 5, line 19 - column 11, line 2; figures 3-6	1-3,9-21
A	----- JP 1 235388 A (NIPPON INTER ELECTRONICS CORP) 20 September 1989 (1989-09-20) abstract; figures 1-3	4-8,13, 18
A,P	----- EP 2 159 854 A1 (SUMITOMO CHEMICAL CO [JP]) 3 March 2010 (2010-03-03) paragraph [0018]; figure 1	4-8,13, 18
	-/--	

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2010/051457

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	& JP 2008 305986 A (SUMITOMO CHEMICAL CO) 18 December 2008 (2008-12-18) abstract	4-8, 13, 18
A	----- JP 2009 076603 A (TOSHIBA CORP) 9 April 2009 (2009-04-09) abstract; figure 2 -----	4-8, 13, 18

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2010/051457

Box No. II Observations where certain claims were found unsearchable (Continuation of Item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

International Application No. PCT/ US2010/ 051457

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-3, 22, 23

A method of fabrication of a thermoelectric module comprising:
forming an N-type thin film thermoelectric material layer on a first substrate;
forming a first metallization layer on the N-type thin film thermoelectric material layer;
etching the first metallization layer and the N-type thin film thermoelectric material layer to form a plurality of N-type thermoelectric material legs;
bonding a first electrode assembly to a first portion of the plurality of N-type thermoelectric material legs;
removing the first electrode assembly including the first portion of the plurality of N-type thermoelectric material legs from the first substrate;
repeating the procedure for a P-type material; and
bonding the first electrode assembly including the first portion of the plurality of N-type thermoelectric material legs to the second electrode assembly including the first portion of the plurality of P-type thermoelectric material legs via a flip-chip bonding process to form a thermoelectric module comprising a plurality of thermoelectric devices connected in series, as well as a thermoelectric device comprising thin film N or P type legs.

2. claims: 4-8(completely); 13, 18(partially)

A method of fabrication of a thermoelectric module employing magnetic metallization layers and a magnet to hold thermoelectric legs in place when dissolving a release layer.

3. claims: 9-21

A method of fabrication of a thermoelectric module comprising etching the metallization layer and the thin film thermoelectric material layer to predetermined thickness and separating the thermoelectric material legs by mechanical force.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2010/051457

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2007103249 A2	13-09-2007	NONE	
US 2005139249 A1	30-06-2005	WO 03105244 A1 JP 3989486 B2	18-12-2003 10-10-2007
US 6818470 B1	16-11-2004	WO 0019548 A1 DE 19845104 A1 DE 59912777 D1 EP 1118127 A1 JP 3816750 B2 JP 2002526933 T	06-04-2000 06-04-2000 15-12-2005 25-07-2001 30-08-2006 20-08-2002
JP 2006114554 A	27-04-2006	NONE	
KR 100984108 B1	28-09-2010	NONE	
US 2003099279 A1	29-05-2003	NONE	
US 2007028956 A1	08-02-2007	NONE	
US 6060657 A	09-05-2000	NONE	
WO 9844562 A1	08-10-1998	AU 6783598 A US RE41801 E1	22-10-1998 05-10-2010
EP 1079445 A2	28-02-2001	JP 3600486 B2 JP 2001068746 A US 6410840 B1	15-12-2004 16-03-2001 25-06-2002
JP 2004221109 A	05-08-2004	JP 4383056 B2	16-12-2009
US 2005045702 A1	03-03-2005	NONE	
US 7531739 B1	12-05-2009	NONE	
JP 1235388 A	20-09-1989	NONE	
EP 2159854 A1	03-03-2010	CN 101689595 A JP 2008305986 A WO 2008150004 A1 US 2010170554 A1	31-03-2010 18-12-2008 11-12-2008 08-07-2010
JP 2009076603 A	09-04-2009	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW