(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3583458号
(P3583458)
(45)発行日　平成16年11月4日(2004.11.4)　(24)登録日　平成16年8月6日(2004.8.6)

(51)Int.Cl.[7]　F I
H01L 43/06　H01L 43/06　Z

請求項の数 9　(全 11 頁)

(21)出願番号　特願平6-38667
(22)出願日　平成6年3月9日(1994.3.9)
(65)公開番号　特開平7-249805
(43)公開日　平成7年9月26日(1995.9.26)
審査請求日　平成13年3月9日(2001.3.9)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100077849
弁理士　須山　佐一
(72)発明者　舟木　英之
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　研究開発センター内
(72)発明者　望月　博
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　研究開発センター内
(72)発明者　丸山　亮司
神奈川県川崎市幸区柳町７０番地　株式会社東芝　柳町工場内

最終頁に続く

(54)【発明の名称】ホール素子

(57)【特許請求の範囲】
【請求項１】
半導体基板と、
前記半導体基板上に設けられ、上面ならびに側面を有する第１導電型の半導体層と、
前記半導体層の側面と接する側面を有する絶縁部と、
前記絶縁部の前記半導体層と接する側面と隣接配置された第１導電型の第１の電流供給電極部と、
前記絶縁部の前記半導体層と接する側面と隣接配置された第１導電型の一対の第２の電流供給電極部と、
前記絶縁部の前記半導体層と接する側面と隣接配置された第１導電型のホール電圧測定用の一対のセンサ用電極部とを具備しており、
前記第１の電流供給電極部は前記一対のセンサ用電極部の間に配置され、前記第１の電流供給電極部と前記一対のセンサ用電極部は前記一対の第２の電流供給電極部の間に配置されてなるホール素子であって、
前記第１および第２の電流供給電極部間に電流が流れる時に、前記電流に垂直な方向の磁界により前記センサ用電極部間にホール電圧を誘起させる手段を有していることを特徴とするホール素子。
【請求項２】
請求項１記載のホール素子において、
前記半導体層と前記半導体基板との間には、さらに中間絶縁層が設けられており、前記中

間絶縁層は前記絶縁部と接していることを特徴とするホール素子。
【請求項３】
請求項２記載のホール素子において、
前記第１および第２の電流供給電極部および前記センサ用電極部は前記中間絶縁層と接していることを特徴とするホール素子。
【請求項４】
請求項１乃至３のいずれか１項記載のホール素子において、
前記半導体層上に形成されたゲート絶縁膜、および前記ゲート絶縁膜上に形成されたゲート電極を有することを特徴とするホール素子。
【請求項５】
請求項１記載のホール素子において、
前記半導体層は前記絶縁部により２つの区域に分離されており、各々の区域の半導体層には、１組の前記第１および第２の電流供給電極部およびセンサ用電極部が配置されていることを特徴とするホール素子。
【請求項６】
請求項１乃至５のいずれか１項記載のホール素子において、
さらに、前記第１の電流供給電極部と前記第２の電流供給電極部との間の電流の流路の長さを長くするように、前記第１の電流供給電極部と前記第２の電流供給電極部との間に電流制御手段を具備していることを特徴とするホール素子。
【請求項７】
請求項６項記載のホール素子において、
前記電流制御手段は前記第１の電流供給電極部と前記第２の電流供給電極部との間に設けられた第２の導電型の電流制御電極部を有することを特徴とするホール素子。
【請求項８】
半導体基板と、
前記半導体基板上に設けられ、上面と側面を有する第１導電型の半導体層と、
前記半導体層の側面と接すると共に、前記半導体基板の表面に対して垂直な側面を有する絶縁部と、
前記絶縁部の前記側面と隣接して配置されるように前記半導体層内に設けられた第１導電型の第１の電流供給部と、
前記絶縁部の前記側面と隣接して配置されるように前記半導体層内に設けられた第１導電型の一対の第２の電流供給部と、
前記絶縁部の前記側面と隣接して配置されるように前記半導体層内に設けられた第１導電型の一対のセンサ部とを具備しており、
前記一対のセンサ部は、前記第１および第２の電流供給部の間に電流が流れている間、前記半導体層の上面に垂直な磁束により前記センサ部の間にホール電圧が誘起されるように配置されていることを特徴とするホール素子。
【請求項９】
絶縁面を有する半導体基板と、
前記半導体基板の絶縁面上に配置され、上面と側面を有する第１導電型の半導体層と、
前記半導体層の側面と接する側面を有する絶縁部と、
前記半導体層の側面に、電流がその間を流れることができるように、隣接して配置された第１導電型の第１および第２の電流供給部と、
前記半導体層の側面に隣接して配置された第１導電型の一対のセンサ部とを備え、
前記一対のセンサ部は、前記半導体層の上面に垂直な磁束によるホール電圧が当該センサ部の間に誘起されるように配置されていることを特徴とするホール素子。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、磁界を半導体表面に対して垂直方向に印加する、いわゆる横型のホール素子に

関する。

【０００２】

【従来の技術】

図７は、従来の一般的なホール素子の構成を示す図であり、半導体１の　１つの対向する側面１ａ、１ａに電流供給電極C_1　、C_2　をそれぞれ設けると共に、他方の対向する側面１ｂ、１ｂにセンサ用電極S_1　、S_2　をそれぞれ設けることによって、ホール素子は構成されている。磁界Ｂは半導体１の主面１ｃに対して垂直方向に印加される。

【０００３】

ところで、上記したようなホール素子において、ホール電圧を得るためには、電流供給電極C_1　、C_2　間の距離Ｌとセンサ用電極S_1　、S_2　間の距離Ｗとの比Ｌ／Ｗがある程度大きい必要がある。また、センサ用電極S_1　、S_2　がそれぞれ電流供給電極C_1　、C_2　間のほぼ中間に位置する場合に最も感度が大きくなる。一方、ホール素子の性能を決める要因としては、感度以外に、磁界をかけないときに生じるオフセット電圧が挙げられる。幾何学的オフセット電圧は、センサ用電極S_1　、S_2　の位置ずれにより生じる。また、半導体１に働く応力によって、ピエゾ効果により電子の移動度に変化が生じる。これもオフセット電圧の原因となる。このようなオフセット電圧は、ホール素子を例えば電力量計等として使用する場合の誤差原因となるため、オフセット電圧を小さくするために様々な工夫がなされてきた。

【０００４】

例えば、特開昭６３－５５２２７号公報には、図８に示すように、ｎ型半導体層２の表面に　３つの電流供給電極C_1　、C_2　を形成すると共に、これら電流供給電極C_1　、C_2　間のそれぞれ中間にセンサ用電極S_1　、S_2　を形成し、電流Ｉがｎ型半導体層２の表面に対して垂直方向に延びる分布をもつようにした、いわゆる縦型ホール素子が記載されている。なお、磁界Ｂはｎ型半導体層２の表面に対して水平に印加される。

【０００５】

このような縦型ホール素子によれば、ｎ型半導体層２の表面近傍には結晶欠陥等に起因する応力が集中しているため、表面垂直方向に電流Ｉを分布させることによって、ピエゾ効果によるオフセット電圧を低減することが可能となる。また、上記縦型ホール素子は、ｎ型半導体層２の表面のみに端子を作製することができ、集積回路の製造方法であるプレーナー技術を用いることが可能となるため、工作精度の向上等を図ることができる。

【０００６】

しかしながら、上述した縦型ホール素子では、オフセット電圧の低減を図ると共に、前述したＬ／Ｗ比を大きくして感度を向上させるためには、電流供給電極３から電流Ｉがｎ型半導体層２の表面に対してできるだけ垂直に流れるようにする必要があるため、電流供給電極Ｃの大きさを大きくしなければならない。一方、電流Ｉをｎ型半導体層２の深いところを流すことには限界があるため、Ｌ／Ｗ比を大きくするためには、電流供給電極３間距離をある程度大きくしなければならない。これらのことから、上述した縦型ホール素子は、素子形状が大型化しやすいと共に、オフセット電圧の低減等にも限界があるという難点を有していた。また、上述した縦型ホール素子では、磁界Ｂをｎ型半導体層２の表面に対して水平に印加しなければならないため、ホール素子を強磁性体コア等の磁界印加手段の開口部に設置する際に、その開口部のギャップ間隔を狭めることが困難であった。ホール電圧は、開口部のギャップ間隔に反比例して得られるため、この点からも縦型ホール素子では、素子感度の向上を図ることが難しいという問題が生じていた。

【０００７】

【発明が解決しようとする課題】

上述したように、従来のプレーナー技術を適用した縦型のホール素子は、電流Ｉを半導体層の表面に対して垂直方向に流すように構成されていたため、素子を小型化した上で、ピエゾ効果によるオフセット電圧の低減とＬ／Ｗ比に基く素子感度の向上を図ることが困難であり、かつ磁界Ｂを半導体層の表面に対して水平に印加しなければならず、磁界印加手段の開口部のギャップ間隔を広く設定しなければならないため、この点からも素子感度の

向上を図ることが難しいという問題を有していた。さらに、幾何学的オフセット電圧に対する対処も十分になされていないという問題があった。

【０００８】

本発明は、このような課題に対処するためになされたもので、半導体表面に対して垂直方向に磁界を印加することを可能にすることにより、素子感度の向上を図ったホール素子を提供することを目的としており、さらには素子の小型化を図った上で、オフセット電圧の低減とＬ／Ｗ比に基く素子感度の向上を容易に達成し得るホール素子を提供することを目的としている。

【０００９】

【課題を解決するための手段】

すなわち、本発明における第１のホール素子は、半導体基板と、前記半導体基板上に設けられ、上面ならびに側面を有する第１の導電型の半導体層と、前記半導体層の側面と接する側面を有する絶縁部と、前記絶縁部の前記半導体層と接する側面と隣接配置された第１導電型の第１の電流供給電極部と、前記絶縁部の前記半導体層と接する側面と隣接配置された第１導電型の一対の第２の電流供給電極部と、前記絶縁部の前記半導体層と接する側面と隣接配置された第１導電型のホール電圧測定用の一対のセンサ用電極部とを具備し、前記第１の電流供給電極部は前記一対のセンサ用電極部の間に配置され、前記第１の電流供給電極部と前記一対のセンサ用電極部は前記一対の第２の電流供給電極部の間に配置されてなるホール素子であって、前記第１および第２の電流供給電極部間に電流が流れる時に、前記電流に垂直な方向の磁界により前記センサ用電極部間にホール電圧を誘起させる手段を有していることを特徴としている。

【００１０】

また、第２のホール素子は、半導体基板と、前記半導体基板上に設けられ、上面と側面を有する第１導電型の半導体層と、前記半導体層の側面と接すると共に、前記半導体基板の表面に対して垂直な側面を有する絶縁部と、前記絶縁部の前記側面と隣接して配置されるように前記半導体層内に設けられた第１導電型の第１の電流供給部と、前記絶縁部の前記側面と隣接して配置されるように前記半導体層内に設けられた第１導電型の一対の第２の電流供給部と、前記絶縁部の前記側面と隣接して配置されるように前記半導体層内に設けられた第１導電型の一対のセンサ部とを具備し、前記一対のセンサ部は前記第１および第２の電流供給部の間に電流が流れている間、前記半導体層の上面に垂直な磁束により前記センサ部の間にホール電圧が誘起されるように配置されていることを特徴としている。

【００１２】

【作用】

本発明の第１のホール素子においては、活性層（半導体層）の少なくとも側面部を含む周囲を囲う絶縁部に沿って電流供給電極部とセンサ用電極部を形成しているため、電流は活性層の表面と水平な方向に流れ、よって活性層表面に対して垂直方向に磁界を印加することが可能となる。従って、磁界印加手段の開口部のギャップ間隔を狭めることができ、素子感度を向上させることが可能となる。

【００１３】

また、第２のホール素子においては、電流供給電極部とセンサ用電極部を活性層（半導体層）の深さ方向に設けているため、活性層の表面と水平な方向の電流を、活性層の深部まで均一に流すことができる。従って、上記第１のホール素子と同様な素子感度の向上に加えて、活性層の表面を電流が流れないことによって、結晶欠陥等の応力により生じるピエゾ抵抗を減らすことができ、これによりピエゾ効果によるオフセット電圧を低減することが可能となる。

【００１４】

さらに、電流の流れを活性層表面と水平な方向において湾曲させることにより、電極間距離を変えることなく、容易に電流路を長くすることができる。このため、素子の大きさを変えずに、Ｌ／Ｗ比を調節することができ、素子感度の向上を図ることが可能となる。またさらに、幾何学的オフセット電圧に対しても、電流の流路を変えて抵抗を変化させるこ

とで、電極位置の非対称性によるオフセット電圧を相殺することが容易となる。

【００１５】

【実施例】

以下、本発明の実施例について説明する。

【００１６】

図１は、本発明の第１の実施例によるホール素子の構造を模式的に示す図である。同図において、１１はｐ型半導体基板であり、このｐ型半導体基板１上には中間絶縁層１２、例えば絶縁酸化層を介してｎ型半導体からなる活性層１３が設けられている。このような中間絶縁層を介して活性層が設けられた半導体基板としては、例えばＳＯＩ（Ｓｉｌｉｃｏｎ　ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板を用いることができる。そして、中間絶縁層１２を有する半導体基板１１を用いることによって、電流の流路を制限することができ、他の素子と電気的に絶縁することが可能となる。また、上記したように活性層１３を半導体基板１１の導電型と反対の導電型の半導体で構成した場合には、中間絶縁層１２を省くこともでき、このような構成においても上記ＳＯＩ基板等を用いた場合と同様な効果が得られる。

【００１７】

上記活性層１３の側面部を含む周囲は、絶縁酸化物が埋め込まれた第１のトレンチ１４により囲まれており、かつ活性層１３の中央部には、絶縁酸化物が埋め込まれた第２のトレンチ１５が設けられている。すなわち、活性層１３は第２のトレンチ１５により分断されており、実質的に側面方向周囲がそれぞれ第１および第２のトレンチ１４、１５により囲まれた　２つの活性層１３ａ、１３ｂが第２のトレンチ１５を挟んで設けられている。

【００１８】

中央部の第２のトレンチ１５の両側には、それぞれ第２のトレンチ１５に沿って3つの電流供給電極部１６ａ、１６ｂ、１６ｃが形成されており、中央の電流供給電極部１６ａから両側の電流供給電極部１６ｂ、１６ｃにそれぞれ電流Ｉが流れるように構成されている。そして、これら電流供給電極部１６ａ、１６ｂ、１６ｃ間、すなわち電極部１６ａと１６ｂの間および電極部１６ａと１６ｃの間には、そのほぼ中間に第２のトレンチ１５に沿ってセンサ用電極部１７ａ、１７ｂがそれぞれ形成されている。これら電流供給電極部１６およびセンサ用電極部１７は、それぞれ活性層１３の表面に設けられた電極１８と、この電極１８から中間絶縁層１２に達するように、活性層１３の深さ方向に拡散形成された高濃度ｎ型コンタクト領域１９とから構成されている。

【００１９】

また、電流供給電極部１６とセンサ用電極部１７との間には、各々電流制御用電極部２０ａ、２０ｂが第２のトレンチ１５の両側に沿ってそれぞれ設けられている。これら電流制御用電極部２０は、活性層１３の表面に設けられた電極２１と、この電極２１から中間絶縁層１２に達するように、活性層１３の深さ方向に拡散形成されたｐ型コンタクト領域２２とから構成されている。さらに、活性層１３の表面上には、各電極１８、２１の形成領域を除いて、ゲート酸化膜２３を介してゲート電極２４が形成されており、これら各構成要素から第１の実施例のホール素子２５が構成されている。

【００２０】

この実施例のホール素子２５においては、磁界Ｂが活性層１３の表面に対して垂直方向に印加される。すなわち、この実施例のホール素子２５は、いわゆる横型ホール素子である。なお、図１（ａ）はゲート酸化膜２３およびゲート電極２４を除く平面図であり、以下の他の実施例を示す図においても同様である。

【００２１】

上記構成のホール素子２５においては、電流供給電極部１６およびセンサ用電極部１７の高濃度ｎ型コンタクト領域１９がそれぞれ中間絶縁層１２に達するように設けられているため、活性層１３の表面と水平な方向でかつ湾曲させた電流I_1、I_2を、活性層１３の深部まで均一に流すことができる。また、活性層１３の表面上には、ゲート酸化膜２３を介してゲート電極２４が設けられており、電流Ｉが活性層１３の表面近傍を流れることを防

止している。これらにより、活性層１３の表面近傍の結晶欠陥等に基く応力により生じるピエゾ抵抗を減らすことができるため、オフセット電圧を低減することが可能となる。

【００２２】

なお、上記ゲート酸化膜２３およびゲート電極２４に代えて、活性層１３の表面近傍部にｐ型半導体層を設けることによっても、同様な効果を得ることができる。

【００２３】

また、電流制御用電極部２０は、活性層１３や電流供給電極部１６およびセンサ用電極部１７の高濃度コンタクト領域１９とは逆の導電型のｐ型コンタクト領域２２を有しているため、電流供給電極部１６間を流れる電流I_1、I_2はｐ型コンタクト領域２２を迂回して流れることになる。このため、電流供給電極部１６間の距離を変えることなく、電流I_1、I_2の流路長Ｌを長く設定することができる。従って、素子の大きさを変えずに、Ｌ／Ｗ比を調節して素子感度を向上させることが可能となる。

【００２４】

さらに、電流制御用電極部２０ａ、２０ｂ間に逆バイアスを印加することにより、電流I_1と電流I_2の流路を変えることで、抵抗を容易に変化させることができる。従って、センサ用電極部１７ａ、１７ｂの位置の非対称性によるオフセット電圧を相殺することができる。

【００２５】

次に、本発明のホール素子の第２の実施例について、図２を参照して説明する。この実施例のホール素子２６では、ｎ型半導体からなる活性層１３の周囲に設けられた、絶縁酸化物が埋め込まれたトレンチ１４の対向する　１対の辺にそれぞれ沿って、電流供給電極部１６、センサ用電極部１７および電流制御用電極部２０が各々形成されている。なお、他の構成に関しては、電流制御用電極部２０を両側の電流供給電極部１６ｂ、１６ｃとセンサ用電極部１７ａ、１７ｂ間に形成している点を除いて、上記第１の実施例と同一構造とされている。

【００２６】

このような構成のホール素子２６においては、上記第１の実施例による効果に加えて、電流供給電極部１６を向い合わせに設置しているため、幾何学的対称性から生じるオフセット電圧を打ち消すことが可能となる。

【００２７】

次に、本発明のホール素子の第３の実施例について、図３を参照して説明する。この実施例のホール素子２７は、上記第２の実施例と同様に、ｎ型半導体からなる活性層１３の周囲に設けられたトレンチ１４の対向する　１対の辺にそれぞれ沿って、電流供給電極部１６、センサ用電極部１７および電流制御用電極部２０が各々形成されていると共に、活性層１３と逆の導電型のｐ型コンタクト領域２２が中央方向に突出するように、その面積が大きく設定されている。また、センサ用電極部１７の高濃度ｎ型コンタクト領域１９は、電流制御用電極部２０のｐ型コンタクト領域２２と同様な形状とされている。なお、他の構成に関しては、第１の実施例と同一構造とされている。

【００２８】

この実施例のホール素子２７においては、ｐ型コンタクト領域２２の面積を大きく設定しているため、電流I_1、I_2はｐ型コンタクト領域２２を大きく迂回して流れることになる。従って、上記第１および第２の実施例による効果に加えて、Ｌ／Ｗ比をより大きく設定することができ、より一層素子感度を向上させることが可能となる。

【００２９】

次に、本発明のホール素子の第４の実施例について、図４を参照して説明する。この実施例のホール素子２８は、ｎ型半導体からなる活性層１３の周囲に設けられたトレンチ１４の各辺にそれぞれ沿って、電流供給電極部１６、センサ用電極部１７および電流制御用電極部２０が各々形成されている。なお、他の構成に関しては、上記第３の実施例と同一構造とされている。

【００３０】

ここで、活性層１３となるシリコンの結晶方位が　（１００）面の場合には、ピエゾ抵抗は９０°の周期で変化するので、上記実施例のホール素子２８のように、一つの基板内に９０°づつ回転させて電流供給電極部１６ａ、１６ｂ、１６ｃを設置することにより、ピエゾ抵抗を互いに打消すことができる。これにより、オフセット電圧を大幅に低減することが可能となる。

【００３１】

また、図５は上記第４の実施例の変形例を示す図であり、図５に示すホール素子２９は、電流Ｉの一部がトレンチ１４の一つの角を挟んで　１／４の円弧を描くように、電流供給電極部１６が設置されている。このような構成のホール素子２９においても、ピエゾ抵抗を互いに打消すことができ、オフセット電圧を大幅に低減することが可能となる。

【００３２】

上述した各実施例のホール素子２５、２６、２７、２８、２９は、いずれも集積回路の製造方法であるプレーナー技術を適用して製造することができる。例えば、ＳＯＩ基板を用いる場合には、活性層１３の周囲を囲むようにトレンチ１４を形成し、このトレンチ１４内に絶縁酸化物を埋め込むことによって絶縁層を形成する。次いで、活性層１３に所望の不純物を各コンタクト領域１９、２２の形状に合せて拡散させた後、電極１８、２１の形成工程およびゲート酸化膜２３、ゲート電極２４の形成工程を行う。また、ｐ型半導体基板１１上にｎ型半導体層をエピタキシャル成長させて活性層１３を形成する場合も同様である。

【００３３】

図６は、上述した各実施例によるホール素子（２５、２６、２７、２８、２９）を電力量計として用いた場合の構成例を示す図である。同図において、３１は強磁性体コアであり、この強磁性体コア３１の一部には開口部３１ａが設けられている。ホール素子３２は、強磁性体コア３１の開口部３１ａ内に水平に設置されている。また、強磁性体コア３１には、灯電線３３が巻き付けられており、この灯電線３３に電流を流すことで、この電流に比例した磁界が開口部３１ａに形成される。

【００３４】

ここで、ホール電圧は、強磁性体コア３１の開口部３１ａの距離（ギャップ間隔）ｔに反比例する。前述した各実施例によるホール素子は、いずれも半導体基板１１（活性層１３）の表面に対して垂直方向に磁界を印加することを可能にした横型ホール素子であるため、従来の縦型素子に比べてギャップ間隔ｔを小さくすることができる。従って、ホール電圧の向上、すなわち素子感度の向上を図ることができる。

【００３５】

【発明の効果】

以上説明したように、本発明の第１のホール素子によれば、半導体表面に対して垂直方向に磁界を印加することを可能にしているため、磁界強度の増大による素子感度の向上を図ることができる。また、第２のホール素子によれば、上記効果に加えて、素子の小型化を図った上で、オフセット電圧の低減とＬ／Ｗ比に基く素子感度の向上を容易に達成することが可能となる。

【図面の簡単な説明】

【図１】本発明の第１の実施例による横型ホール素子の構造を模式的に示す図であり、（ａ）は一部構成を省略した正面図、（ｂ）はそのＡ－Ａ′線に沿った断面図、（ｃ）はそのＢ－Ｂ′線に沿った断面図である。

【図２】本発明の第２の実施例による横型ホール素子の構造を模式的に示す図であり、（ａ）は一部構成を省略した正面図、（ｂ）はそのＡ－Ａ′線に沿った断面図である。

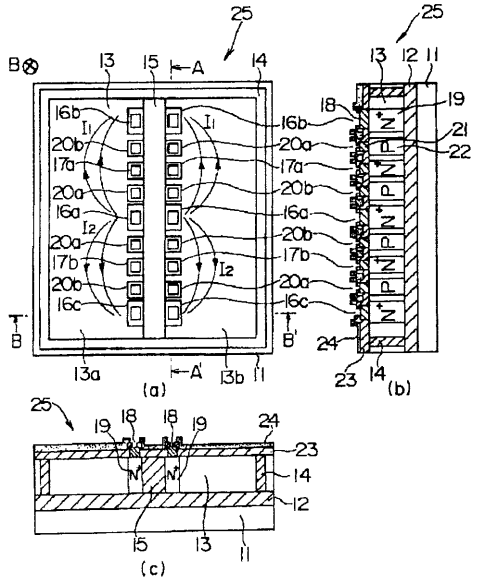
【図３】本発明の第３の実施例による横型ホール素子の構造を模式的に示す図であり、（ａ）は一部構成を省略した正面図、（ｂ）はそのＢ－Ｂ′線に沿った断面図である。

【図４】本発明の第４の実施例による横型ホール素子の構造を模式的に示す図であり、（ａ）は一部構成を省略した正面図、（ｂ）はそのＢ－Ｂ′線に沿った断面図である。

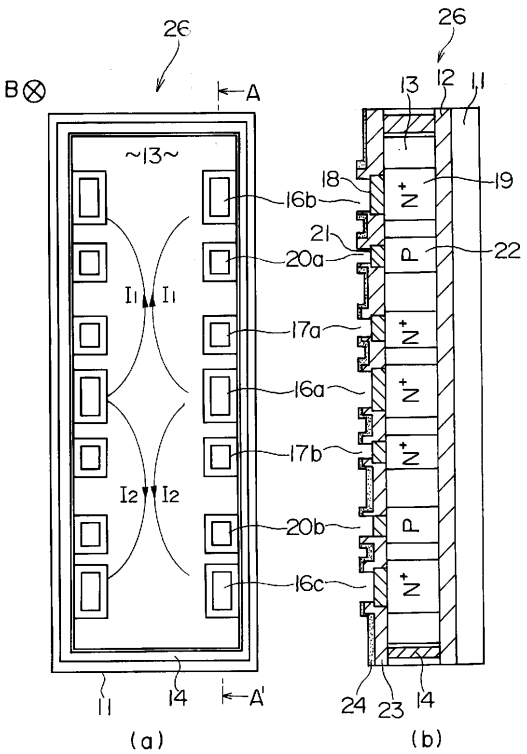
【図５】図４に示す第４の実施例の変形例を示す図である。

【図６】本発明による横型ホール素子を用いた電力量計の一構成例を示す図である。
【図７】従来の一般的なホール素子の構成を示す断面図である。
【図８】従来の縦型ホール素子の構造を模式的に示す図である。
【符号の説明】
１１……ｐ型半導体基板
１２……中間絶縁酸化層
１３……ｎ型半導体活性層
１４、１５……絶縁酸化物が埋め込まれたトレンチ
１６ａ、１６ｂ、１６ｃ……電流供給電極部
１７ａ、１７ｂ……センサ用電極部
１８、２１……電極
１９……高濃度ｎ型コンタクト領域
２０ａ、２０ｂ……電流制御用電極部
２２……ｐ型コンタクト領域
２５、２６、２７、２８、２９、３１……ホール素子

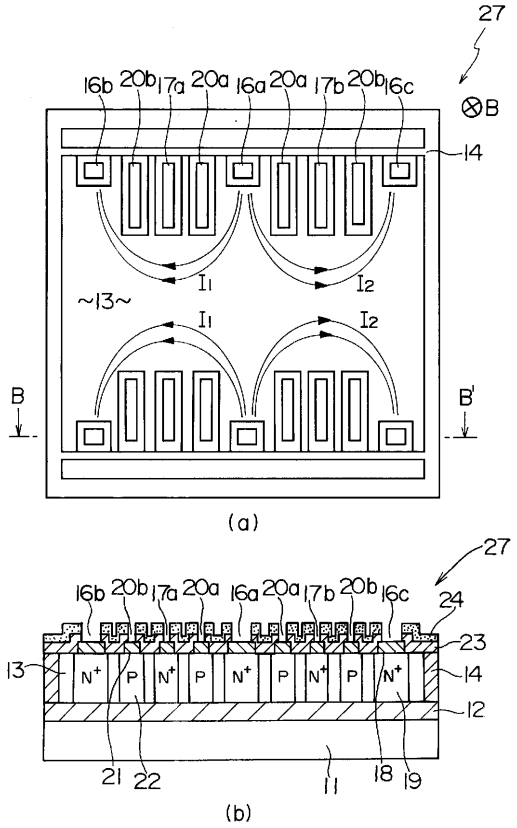
【図１】



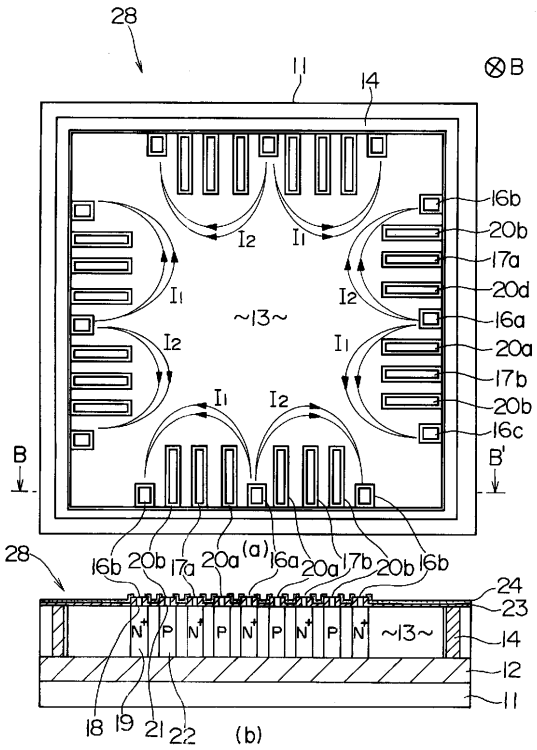
【図２】



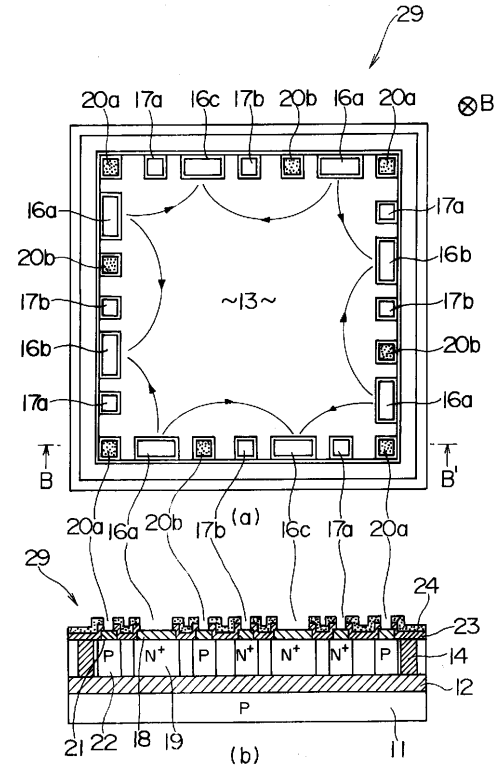
【図３】


27
16b 20b 17a 20a 16a 20a 17b 20b 16c
⊗B
14
~13~
I1
I2
B
B'
(a)
27
16b 20b 17a 20a 16a 20a 17b 20b 16c
24
23
13
N+ P N+ P N+ P N+ P N+
14
12
21 22 11 18 19
(b)

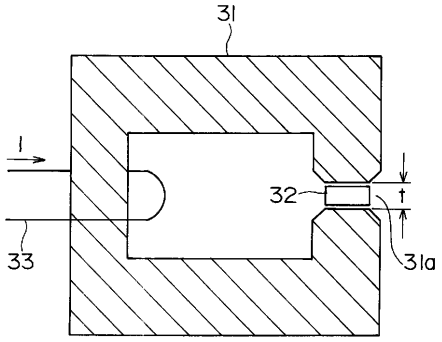
【図４】


28
11
14
⊗B
16b
20b
17a
20d
16a
20a
17b
20b
16c
I1
I2
~13~
B
B'
28
16b 20b 17a 20a (a) 16a 20a 17b 20b 16b
24
23
N+ P N+ P N+ P N+ P N+ ~13~
14
12
11
18 19 21 22
(b)

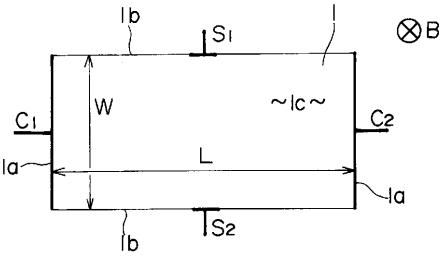
【図５】


29
20a 17a 16c 17b 20b 16a 20a
⊗B
16a
20b
17b
16b
17a
17a
16b
17b
20b
16a
~13~
B
B'
20a 16a 20b 17b (a) 16c 17a 20a
29
24
23
P N+ P N+ N+ N+ P
14
12
P
21 22 18 19
(b)
11

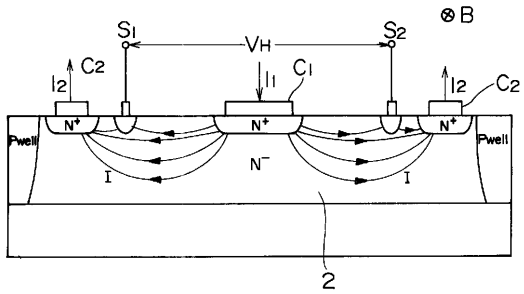
【図６】


31
I
32
t
33
31a

【図７】


1b
S1
I
⊗B
C1
W
~1c~
C2
L
1a
1a
1b
S2

【図８】



フロントページの続き

(72)発明者　藤井　佳苗
神奈川県川崎市幸区柳町７０番地　株式会社東芝　柳町工場内

審査官　小川　将之

(56)参考文献　特開昭６０－１８７０７２（ＪＰ，Ａ）
特表昭６２－５０２９２８（ＪＰ，Ａ）
特表昭６２－５０２９２７（ＪＰ，Ａ）
特開昭６１－０６９１８３（ＪＰ，Ａ）
特開昭５９－２２８７６０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 43/06