

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-166135

(P2011-166135A)

(43) 公開日 平成23年8月25日(2011.8.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 9 A	2 H 0 9 2
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 2 D	5 C 0 9 4
GO 9 F 9/30 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 1 0
GO 2 F 1/1368 (2006.01)	GO 9 F 9/30 3 3 8	
	GO 2 F 1/1368	

審査請求 未請求 請求項の数 46 O L (全 20 頁)

(21) 出願番号 特願2011-16128 (P2011-16128)
 (22) 出願日 平成23年1月28日 (2011.1.28)
 (31) 優先権主張番号 10-2010-0012957
 (32) 優先日 平成22年2月11日 (2010.2.11)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do, Republic of Korea

(74) 代理人 100121382
 弁理士 山下 託嗣
 (74) 代理人 100142860
 弁理士 木村 有香

最終頁に続く

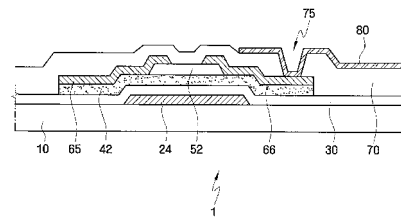
(54) 【発明の名称】 薄膜トランジスタパネルおよびその製造方法

(57) 【要約】 (修正有)

【課題】 工程中に酸化半導体パターンの劣化が発生することを防止することができる薄膜トランジスタ基板およびその製造方法を提供する。

【解決手段】 薄膜トランジスタ基板は、絶縁基板10、前記絶縁基板10上に形成されたゲート電極24およびゲート絶縁膜30、前記ゲート絶縁膜30上に配置された酸化半導体パターン42、前記酸化半導体パターン42上に形成されたエッチング防止パターン52、前記エッチング防止パターン52上に形成されたソース電極65およびドレーン電極66を含み、前記エッチング防止パターン52のすべての側面は前記酸化半導体パターン42の側面の内側に位置する。

【選択図】 図2A



【特許請求の範囲】

【請求項 1】

チャンネル領域を含む酸化物半導体パターンを形成し、
 前記チャンネル領域に対応する位置にエッチング防止パターンを形成し、
 第 1 電極および前記第 1 電極と分離された第 2 電極を形成するが、前記チャンネル領域が
 前記第 1 電極および前記第 2 電極を接続するように形成することを含み、
 前記酸化物半導体パターン、前記第 1 電極および前記第 2 電極は第 1 マスクを利用して
 形成される薄膜トランジスタを含むパネルの製造方法。

【請求項 2】

基板上に第 1 導電膜を配置し、
 前記第 1 導電膜上に第 1 絶縁膜を配置し、
 前記第 1 絶縁膜上に酸化物半導体層を配置し、
 前記エッチング防止パターンおよび前記酸化物半導体層上に第 2 導電膜を配置すること
 をさらに含み、
 前記酸化物半導体層および前記第 2 導電層は、前記第 1 マスクを利用してパターンニング
 されて前記酸化物半導体パターン、前記第 1 電極および前記第 2 電極を形成する請求項 1
 に記載の薄膜トランジスタを含むパネルの製造方法。

10

【請求項 3】

前記第 1 電極および前記第 2 電極上に第 2 絶縁膜を形成し、
 前記第 2 絶縁膜をパターンニングして前記第 1 電極を露出するコンタクトホールを形成し
 、
 前記第 2 絶縁膜上に第 3 導電膜を形成し、
 前記第 3 導電膜をパターンニングして第 3 電極を形成することをさらに含み、
 前記第 3 電極は、前記コンタクトホールを介して前記第 1 電極と接続される請求項 2 に
 記載の薄膜トランジスタを含むパネルの製造方法。

20

【請求項 4】

前記第 1 導電膜をパターンニングして第 4 電極を形成することをさらに含み、
 前記第 4 電極は、前記エッチング防止パターンおよび前記酸化物半導体パターンの下に
 配置される請求項 3 に記載の薄膜トランジスタを含むパネルの製造方法。

【請求項 5】

前記エッチング防止パターンを形成することは、前記酸化物半導体層上にエッチング防
 止膜を形成し、前記エッチング防止膜をパターンニングすることを含む請求項 4 に記載の薄
 膜トランジスタを含むパネルの製造方法。

30

【請求項 6】

前記エッチング防止パターンは、前記エッチング防止膜を乾式エッチングすることによ
 って形成される請求項 5 に記載の薄膜トランジスタを含むパネルの製造方法。

【請求項 7】

前記第 1 導電膜は第 2 マスクを利用してパターンニングされ、
 前記エッチング防止膜は第 3 マスクを利用してパターンニングされ、
 前記第 2 絶縁膜は第 4 マスクを利用してパターンニングされ、
 前記第 3 導電膜は第 5 マスクを利用してパターンニングされる請求項 5 又は 6 に記載の薄
 膜トランジスタを含むパネルの製造方法。

40

【請求項 8】

前記酸化物半導体パターン、前記第 1 電極、前記第 2 電極は、前記第 2 導電膜および前
 記酸化物半導体層を湿式エッチングすることによって形成される請求項 2 ~ 7 のいずれか
 に記載の薄膜トランジスタを含むパネルの製造方法。

【請求項 9】

前記第 2 絶縁膜は、保護膜又はカラーフィルタを含む請求項 3 ~ 8 のいずれかに記載の
 薄膜トランジスタを含むパネルの製造方法。

【請求項 10】

50

基板と、
 前記基板上の第 1 電極と、
 前記第 1 電極上の第 1 絶縁膜と、
 前記第 1 絶縁膜上のチャンネル領域を含む酸化物半導体パターンと、
 前記酸化物半導体パターン上のエッチング防止パターン、および
 前記基板上の導電膜として信号線、第 2 電極および第 3 電極を含む導電膜を含み、
 前記第 2 電極および前記第 3 電極はエッチング防止パターンおよび酸化物半導体パター
 ン上に配置され、

前記酸化物半導体パターンの側壁は、前記酸化物半導体パターンの前記チャンネル領域を
 除いて実質的に前記信号線、前記第 2 電極および前記第 3 電極の側壁と整列される (c o
 i n c i d e) 薄膜トランジスタを含むパネル。

10

【請求項 1 1】

前記酸化物半導体パターンの前記チャンネル領域の側壁の少なくとも一部は、前記エッチ
 ング防止パターンの側壁の少なくとも一部に整列される請求項 1 0 に記載の薄膜トランジ
 スタを含むパネル。

【請求項 1 2】

前記第 2 電極および前記第 3 電極のうち少なくとも一つは、前記酸化物半導体パター
 ンの側壁表面に直接配置されず、前記酸化物半導体パターンの上部表面に直接配置される請
 求項 1 0 又は 1 1 に記載の薄膜トランジスタを含むパネル。

20

【請求項 1 3】

前記第 2 電極および前記第 3 電極のうち少なくとも一つは、前記エッチング防止パター
 ンの上部表面および側壁に直接に配置される請求項 1 2 に記載の薄膜トランジスタを含む
 パネル。

【請求項 1 4】

前記第 2 電極および前記第 3 電極上に配置され、前記第 2 電極を露出するコンタクトホ
 ールを含む第 2 絶縁膜、および

前記第 2 絶縁膜上に配置され、前記第 2 絶縁膜内の前記コンタクトホールを介して前記
 第 2 電極に接続された第 4 電極をさらに含む請求項 1 3 に記載の薄膜トランジスタを含む
 パネル。

30

【請求項 1 5】

前記酸化物半導体パターンは、化学式 $A_x B_x O_x$ および $A_x B_x C_x O_x$ で表示され
 る一つ以上の化合物を含み、

前記化学式で A は In、Zn、Ga、Hf、または Cd であり、

B は Zn、Ga、Sn、または In であり、

C は Sn、Zn、Cd、Ga、In、または Hf であり、

O は酸素原子であり、

各 x は独立的でありかつ 0 ではない整数であり、

A、B、および C は互いに異なる請求項 1 ~ 1 4 のいずれかに記載の薄膜トランジスタを
 含むパネル。

40

【請求項 1 6】

前記酸化物半導体パターンは、InZnO、InGaO、InSnO、ZnSnO、G
 aSnO、GaZnO、GaZnSnO、GaInZnO、およびHfInZnOのうち
 少なくとも一つを含む請求項 1 5 に記載の薄膜トランジスタを含むパネル。

【請求項 1 7】

前記第 2 絶縁膜は、保護膜又はカラーフィルタを含む請求項 1 4 ~ 1 6 のいずれかに記
 載の薄膜トランジスタを含むパネル。

【請求項 1 8】

チャンネル領域を含む酸化物半導体パターンを形成し、

前記チャンネル領域に対応する位置にエッチング防止パターンを形成し、

第 1 電極及び前記第 1 電極と分離された第 2 電極を形成し、前記チャンネル領域が前記第

50

1 電極および前記第 2 電極を接続するように形成することを含み、
前記エッチング防止パターンおよび前記酸化物半導体パターンは、第 1 マスクを利用して形成される薄膜トランジスタを含むパネルの製造方法。

【請求項 19】

基板上に第 1 導電膜を配置し、
前記第 1 導電膜上に第 1 絶縁膜を配置し、
前記第 1 絶縁膜上に酸化物半導体層を配置し、
前記酸化物半導体層上にエッチング防止膜を配置することをさらに含み、
前記エッチング防止パターンおよび前記酸化物半導体パターンは、前記第 1 マスクを利用して前記エッチング防止膜および前記酸化物半導体層をエッチングすることによって形成される請求項 18 に記載の薄膜トランジスタを含むパネルの製造方法。

10

【請求項 20】

前記エッチング防止膜および前記酸化物半導体層をパターンニングすることは、前記第 1 マスクを利用してフォトレジストパターンを形成することを含む請求項 19 に記載の薄膜トランジスタを含むパネルの製造方法。

【請求項 21】

前記エッチング防止膜および前記酸化物半導体層をパターンニングすることは、前記フォトレジストパターンを有する前記エッチング防止パターンをエッチングして臨時エッチング防止パターンを形成することをさらに含む請求項 20 に記載の薄膜トランジスタを含むパネルの製造方法。

20

【請求項 22】

前記エッチング防止膜および前記酸化物半導体層をパターンニングすることは、前記臨時エッチング防止パターンを有する前記酸化物半導体層をエッチングし、前記酸化物半導体パターンを形成することをさらに含む請求項 21 に記載の薄膜トランジスタを含むパネルの製造方法。

【請求項 23】

前記エッチング防止膜および前記酸化物半導体層をパターンニングすることは、前記臨時エッチング防止パターンをエッチングし、前記エッチング防止パターンを形成することをさらに含む請求項 22 に記載の薄膜トランジスタを含むパネルの製造方法。

【請求項 24】

前記臨時エッチング防止パターンは、前記エッチング防止膜を乾式エッチングすることによって形成される請求項 23 に記載の薄膜トランジスタを含むパネルの製造方法。

30

【請求項 25】

前記酸化物半導体パターンは、前記酸化物半導体層を湿式エッチングすることによって形成される請求項 24 に記載の薄膜トランジスタを含むパネルの製造方法。

【請求項 26】

前記エッチング防止パターンは、前記臨時エッチング防止パターンを乾式エッチングすることによって形成される請求項 25 に記載の薄膜トランジスタを含むパネルの製造方法。

【請求項 27】

前記臨時エッチング防止パターンをエッチングして前記エッチング防止パターンを形成することは、前記第 1 絶縁膜をエッチングすることをさらに含む請求項 26 に記載の薄膜トランジスタを含むパネルの製造方法。

40

【請求項 28】

前記エッチング防止パターンおよび前記酸化物半導体パターン上に第 2 導電膜を形成することをさらに含み、

前記第 2 導電膜は、パターンニングされて前記第 1 電極および第 2 電極を形成する請求項 19 ~ 27 のいずれかに記載の薄膜トランジスタを含むパネルの製造方法。

【請求項 29】

前記第 1 電極および前記第 2 電極上に第 2 絶縁膜を形成し、

50

前記第 2 絶縁膜をパターンングして前記第 1 電極を露出するコンタクトホールを形成し

、
前記第 2 絶縁膜上に第 3 導電膜を形成し、

前記第 3 導電膜をパターンングして第 3 電極を形成することをさらに含み、

前記第 3 電極は、前記コンタクトホールを介して前記第 1 電極と接続される請求項 2 8 に記載の薄膜トランジスタを含むパネルの製造方法。

【請求項 3 0】

前記第 1 導電膜をパターンングして第 4 電極を形成することをさらに含み、

前記第 4 電極は、前記エッチング防止パターンおよび前記酸化物半導体パターンの下に配置される請求項 2 9 に記載の薄膜トランジスタを含むパネルの製造方法。

10

【請求項 3 1】

前記第 1 導電膜は第 2 マスクを利用してパターンングされ、

前記第 2 導電膜は第 3 マスクを利用してパターンングされ、

前記第 2 絶縁膜は第 4 マスクを利用してパターンングされ、

前記第 3 導電膜は第 4 マスクを利用してパターンングされる請求項 3 0 に記載の薄膜トランジスタを含むパネルの製造方法。

【請求項 3 2】

前記第 2 絶縁膜は、保護膜又はカラーフィルタを含む請求項 2 9 ~ 3 1 のいずれかに記載の薄膜トランジスタを含むパネルの製造方法。

【請求項 3 3】

20

基板と、

前記基板上の第 1 電極と、

前記第 1 電極上の第 1 絶縁膜と、

前記第 1 絶縁膜上の酸化物半導体パターンと、

前記酸化物半導体パターン上のエッチング防止パターン、および

前記エッチング防止パターンおよび前記酸化物半導体パターン上の第 2 電極および第 3 電極を含み、

前記第 1 絶縁膜は、前記エッチング防止パターンの下に配置された第 1 領域および前記第 1 領域の外部に配置された第 2 領域を含み、

前記第 1 領域の厚さは、前記第 2 領域の厚さと異なる薄膜トランジスタを含むパネル。

30

【請求項 3 4】

前記第 1 領域の厚さは、前記第 2 領域の厚さより大きい請求項 3 3 に記載の薄膜トランジスタを含むパネル。

【請求項 3 5】

前記第 1 絶縁膜の前記第 1 領域の上部表面は、非エッチングされた表面であり、前記第 1 絶縁膜の前記第 2 領域の上部表面はエッチングされた表面である請求項 3 4 に記載の薄膜トランジスタを含むパネル。

【請求項 3 6】

前記第 2 電極および前記第 3 電極のうち少なくとも一つは、前記第 1 絶縁膜の前記第 1 領域の上部表面に直接配置されず、前記第 1 絶縁膜の前記第 2 領域の上部表面に直接配置される請求項 3 5 に記載の薄膜トランジスタを含むパネル。

40

【請求項 3 7】

前記第 2 電極および前記第 3 電極のうち少なくとも一つは、前記酸化物半導体パターンの側壁および上部表面に直接配置される請求項 3 3 ~ 3 6 のいずれかに記載の薄膜トランジスタを含むパネル。

【請求項 3 8】

前記第 2 電極および前記第 3 電極のうち少なくとも一つは、前記エッチング防止パターンの側壁および上部表面に直接に配置される請求項 3 6 又は 3 7 に記載の薄膜トランジスタを含むパネル。

【請求項 3 9】

50

前記第 2 電極および前記第 3 電極上に配置され、前記第 2 電極を露出するコンタクトホールを含む第 2 絶縁膜、および

前記第 2 絶縁膜上に配置され、前記第 2 絶縁膜内の前記コンタクトホールを介して前記第 2 電極に接続された第 4 電極をさらに含む請求項 38 に記載の薄膜トランジスタを含むパネル。

【請求項 40】

前記エッチング防止パターンのパターンは、完全に前記酸化物半導体パターンの周壁 (perimeter) 内に含まれる請求項 33 ~ 39 のいずれかに記載の薄膜トランジスタを含むパネル。

【請求項 41】

前記酸化物半導体パターンは、化学式 $A_x B_x O_x$ および $A_x B_x C_x O_x$ で表示される一つ以上の化合物を含み、

前記化学式で A は In、Zn、Ga、Hf、または Cd であり、

B は Zn、Ga、Sn、または In であり、

C は Sn、Zn、Cd、Ga、In、または Hf であり、

O は酸素原子であり、

各 x は独立的でありかつ 0 ではない整数であり、

A、B、および C は互いに異なる請求項 33 ~ 40 のいずれかに記載の薄膜トランジスタを含むパネル。

【請求項 42】

前記酸化物半導体パターンは、InZnO、InGaO、InSnO、ZnSnO、GaSnO、GaZnO、GaZnSnO、GaInZnO、および HfInZnO のうち少なくとも一つを含む請求項 41 に記載の薄膜トランジスタを含むパネル。

【請求項 43】

前記第 2 絶縁膜は、保護膜又はカラーフィルタを含む請求項 39 ~ 42 のいずれかに記載の薄膜トランジスタを含むパネル。

【請求項 44】

基板と、

前記基板上の第 1 電極と、

前記第 1 電極上の第 1 絶縁膜と、

前記第 1 絶縁膜上の酸化物半導体パターンと、

前記酸化物半導体パターン上のエッチング防止パターン、および

前記エッチング防止パターンおよび前記酸化物半導体パターン上の第 2 電極および第 3 電極を含み、

前記エッチング防止パターンのパターンは、完全に前記酸化物半導体パターンの周壁内に含まれ、前記エッチング防止パターンのおよび前記酸化物半導体パターンの間の相応する距離は実質的に同一の薄膜トランジスタを含むパネル。

【請求項 45】

前記第 2 電極および前記第 3 電極のうち少なくとも一つは、前記酸化物半導体パターンの側壁および上部表面に直接配置される請求項 44 に記載の薄膜トランジスタを含むパネル。

【請求項 46】

前記第 2 電極および前記第 3 電極のうち少なくとも一つは、前記エッチング防止パターンの側壁および上部表面に直接に配置される請求項 45 に記載の薄膜トランジスタを含むパネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、薄膜トランジスタパネルおよび薄膜トランジスタパネルの製造方法に関するものである。

10

20

30

40

50

【背景技術】

【0002】

液晶表示装置(Liquid Crystal Display:LCD)や有機発光ディスプレイ(Organic Light Emitting Display:OLED)のような平板パネルディスプレイは、一般的に一对の電界を生成する電極と各対の電界生成電極の間に配置された電気光学活性層を含む。

【0003】

一对の電界生成電極の一つの電極である画素電極は、電気的な信号を画素電極へ伝達するスイッチング素子に接続されてもよい。電気光学活性層は、電気的信号に反応して動作し、それに応じてイメージをディスプレイする。

10

【0004】

画素電極に接続されたスイッチング素子として一般的に薄膜トランジスタ(Thin Film Transistor:TFT)が使用される。TFTは、ゲート電極、ソース電極、ドレイン電極およびゲート電極、ソース電極、ドレイン電極の間に配置された活性層(active layer)を含む。活性層は、非晶質シリコンまたは多結晶シリコンを含んでもよい。

【0005】

さらに大きい平板パネルディスプレイには高移動度(high-mobility)のTFTが使用されるべきである。酸化物半導体を活性層として有するTFTは高い性能を現わす。一般的なTFT製造工程は多数の膜を蒸着し、パターニングすることを含む。しかし、酸化物半導体活性層上にソースおよびドレイン電極を有するTFTを製造するとき、酸化物半導体活性層はソースおよびドレイン電極の形成過程で損傷される場合もあり、その結果TFTの特性を低下させ得る。

20

【0006】

このような損傷を減少させるために特許文献1に開示されたように、ソースおよびドレイン電極の形成前に酸化半導体活性層上にチャネル保護層が形成されてもよい。しかし、酸化半導体活性層上にチャネル保護層を形成することは、TFT製造に使用されるフォトリソグラフィ工程の数を増加させ得、それによってTFTパネルの製造時間および費用を増加させ得る。

【先行技術文献】

30

【特許文献】

【0007】

【特許文献1】特開2005-285890号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の例示的な実施形態は、フォトリソグラフィの工程数を増加させず、TFTの酸化物半導体活性層の損傷を減少させるかまたは防止することができるTFTパネルを提供する。

【0009】

40

本発明の課題は、以上で言及した課題に制限されず、言及されていないまた他の課題は、次の記載から当業者に明確に理解できるであろう。

【課題を解決するための手段】

【0010】

本発明の例示的な実施形態は、薄膜トランジスタを含むパネルを形成する方法について開示する。前記方法は、チャネル領域を含む酸化物半導体パターンを形成し、前記チャネル領域に対応する位置にエッチング防止パターンを形成し、第1電極および前記第1電極と分離された第2電極を形成することを含む。前記チャネル領域が前記第1電極および前記第2電極を接続するように形成する。前記酸化物半導体パターン、前記第1電極および前記第2電極は第1マスクを利用して形成される。

50

【0011】

本発明の例示的な実施形態は、また薄膜トランジスタを含むパネルについて開示する。前記パネルは基板と、前記基板上の第1電極と、前記第1電極上の第1絶縁膜と、前記第1絶縁膜上の酸化半導体パターンとしてチャンネル領域を含む酸化半導体パターンと、前記酸化半導体パターン上のエッチング防止パターン、および前記基板上の導電膜として信号線、第2電極および第3電極を含む導電膜を含む。前記第2電極および第2電極は、エッチング防止パターンおよび酸化半導体パターン上に配置される。前記酸化半導体パターンの側壁は、前記酸化半導体パターンの前記チャンネル領域を除いて実質的に前記信号線、前記第2電極および前記第3電極の側壁と整列される。

【0012】

本発明の例示的な実施形態は、また薄膜トランジスタを含むパネルを形成する方法について開示する。前記方法は、チャンネル領域を含む酸化半導体パターンを形成し、前記チャンネル領域に対応する位置にエッチング防止パターンを形成し、第1電極前記第1電極と分離された第2電極を形成することを含む。前記チャンネル領域が前記第1電極および前記第2電極を接続するように形成することを含む。前記エッチング防止パターンおよび前記酸化半導体パターンは、第1マスクを利用して形成される薄膜トランジスタを含む。

【0013】

本発明の例示的な実施形態は、また薄膜トランジスタを含むパネルについて開示する。前記パネルは、基板と、前記基板上の第1電極と、前記第1電極上の第1絶縁膜と、前記第1絶縁膜上の酸化半導体パターンと、前記酸化半導体パターン上のエッチング防止パターン、および前記エッチング防止パターンおよび前記酸化半導体パターン上の第2電極および第3電極を含む。前記第1絶縁膜は、前記エッチング防止パターンの下に配置された第1領域および前記第1領域の外部に配置された第2領域を含む。前記第1領域の厚さは、前記第2領域の厚さと異なる薄膜トランジスタを含む。

【0014】

本発明の例示的な実施形態は、また薄膜トランジスタを含むパネルについて開示する。前記パネルは、基板と、前記基板上の第1電極と、前記第1電極上の第1絶縁膜と、前記第1絶縁膜上の酸化半導体パターンと、前記酸化半導体パターン上のエッチング防止パターン、および前記エッチング防止パターンおよび前記酸化半導体パターン上の第2電極および第3電極を含む。前記エッチング防止パターンのパターンは、完全に前記酸化半導体パターンのペリメータ内に含まれる。前記エッチング防止パターンのおよび前記酸化半導体パターンの間の対応する距離は実質的に同一の薄膜トランジスタを含む。

【0015】

その他実施形態の具体的な内容は詳細な説明および図面に含まれている。

【図面の簡単な説明】

【0016】

【図1】本発明の一実施形態による薄膜トランジスタパネルの平面図である。

【図2A】図1に示すA-A'線に沿って切断した断面図である。

【図2B】図1に示すB-B'線に沿って切断した断面図である。

【図3】本発明の例示的な実施形態による図1に示すTF Tを製造する段階を示す断面図である。

【図4】本発明の例示的な実施形態による図1に示すTF Tを製造する段階を示す断面図である。

【図5】本発明の例示的な実施形態による図1に示すTF Tを製造する段階を示す断面図である。

【図6】本発明の例示的な実施形態による図1に示すTF Tを製造する段階を示す断面図である。

【図7】本発明の例示的な実施形態によるTF Tパネルの断面図である。

【図8】本発明の例示的な実施形態によるTF Tパネルの平面図である。

【図9】図8に示すC-C'線に沿って切断した断面図である。

10

20

30

40

50

【図10】本発明の例示的な実施形態による図8に示すTFTを製造する段階を示す断面図である。

【図11】本発明の例示的な実施形態による図8に示すTFTを製造する段階を示す断面図である。

【図12】本発明の例示的な実施形態による図8に示すTFTを製造する段階を示す断面図である。

【図13】本発明の例示的な実施形態による図8に示すTFTを製造する段階を示す断面図である。

【図14】本発明の例示的な実施形態による図8に示すTFTを製造する段階を示す断面図である。

10

【発明を実施するための形態】

【0017】

本発明の利点および特徴、そしてそれらを達成する方法は、図面と共に詳細に後述されている実施形態を参照すれば明確になるであろう。しかし、本発明は以下で開示される実施形態に限定されるものではなく、互いに異なる多様な形態で実現されるものであり、単に本実施形態は本発明の開示を完全なものにし、本発明が属する技術分野で通常の知識を有する者に発明の範疇を完全に知らせるために提供されるものであり、本発明は請求項の範囲によってのみ定義される。図面において層および領域のサイズおよび相対的なサイズは説明を明瞭にするため誇張されてもよい。

【0018】

20

素子 (e l e m e n t s) または層が、異なる素子または層の「上 (o n) 」と指称されるものは、他の素子あるいは層の真上だけでなく、中間に他の層または他の素子を介在した場合をすべて含む。一つの素子が他の素子と「直接上 (d i r e c t l y o n) 」または「真上」と指称されるものは中間に他の素子または層を介在しないものを示す。明細書全体において、同一参照符号は同一構成要素を指す。「および/または」は、言及されたアイテムの各々および一つ以上のすべての組合せを含む。

【0019】

空間的に相対的な用語である「下 (b e l o w) 」、「下 (b e n e a t h) 」、「下部 (l o w e r) 」、「上 (a b o v e) 」、「上部 (u p p e r) 」などは、図面に示されているように、一つの素子または構成要素と異なる素子または構成要素との相関関係を容易に記述するために使用されてもよい。空間的に相対的な用語は、図面に示されている方向に加え、使用時または動作時における素子の互いに異なる方向を含む用語として理解されなければならない。明細書全体において、同一参照符号は同一構成要素を指称する。

30

【0020】

以下、添付された図面を参照して本発明の例示的な実施形態を詳細に説明する。

【0021】

図1は、本発明の一実施形態による薄膜トランジスタパネルの平面図である。図2Aは、図1に示すA-A'線に沿って切断した断面図である。図2Bは、図1に示すB-B'線に沿って切断した断面図である。図1にはTFTパネル1の単に一つの画素を示すが、本技術分野の当業者であればTFTパネル1が複数の画素を有することができ、本発明の例示的な実施形態によればそれらがTFTパネル1のマトリクス内に配置される可能性があることを理解できるものである。

40

【0022】

図1、図2Aおよび図2Bを参照すると、絶縁基板10上に複数のゲート線22およびストレージ電極線28が形成されている。絶縁基板10はガラス、プラスチックまたは他の適切な絶縁物質でなされてもよい。

【0023】

ゲート線22は、第1方向に延長されており、ゲート信号を伝達する。各ゲート線22はゲート線22から突出したゲート電極24およびゲートパッド(図示せず)を含む。ゲ

50

ート駆動回路のような駆動回路は駆動信号をゲートパッドに印加する。代替例として、ゲートパッドは省略され、ゲート線 22 が基板 10 上に配置された駆動回路から駆動信号を受けられることもできる。

【0024】

ストレージ電極線 28 はゲート線 22 と平行するように延長される。各ストレージ電極線 28 はストレージ電極線 28 から突出したストレージ電極 29 を含む。ストレージ電極 29 は対応するデータ線 62 と平行するように配置される。ストレージ電極 29 はその中央部に開口 (opening) を含む。それによって、例えば図 1 に示すようにストレージ電極 29 は四角リング形状 (tetragonal ring shape) を有することができる。四角リング形状の開口の内部にデータ線 62 の一部が位置するように配置されている。この場合、前記開口の一部はデータ線 62 とオーバーラップするように配置されてもよい。ストレージ電極線 28 は予め設定された (preset) 電圧の提供を受けられることができる。ストレージ電極線 28 およびストレージ電極 29 は多様な形状および配置を有することができる。例示的な代替の実施形態はまたストレージ電極線 28 が省略された構造を含む。

10

【0025】

ゲート線 22 およびストレージ電極線 28 は多様な導電物質でなされてもよい。例えば、ゲート線 22 およびストレージ電極線 28 はアルミニウム (aluminum、Al) またはアルミニウム合金、銀 (silver、Ag) または銀合金、銅 (copper、Cu) または銅合金、モリブデン (molybdenum、Mo) またはモリブデン合金、クロム (chromium、Cr) またはクロム合金、タンタル (tantalum、Ta)、またはチタニウム (Ti) を含んでもよい。本発明の例示的な実施形態によれば、ゲート線 22 およびストレージ電極線 28 は多様な導電性物質からなる多層膜を含んでもよい。例えば、ゲート線 22 およびストレージ電極線 28 は Al と Mo または Ti と Cu のような 2 層膜構造を含んでもよい。

20

【0026】

絶縁基板 10、ゲート線 22 およびストレージ電極線 28 上にゲート絶縁膜 30 が形成される。ゲート絶縁膜 30 はシリコン窒化物 (silicon nitride、SiN_x)、シリコン酸化物 (silicon oxide、SiO_x)、シリコン酸化窒化物 (silicon oxynitride、SiON) または他の適切な絶縁物質などのような絶縁物質を含んでもよい。ゲート絶縁膜 30 は多様な絶縁物質からなる多層膜を含んでもよい。例えば、ゲート絶縁膜 30 は SiN_x の下層膜および SiO_x の上層膜を含む 2 層膜構造を含んでもよい。

30

【0027】

酸化物半導体層 42 は、TFT のチャネル領域を含み、ゲート絶縁膜 30 上に形成される。酸化物半導体の有効なキャリア移動度は非晶質シリコンのそれより 2 ないし 100 倍より大きくてもよい。酸化物半導体層 42 は、化学式 A_xB_xO_x および A_xB_xC_xO_x で表示される一つ以上の化合物を含んでもよい。ここで、A は In、Zn、Ga、Hf、または Cd であってもよく、B は Zn、Ga、Sn、または In であってもよく、C は Sn、Zn、Cd、Ga、In、または Hf であってもよく、O は酸素原子である。各 x は独立的でありかつ 0 ではない整数であり、A、B、および C は互いに相異なる。例えば、酸化物半導体層 42 は、InZnO、InGaO、InSnO、ZnSnO、GaSnO、GaZnO、GaZnSnO、GaInZnO、および HfInZnO のうち一つ以上の化合物を含んでもよい。

40

【0028】

酸化物半導体層 42 上にはエッチング防止パターン (etch stopper) 52 が形成されている。エッチング防止パターン 52 は、酸化物半導体層 42 のチャネル領域を覆い、それによって後続する製造工程において使用されるエッチング溶液、エッチングガスまたはプラズマによって誘発されるチャネル領域の損傷を防止または減少させることができる。エッチング防止パターン 52 は絶縁物質でなされてもよい。例えば、エッチン

50

グ防止パターン 52 は SiO_x 、 SiN_x または他の物質でなされてもよい。一般的にチャンネル領域はソース電極とドレーン電極との間の電流通路 (current path) を形成する半導体層の領域を指称する。

【0029】

ゲート絶縁膜 30、酸化物半導体層 42 およびエッチング防止パターン 52 の上には多数のデータ線 62 およびドレーン電極 66 が形成されている。データ線 62 はデータ信号を伝達してゲート線 22 に交差する第 2 方向に延長される。各データ線 62 はゲート電極 25 に対応する方向に突出したソース電極 65 を含む。ドレーン電極 66 はゲート電極 24 を基準に対応するソース電極 65 の反対側に離隔され配置される。ソース電極 65 とドレーン電極 66 の間の酸化物半導体層 42 の一部は T F T のチャンネルを形成する。

10

【0030】

ソース電極 65 およびドレーン電極 66 はエッチング防止パターン 52 の側壁から延長された上部の一部表面の上だけでなく、エッチング防止パターン 52 の側壁に形成されてもよい。前述したように、ソース電極 65 はドレーン電極 66 から離隔されている。これによって、ソース電極 65 およびドレーン電極 66 はエッチング防止パターン 52 の最上部表面の一部を露出する。

【0031】

後述するが、データ線 62、ソース電極 65、ドレーン電極 66 および酸化物半導体層 42 は同一のマスクを利用して形成されてもよい。その結果、ソースおよびドレーン電極 (65, 66) の間の酸化物半導体層 42 の一部 (すなわち、チャンネル領域) を除いて酸化物半導体層 42 は実質的にデータ線 62、ソース電極 65 およびドレーン電極 66 と同一の形状を有することができる。ここで、データ線 62、ソース電極 65 およびドレーン電極 66 は、酸化物半導体層 42 の側壁上に直接配置されない。つまり、図 2 A に示すように、酸化物半導体層 42 の側壁は、チャンネル領域を除いて実質的にデータ線 62、ソース電極 65 およびドレーン電極 66 の側壁と概ね一致するように整列 (coincide) されており、酸化物半導体層 42 の側壁がデータ線 62、ソース電極 65 およびドレーン電極 66 に覆われていない。さらに、図 2 B に示すように、酸化物半導体層 42 のチャンネル領域の側壁は、実質的にエッチング防止パターン 52 の側壁と概ね一致するように整列され、チャンネル領域では、酸化物半導体層 42 の側壁がエッチング防止パターン 52 の側壁に覆われていない。

20

30

【0032】

図 2 A に酸化物半導体層 42 の側壁がデータ線 62、ソース電極 65 およびドレーン電極 66 に沿って形成されたものを示しているが、実際の製造工程はこのような整列を量産しないこともある。例えば、T F T パネル 1 の生産に使用される物質およびエッチャント (エッチング液) のため、側壁は曲面を成すか、または同一のラインに沿って形成されないこともある。したがって、ここで記述するように側壁が相互「実質的に整列」されることについて、図 2 A に示すように完全に同一のラインに沿って形成されることが要求されるものではない。また、前述したように、酸化物半導体層 42 の側壁は、データ線 62、ソース電極 65 およびドレーン電極 66 を形成する場合と同一のマスクを使用するため、これらの側壁に概ね一致するように整列される。

40

【0033】

図 2 B はエッチング防止パターン 52 の側壁と同一のラインに沿って形成された酸化物半導体層 42 のチャンネル領域の側壁を示しているが、同様に、実際の製造工程は前記整列構造を量産しないこともある。したがって、ここで記述するように側壁が相互「実質的に整列」されることについて、図 2 B に示すものと同一のラインに沿って形成されることが要求されるものではない。また、酸化物半導体フィルム 42 をパターンニングする工程中にエッチング防止パターン 52 がチャンネル領域をマスクングするため、酸化物半導体層 42 のチャンネル領域の側壁は実質的にエッチング防止パターン 52 の側壁に整列される。

【0034】

データ線 62、ソース電極 65 およびドレーン電極 66 の仕事関数が酸化物半導体層 4

50

2より低ければ、データ線62、ソース電極65およびドレーン電極66が酸化物半導体層42上に直接形成されてオームコンタクトを形成することができる。

【0035】

データ線62、ソース電極65およびドレーン電極66は多様な導電物質を含んでもよい。例えば、これらはニッケル(nickel、Ni)、コバルト(cobalt、Co)、チタニウム(titanium、Ti)、銀(silver、Ag)、銅(copper、Cu)、モリブデン(molybdenum、Mo)、アルミニウム(aluminum、Al)、ベリリウム(beryllium、Be)、ニオブウム(niobium、Nb)、金(gold、Au)、鉄(iron、Fe)、セレンウム(selenium、Se)、タンタル(tantalum、Ta)、ジルコニウム(zirconium、Zr)、タングステン(tungsten、W)、白金(platinum、Pt)、ハフニウム(hafnium、Hf)、またはその合金を含んでもよい。さらに、データ線62、ソース電極65およびドレーン電極66は酸素(oxygen、O)、および窒素(nitrogen、N)を含んでもよい。

10

【0036】

データ線62、ソース電極65およびドレーン電極66は多層構造を含んでもよい。例えば、データ線62、ソース電極65およびドレーン電極66は下部膜および上部膜を含む二重膜構造を含んでもよい。この場合、下部膜はチタニウム(Ti)、窒化チタニウム(TiNx)、銅マグネシウム(CuMn)のような銅合金、または類似の特性を有する他の物質を含んでもよい。また、上部膜は銅(Cu)、銅合金や類似の特性を有する他の物質を含んでもよい。また他の代替例として、データ線62、ソース電極65およびドレーン電極66は下部モリブデン(Mo)膜、前記下部モリブデン膜上のアルミニウム(Al)膜、および前記アルミニウム膜上の上部モリブデン(Mo)膜を含んでもよく、その他に他の適切な導電物質を適用してもよい。

20

【0037】

エッチング防止パターン52、データ線62、ソース電極65、ドレーン電極66およびゲート絶縁膜30上には保護膜(passivation layer)70が配置される。保護膜70はシリコン酸化物(silicon oxide、SiOx)、シリコン窒化物(silicon nitride、SiNx)、シリコン酸化窒化物(silicon oxynitride、SiON)や他の適切な絶縁物質のような絶縁物質を含んでもよい。保護膜70は多層膜を含んでもよい。例えば、保護膜70はSiOxおよびSiNxの二重膜構造を含んでもよい。さらに、保護膜70は無機膜の代わりに、または無機膜に追加して有機膜を含んでもよい。

30

【0038】

保護膜70上には画素電極80が配置されている。画素電極80はコンタクトホール75を介してドレーン電極66に接続されている。画素電極80はITO(indium tin oxide)やIZO(indium zinc oxide)のような透明導電物質を含んでもよい。

【0039】

図3、図4、図5、および図6は、本発明の例示的な実施形態による図1に示すTFTを製造する段階を示す断面図である。

40

【0040】

図1および図3を参照すると、絶縁基板10上にゲート導電膜(図示せず)が例えばスパッタリングによって形成され、フォトリソグラフィ工程を利用してパターンングされてゲート線22、ゲート電極24、ストレージ電極線28およびストレージ電極29を形成する。ゲート導電膜をパターンングすることに乾式エッチング工程または湿式エッチング工程を使用してもよい。ゲート導電膜が湿式エッチングされる場合、リン酸(phosphoric acid)、硝酸(nitric acid)、酢酸(acetic acid)のようなエッチャント(エッチング液)を使用されてもよい。ゲート導電膜が乾式エッチングされる場合、例えばCl₂およびBCl₃のような塩素含有のガスを使用し

50

てもよい。

【0041】

絶縁基板10は、ソーダライムガラス、ボロンシリケートガラス(boron silicate glass)のようなガラスまたはプラスチックを含んでもよい。ゲート導電膜はAlとMo、TiとCu、または他の導電物質のような二重膜構造を含んでもよい。

【0042】

図1および図4を参照すると、ゲート線22およびストレージ電極線28上に例えば化学気象蒸着法(chemical vapor deposition、CVD)を利用してゲート絶縁膜30が形成される。ゲート絶縁膜30上に例えばスパッタリングの方法で酸化物半導体フィルム40が形成され、酸化物半導体フィルム40上に例えば、CVDによってエッチング防止層(図示せず)が形成される。エッチング防止層はフォトリソグラフィ工程を利用してパターンングされてエッチング防止パターン52を形成することができる。エッチング防止層は乾式エッチング工程を利用してパターンングされることができる。前記乾式エッチング工程はエッチングガスとしてCF₃、CHF₆、およびCl₂のうち少なくとも一つを使用して行われ得る。

10

【0043】

図1および図5を参照すると、エッチング防止パターン52および酸化物半導体フィルム40上に、例えばスパッタリング方法によってデータ導電膜(図示せず)が形成される。データ導電膜および酸化物半導体フィルム40は、フォトリソグラフィ工程および単一マスクを利用してパターンングされ、ソース電極65とドレーン電極66を含むデータ線62および酸化物半導体層42を形成することができる。ソース電極65とドレーン電極66はゲート電極24を基準に相互離隔されている。ソース電極65およびドレーン電極66の間のエッチング防止パターン52の領域が露出され、ソース電極65およびドレーン電極66がエッチング防止パターン52の最上部の表面の一部および側壁をカバー(cover)する。

20

【0044】

データ導電膜および酸化物半導体フィルム40は、湿式エッチング工程を利用してパターンングされてもよい。この場合、エッチング防止パターン52およびゲート絶縁膜30は湿式エッチング工程に使用される化学物質(chemical)に抵抗して損傷されないため、エッチング防止パターン52は、下部の酸化物半導体層42が化学物質(chemical)から損傷を受けることを防止することができる。

30

【0045】

前述したように、データ導電膜および酸化物半導体フィルム40は、単一マスクを利用してパターンングされてもよい。その結果、ソースおよびドレーン電極(65、66)の間の部分(すなわち、チャンネル領域)を除いて、酸化物半導体層42は実質的にデータ線62、ソース電極65およびドレーン電極66と同一の形状を有することができる。したがって、この場合図2Aに示すように、データ線62、ソース電極65およびドレーン電極66が酸化物半導体層42の側壁上に直接配置されない。また、前記同一のマスクがデータ導電膜および酸化物半導体フィルム40をパターンングすることに使用されるため、チャンネル領域を除いて酸化物半導体層42の側壁は、データ線62、ソース電極65およびドレーン電極66の側壁と実質的に一致するように整列される。さらに、図2Bに示すように、エッチング防止パターン52がデータ導電膜および酸化物半導体フィルム40のパターンング工程中にチャンネル領域をマスクングするため、酸化物半導体層42のチャンネル領域の側壁は実質的にエッチング防止パターン52の側壁に整列される。

40

【0046】

図6を参照すると、データ線62、ソース電極65、ドレーン電極66、エッチング防止パターン52、およびゲート絶縁膜30上に例えばCVDを利用して保護膜70が形成され、その後パターンングされてコンタクトホール75を形成する。コンタクトホール75はドレーン電極66の一部を露出する。代替例として、コンタクトホールがソース電極

50

65の一部を露出してもよい。

【0047】

図2Aを参照すると、保護膜70上に透明導電膜が形成されてパターンニングされて画素電極80を形成する。画素電極80はコンタクトホール75を介してドレーン電極66と接続することができる。

【0048】

図2Aではゲート電極24が酸化物半導体層42の下に配置されたボトムゲート構造(bottom gate structure)を有するTFTが示されているが、他の構図も可能である。例えば、TFTは酸化物半導体層の上にゲート電極が配置されたトップゲート構造(top gate structure)を有してもよい。

10

【0049】

図7は、本発明の例示的な実施形態によるTFTパネルの断面図である。

【0050】

図7に示す例示的な実施形態によるTFTパネルは保護膜70がカラーフィルタ(71R、71G)に置換されたことを除いては図1および図2Aに示す例示的な実施形態と実質的に同一である。

【0051】

図7を参照すると、TFTパネル1aは、ゲート絶縁膜30、酸化物半導体層42、およびエッチング防止パターン52を含む。酸化物半導体層42およびエッチング防止パターン52上にはソース電極65およびドレーン電極66が配置される。エッチング防止パターン52はソース電極65およびドレーン電極66の間の酸化物半導体層42の部分が露出しないようにすることにより、酸化物半導体層がエッチング工程のあいだ損傷することを防止する。したがって、保護膜70の代わりにカラーフィルタ(71R、71G)が形成されても酸化物半導体層42が保護されることができる。赤カラーフィルタ71Rはデータ線62が酸化物半導体層の部分43の上に形成された領域付近で緑カラーフィルタ71Gとオーバーラップしてもよい。

20

【0052】

図8は、本発明の例示的な実施形態によるTFTパネルの平面図である。図9は、図8に示すC-C'線に沿って切断した断面図である。本例示的な実施形態によるTFTパネル1bは、酸化物半導体層およびエッチング防止パターンの構造を除いては図1に示す例示的な実施形態と実質的に同一である。本例示的な実施形態において、酸化物半導体層およびエッチング防止パターンは同一のマスクを利用して形成される。図1に示す例示的な実施形態に記述されたものと同一であるか類似の部分を用いるため、同一の参照番号を使用し、追加的な説明は省略する。

30

【0053】

図1、図2A、および図2Bを参照すると、チャネル領域を除いて酸化物半導体層42はデータ線62、ソース電極65およびドレーン電極66と実質的に同一の形状を有してもよい。それによりデータ線62、ソース電極65およびドレーン電極66の側壁はチャネル領域を除いて酸化物半導体層42の側壁に実質的に整列される。また、図2Aに示すように、データ線62、ソース電極65およびドレーン電極66は、酸化物半導体層42の側壁に直接的には配置されない。

40

【0054】

反面、図8および図9を参照すると、ソース電極65およびドレーン電極66は酸化物半導体層42aの少なくとも一つの側壁をカバーする。さらに、エッチング防止パターン52aは酸化物半導体層42aと実質的に同一の形状を有する。エッチング防止パターン52aの少なくとも一つの側壁は酸化物半導体層42aの側壁により定義される周囲(周壁: perimeter)の内部に配置され、それによってソース電極65およびドレーン電極66が酸化物半導体層42aの最上部表面に部分的に直接形成されるようにする。図8及び図9では、酸化物半導体層42aの全ての側壁の内部に、エッチング防止パターン52aの全ての側壁が配置されており、エッチング防止パターン52aが酸化物半導体

50

層 4 2 a よりも一回り小さく形成されている。これにより、図 8 及び図 9 の場合、ソース電極 6 5 およびドレーン電極 6 6 は、酸化物半導体層 4 2 a の側壁からその上部の一部、エッチング防止パターン 5 2 a の側壁からその上部の一部と接触するように配置されている。

【 0 0 5 5 】

図 8 を参照すると、酸化物半導体層 4 2 a およびエッチング防止パターン 5 2 a が同一のマスクを利用して形成されるため、酸化物半導体層 4 2 a およびエッチング防止パターン 5 2 a は実質的に同一の形状を有する。さらに、エッチング防止パターン 5 2 a の側壁は酸化物半導体層 4 2 a の周壁内に配置される。言い換えれば、エッチング防止パターン 5 2 a のパターンは酸化物半導体層 4 2 a の周壁内に完全に含まれてもよい。さらに、図 8 に示す円で示された部分の拡大図に示すように、エッチング防止パターン 5 2 a および酸化物半導体層 4 2 a を形成するために同一のマスクが使用されるため、酸化物半導体層 4 2 a およびエッチング防止パターン 5 2 a の相応する側壁の間の距離「d」は実質的に同一であってもよい。

10

【 0 0 5 6 】

本発明の他の例示的な代替実施形態において、エッチング防止パターン 5 2 a の幅は図 8 に示すように、ゲート線 2 2 と平行な方向ににおいて、酸化物半導体層 4 2 a より狭くてもよい。しかし、図 8 とは異なり、エッチング防止パターン 5 2 a の幅が酸化物半導体層 4 2 a よりも広く、データ線 6 2 と平行な方向ににおいて、酸化物半導体層 4 2 a を完全にカバーして酸化物半導体層 4 2 a 以外の構造もさらに保護することもできる。

20

【 0 0 5 7 】

図 1 0、図 1 1、図 1 2、図 1 3 および図 1 4 は、本発明の例示的な実施形態による図 8 に示す T F T を製造する段階を示す断面図である。

【 0 0 5 8 】

図 8 および図 1 0 を参照すると、絶縁基板 1 0 上にゲート導電膜（図示せず）が例えば、スパッタリングによって形成され、フォトリソグラフィ工程を利用してパターンングされてゲート線 2 2、ゲート電極 2 4、ストレージ電極線 2 8 およびストレージ電極（2 9）を形成する。ゲート導電膜をパターンングすることに乾式エッチング工程または湿式エッチング工程を使用してもよい。ゲート導電膜が湿式エッチングされる場合、リン酸（*phosphoric acid*）、硝酸（*nitric acid*）、酢酸（*acetic acid*）のようなエッチャント（エッチング液）を使用してもよい。ゲート導電膜が乾式エッチングされる場合、例えば Cl_2 および BCl_3 のような塩素含有のガスを使用してもよい。

30

【 0 0 5 9 】

絶縁基板 1 0 は、ソーダライムガラス、ボロンシリケートガラス（*boron silicate glass*）のようなガラスまたはプラスチックを含んでもよい。ゲート導電膜は Al と Mo、Ti と Cu、または他の導電物質のような二重膜構造を含んでもよい。

【 0 0 6 0 】

ゲート線 2 2 およびストレージ電極線 2 8 上に例えば C V D によってゲート絶縁膜 3 0 が形成される。ゲート絶縁膜 3 0 上に、スパッタリングなどの方法で酸化物半導体フィルム 4 0 が形成される。酸化物半導体フィルム 4 0 上に C V D の方法によってエッチング防止パターン 5 0 が形成される。

40

【 0 0 6 1 】

図 8 および図 1 1 を参照すると、エッチング防止膜 5 0 上にフォトレジスト膜（図示せず）が形成され、パターンングされてフォトレジストパターン 9 9 a を形成する。以後、その上にフォトレジストパターン 9 9 a を有するエッチング防止膜 5 0 はエッチングされて臨時エッチング防止パターン 5 1 を形成する。ここで、エッチング防止膜 5 0 は乾式エッチング工程を利用してエッチングされることができ、 CF_6 、 CHF_6 、および Cl_2 などのようなハロゲンに基づいたガスが前記乾式エッチング工程に使用されてもよい。

50

【0062】

臨時エッチング防止パターン51を形成した後、その上にフォトレジストパターン99aおよび臨時エッチング防止パターン51を有する酸化物半導体層40がエッチングされて酸化物半導体層42aを形成してもよい。ここで、酸化物半導体フィルム40は湿式エッチング工程を利用してエッチングされてもよい。湿式エッチング工程ではリン酸 (phosphoric acid)、硝酸 (nitric acid)、酢酸 (acetic acid) のようなエッチャント (エッチング液) を使用してもよい。

【0063】

湿式エッチング工程は等方性エッチング工程 (isotropic etch process) であるため、臨時エッチング防止パターン51の下にアンダーカット (U) を形成することができる。それによって、酸化物半導体層42aの幅が臨時エッチング防止パターン51の幅より狭くなる。

10

【0064】

図12を参照すると、臨時エッチング防止パターン51がエッチングされてエッチング防止パターン52aを形成する。したがって、図10、図11、および図12に示すように酸化物半導体層42aおよびエッチング防止パターン52aが単一マスク (例えば、フォトレジスト層からフォトレジストパターン99aを形成するために使用されたマスク) を利用して形成されてもよい。さらに、酸化物半導体層42aおよびエッチング防止パターン52aが単一マスクと前述したエッチング工程を利用して形成されるため、エッチング防止パターン52aのすべての側壁は酸化物半導体層42aの内に配置されてもよい。言い換えれば、エッチング防止パターン52aのパターンは完全に酸化物半導体層42aの周壁内に含まれてもよい。さらに、図8に示す円で示された部分拡大図に示すように、エッチング防止パターン52aおよび酸化物半導体層42aを形成するために同一のマスクが使用されるため、酸化物半導体層42aおよびエッチング防止パターン52aの相応する側壁の間の距離「d」は実質的に同一であってもよい。このような構造は酸化物半導体層42aとソースおよびドレイン電極 (65, 66, 図8および図13に示す) の間のコンタクト領域を増加させる。

20

【0065】

ここで、臨時エッチング防止パターン51は乾式エッチングされてエッチング防止パターン52aを形成することができる。前記乾式エッチング工程にSF₆とCl₂の混合ガスを使用してもよい。乾式エッチング工程のあいだ、ゲート絶縁膜30の一部とフォトレジストパターン99aの一部が除去され、ゲート絶縁膜32およびさらに小さいフォトレジストパターン (99b) を図12のように形成することができる。

30

【0066】

乾式エッチング工程のあいだゲート絶縁膜30の一部が除去されるため、ゲート絶縁膜32は酸化物半導体層42aとオーバーラップされる領域に段差領域 (step portion) を含んでもよい。言い換えれば、ゲート絶縁膜30 (すなわち、エッチングされないゲート絶縁膜) とは異なり、ゲート絶縁膜32 (すなわち、エッチングされるゲート絶縁膜) は他の厚さを有する領域を含んでもよい。具体的に、図12に示すように、酸化物半導体層42aおよびエッチング防止パターン52aの下に配置されたゲート絶縁膜32の領域はゲート絶縁膜32の他の領域よりさらに厚い。ここで、酸化物半導体層42aおよびエッチング防止パターン52aの下に配置されたゲート絶縁膜32の領域は乾式エッチング工程のあいだ前記領域がエッチングされないため、他の領域より厚い。

40

【0067】

代替例として、エッチング防止パターン52aおよび酸化物半導体層42aを形成するため、ハーフトーンマスクまたはスリットマスクを使用してもよい。ハーフトーンマスクまたはスリットマスクは光を部分的に通過させる領域を含み、下部基板上に調査される光量を調節する。具体的に、図10に示すエッチング防止膜50上にフォトレジスト膜が形成されてもよい。フォトレジスト膜は、以後その上に配置されたハーフトーンマスクまたはスリットマスクを介して光に露出される。図12に示すエッチング防止パターン52a

50

に対応するフォトリソ膜の領域では光が遮断され、現象工程後のフォトリソ膜は定められた厚さで残留する。図 1 1 に示す臨時エッチング防止パターン 5 1 の縁に対応するフォトリソ膜の領域では、マスクを介して部分的に光が伝達され、現象工程前で前記決定された厚さよりさらに薄いフォトリソ膜が形成される。フォトリソ膜の他の領域ではマスクを介して光がすべて伝達され、フォトリソ膜の前記領域は現象工程の後で完全に除去される。その結果、領域によって他の厚さを有するフォトリソパターンが形成される。以後、その上に前記フォトリソパターンを有するエッチング防止パターン 5 0 および酸化半導体フィルム 4 0 がエッチングされ、図 1 2 に示すものと同様の構造を有するエッチング防止パターン 5 2 a および酸化半導体層 4 2 a を形成することができる。

10

【 0 0 6 8 】

図 8 および図 1 3 を参照すると、エッチング防止パターン 5 2 a および酸化半導体層 4 2 a 上に例えばスパッタリングによってデータ導電膜（図示せず）が形成される。データ導電膜はフォトリソグラフィ工程を利用してパターンニングされ、ソース電極 6 5 およびドレーン電極 6 6 を含むデータ線 6 2 を形成する。ソース電極 6 5 およびドレーン電極 6 6 はゲート電極 2 4 を基準に相互離隔されている。ソース電極 6 5 およびドレーン電極 6 6 の間のエッチング停止パターン 5 2 a の部分は露出される。また、ソース電極 6 5 およびドレーン電極 6 6 は、エッチング防止パターン 5 2 a の最上部の表面の一部および側壁上に形成される。また、ソース電極 6 5 およびドレーン電極 6 6 は、酸化半導体層 4 2 a の側壁および側壁から延長する最上部表面の一部上に形成される。

20

【 0 0 6 9 】

データ導電膜は湿式エッチング工程を利用してパターンニングされてもよい。ここで、エッチング防止パターン 5 2 a およびゲート絶縁膜 3 2 は湿式エッチング工程に使用される化学物質に抵抗してそのため損傷され得ない。したがって、エッチング防止パターン 5 2 a は化学物質から下部酸化半導体層 4 2 a を保護することができる。

【 0 0 7 0 】

図 1 4 を参照すると、データ線 6 2、ソース電極 6 5、ドレーン電極 6 6、エッチング防止パターン 5 2 a およびゲート絶縁膜 3 2 上に例えば、CVD によって保護膜 7 0 が形成されてパターンニングされてコンタクトホール 7 5 を形成する。コンタクトホール 7 5 はドレーン電極 6 6 の一部を露出する。代替例として、コンタクトホールはソース電極 6 5 の一部を露出してもよい。

30

【 0 0 7 1 】

図 9 を参照すると、保護膜 7 0 上に透明導電膜が形成されてパターンニングされて画素電極 8 0 を形成する。画素電極 8 0 はコンタクトホール 7 5 を介してドレーン電極 6 6 と接続することができる。

【 0 0 7 2 】

本発明の実施形態によれば、製造工程の増加なしでエッチング防止パターンが形成されて後続製造工程から誘発される酸化半導体層の損傷を防止することができる。また、エッチング防止パターンの側壁は酸化半導体層の側壁により定義される周囲内に配置させてもよく酸化半導体層とソース/ドレーン電極の間のコンタクト領域を増加させることができる。

40

【 0 0 7 3 】

以上添付された図面を参照して本発明の実施形態について説明したが、本発明は、前記実施形態に限定されるものではなく、互いに異なる多様な形態で製造され、本発明が属する技術分野で通常の知識を有する者は、本発明の技術的思想や必須の特徴を変更せず、他の具体的な形態で実施され得ることを理解できるものである。したがって、上記実施形態はすべての面で例示的なものであり、限定的でないものと理解しなければならない。

【 符号の説明 】

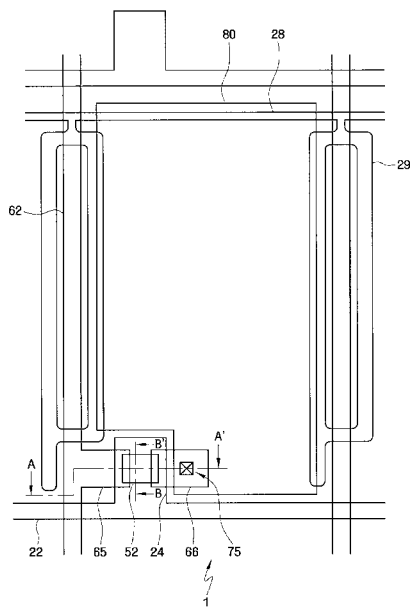
【 0 0 7 4 】

1 0 絶縁基板

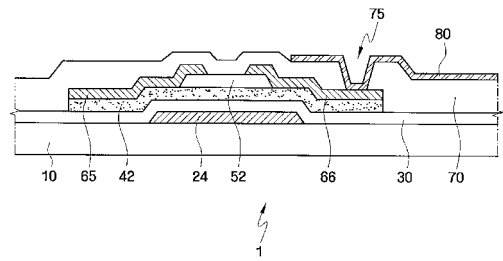
50

- 2 2 ゲート線
- 2 4 ゲート電極
- 2 8 ストレージ電極線
- 2 9 ストレージ電極
- 3 2 ゲート絶縁膜
- 4 2 酸化物半導体パターン
- 5 2 エッチング防止パターン
- 6 2 データ線
- 6 5 ソース電極
- 6 6 ドレイン電極
- 7 0 保護膜
- 7 5 コンタクトホール
- 8 0 画素電極

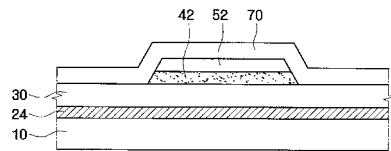
【 図 1 】



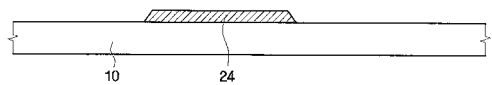
【 図 2 A 】



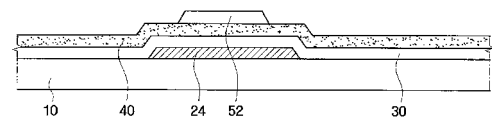
【 図 2 B 】



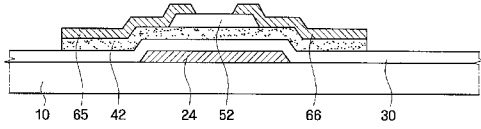
【 図 3 】



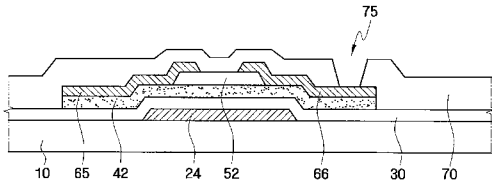
【 図 4 】



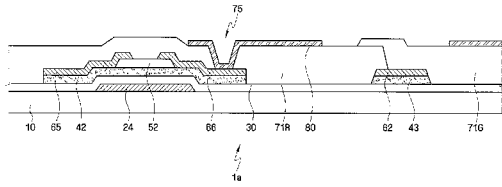
【 図 5 】



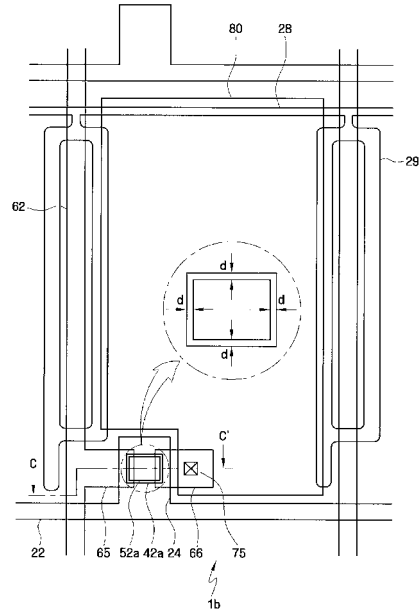
【 図 6 】



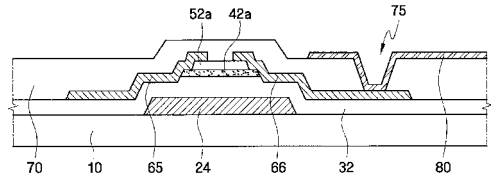
【 図 7 】



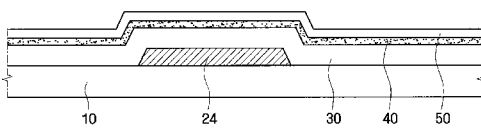
【 図 8 】



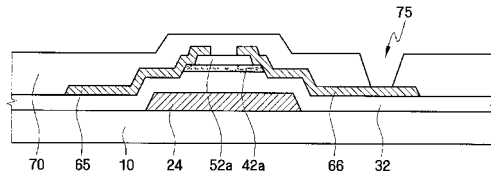
【 図 9 】



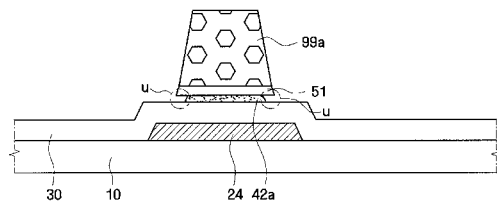
【 図 1 0 】



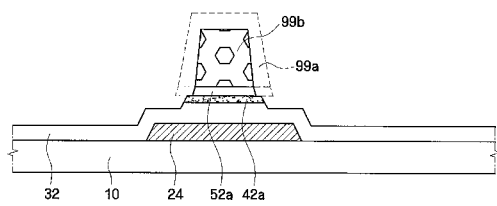
【 図 1 4 】



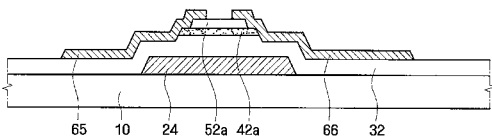
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

- (72)発明者 金 己 園
大韓民国京畿道水原市靈通區網浦洞東水原エルジーヴィレッジ 1次 1 0 3 棟 1 4 0 5 號
- (72)発明者 柳 慧 英
大韓民国ソウル特別市銅雀區舍堂二洞新東亞アパート 4 0 2 棟 1 2 0 6 號
- (72)発明者 李 禹 根
大韓民国京畿道龍仁市器興區甫羅洞現代モーニングサイドアパート 2次 1 0 7 棟 2 0 4 號
- (72)発明者 崔 昇 夏
大韓民国京畿道水原市勸善區勸善洞住公アパート 3 3 5 棟 1 7 0 6 號
- (72)発明者 尹 在 亨
大韓民国京畿道華城市餅店洞安和村ウナンファーストヴィルアパート 2次 2 0 5 棟 9 0 4 號
- (72)発明者 鄭 卿 在
大韓民国ソウル特別市麻浦區玄石洞 2 2 2 江邊現代ホームタウンアパート 1 0 8 棟 8 0 2 號
- (72)発明者 李 永 旭
大韓民国京畿道水原市靈通區梅灘洞 5 1 4 - 1 4 未來ヴィレッジ イー棟 1 0 8 號
- (72)発明者 李 制 勳
大韓民国ソウル特別市陽川區木四洞ワールドマーディアンアパート 2 0 1 等 2 0 5 號
- (72)発明者 尹 甲 洙
大韓民国ソウル特別市江西區雨裝山洞 1 0 2 6 - 2 7 ウーゴンパレス 4 0 1 號
- (72)発明者 金 度 賢
大韓民国京畿道城南市盆唐區二梅洞二梅村韓信アパート 2 0 1 棟 1 7 0 3 號
- (72)発明者 楊 東 周
大韓民国ソウル特別市城東區玉水二洞三聖アパート 1 0 1 棟 1 0 0 7 號
- (72)発明者 崔 永 柱
大韓民国京畿道龍仁市水枝區豊徳川洞 7 0 0 - 1 現代アパート 1 0 5 棟 7 0 5 號
- (72)発明者 尹 弼 相
大韓民国ソウル特別市江南區狎鷗亭洞現代アパート 2 0 8 棟 1 1 0 2 號

F ターム(参考) 2H092 HA04 JA25 JA26 JA36 JA44 JA46 JB57 JB69 KA08 KA12
KA19 KA22 KB05 KB14 KB24 KB26 MA05 MA07 MA15 MA18
MA19 NA27 PA08
5C094 AA42 AA43 BA03 BA27 BA43 DA13 ED03 FA02 FB02 FB12
FB14 FB15 GB10
5F110 AA16 AA26 BB01 CC01 CC05 CC07 DD01 DD02 EE02 EE03
EE04 EE06 EE14 EE44 FF02 FF03 FF04 FF09 FF28 FF29
GG01 GG43 HK01 HK02 HK03 HK04 HK06 HK17 HK21 HK33
HL07 NN03 NN16 NN22 NN23 NN24 NN27 NN35 NN73 QQ02