

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第6157047号
(P6157047)

(45) 発行日 平成29年7月5日(2017.7.5)

(24) 登録日 平成29年6月16日(2017.6.16)

(51) Int.Cl.

F I

GO 1 R 31/26 (2014.01)

GO 1 R 31/26 J

HO 1 R 33/76 (2006.01)

HO 1 R 33/76 Z

請求項の数 5 (全 18 頁)

(21) 出願番号	特願2011-19937 (P2011-19937)	(73) 特許権者	505005049
(22) 出願日	平成23年2月1日 (2011.2.1)		スリーエム イノベイティブ プロパティ
(65) 公開番号	特開2012-159422 (P2012-159422A)		ズ カンパニー
(43) 公開日	平成24年8月23日 (2012.8.23)		アメリカ合衆国, ミネソタ州 55133
審査請求日	平成26年1月30日 (2014.1.30)		-3427, セント ポール, ポスト オ
審判番号	不服2015-16908 (P2015-16908/J1)		フィス ボックス 33427, スリーエ
審判請求日	平成27年9月14日 (2015.9.14)		ム センター
		(74) 代理人	100088155
			弁理士 長谷川 芳樹
		(74) 代理人	100107456
			弁理士 池田 成人
		(74) 代理人	100128381
			弁理士 清水 義憲
		(74) 代理人	100162352
			弁理士 酒巻 順一郎
			最終頁に続く

(54) 【発明の名称】 ICデバイス用ソケット

(57) 【特許請求の範囲】

【請求項 1】

第1面と、該第1面に対向する第2面と、それぞれが該第1面と該第2面を連絡する複数の貫通孔と、を有する基板と、

それぞれの一部が前記複数の貫通孔のうちいずれかに挿入された複数の導電性コンタクトピンと、を備えたIC用ソケットであって、

前記基板は、

前記第1面と、前記第2面と、前記複数の貫通孔と、を有する基材と、

前記複数の貫通孔と交差した状態で前記第1面及び前記第2面の間に設けられた、柔軟性のあるシートからなる少なくとも一つの誘電体層であって、該基材よりも高い誘電率を有する少なくとも一つの誘電体層と、

前記基板の前記第1面と前記第2面との間の前記基材に包埋された電源層及びグラウンド層であって、前記基材の前記第1面から前記第2面に向かう方向に沿って、前記誘電体層を挟む電源層及びグラウンド層と、を備え、前記複数の導電性コンタクトピンは、

それぞれの一部が前記複数の貫通孔のうちいずれかに挿入され、該一部が前記電源層又は前記グラウンド層に電氣的に接続された複数の第1導電性コンタクトピンと、

それぞれの一部が前記複数の貫通孔のうち、前記複数の第1導電性コンタクトピンが挿入された貫通孔以外の貫通孔のいずれかに挿入され、該一部が前記電源層及び前記グラウンド層に電氣的に接続されていない複数の第2導電性コンタクトピンと、を含み、

前記電源層、前記グラウンド層、及び前記少なくとも一つの誘電体層のそれぞれは、間

に挿入される絶縁領域を介して水平方向に２以上の部分に分割されている、ＩＣデバイス用ソケット。

【請求項２】

前記絶縁領域は、その一方の面が前記基材の第１面に到達するまで伸びる一方、該一方の面と対向する他方の面が前記基材の第２面に到達するまで伸びた形状を有することを特徴とする請求項１記載のＩＣデバイス用ソケット。

【請求項３】

前記絶縁領域は、少なくとも一部が空気間隙であることを特徴とする請求項２記載のＩＣデバイス用ソケット。

【請求項４】

前記複数の貫通孔のいずれかは、その内面に導体部材が設けられており、前記電源層は、対応する導体部材を介して前記複数の第１導電性コンタクトピンのうち少なくともいずれかに電氣的に接続される一方、前記グラウンド層は、対応する導体部材を介して前記複数の第１導電性コンタクトピンのうち、前記電源層が接続されたコンタクトピン以外のコンタクトピンのいずれかに電氣的に接続されている請求項１記載のＩＣデバイス用ソケット。

【請求項５】

前記基板を支持するボディであって、検査すべきＩＣデバイスを前記基板上の所定位置に配置するためのガイド部と、前記ＩＣデバイスを検査する検査装置の所定位置に当該ＩＣデバイス用ソケットを配置させるための位置決め部と、を有するボディを、更に備えたことを特徴とする請求項１記載のＩＣデバイス用ソケット。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ＣＰＵ、メモリ等の半導体集積回路（以下、ＩＣという）デバイスの検査に使用されるＩＣデバイス用ソケットに関し、特に、半導体パッケージテスト用のコンデンサ機能を具備したＩＣデバイス用ソケットに関するものである。

【背景技術】

【０００２】

BGA（ボールグリッドアレイ）デバイス等のＩＣデバイスの信号伝送特性等の評価試験を行う際、そのＩＣデバイスの端子それぞれに電氣的に接続可能な接触子を備えたソケット（以下、ＩＣデバイス用ソケットという）が使用される。近年、ＩＣデバイスの扱う信号は、その処理速度の高速化に伴って高周波化している。信号の高速化に対応して、ＩＣデバイス用ソケットも高速信号を伝送できることが求められている。また、電子機器の消費電力低減のためにＩＣデバイスの動作電源の低電圧化もすすんでいる。このようにＩＣデバイスの安定した高速動作には、該ＩＣデバイスに対して安定的に電源が供給される必要である。なお、ＩＣデバイスの高速化と低電圧化により、電源の安定供給がますます重要かつ難しくなっている。

【０００３】

ＩＣデバイスの高速動作時も安定的に電源が供給されるためには、電源とグラウンドのインピーダンスを高い周波数領域まで低く抑える必要がある。ＩＣデバイス用ソケットにおいては、当該ＩＣデバイス用ソケットに含まれる導電性コンタクトピンの自己インダクタンスを下げるのが好ましい。このため、一般に導電性コンタクトピンは太くかつ短いものが好ましいとされている。

【０００４】

高速信号伝送を志向するＩＣデバイス用ソケットに対応する他の方法が、特許文献１に記載されている。特許文献１には、「本発明のＬＳＩソケット１０１は、プリント基板１０２、ポゴピン１０３、ポゴピン支持筐体部１０４の３つの部品から構成されている。プリント基板１０２には、印加される電圧値が異なる第１の電源ピン１０５と第２の電源ピン１０６、ＧＮＤピン１０７、信号ピン１０８用となるポゴピン１０３がそれぞれ挿入さ

10

20

30

40

50

れる複数のスルーホール 109 が設けられており、信号ピン 108 が貫通するスルーホール 109 以外の全てのスルーホール 109 内面にメッキ層 116 が形成されている」と記載されている。

【0005】

特許文献 2 には、「一般的に、電源用プローブのバイパス用チップコンデンサは、検査用ソケット下面側の配線基板上において、電氣的な距離ができるだけデバイスに近い配線パターン上に実装される」及び「チップコンデンサを被検査デバイスの直下であり検査ソケットの上部である位置に実装する事が必要となった」と記載されている。

【先行技術文献】

【特許文献】

10

【0006】

【特許文献 1】国際公開第 2005/006003 号パンフレット

【特許文献 2】特開 2009-85948 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

発明者らは、従来の IC デバイス用ソケットについて検討した結果、以下のような課題を発見した。すなわち、上述のように導電性コンタクトピンは太くかつ短いものが好ましいとされている。ところが、IC デバイスの端子間のピッチの狭小化によって導電性コンタクトピンの太さは必然的に制限される。一方、導電性コンタクトピンは高価であることから、繰り返し使用により信頼性が低下した導電性コンタクトピンは随時交換されることが一般的である。したがって、導電性コンタクトピンの交換時の作業性を考慮等すると該導電性コンタクトピンは一定以上の長さを有する必要がある。なお、導電性コンタクトピンが短いと、稼動長が短くなる。この場合、基板や半導体パッケージが平坦でない場合に追従できなくなる場合があるので、その意味においても導電性コンタクトピンは一定以上の長さを有するのがよい。

20

【0008】

或いは、IC デバイス用ソケットの筐体や当該 IC デバイス用ソケットに組み込まれる導電性コンタクトピンの電源用ピンとグラウンド用ピンの間に直接コンデンサを接続することによりインピーダンスを下げていた。しかしながら、IC デバイス用ソケットの筐体や導電性コンタクトピンに直接コンデンサを接続すると、該 IC デバイス用ソケットが占める体積が大きくなる。この場合、IC デバイス用ソケットの導電性コンタクトピンを高密度に配置することの妨げとなる虞がある。また、IC デバイス用ソケットの筐体や基板の周辺にコンデンサを配置・接続できたとしても、導電性コンタクトピンから離れた位置にしかコンデンサを配置・接続できない場合がある。その場合、コンデンサまでの配線長による自己インダクタンスによってコンデンサの効果が有効に作用しない虞がある。

30

【0009】

本発明は、上述のような課題を解決するための構造を基本構造とし、具体的には、導電性コンタクトピンの交換作業性を低下させることなく、加えて IC デバイスの検査時に信号伝送を安定させることが可能な構造を備える。

40

【0010】

最近では、SoC (System on Chip) や SiP (System in Package) のように、1つのパッケージ内に複数の電源及び/又はグラウンドを有する半導体デバイスが知られている。これら半導体デバイスは、1つのパッケージで、異なる電圧で動作する種々の機能を実現するものや、同じ電圧であっても、正常に動作させるために電源及び/又はグラウンドを独立に用意する必要のあるアナログ回路とデジタル回路の共存に対応することが必要な場合もある。

【0011】

そこで本発明は、上記基本構造を採用し、更に導電性コンタクトピンが挿入される基板自体の厚みを増加させることなくかつ容易に、複数種類の電源設定及び/又はグラウンド

50

設定を可能にするための構造を備えたＩＣデバイス用ソケットと提供することを目的としている。

【課題を解決するための手段】

【００１２】

本発明に係るＩＣデバイス用ソケットは、基板と、複数の導電性コンタクトピンを有する。基板は、第１面と、該第１面に対向する第２面と、それぞれが該第１面と該第２面を連絡する複数の貫通孔を有する。複数の導電性コンタクトピンは、それぞれの一部が複数の貫通孔のうちいずれかに挿入された状態で、基板によって保持されている。また、基板は、基材と、少なくとも一つの誘電体層と、第１及び第２導電層とを少なくとも備える。基材は、絶縁性材料からなり、上記第１面と、上記第２面と、上記複数の貫通孔を有する。誘電体層は、複数の貫通孔と交差した状態で基材の第１面及び第２面の間に設けられており、該基材よりも高い誘電率を有する。第１及び第２導電層は、基材の第１面から第２面に向かう第１方向に沿って、誘電体層を挟んでいる。また、本発明に係るＩＣデバイス用ソケットは、第１及び第２導電層の少なくともいずれかは、絶縁領域を介して水平方向に２以上に分割されていることを特徴としている。なお、水平方向は、上記基板の第１面から第２面に向かう上記第１方向に対して直交する方向に相当する。

10

【００１３】

さらに、電源及びグラウンドの数が多いために、又は、容量を増やすために一つの平面に分割仕切れない場合は、分割された電源及びグラウンドに相当する導電層が複数枚配置されてもよい。すなわち、当該ＩＣデバイス用ソケットにおける基板内に複数の誘電体層が積層配置された構造においては、少なくとも一方向に絶縁領域を介して分割された導電層が設けられた複数の誘電体層が含まれる一方、他の誘電体層は、少なくとも一方向に絶縁領域を介して分割された導電層が設けられた構造と、両面とも絶縁領域を介して分割された導電層が設けられた構造と、両面とも分割されていない導電層が設けられた構造のいずれも構造が採用されてもよい。

20

【００１４】

また、誘電体層の両面に導電層が設けられることにより、これら互いに対面する導電層によりコンデンサ（以下、Ｃ成分という）が構成される。本発明では、該誘電体層の少なくとも一方の面に設けられた導電層が絶縁領域を介して分割された構成が採用されているため、一つの平面上に複数のＣ成分を形成することが可能になる。一方で、基板全面に導電層が配置された場合と比較して各Ｃ成分の容量は必然的に小さくなるが、該導電層の分割領域の面積は、必要とされる最小限容量を確保できれば、基本的にその面積及び平面パターン（形状）について制限はない。この場合、分割された導電層が少なくとも一方の面に設けられた複数の誘電体層が基材内に積層配置された場合であっても、誘電体層ごとに導電層の分割パターンが異なってもよい。

30

【００１５】

上記絶縁領域は、少なくとも一部が空気間隙であってもよい。また、絶縁性材料は、誘電体層とは異なる絶縁性材料（例えば基材材料などの絶縁性材料）であってもよい。この場合、上記導電層とともに誘電体層自体も水平方向に分割された構成となる。しかしながら、誘電体層自体は異なる絶縁性材料や空気間隙によって分割されたとしてもその機能に格別の差異が生じるわけではない。したがって、本明細書では、誘電体層に関して、水平方向に分割された構成であっても、これら分割領域を１つの誘電体層と規定する。

40

【００１６】

本願発明に係るＩＣデバイス用ソケットでは、上述のように、Ｃ成分を構成する誘電体層及びその両面に設けられた導電層とそれらを包埋する基材とにより実質一体物の基板が形成される。そのため、各導電性コンタクトピンとＣ成分との距離は極めて短くなり、その結果、当該ＩＣデバイス用ソケットの性能を高めることができる。また、各導電性コンタクトピンは、基板に圧入等されることにより保持される。そのため、基板は各導電性コンタクトピンの支持体としても機能し、該各導電性コンタクトピンを支持するための他の部材が不要となる。

50

【 0 0 1 7 】

上記複数の導電性コンタクトピンは、複数の第 1 導電性コンタクトピンと、該複数の第 1 導電性コンタクトピンとは接続状態の異なる複数の第 2 導電性コンタクトピンを含む。すなわち、複数の第 1 導電性コンタクトピンは、それぞれの一部が複数の貫通孔のうちいずれかに挿入され、該一部が対応する導体部材（貫通孔の内面に設けられた金属膜等）に接触している。複数の第 2 導電性コンタクトピンは、それぞれの一部が複数の貫通孔のうち別のいずれかに挿入され、第 1 及び第 2 導電層に非接触となっている。この非接触状態は、該第 2 導電性コンタクトピンに対応する貫通孔の内面に設けられた導体部材に対して非接触となっているか、又は、該第 2 導電性コンタクトピンに対応する貫通孔の内面自体に導体部材が存在しないことにより、第 1 及び第 2 導電層に対して非接触となっている状態を意味する。この場合、第 1 導電層又は第 2 導電層は、対応する導体部材を介して複数の第 1 導電性コンタクトピンのうちいずれかに電氣的に接続される。

10

【 0 0 1 8 】

以上のように本発明に係る IC デバイス用ソケットにおける複数の第 1 導電性コンタクトピンのそれぞれは、第 1 導電層のみに電氣的に接続される第 1 グループ（例えば電源ピンのグループ）と、第 2 導電層のみに電氣的に接続される第 2 グループ（例えばグラウンドピンのグループ）とに区分される。また、第 1 及び第 2 導電層の何れにも電氣的に接続されない複数の第 2 導電性コンタクトピンのそれぞれは信号ピンとして機能することになる。

【 発明の効果 】

20

【 0 0 1 9 】

本発明に係る IC デバイス用ソケットによれば、誘電体層とともに C 成分を構成する第 1 及び第 2 導電層の少なくともいずれかが、絶縁領域を介して水平方向に 2 以上に分割されている。この構成により、異なる電源及び / 又はグラウンドを基板内に積層配置する場合と比較して、基板の厚み増加をより効果的に抑制することが可能になる。また、基板製造時においては、基材の一部を介して C 成分の積層工程自体の工程数を低減することが可能になるため、基板製造が容易になる（製造コストの削減）。

【 図面の簡単な説明 】

【 0 0 2 0 】

【 図 1 】 本発明に係る IC デバイス用ソケットの一実施形態の構成を示す斜視図である。

30

【 図 2 】 図 1 に示された IC デバイス用ソケットの、II - II 線に沿った断面構造を示す図である。

【 図 3 】 図 1 に示された IC デバイス用ソケットにおける基板の平面図であり、ピン配置と分割された導電層の位置関係の一例を説明するための図である。

【 図 4 】 図 2 に示された断面構造のうち III 部を拡大した図である。

【 図 5 】 図 3 に示された平面図における IV 部に相当する電源層の構成を示す平面図である。

【 図 6 】 図 3 に示された平面図における IV 部に相当するグラウンド層の構成を示す平面図である。

【 図 7 】 本実施形態における電源層の他の構成を示す平面図である。

40

【 図 8 】 図 7 に示された電源層とともに誘電体層を挟み込むグラウンド層の構成を示す平面図である。

【 図 9 】 図 7 に示された構造を有する電源層（絶縁領域によって 2 以上に分割された電源層）と図 8 に示されたグラウンド層（絶縁領域によって 2 以上に分割された電源層）とで誘電体層を挟み込んだ構造（C 成分層）の一部を、図 3 に示された IV 部に相当する基板領域とともに示す斜視図である。

【 図 10 】 基板内に積層配置された複数の C 成分層（誘電体とその両面に設けられた導電層により構成されている）の組み合わせの一例を、図 9 の例に倣って示す斜視図である（その 1）。

【 図 11 】 基板内に積層配置された複数の C 成分層の組み合わせの一例を、図 9 の例に倣

50

って示す斜視図である（その２）。

【図１２】図９～図１１に示された構成の変形例として、絶縁領域が空気間隙である場合の当該ＩＣデバイス用ソケットの構成を説明するための斜視図である。

【図１３】本実施形態に係るＩＣデバイス用ソケットにおける基板の平面図であり、ピン配置と分割された導電層の位置関係の他の例を説明するための図である（その１）。

【図１４】本実施形態に係るＩＣデバイス用ソケットにおける基板の平面図であり、ピン配置と分割された導電層の位置関係の他の例を説明するための図である（その２）。

【図１５】本実施形態に係るＩＣデバイス用ソケットにおける基板の平面図であり、ピン配置と分割された導電層の位置関係の他の例を説明するための図である（その３）。

【図１６】本実施形態に係るＩＣデバイス用ソケットにおける基板の平面図であり、ピン配置と分割された導電層の位置関係の他の例を説明するための図である（その４）。

【発明を実施するための形態】

【００２１】

以下、本発明に係るＩＣデバイス用ソケットの各実施形態を、図１～図１６を用いて詳細に説明する。なお、図面の説明において同一の要素には同一符号を付して重複する説明を省略する。

【００２２】

まず、本実施形態に係るＩＣデバイス用ソケットの基本構造を含む一実施形態について、図１～図６を用いて詳細に説明する。

【００２３】

図１は、本発明に係るＩＣデバイス用ソケット１の一実施形態の構成を示す斜視図である。図２は、図１に示されたＩＣデバイス用ソケットの、II-II線に沿った断面構造を示す図である。また、図３は、図１に示されたＩＣデバイス用ソケット１における基板２の構成を示す平面図である。なお、図３中の矢印Ｌは、図１のII-II線に実質的に一致している。ＩＣデバイス用ソケット１は、基板２と、基板２に圧入等により保持された複数の導電性のコンタクトピン３と、基板２を支持するボディ４とを備える。ボディ４は、検査すべきＩＣデバイス（図示せず）を基板２上の所定位置に配置するためのガイド部又はガイド壁４１を有し、さらにＩＣデバイスを検査する検査装置（図示せず）の所定位置に、当該ＩＣデバイス用ソケット１を配置するための位置決め部（本実施形態では図２に示す位置決めピン４２）を有する。なお、ボディ４は、必要に応じてＩＣデバイス用ソケット１に組み込まれる。また、基板２は、位置決め手段と協働して位置決めを行う孔や切欠きを有していてもよい。

【００２４】

図４は、図２に示された断面構造のうちIII部を拡大した図である。図４に示されたように、基板２は、ガラスエポキシ樹脂等の誘電体からなる基材２１と、この基材２１に包埋された少なくとも１つ（図示例では４つ）の第１～第４誘電体層２２～２５を有し、誘電体層の上面側及び下面側には銅等の導電層が形成されている。また、図２中にも示されたように、基材２１内に包埋された各導電層は、絶縁領域２９０により水平方向に分割されている。この絶縁領域２９０は、基材材料や誘電体材料などの絶縁性材料からなる領域を意味しており、この図４に示された例では、基材２１の一部及び第１～第４誘電体層２２～２５の一部が絶縁領域２９０に含まれる。

【００２５】

上述のように一つの誘電体層とその両面上に形成された導電層は、協働してＣ成分を構成する。つまり、基板２は、基材２１を構成する材料（基材の一部）と、導電層と、誘電体層とを積層することにより構成されている。また、Ｃ成分の容量を高めるためには各誘電体層の誘電率は高い程好ましく、例えば第１～第４誘電体層２２～２５それぞれは、基材２１の誘電率よりも高い誘電率を有する高誘電体からなるのが好ましい。例えば、高誘電体としてスリーエム社製のEmbedded Capacitor Material（ＥＣＭ）が使用可能である。ＥＣＭは、高誘電材料を柔軟性のあるシート状に形成したものである。このような基板は、印刷回路板を作製する方法によって、作製することができる。

【 0 0 2 6 】

基板 2 を構成する材料、すなわち、基材 2 1 の材料は、絶縁性材料であればよく、ガラス繊維の代わりに紙を含んでもよいし、エポキシ樹脂の代わりにフェノール樹脂やポリアミド樹脂を含んでもよい。また導電層を構成する材料として、銅以外に銀や金が使用されてもよい。第 1 ~ 第 4 誘電体層 2 2 ~ 2 5 のそれぞれは、ポリマーを含んでもよい。好ましくは、第 1 ~ 第 4 誘電体層 2 2 ~ 2 5 のそれぞれは、ポリマーと複数の粒子とを含み、具体的には樹脂と粒子とを混合することによって作製される。好適な樹脂としては、エポキシ、ポリイミド、ポリフッ化ビニリデン、シアノエチルプルラン、ベンゾシクロブテン、ポリノルボルネン、ポリテトラフルオロエチレン、アクリレート、及びそれらの混合物が挙げられる。粒子は、誘電性（又は絶縁性）粒子を含み、その代表例としては、チタン酸バリウム、チタン酸バリウムストロンチウム、酸化チタン、チタン酸鉛ジルコニウム、及びそれらの混合物が挙げられる。

10

【 0 0 2 7 】

第 1 ~ 第 4 誘電体層 2 2 ~ 2 5 それぞれの厚みは、例えば 0 . 5 μm 以上とすることができ、100 μm 以下とすることができる。該厚みはより薄い方が、キャパシタの静電容量を高くできるので好ましく、例えば 15 μm 以下、或いは 10 μm 以下とすることができる。ただし、該厚みはより厚い方が、接着強度の点からは好ましく、例えば 1 μm 以上とすることができる。

【 0 0 2 8 】

また、誘電体の比誘電率は高い程好ましく、例えば 10 以上、或いは 12 以上とすることができる。比誘電率の上限には特に制限はないが、例えば 30 以下、20 以下、或いは 16 以下とすることができる。

20

【 0 0 2 9 】

第 1 ~ 第 4 誘電体層 2 2 ~ 2 5 のそれぞれの両面に形成された導電層のうち、一方の導電層は当該 IC デバイス用ソケット 1 の電源ピンと電氣的に接続された電源層を構成し、他方の導電層は当該 IC デバイス用ソケット 1 のグラウンド（以下、GND という）ピンと電氣的に接続された GND 層を構成する。詳細には、基板 2 の IC デバイス側の面（図 2 では上面）2 6 に最も近い第 1 誘電体層 2 2 の上面 2 2 1 には絶縁領域 2 9 0 を介して第 1 電源層を構成する分割領域 2 2 2、2 2 2 が形成され、下面 2 2 3 には絶縁領域 2 9 0 を介して第 1 GND 層を構成する分割領域 2 2 4、2 2 4 が形成される。同様に、第 1 誘電体層 2 2 の直下に位置する第 2 誘電体層 2 3 の上面 2 3 1 には絶縁領域 2 9 0 を介して第 2 電源層を構成する分割領域 2 3 2、2 3 2 が形成され、下面 2 3 3 には絶縁領域 2 9 0 を介して第 2 GND 層を構成する分割領域 2 3 4、2 3 4 が形成される。さらに、基板 2 の検査装置側の面（図 2 では下面）2 7 に最も近い第 4 誘電体層 2 5 の上面 2 5 1 には絶縁領域 2 9 0 を介して第 4 電源層を構成する分割領域 2 5 2、2 5 2 が形成され、下面 2 5 3 には絶縁領域 2 9 0 を介して第 4 GND 層を構成する分割領域 2 5 4、2 5 4 が形成される。同様に、第 4 誘電体層 2 5 の直上に位置する第 3 誘電体層 2 4 の上面 2 4 1 には絶縁領域 2 9 0 を介して第 3 電源層を構成する分割領域 2 4 2、2 4 2 が形成され、下面 2 4 3 には絶縁領域 2 9 0 を介して第 3 GND 層を構成する分割領域 2 4 4、2 4 4 が形成される。なお、図 4 に示された断面構造では、基板 2 の上面 2 6 は、基材 2 1 の上面と一致しており、基板 2 の下面 2 7 は、基材 2 1 の下面に一致している。

30

40

【 0 0 3 0 】

ここで、第 1 電源層の分割領域 2 2 2、2 2 2 それぞれは異なる電位に設定されてもよく、第 1 GND 層の分割領域 2 2 4、2 2 4 も異なる GND 設定が可能である（異なる GND ピンへの電氣的接続）。第 2 電源層の分割領域 2 3 2、2 3 2 それぞれについても異なる電位に設定可能であり、第 2 GND 層の分割領域 2 3 4、2 3 4 それぞれも別個に GND 設定可能である。第 3 電源層の分割領域 2 4 2、2 4 2 それぞれも異なる電位に設定可能であり、第 3 GND 層の分割領域 2 4 4、2 4 4 それぞれも共通の GND ピンに電氣的に接続される必要はない。さらに、第 4 電源層の分割領域 2 5 2、2 5 2

50

それぞれについても異なる電位設定が可能であり、第4 GND層の分割領域254、254も共通のGNDピンに電氣的に接続される必要はない。

【0031】

なお、図4に示された例では、第1～第4誘電体層22～25全てが、その両面に絶縁領域290を介して水平方向に分割された導電層が設けられているが、基板2内に複数の誘電体層が積層配置される構成においては、その両面に分割されていない導電層が設けられた誘電体層が含まれていてもよい。例えば、分割されていない導電体層が基板2の全面に配置された場合、基板2の面積と略等しい面積のC成分が形成可能である。また、分割されていない導電層の面積は、必ずしも基板2の全面に一致する程度の面積を確保する必要はなく、その面積は、必要とされるC成分の容量に基づいて決定されればよい。加えて、分割されるか否かに関わらず、導電層の平面形状は基板2内において任意に決定されればよい。

10

【0032】

導電性コンタクトピン3のそれぞれは、基板2の上面26又は下面27に略垂直に基板2を貫通する。詳細には、基板2を構成する基材21、各誘電体層及びそれぞれの両面に形成された導電層には、各導電性コンタクトピン3を圧入可能な貫通孔28が形成されており、さらに、各貫通孔28の内面には銅、金又は銀等の導体部材281がメッキ等により形成されている。導体部材281が導電層のいずれか1つに導通接続されることにより、貫通孔28内に圧入された導電性コンタクトピン3のピンボディ31は、該導電性コンタクトピン3が信号ピンである場合を除き、導体部材281を介していずれかの導電層に電氣的に接続されることになる。なお、信号ピン用の孔の内面にも導体部材281を形成してもよいが、しなくてもよい。

20

【0033】

各貫通孔28の寸法は、該貫通孔内に保持された導電性コンタクトピン3が、検査装置の基板にICデバイス用ソケット1を配置したときに生ずる当該導電性コンタクトピン3の内蔵バネの反力によって脱落しないように決定される。例えば、導電性コンタクトピン3の圧入保持力は0.1N以上であることが好ましい。また、各貫通孔28の寸法は、導電性コンタクトピン3の保守・交換時等には貫通孔28から導電性コンタクトピン3が比較的容易に抜き出すことができるように決定され、また、導電性コンタクトピン3を基板2から引き抜いたときに貫通孔28内面の導体部材281が剥離しないように決定される。例えば、導電性コンタクトピン3の圧入保持力は2.0N以下であることが好ましい。

30

【0034】

導電性コンタクトピン3のそれぞれは、基板2に圧入保持される略円筒状のピンボディ31と、該ピンボディ31の一端(図示例では下端)から突出することで検査装置(図示せず)に電氣的に当接すなわち導通接続可能な第1接触部32と、ピンボディ31の他端(図示例では上端)から突出することでICデバイス(図示せず)に電氣的に当接すなわち導通接続可能な第2接触部33とを有する。導電性コンタクトピン3としては、種々の形態が適用可能であるが、例えば、スプリングブロープと呼ばれるタイプのように、両接触部32、33がピンボディ31に対してスプリング等(図示せず)によってピンボディ31の軸方向に変位可能なものが好適である。

40

【0035】

導電性コンタクトピン3のピンボディ31は、円筒状であることが好ましい。このような形状を有する導電性コンタクトピン3の場合、ピンボディ31の外周表面と貫通孔28とが広い面積で接するので、当該導電性コンタクトピン3を貫通孔28に対して略同軸上に配置することが容易になる。さらに、導体部材281と導電性コンタクトピン3との接触面積が増えるため、電氣的に安定した接続を実現できる。

【0036】

導電性コンタクトピン3は、上述の電源層に電氣的に接続される電源ピンのグループと、GND層に接続されるGNDピンのグループと、いずれの層にも接続されない信号ピンのグループとに分類される。例えば、図4に示されたように、導電性コンタクトピン3b

50

は第1電源層の分割領域222及び第3電源層の分割領域242の双方に接続される一方、導電性コンタクトピン3iは第1電源層の分割領域222及び第3電源層の分割領域242の双方に接続され、第1電源ピンとして機能する。導電性コンタクトピン3cは第2電源層の分割領域232及び第4電源層の分割領域252の双方に接続される一方、導電性コンタクトピン3fは第2電源層の分割領域232及び第4電源層の分割領域252の双方に接続され、それぞれ第2電源ピンとして機能する。同様に、導電性コンタクトピン3aは第1GND層の分割領域224及び第3電源層の分割領域244の双方に接続される一方、導電性コンタクトピン3hは第1GND層の分割領域224及び第3電源層の分割領域244の双方に接続され、それぞれ第1GNDピンとして機能する。導電性コンタクトピン3dは第2GND層の分割領域234及び第4電源層の分割領域254の双方に接続される一方、導電性コンタクトピン3gは第2GND層の分割領域234及び第4電源層の分割領域254の双方に接続され、それぞれ第2GNDピンとして機能する。また、導電性コンタクトピン3eはいずれの導電層にも接続されておらず、信号ピンとして機能する。

10

【0037】

本実施形態では、C成分を構成する各誘電体層及びそれぞれの両面に形成された導電層とそれらを包埋する基材とにより実質一体物の基板2が形成されている。したがって、導電性コンタクトピン3とC成分との距離を極めて短くすることができる。また、導電性コンタクトピン3のそれぞれは、摩擦力によって基板2に保持される等、簡単な方法で基板2に保持される。そのため、基板2は導電性コンタクトピン3の支持体としても作用し、導電性コンタクトピン3を支持するための他の部材が不要になる。つまり、導電性コンタクトピン3は、実質的に基板2のみによって保持及び位置決めされる。また、高誘電体からなる誘電体層を使用することにより、基板2のさらなる薄型化が図られる。

20

【0038】

図4に示されたように、基板2は高誘電体（誘電体層）を挟む電源層とGND層とで構成されるC成分を、基板2の上面26及び下面27（基材21の上面及び下面にそれぞれ一致）になるべく近い位置（すなわち表層側）に具備することが好ましい。この理由は、基板2の表面と導電層との距離が小さい方が、ICデバイス検査時において電源供給の安定性が得られるからである。より具体的に言えば、基板2の上面26と第1及び第2誘電体層22、23との距離が短い程、検査対象であるICデバイスの入力感度が上昇する。したがって、第1及び第2誘電体層22、23は、基板2の上面26と下面27の中間点を基準にして、該上面26側に配置されるのが好ましい。また、第3及び第4誘電体層24、25は、基板2の上面26と下面27の中間点を基準にして、該下面27側に配置されるのが好ましい。本実施形態では、基板2が電源層とGND層とに挟まれた高誘電体からなる誘電体層を内包した実質一体物として構成されている。そのため、C成分を基板2の表面近傍に配置した構成が容易に実現可能になり、より正確なICデバイスの検査が実現できる。

30

【0039】

上述のように、導電性コンタクトピン3は実質的に基板2のみによって保持される。そのため、基板2内における任意の位置に、必要な容量を有するC成分を複数に分割した状態で配置することが可能になる。また、基板2は、その厚さ方向の中心付近に、誘電体層とその両面に形成された導電層とからなるC成分をさらに備えてもよい。

40

【0040】

導電性コンタクトピン3の長さは、電気特性等の観点からは短い方が好ましい。しかしながら、導電性コンタクトピン3の長さが短い程、ピン交換の作業性や組立性は落ちることになる。これに対し、本基本構造によれば、上記基板2の構成により、電気特性は実際より短いボゴピンが使用された場合と同様の効果が得られるので、比較的長い導電性コンタクトピン3を使用しても当該ICデバイス用ソケット1の性能低下を考慮する必要はない。

【0041】

50

ピンボディ 3 1 の長さが基板 2 の厚さよりも長ければ、結果的に導電性コンタクトピン 3 も長くなって電気特性が低下する。一方、ピンボディ 3 1 の長さが基板 2 の厚さよりも短すぎてピンボディ 3 1 の軸方向端部がある導電層よりも基板厚さ方向について基板内部側に位置する場合、導電性コンタクトピン 3 からその導電層に至る経路が複雑になって IC デバイス用ソケットの性能低下につながる。したがって、各導電性コンタクトピン 3 のピンボディ 3 1 の軸方向長さは、基板 2 の厚さと概ね同等であることが好ましい。なお、基板 2 の厚さは、各導電性コンタクトピン 3 を保持するために必要とされる構造強度を考慮して決定され、強度が十分であれば、できるだけ薄いものとするのが好ましい。

【 0 0 4 2 】

加えて、本実施形態に係る IC デバイス用ソケット 1 は、一例として、4 つの誘電体層 2 2 ~ 2 5 (それぞれの両面には電源層及び GND 層が形成されている) が基材 2 1 の一部を介して積層された構造を備える。この構成によれば、例えば第 1 電源層と第 2 電源層とで、異なる電位設定が可能なことから、当該 IC デバイス用ソケット 1 によっても、1 つのパッケージ内において異なる電源設定及び又はグラウンド設定が可能である。また、同一面内であっても、分割領域ごとに異なる電源設定及び / 又はグラウンド設定が可能である。例えば、第 1 電源層の分割領域 2 2 2 と分割領域 2 2 2 とで異なる電源設定が行われてもよく、また、第 2 電源層の分割領域 2 3 2 と分割領域 2 3 2 とで異なる電源設定が行われてもよい。

【 0 0 4 3 】

すなわち、第 1 電源層は、一例として図 5 に示されたような平面形状を有する一方、第 1 GND 層は、一例として図 6 に示されたような平面形状を有する。なお、図 5 は、図 3 に示された平面図における IV 部に相当する第 1 電源層の構成を示す平面図であるが、他の第 2 ~ 第 4 導電層の何れも同様の平面形状を有してもよい。また、図 6 は、図 3 に示された平面図における IV 部に相当する第 1 GND 層の構成を示す平面図であるが、他の第 2 ~ 第 4 GND 層の何れも同様の平面形状を有してもよい。

【 0 0 4 4 】

図 5 に示されたように、第 1 電源層は、絶縁領域 2 9 0 を介して水平方向に分割された分割領域 2 2 2 と分割領域 2 2 2 から構成されている。また、これら分割領域 2 2 2、2 2 2 には、基板 2 に設けられた貫通孔 2 8 に相当する位置に、それぞれ直径の異なる 2 種類の開口 2 8 0 a、2 8 0 b が設けられている。なお、分割領域 2 2 2、2 2 2 それぞれに設けられた、これら 2 種類の開口 2 8 0 a、2 8 0 b は、図 5 中の矢印 L 1 に沿った方向に配置されており、この矢印 L 1 は、図 1 中の II - II 線に実質的に一致している (図 4 に示された断面に実質的に一致)。開口 2 8 0 a は、貫通孔 2 8 の直径と略一致した直径を有しており、より詳細には、該貫通孔 2 8 の内面に形成された導体部材 2 8 1 と当該第 1 電源層を構成する分割領域 2 2 2、2 2 2 との間で十分に電氣的接触状態が維持できる程度の開口径を有する。一方、開口 2 8 0 b は、貫通孔 2 8 の直径よりも大きな直径を有しており、より詳細には、該貫通孔 2 8 の内面に形成された導体部材 2 8 1 と当該第 1 電源層を構成する分割領域 2 2 2、2 2 2 との間で十分に電氣的分離状態が維持できる程度、例えば貫通孔 2 8 の直径よりも 5 0 μ m 程度大きな開口径を有する。

【 0 0 4 5 】

また、図 6 に示されたように、第 1 GND 層も絶縁領域 2 9 0 を介して水平方向に分割された分割領域 2 2 4 と分割領域 2 2 4 から構成されている。また、これら分割領域 2 2 4、2 2 4 も、上述の第 1 電源層の分割領域 2 2 2、2 2 2 と同様に、基板 2 に設けられた貫通孔 2 8 に相当する位置に、それぞれ直径の異なる 2 種類の開口 2 8 0 a、2 8 0 b が設けられている。なお、これら分割領域 2 2 4、2 2 4 それぞれに設けられた、これら 2 種類の開口 2 8 0 a、2 8 0 b は、図 6 中の矢印 L 2 に沿った方向に配置されており、この矢印 L 2 は、図 1 中の II - II 線に実質的に一致している (図 4 に示された断面に実質的に一致)。開口 2 8 0 a は、貫通孔 2 8 の直径と略一致した直径を有しており、より詳細には、該貫通孔 2 8 の内面に形成された導体部材 2 8 1 と当該第 1 GND を構成する分割領域 2 2 4、2 2 4 との間で十分に電氣的接触状態が維持できる程度の開口

径を有する。一方、開口 280b は、貫通孔 28 の直径よりも大きな直径を有しており、より詳細には、該貫通孔 28 の内面に形成された導体部材 281 と当該第 1 GND 層の分割領域 224、224 との間で電气的分離状態が十分に維持できる程度の開口径を有する。

【0046】

このように、本実施形態によれば、それぞれ基板 2 内に絶縁性材料からなる基材 21 の一部を介して電源層が積層配置されており、第 1 ~ 第 4 電源層ごとに異なる電位設定が可能になるとともに、各電源層でも、分割領域ごとに異なる電位設定が可能になる。特に、IC デバイス用ソケット 1 内において電位設定が複雑化すると、積層すべき層の数が多くなるため、基板 2 の厚み（上面 26 と下面 27 の間隔）の増加を回避する意味においても本実施形態の構造は有効である。

10

【0047】

以上、図 1 ~ 図 6 に示された実施形態では、C 成分を構成する誘電体層とその両面に設けられた導電層からなる構造（以下、C 成分層という）は、第 1 ~ 第 4 誘電体層 22 ~ 25 それぞれについて、導電層が分割された構造が採用されているが、C 成分層ごとに異なる導電層分割パターンが採用されてもよい。

【0048】

なお、最も基本的な構造は、基板 2 内に一つの C 成分層を含む構造（図 9）である。この図 9 に示す構造に採用可能な電源層の例を図 7 に示す。図 7 に示されたように、電源層 2100 は、絶縁領域 2100c を介して水平方向（基板 2 の上面 26 から下面 27 に向かう方向に対して直交する方向）に分割領域 2100a と分割領域 2100b に分割されている。なお、電源層 2100 に設けられた、2 種類の開口 280a、280b は、図 7 中の矢印 L3 に沿った方向に配置されており、この矢印 L3 は、図 1 中の II - II 線に実質的に一致している（図 4 に示された断面に実質的に一致）。

20

【0049】

また、GND 層 2200 も、図 8 に示されたように、絶縁領域 2200c を介して水平方向に分割領域 2200a と分割領域 2200b に分割されている。また、これら分割領域 2200a、2200b にも、2 種類の直径を有する開口 280a、280b が形成されている。なお、これら 2 種類の開口 280a、280b は、図 8 中の矢印 L4 に沿った方向に配置されており、この矢印 L4 は、図 1 中の II - II 線に実質的に一致している（図 4 に示された断面に実質的に一致）。

30

【0050】

以上のように、それぞれが水平方向に 2 分割された電源層 2100 と GND 層 2200 で誘電体層 2000 を挟み込んだ層構造を基板 2 に設けることにより、図 9 に示す基本的な構造が実現される。この場合、基板 2 の厚みを増加させることなく、複数種類の電源設定が可能になる。なお、図 9 は、図 7 に示された構造を有する電源層（絶縁領域によって 2 以上に分割された電源層）と図 8 に示された GND 層（絶縁領域によって 2 以上に分割された電源層）とで誘電体層を挟み込んだ構造（C 成分層）の一部を、図 3 に示された IV 部に相当する基板領域とともに示す斜視図である。

【0051】

40

上述のように図 9 に示された例では、1 つの平面上（誘電体層 2000 とその両面に設けられた電源層 2100 及び GND 層で構成された C 成分層の接地平面に相当）に複数の C 成分を実現しているが、基板 2 内に複数の C 成分層が積層配置された構造では、さらに、図 9 に示された C 成分層に更に他の導電層分割パターンを有する C 成分層を組み合わせることも可能である。

【0052】

図 10 及び図 11 は、基板内に積層配置された複数の C 成分層（誘電体とその両面に設けられた導電層により構成されている）の組み合わせの一例を、図 9 の例に倣って示す斜視図である。

【0053】

50

まず、図10に示された例では、図9に示された第1C成分層と、導電層分割パターンの異なる第2C成分層が基板2内に積層配置されている。第1C成分層は、上述のように、誘電体層2000と、それぞれが絶縁領域2100cを介して誘電体層2000の一方の面上に設けられた分割領域2100a、2100bを含む電源層2100と、それぞれが絶縁領域2200cを介して誘電体層2000の他方の面上に設けられた分割領域2200a、2200bを含むGND層2200から構成されている。一方、第2C成分は、誘電体層3000と、それぞれが絶縁領域3100cを介して誘電体層3000の一方の面上に設けられた分割領域3100a、3100bを含む電源層3100と、誘電体層3000の他方の面上に設けられた、分割されていないGND層3200から構成されている。なお、第1C成分層の電源層2100における絶縁領域2100cの形状(分割パターン)と、第2C成分層の電源層3100における絶縁領域3100cの形状(分割パターン)とは、当然のことながら異なってもよい。また、第2C成分層の分割されていないGND層3200は、基板2の上面26又は下面27に一致する程度の面積を有する必要はない。GND層3200の面積は、電源層3100の各分割領域3100a、3100bとの間で必要な容量が確保できる程度であればよい。

10

【0054】

また、図11に示された例では、図9に示された第1C成分層と、導電層分割パターンの異なる第3C成分層が基板2内に積層配置されている。第1C成分層の構造は、上述の図9及び図10と同様である。第3C成分は、誘電体層4000と、該誘電体層4000の一方の面上に設けられた、分割されていない電源層4100と、該誘電体層4000の他方の面上に設けられた、分割されていないGND層4200から構成されている。この第3C成分層の電源層4100及びGND層4200の各面積も、基板2の上面26又は下面27に一致する程度の面積を有する必要はない。C成分の容量は、基板2の上面26から下面27に向かう方向に沿って見たときに電源層4100とGND層4200とが重なり合う領域の面積によって決まる。そのため、電源層4100の面積と平面形状、及び、GND層4200の面積と平面形状は、それぞれ必要な容量が確保できる範囲で決定されればよい。

20

【0055】

なお、導電層を分割する絶縁領域の少なくとも一部は間隙、例えば、空気間隙であってもよい。例えば、上述の図9に示されたC成分層を含む複数のC成分層全てが分割された導電層を有する場合、空気間隙である絶縁領域2100cは、図12に示されたように、その上面が基板2の上面26に到達するまで伸びる一方、その下面が基板2の下面27に到達するまで伸びた形状を有するのが好ましい。このとき、図12に示されたように、誘電体層2000は、2つの部分2000a、2000bに水平方向に分割され、電源層2100も、2つの部分2100a、2100bに水平方向に分割され、さらに、GND層2200も、2つの部分2200a、2200bに水平方向に分割される。本実施形態に係るICデバイス用ソケットでは、上記誘電体層2000、電源層2100、GND層2200の他、他の構成部分についても空気間隙である絶縁領域2100cによって水平方向に分割されてもよい。なお、図12も、図3のIV部に相当する基板2の内部構造を示している。また、図12の構成において、複数の誘電体層、すなわち複数のC成分層が積層配置される場合には、図12に示されたC成分層とともに、図10や図11に示されたような他のC成分層が含まれてもよい。

30

40

【0056】

図12の例では、絶縁領域2100cに空気間隙が適用されることにより、電源層2100及びGND層2200とともに、誘電体層2000も、水平方向に分割されることになる。しかしながら、誘電体層自体は異なる絶縁性材料や空気間隙によって分割されたとしてもその機能に格別の差異が生じるわけではない。よって、本明細書では、誘電体層に関して、水平方向に分割された構成であっても、これら分割領域を1つの誘電体層と規定する。

【0057】

50

以上のように、誘電体層 2 0 0 0 とともに C 成分を構成する電源層 2 1 0 0 及び GND 層 2 2 0 0 の少なくともいずれかが、絶縁領域 2 1 0 0 c を介して水平方向に 2 以上に分割された構成は、異なる電源及び / 又はグラウンドを基板内に積層配置する場合と比較して、基板の厚み増加の抑制効果を顕著にする。また、基板製造時においては、基材の一部を介して C 成分層の積層工程自体の工程数を低減することが可能になるため、基板製造が容易になる（製造コストの削減）。

【 0 0 5 8 】

さらに、本実施形態に係る IC デバイス用ソケット 1 において、基板 2 に保持される導電性コンタクトピン 3 の配置は、図 3 に示されたような矩形形状には限定されず、種々の配置パターンが採用可能である。また、採用される導電性コンタクトピン 3 の配列パターンによって分割される電源層及び / 又は GND 層の面積及び形状の任意に設定される。例えば、その一例を図 1 3 ~ 図 1 6 に示す。なお、図 1 3 ~ 図 1 6 は、それぞれ、本実施形態に係る IC デバイス用ソケットにおける基板の平面図であり、ピン配置と分割された導電層の位置関係の他の例を説明するための図である。また、これら図 1 3 ~ 図 1 6 は、図 3 の例に倣って、基板 2 と第 1 電源層の分割領域 2 2 2、2 2 2 に相当する要素の位置関係が示されている。

【 0 0 5 9 】

図 1 3 に示された例において、基板 2 a には、矩形外周と矩形内周とで挟まれた矩形リング領域に導電性コンタクトピン 3 が配置されており、基板 2 a 内に配置される C 成分層を構成する導電層のいずれかは、絶縁領域 2 9 0 a を介して水平方向に、2 つの分割領域 2 2 2 a、2 2 2 a に分割される。

【 0 0 6 0 】

また、図 1 4 に示された例において、基板 2 b には、内側矩形領域に導電性コンタクトピン 3 が配置されるとともに、該内側矩形領域を取り囲む矩形リング領域にも導電性コンタクトピン 3 が配置されている。この場合、基板 2 b 内に配置される C 成分層を構成する導電層のいずれかは、例えば絶縁領域 2 9 0 b を介して分割領域 2 2 2 b を分割領域 2 2 2 b が取り囲むように分割されてもよい。

【 0 0 6 1 】

図 1 5 に示された例において、基板 2 c には、矩形領域の最外周に沿って導電性コンタクトピン 3 が配置されている。この場合、基板 2 c 内に配置される C 成分層を構成する導電層のいずれかは、例えば絶縁領域 2 9 0 c を介して、導電性コンタクトピン 3 の配列に沿った形状の分割領域 2 2 2 c、2 2 2 c に分割されてもよい。

【 0 0 6 2 】

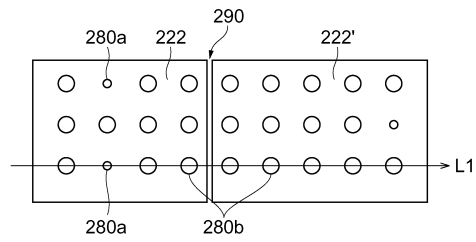
さらに、図 1 6 に示された例において、基板 2 d には、所定距離だけ離間した状態で 2 列に導電性コンタクトピン 3 が配置されている。この場合、基板 2 d 内に配置される C 成分層を構成する導電層のいずれかは、例えば絶縁領域 2 9 0 d を介して各列に対応した分割領域 2 2 2 d、2 2 2 d に分割領域されてもよい。

【 符号の説明 】

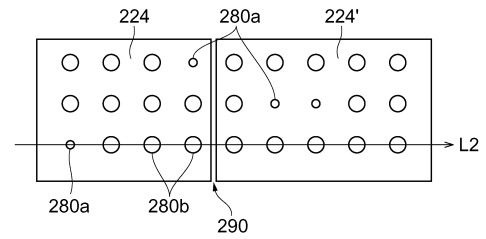
【 0 0 6 3 】

1 ... IC デバイス用ソケット、2、2 a、2 b、2 c、2 d ... 基板、2 1 ... 基材、2 2 ~ 2 5、2 0 0 0、2 0 0 0 a、2 0 0 0 b、3 0 0 0、4 0 0 0、5 0 0 0 ... 誘電体層、2 2 2、2 2 2、2 2 2 a、2 2 2 a、2 2 2 b、2 2 2 b、2 2 2 c、2 2 2 c、2 2 2 d、2 2 2 d、2 3 2、2 3 2、2 4 2、2 4 2、2 5 2、2 5 2、2 1 0 0、2 1 0 0 a、2 1 0 0 b、3 1 0 0、3 1 0 0 a、3 1 0 0 b、4 1 0 0 ... 電源層、2 2 4、2 2 4、2 3 4、2 3 4、2 4 4、2 4 4、2 5 4、2 5 4、2 2 0 0、2 2 0 0 a、2 2 0 0 b、3 2 0 0、4 2 0 0 ... GND 層、2 8 ... 貫通孔、3、3 a ~ 3 i ... 導電性コンタクトピン、3 1 ... ピンボディ、3 2 ... 第 1 接触部、3 3 ... 第 2 接触部、4 ... ボディ、2 9 0、2 9 0 a、2 9 0 b、2 9 0 c、2 9 0 d、2 1 0 0 c、2 2 0 0 c、3 1 0 0 c ... 絶縁領域。

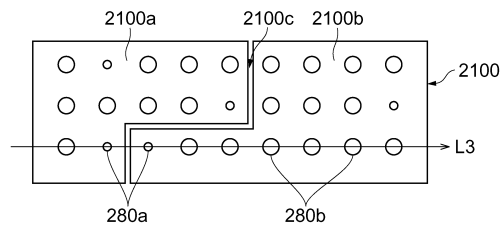
【図 5】



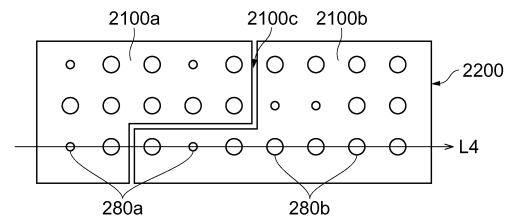
【図 6】



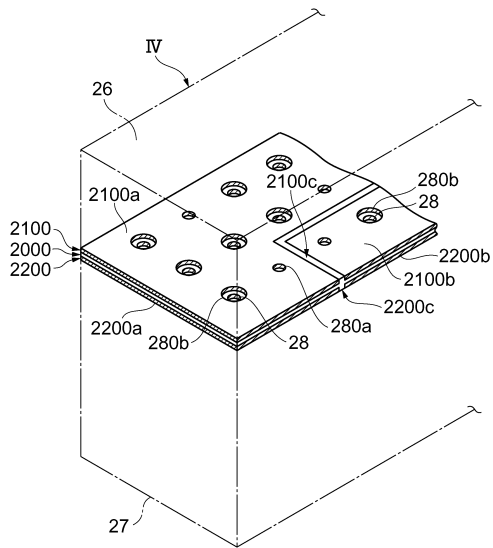
【図 7】



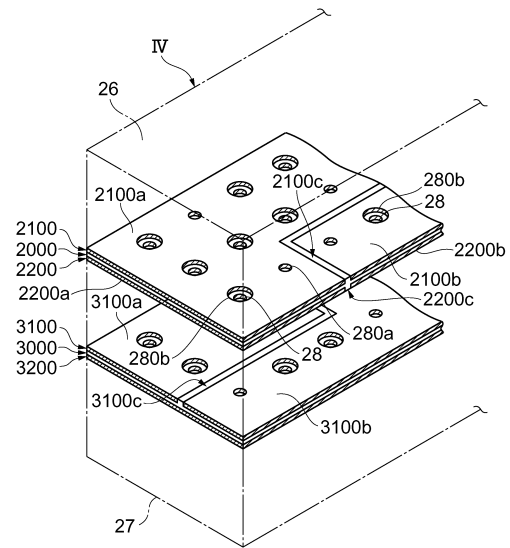
【図 8】



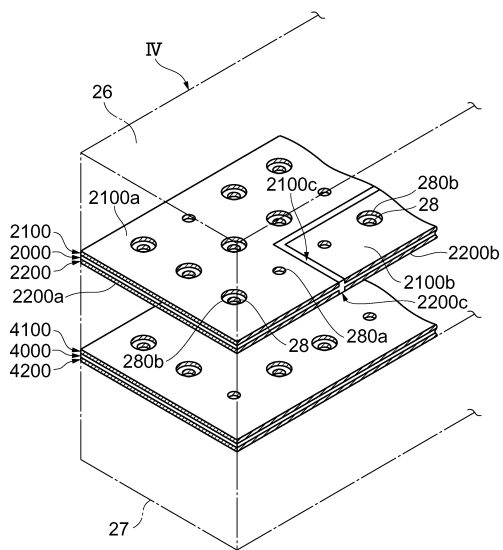
【図 9】



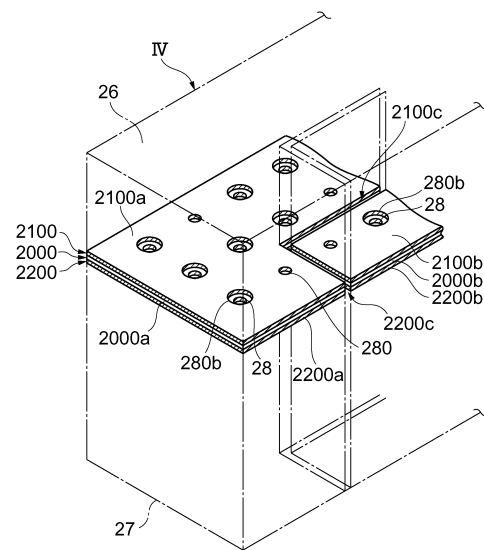
【図 10】



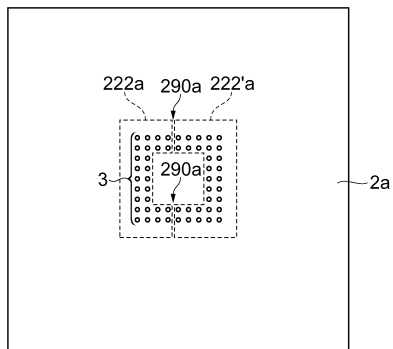
【図 11】



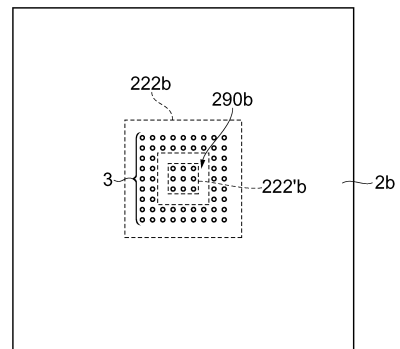
【図 12】



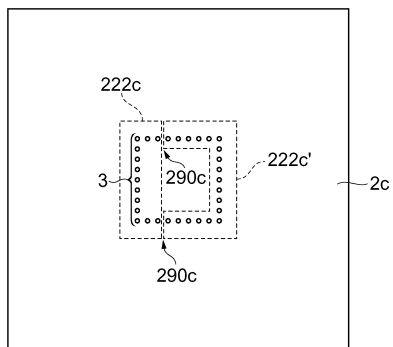
【図 13】



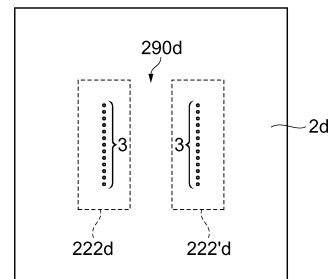
【図 14】



【図 15】



【図 16】



フロントページの続き

- (74)代理人 100154656
弁理士 鈴木 英彦
- (74)代理人 100152191
弁理士 池田 正人
- (74)代理人 100139000
弁理士 城戸 博兒
- (72)発明者 川手 良尚
神奈川県相模原市中央区南橋本3丁目8-8 住友スリーエム株式会社内
- (72)発明者 椿 裕一
神奈川県相模原市中央区南橋本3丁目8-8 住友スリーエム株式会社内

合議体

審判長 清水 稔
審判官 酒井 伸芳
審判官 須原 宏光

- (56)参考文献 国際公開第99/41812(WO,A1)
特開平10-313178(JP,A)
国際公開第2009/031394(WO,A1)
特開2009-85948(JP,A)
特開2007-178164(JP,A)
特開平6-297634(JP,A)
特開2005-310814(JP,A)
国際公開第2004/068922(WO,A1)
特開2009-60150(JP,A)
Yu Xuequan , Yan Hang , Zhang Gezi , Wang Haisan、Simulation and design of printed circuit boards utilizing novel embedded capacitance material、2010 IEEE International Symposium on Electromagnetic Compatibility (EMC)、米国、2010.07.30発行、p.228-232

- (58)調査した分野(Int.Cl., DB名)
G01R 31/26 H01R 33/76