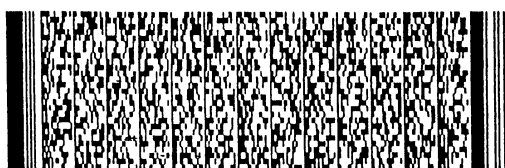


申請日期: 89.3.7	案號: 89104073
類別: G11C 1/00, H01L 21/00	

(以上各欄由本局填註)

公告本	發明專利說明書	I223267
-----	---------	---------

一、 發明名稱	中文	半導體記憶裝置
	英文	ブロック単位で消去を行う半導体記憶装置
二、 發明人	姓名 (中文)	1. 田浦 忠行 2. 渥美 滋
	姓名 (英文)	1. 2.
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國神奈川縣逗子市久木7-1-5 海彦公寓201 2. 日本國神奈川縣橫濱市中區上野町3-108-2-201
三、 申請人	姓名 (名稱) (中文)	1. 日商東芝股份有限公司
	姓名 (名稱) (英文)	1. KABUSHIKI KAISHA TOSHIBA
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國神奈川縣川崎市幸區堀川町72番地
	代表人 姓名 (中文)	1. 西室 泰三
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

1999/03/23 特願平11-077432

案號

主張優先權

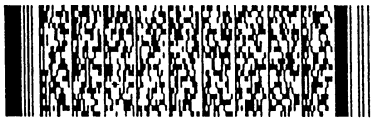
有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明之背景

本發明係關於一種使用疊閘構造的MOS型電晶體作為記憶胞，可再寫入/讀出資料之半導體記憶裝置，更詳細係關於一種在以區塊單位進行擦除之半導體記憶裝置產生缺陷時，將缺陷(defective)胞調換(replace)或冗餘胞的技術。

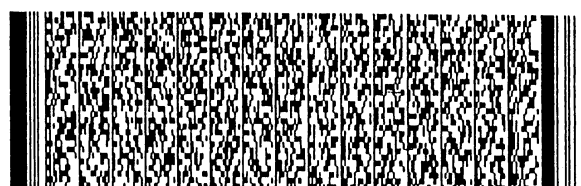
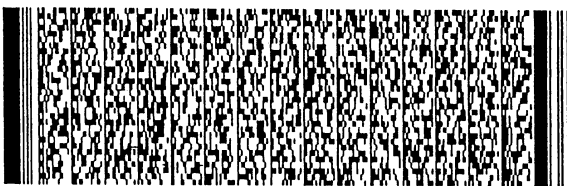
電氣進行資料擦除/再寫入的EEPROM之記憶胞通常以如圖1所示的使用以絕緣膜分離各個的兩層多晶矽的疊閘構造的MOS型電晶體(非揮發性電晶體)構成。

在於上述記憶胞，利用第一層多晶矽形成浮動閘11，利用第二層多晶矽形成控制閘12。在上述浮動閘11及控制閘12下的矽基板13中隔離形成源極區域14及汲極區域15。在上述基板13主表面上的全面形成層間絕緣膜16，在此層間絕緣膜16的汲極區域15上形成接觸孔17。在上述層間絕緣膜16上及接觸孔17內形成以鋁等金屬形成的資料線(位元線)18，和汲極區域15電氣連接。

其次，就這種構造記憶胞的資料寫入、讀出及擦除動作加以說明。

藉由下述進行寫入動作：例如將汲極電位VD設定在5.0V，將控制閘電位VCG設定在9V，將源極電位VS設定在0V，將熱電子注入浮動閘11中而使臨界電壓變化。

此外，擦除動作例如以控制閘電位VCG為-7V，以汲極為浮動狀態，例如施加5V作為源極電位VS。藉此，利用隧道效應抽出浮動閘11中的電子到源極區域14。



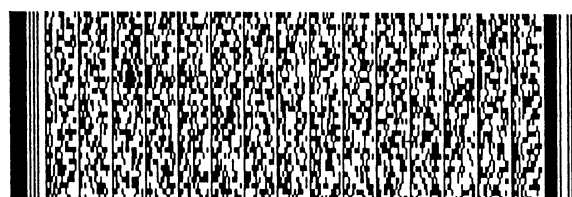
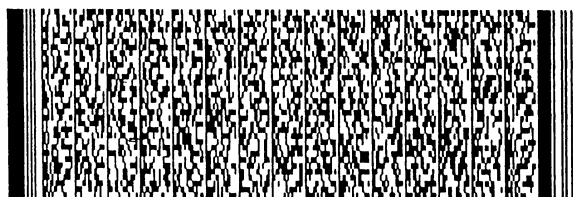
五、發明說明 (2)

藉由下述進行讀出動作：例如將控制閘電位VCG設定在4.8V，將汲極電位VD設定在0.6V，將源極電位VS設定在0V。此時，若記憶胞為寫入狀態，則在源極，汲極間電流不流動。以此時的記憶資料為"0"。若記憶胞為擦除狀態，則在源極、汲極區域間30 μ A程度的電流流動。以此時的記憶資料為"1"。

且說在如上述結構的記憶胞，因矽基板13結晶缺陷或絕緣膜不良等而在製程中產生各種不良。例如可想到矽基板13和浮動閘11或控制閘12短路。這種情況，不能正常的寫入、擦除及讀出動作。此問題隨著半導體記憶裝置的記憶容量增加成為大的問題，特別是在進行細微加工的製造線開始初期重要。

為了避免此問題，通常在半導體記憶裝置中裝載各種冗餘(redundancy)電路。

圖2為使用如上述的疊閘構造的MOS型電晶體作為記憶胞的非揮發性半導體記憶裝置，係顯示設置調換缺陷胞的冗餘胞的非揮發性半導體記憶裝置概略結構的方區塊圖。此半導體記憶裝置係包含列位址緩衝器20、列解碼器21、行位址緩衝器22、R/D(冗餘用)位址記憶部23、R/D位址比較部24、區塊位址緩衝器25、區塊磁芯26-0~26-n、感測放大器(S/A)27、輸出入緩衝器28及輸出入接墊29等所構成。在上述各區塊磁芯26-0~26-n中分別具備記憶胞陣列30、行解碼器31、R/D記憶胞陣列32、R/D行解碼器33、區塊解碼器34及列選擇閘CT0~CTj。



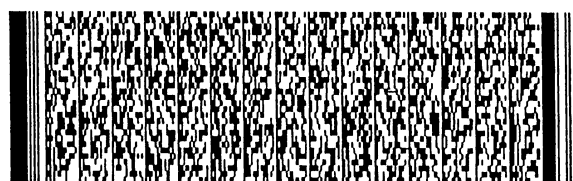
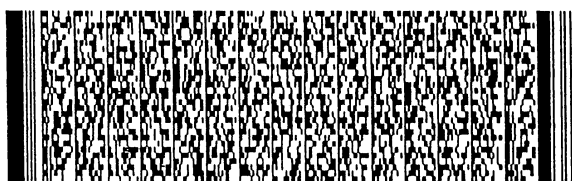
五、發明說明 (3)

在上述記憶胞陣列30中將如圖1所示的記憶胞配置成行列狀。各記憶胞分別將汲極每列共同連接於位元線BL0~BLj，將控制閘每行共同連接於字元線WL0~WLk。

從外部輸入行位址信號ADDRi到上述行位址緩衝器22，供應其輸出信號ARSi給各區塊磁芯26-0~26-n中的行解碼器31作為內部行位址信號。利用此行解碼器31選擇字元線WL1~WLk中的1條字元線。從外部輸入列位址信號ADDCi到列位址緩衝器20。此列位址緩衝器20的輸出信號ACSi供應給列解碼器21作為內部列位址信號而被解碼，供應給各區塊磁芯26-0~26-n中的列選擇閘CT0~CTj。然後，利用列選擇閘CT0~CTj選擇位元線BL0~BLj之任一線，選擇連接於此所選擇的位元線和上述所選擇的字元線的1個記憶胞。

所選擇的記憶胞的記憶資料透過所選擇的列選擇閘供應給感測放大器27而被放大後，利用輸出入緩衝器28從輸出入接墊29導出到外部。

其次，思考在上述記憶胞陣列30中的記憶胞有缺陷的情況。在為了調換缺陷胞所用的R/D記憶胞陣列32中，和上述記憶胞陣列21同樣，將多數記憶胞配置成行列狀。在本裝置使缺陷位址預先記憶於R/D位址記憶部23。利用R/D位址比較部24比較此R/D位址記憶部23的輸出信號AFi和上述行位址緩衝器22的輸出信號ARSi。而且，此比較結果一致時，從R/D位址比較部24輸出信號HITR，供應給各區塊磁芯26-0~26-n中的R/D行解碼器33。藉此，與缺陷胞存在的記憶胞陣列30對應的R/D行解碼器33成為啟動狀態，選擇



五、發明說明 (4)

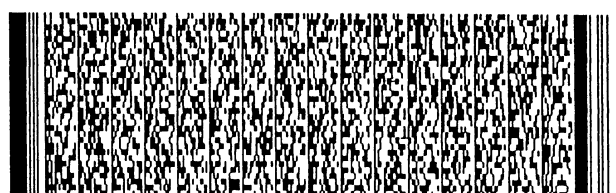
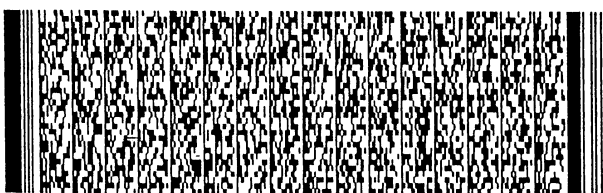
字元線WLRD-0~WLRD-I之任一線。此時，與缺陷胞存在的記憶胞陣列30對應的行解碼器31根據由上述R/D位址比較部13所輸出的信號ROWDIS成為強制非選擇狀態。此外，共同源極線SLi($i=0\sim n$)連接於記憶胞陣列30和R/D記憶胞陣列32中的全部記憶胞之源極，共同供應區塊解碼器34的輸出信號，擦除時同時進行擦除動作(區塊擦除)。

通常多數擦除用磁芯(在圖2與區塊磁芯26-0~26-n對應)存在於1個半導體記憶裝置中。其次，就本裝置的擦除動作加以詳細說明。從共同源極線SLi($i=0\sim n$)施加源極電位5V給區塊磁芯26-0~26-n內的記憶胞陣列30及R/D記憶胞陣列32內的各記憶胞之源極線。此外，分別從行解碼器31及R/D行解碼器33施加-7V給字元線WL0~WLk及

WLRD-0~WLRD-I。但是，施加0V給記憶胞陣列30中的缺陷行及R/D記憶胞陣列32中的未使用R/D行。此時，全部記憶胞的基板電位也成為0V，藉此避免施加於缺陷胞的應力。

然而，近幾年隨著半導體記憶裝置的積集度提高，圖1所示的記憶胞構造本身成為問題。即，在擦除方面，因擦除後的記憶胞的臨界電壓偏差少變成非常重要起來而在圖1所示的記憶胞比較深地形成源極區域14。此時，雜質進入(X_j)閘極下也變大，所以有效閘長(L_{eff})變短。因此，考慮此點而需要決定控制閘長，需要預先長設定控制閘12。因此，變成妨礙胞面積縮小的要因。

考慮到這種點，提出如圖3的構造的記憶胞。在圖3中，在與圖1對應的部分附上相同符號。此記憶胞形成於矽基



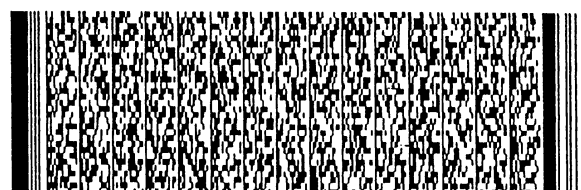
五、發明說明 (5)

板13中所形成的P井區域35。此P井區域35形成於元件分離用的N井區域36內。

這種構造的記憶胞的寫入及讀出動作和上述圖1所示的記憶胞同樣。在此寫入或讀出動作方面，施加0V給N井區域36及P井區域35。另一方面，擦除動作如下進行。即，例如以控制閘電位VCG為-7.5V，以汲極為浮動，例如施加7V給P井區域35及N井區域36。源極電位VS為10V(浮動亦可)。藉此，利用隧道效應抽出浮動閘11中的電子到P井區域35。此時，因在浮動閘11和P井區域35對向之面進行擦除而無需深地形成源極區域14，雜質進入(Xj)閘極下亦可小。此結果，可容易縮小胞面積。

其次，思考將這種構造的記憶胞適用於上述圖2所示的半導體記憶裝置。此時，P井區域35和N井區域36以共同源極線SLi；共同連接於各記憶胞之源極。如上述，在擦除時，施加0V給缺陷行及未使用的R/D行。然而，此時施加7V作為為記憶胞基板電位的P井電位。例如控制閘12和基板(P井區域35)短路時，連P井區域35電位透過行解碼器31短路，不能施加正常的P井電位。此結果，出現該區塊不能擦除或在規定時間內不能擦除的可能性。

如上述，在習知半導體記憶裝置方面，若使用施加高電位給源極，抽出浮動閘中的電子到源極的構造的記憶胞，則雖然可以行單位調換，但有記憶胞面積縮小化困難這種問題。為了解決此問題，若使用施加高電位給成為基板的P井區域而抽出浮動閘中的電子到P井區域的構造的記憶



五、發明說明 (6)

胞，則雖然胞面積縮小化容易，但在做以行單位的調換時有不能正常施加P井區域電位，不能擦除這種問題。

發明之概述

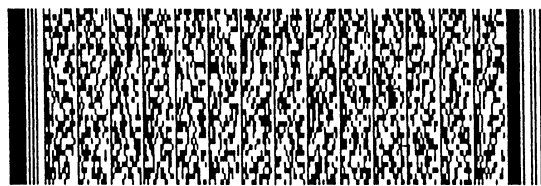
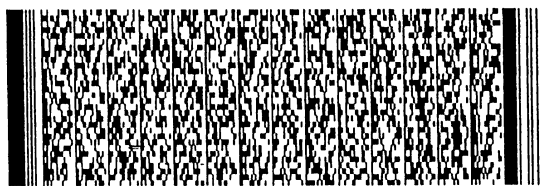
因此，本發明之目的在於提供一種在記憶胞擦除時抽出浮動閘中的電子到基板(P井區域)的型式的半導體記憶裝置方面，即使在記憶胞內有缺陷也可以確實調換的半導體記憶裝置。

此外，在於提供一種可抑制因缺陷部分而電位下降，不妨礙正常區塊磁芯擦除的半導體記憶裝置。

而且，在於提供一種可以電源電壓讀出控制閘電位，無需控制閘電位控制，可增大低電壓動作作品動作裕度的半導體記憶裝置。

本發明之上述目的可由下述半導體記憶裝置達成：具備多數第一記憶區塊：記憶胞配置成行列狀；第一解碼器：選擇前述第一記憶區塊；至少一個第二記憶區塊：和前述第一記憶區塊實質上相等的結構；第二解碼器：選擇前述第二記憶區塊；區塊位址緩衝器：輸出區塊位址資訊；不良區塊位址記憶部：記憶不良區塊位址；及，不良區塊位址比較部：比較記憶於前述不良區塊位址記憶部的不良區塊位址和由前述區塊位址緩衝器所輸入的區塊位址，以前述不良區塊位址比較部檢出一致時，使選擇產生不良的第一記憶區塊的前述第一解碼器成為非選擇狀態，同時使前述第二解碼器成為選擇狀態。

根據這種結構，由於以區塊磁芯為一個單位進行調換，



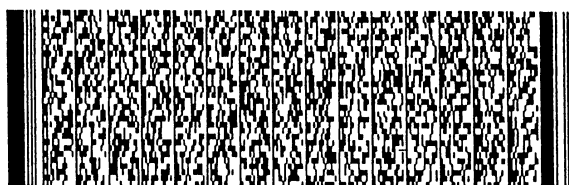
五、發明說明 (7)

所以使用施加高電位給成為基板的P井區域而抽出浮動閘中的電子到P井區域的構造的記憶胞時，即使在記憶胞內有缺陷也可以確實調換。

此外，整批擦除半導體記憶裝置內的全部區塊時，藉由對於有缺陷的區塊磁芯不施加電壓，可抑制因缺陷部分而電位下降，不妨礙正常區塊磁芯擦除。

而且，作為不良位址(fail address)記憶元件，使用和本體同樣的記憶胞，藉由將擦除時的記憶胞的臨界電壓擦除到接地電平以下，可以電源電壓讀出控制閘電位，無需控制閘電位控制，可增大低電壓動作品動作裕度。

此外，本發明之上述目的可由下述半導體記憶裝置達成：在記憶胞擦除時抽出浮動閘中的電子到井區域的型式的半導體記憶裝置方面，具備多數區塊磁芯：分別具備記憶胞配置成行列狀的記憶胞陣列、選擇前述記憶胞陣列中的記憶胞之行的行解碼器，為了選擇區塊的區塊解碼器，為了強制禁止選擇的禁止鎖定器及為了選擇前述記憶胞陣列中的記憶胞之列的列選擇閘；至少一個救濟用區塊磁芯：和前述多數區塊磁芯實質上相等的結構；行位址緩衝器：輸入行位址信號，分別供應內部行位址信號給前述多數區塊磁芯及救濟用區塊磁芯中的行解碼器；列位址解碼器：輸入列位址信號；列解碼器：解釋由前述列位址緩衝器所輸出的內部列位址信號，分別選擇前述多數區塊磁芯及救濟用區塊磁芯中的列選擇閘；區塊位址緩衝器：輸入區塊位址，輸出區塊選擇信號到前述多數塊磁芯的各區塊解



五、發明說明 (8)

碼器；救濟用位址記憶部：記憶產生不良的區塊磁芯位址；位址比較部：比較記憶於前述位址記憶部的區塊磁芯位址和由前述區塊位址緩衝器所輸出的區塊選擇信號；禁止脈衝產生部：輸出脈衝信號；感測放大器：放大由所選擇的記憶胞所讀出的資料；及，輸出入緩衝器：進行前述感測放大器和資料的授受；在前述區塊磁心中的記憶胞陣列產生不良時，將此區塊磁芯位址記憶於前述位址記憶部，以前述位址比較部檢出一致時，從前述位址比較部輸出禁止信號，使產生不良的區塊磁芯中的區塊解碼器成為強制非選擇，藉由使救濟用區塊磁芯中的區塊解碼器成為選擇狀態，將產生不良的區塊磁芯調換成救濟用區塊磁芯。

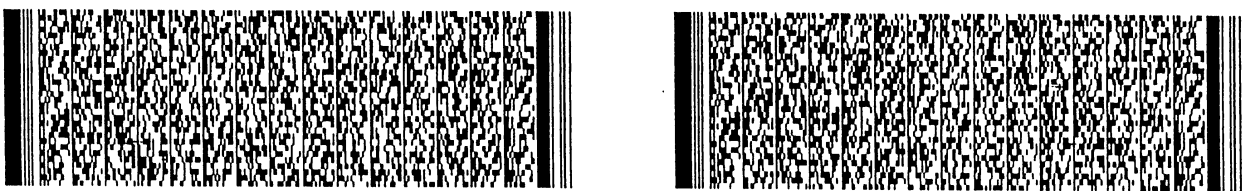
根據如上述的結構，由於以區塊磁芯為一個單位進行不良救濟，所以使用施加高電位給成為基板的P井區域而抽出浮動閘中的電子到P井區域的構造的記憶胞時，即使在記憶胞內有缺陷也可以確實調換。

此外，整批擦除半導體記憶裝置內的全部區塊時，藉由對於有缺陷的區塊磁芯不施加電壓，可抑制因缺陷部分而電位下降，不妨礙正常區塊磁芯擦除。

而且，作為不良位址記憶元件，使用和本體同樣的記憶胞，藉由將擦除時的記憶胞的臨界電壓擦除到接地電平以下，可以電源電壓讀出控制閘電位，無需控制閘電位控制，可增大低電壓動作品動作裕度。

附圖之簡單說明

圖1為電氣進行資料擦除/再寫入的EEPROM的習知記憶胞



五、發明說明 (9)

截面結構圖。

圖2為顯示使用疊閘構造的MOS型電晶體作為記憶胞，設置產生缺陷時為了調換的冗餘胞的習知半導體記憶裝置概略結構的方區塊圖。

圖3為電氣進行資料擦除/再寫入的EEPROM的所改良記憶胞截面結構圖。

圖4為顯示按照本發明實施形態的半導體記憶裝置要部的方區塊圖。

圖5為顯示圖4所示的電路的區塊位址緩衝器詳細結構例的電路圖。

圖6顯示圖4所示的電路的R/D位址記憶部一部分結構例，係顯示使用記憶胞作為熔絲胞時的結構例的電路圖。

圖7為顯示圖4所示的電路的R/D位址記憶部其他結構例的電路圖。

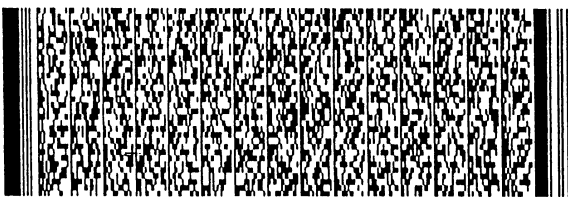
圖8為顯示圖4所示的電路的區塊位址比較部結構例的電路圖。

圖9為顯示圖4所示的電路的區塊解碼器和鎖定器結構例的電路圖。

圖10為顯示圖4所示的電路的區塊解碼器和鎖定器其他結構的電路圖。

圖11為顯示圖4所示的電路的記憶胞陣列結構例的等效電路圖。

圖12為顯示圖4所示的電路的記憶胞陣列其他結構例的等效電路圖。



五、發明說明 (10)

圖13為顯示圖4所示的電路的記憶胞陣列另外其他結構例的等效電路圖。

圖14為顯示上述圖4所示的電路的記憶胞陣列另外結構例的等效電路圖。

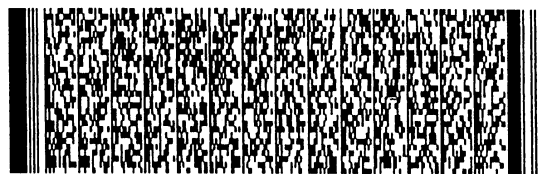
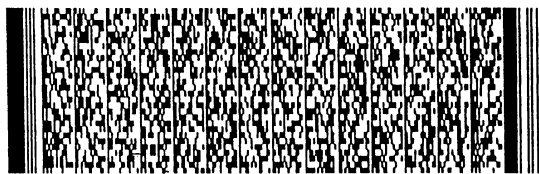
圖15為顯示上述圖4所示的電路的記憶胞陣列另外其他結構例的等效電路圖。

發明之詳細說明

圖4為顯示按照本發明實施形態的半導體記憶裝置要部的方區塊圖。此半導體記憶裝置係包含列位址緩衝器40、列解碼器41、行位址緩衝器42、R/D(冗餘用)位址記憶部43、R/D位址比較部44、區塊位址緩衝器45、禁止脈衝產生部46、區塊磁芯47-0~47-n、R/D區塊磁芯47-RD、感測放大器(S/A)48、輸出入緩衝器49及輸出入接墊50等所構成。上述各區塊磁芯47-0~47-n、47-RD分別具備記憶胞陣列51、行解碼器52、區塊解碼器53、禁止鎖定器(LAT)54及列選擇閘CT0~CTj。

上述各區塊磁芯47-0~47-n、47-RD形成於分別獨立的P井區域中，各P井區域形成於N井區域中。而且，在上述各記憶胞陣列51中，如圖3所示的由非揮發性電晶體構成的記憶胞配置成行列狀。各記憶胞分別上述各區塊磁芯47-0~47-n、47-RD，汲極每列共同連接於位元線BL0~BLj，控制閘每行共同連接於字元線WL0~WLk。

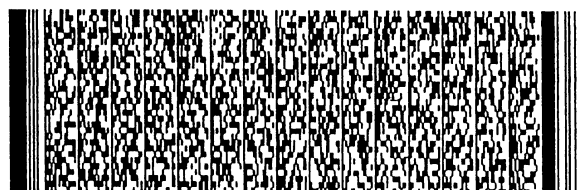
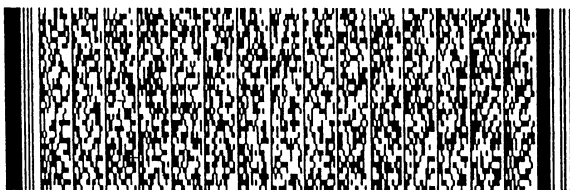
即，在本實施形態之半導體記憶裝置未設置圖2所示的



五、發明說明 (12)

其次，在按照本實施形態的半導體記憶裝置方面，思考在記憶胞陣列51中有不良的情況。在本裝置，在記憶胞陣列51有不良時，將有該不良的區塊磁芯位址預先記憶於R/D位址記憶部43，利用R/D位址比較部44比較此R/D位址記憶部43的輸出信號AFi和區塊位址緩衝器45的輸出信號ABLSi。此比較結果一致時，從R/D位址比較部44輸出信號HITBLK。此時，R/D區塊磁芯47-RD中的區塊解碼器53成為選擇狀態。此外，同時從R/D位址比較部44輸出信號 $\overline{\text{BLKDIS}}$ 而供應給有不良的區塊磁芯中的通常選擇用的區塊解碼器53，此區塊解碼器53成為強制非選擇狀態。藉此，將有不良的區塊磁芯調換成冗餘用的R/D區塊磁芯47-RD。此時，上述信號 $\overline{\text{BLKDIS}}$ 不輸入到R/D區塊磁芯47-RD中的同輸入部分(例如輸入電源= V_{-D-D})。若在冗餘用區塊磁芯47-RD中的記憶胞陣列51中無基板(P井區域)和浮動閘或控制閘的短路等不良，則使用如圖3所示的構造的非揮發性電晶體作為記憶胞亦可正常進行擦除。

在這種半導體記憶裝置，通常擦除可以區塊磁芯單位進行。然而，若考慮測試時間縮短等，則最好可整批擦除多數區塊。因此，作為測試模態，有時會附加強制選擇多數區塊的模態。這種情況，對於有不良的區塊磁芯也強制選擇了。此結果，因來自缺陷胞的洩漏而不能施加正常的基板電位SLi給全部區塊，出現全部區塊都不能擦除的可能性。在本實施形態也著眼於此點，測試信號 $\overline{\text{BLKLOCK}}$ 上升，就輸入記憶於R/D位址記憶部43的不良位址資料(信號



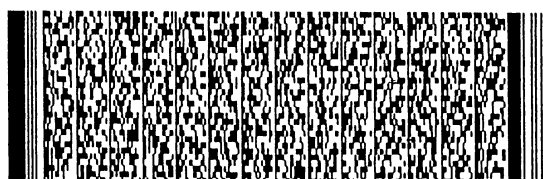
五、發明說明 (13)

FADi) 到區塊位址緩衝器45，不良區塊磁芯中的區塊解碼器53成為選擇狀態。此時，從禁止脈衝產生部46輸出信號 SETPLS，鎖定於此區塊之禁止鎖定器54。一鎖定於禁止鎖定器54，此區塊之區塊解碼器53就成為強制非選擇，即使在全部區塊整批擦除亦可防止施加電位給不良區塊，可防止電位下降。因此，全部區塊整批擦除成為可能。

圖5為顯示上述圖4所示的電路的區塊位址緩衝器45詳細電路結構例的電路圖。此緩衝器45係包含時鐘反相器61、62和反相器63、64所構成。分別供應區塊位址信號ADDBLi和來自R/D位址記憶部43的信號FADi(不良位址資料)給上述時鐘反相器61、62之輸入端。此外，分別供應測試信號 BLKLOCK給這些時鐘反相器61、62之一方時鐘輸入端，以反相器63反轉此測試信號 BLKLOCK而供應給他方時鐘輸入端。供應上述各時鐘反相器61、62的輸出信號給反相器64之輸入端，從此反相器64輸出輸出信號ABLSi。

上述測試信號 BLKLOCK通常成為"H"電平，此時透過時鐘反相器61和反相器64轉移、輸出上述區塊位址信號ADDBLi作為輸出信號ABLSi。另一方面，測試時上述測試信號 BLKLOCK成為"L"電平，透過時鐘反相器62和反相器64轉移、輸出表示上述不良位址資料的信號FADi作為輸出信號ABLSi。供應上述區塊位址緩衝器45的輸出信號ABLSi給各區塊磁芯47-0~47-n和R/D區塊磁芯47-RD中的區塊解碼器53。

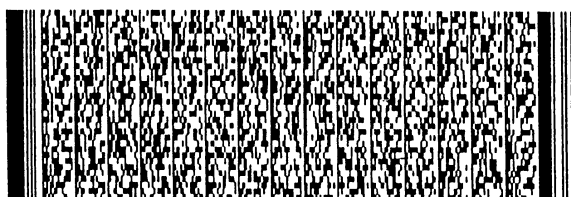
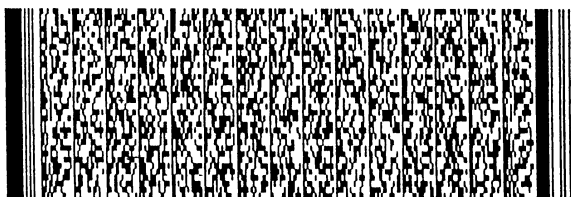
圖6顯示上述圖4所示的電路的R/D位址記憶部43一部分



五、發明說明 (14)

結構例，係使用記憶胞作為熔絲胞時的電路例。此電路包含記憶胞電晶體C1、P通道型MOS(PMOS)電晶體P1、具有0V附近的 V_{th} 的N通道型MOS(NMOS)電晶體N1、時鐘反相器CINV1、CINV2、CINV3及反相器INV1、INV2。記憶胞電晶體(以下稱為熔絲胞)C1係和本體(各記憶胞陣列51中的記憶胞)同一構造的電晶體，記憶位址資訊。此處，記憶位址"0"時，熔絲胞C1的臨界電壓被擦除到接地(GND)電平以下。此外，記憶"1"時，被寫入到比電源電壓(V_{D-D})高的正電平(例如 $V_{th}=5V$)。另一方面，PMOS電晶體P1為讀出熔絲胞C1資訊時的負載，設定成根據閘信號GLOAD微少電流(例如 $1\mu A$)流動之類的尺寸。此時，閘信號GLOAD可以是0V電平，也可以是為了使上述微少電流流動的中間電位。此外，輸入信號FSBIAS到閘極的NMOS電晶體N1有限制熔絲胞C1之汲極電位的作用。就此信號FSBIAS的電平而言，輸入比汲極電位高NMOS電晶體N1的臨界電壓 V_{thN} 分的電位。

上述兩個時鐘反相器CINV1、CINV2和反相器INV1構成保持熔絲胞C1記憶資訊的鎖定電路。電源接通時進行此鎖定電路的鎖定動作。這是為了防止因熔絲胞C1讀出而存取延遲。電源接通時，將信號GLOAD及信號FSBIAS設定在前述讀出時的電位。此外，將熔絲胞C1之控制閘VCG例如設定在電源接通時的電源電壓，例如1V。成為源極電位及井電位的信號VSOU也是0V。此時，信號FSREAD為"H"電平，信號FSREAD成為其反轉信號。藉此，"0"位址記憶於熔絲胞時，因臨界電壓被擦除到負而使電流流動，輸出"0"作為

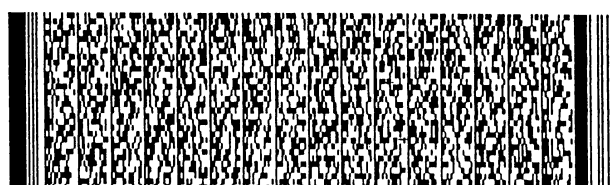
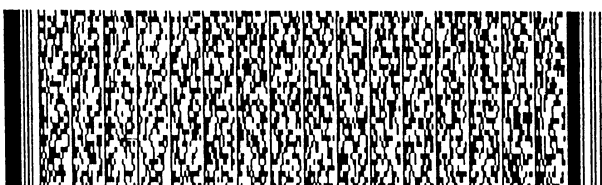


五、發明說明 (15)

信號AFi。此外，記憶"1"位址時，因臨界電壓 V_{th} 被寫入到正而電流不流動，輸出"1"作為信號AFi。讀出結束，信號FSREAD就變成"L"電平，鎖定熔絲胞的資訊。此時，由於讀出時的熔絲胞C1之控制閘VCG為電源電壓電平，所以即使在電源電壓低的狀態進行讀出動作，也無需控制控制閘的電位，在低電壓動作品特別有效。

圖7顯示上述圖4所示的電路的R/D位址記憶部其他結構例。在上述圖6所示的電路係以使用記憶胞的情況為例加以說明，但在此處使用熔絲F。基本電路結構和圖6所示的電路相同，所以在同一部分附上相同符號，其詳細說明省略。在如上述的結構，雷射熔斷(laser blow)熔絲F，就和在圖6所示的記憶胞C1記憶"1"的成為等效(信號AFi為"1"電平)，不雷射熔斷時，和記憶"0"的情況成為等效(信號AFi為"0"電平)。而且，成為測試信號BLKLOCK反相的BLKLOCK上升，就透過時鐘反相器CINV3供應上述信號AFi給區塊位址緩衝器45作為信號FADi。如此，按照是否切斷熔絲F，和圖6所示的電路實質上進行相同動作。

圖8為顯示上述圖4所示的電路的區塊位址比較部44結構例的電路圖。區塊位址比較部44係由只設置區塊位址位元數分的R/D位址檢測器71和分別供應這些檢測器71輸出信號的邏輯電路部72所構成。上述各檢測器71係包含反相器73、74、75、PMOS電晶體76、77及NMOS電晶體78、79所構成。由R/D位址記憶部43所供應的信號AFi供應給上述反相器73之輸入端及電晶體76、78之閘極。上述反相器73的輸



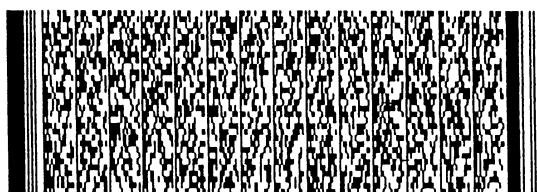
五、發明說明 (16)

出信號供應給上述電晶體79、77之閘極。由區塊位址緩衝器45所輸出的信號ABLS_i供應給反相器74之輸入端及電晶體76、79之電流通路一端。上述反相器74的輸出信號連接於電晶體78、77之電流通路一端。上述電晶體76~79之電流通路他端連接於反相器75之輸入端，從此反相器75輸出信號HIT_i。

上述邏輯電路部72以反及(NAND)閘80和反相器81、82構成。記憶體活化時(區塊冗餘使用時)，供應成為"H"電平的信號ENABLE給上述反及閘80之第一輸入端。此信號ENABLE為和圖6或圖7同樣的電路所產生。分別供應由3級R/D位址檢測器71所輸出的信號HIT₀、HIT₁、HIT₂給第二至第四輸入端。此反及閘80的輸出透過反相器81輸出作為信號HITBLK，同時依次透過反相器81、82輸出作為信號BLKDIS。

在上述結構，以R/D位址檢測器71比較R/D位址記憶部43的輸出信號AF_i和區塊位址緩衝器45的輸出信號ABLS_i，此比較結果一致時，從邏輯電路部72輸出信號HITBLK。藉此，可使R/D區塊磁芯47-RD中的區塊解碼器53成為選擇狀態，同時從邏輯電路部72輸出信號BLKDIS而供應給有不良的區塊磁芯中的通常選擇用的區塊解碼器53，此區塊解碼器53成為強制非選擇狀態。因此，可將有不良的區塊磁芯調換成救濟用的R/D區塊磁芯47-RD。

圖9為顯示上述圖4所示的電路的區塊解碼器53和禁止鎖定器54結構例的電路圖。區塊解碼器53係包含反及閘90、

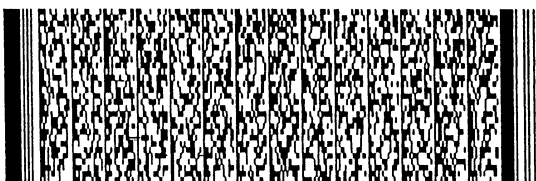


五、發明說明 (17)

91、反相器92、93及源極線電壓產生器94所構成，禁止鎖
定器54係包含反及閘95、PMOS電晶體96~98及NMOS電晶體
99~101所構成。供應由區塊位址緩衝器45所輸出的信號
ABLS0~ABLS2給上述反及閘90之第一至第三輸入端，供應
上述區塊位址比較部44中的反相器82的輸出信號 $\overline{\text{BLKDIS}}$ 給
第四輸入端。此反及閘90的輸出信號(區塊選擇信號) $\overline{\text{Bi}}$ 供
應給反相器92之輸入端，同時供應給電晶體96、100之閘
極。供應上述反相器92的輸出信號給反及閘91之一方輸入
端，供應上述反及閘95的輸出信號(鎖定信號) $\overline{\text{DISi}}$ 給此
反及閘91之他方輸入端。上述反及閘91的輸出信號透過反
相器93供應給源極線電壓產生器94，從此源極線電壓產生
器94輸出信號SLi，供應給記憶胞陣列51。

另一方面，由禁止脈衝產生部46所輸出的信號 $\overline{\text{SETPLS}}$ 供
應給上述電晶體97、99之閘極，信號 $\overline{\text{CLRPLS}}$ 供應給反及閘
95之一方輸入端。上述信號 $\overline{\text{SETPLS}}$ 設定該鎖定器54，信號
 $\overline{\text{CLRPLS}}$ 為重設的信號。串聯連接上述電晶體96、97、99之
電流通路，所串聯連接的電流通路一端連接於電源，他端
連接於電晶體100、101之電流通路連接點。此外，電晶體
98、100、101之電流通路連接於電源和接地點間。而且，
上述電晶體97、99之電流通路連接點及上述電晶體98、
100之電流通路連接點分別連接於反及閘95之他方輸入
端，供應此反及閘95的輸出信號給電晶體98、101之閘
極。

在這種結構，區塊解碼器53可按照由區塊位址緩衝器所

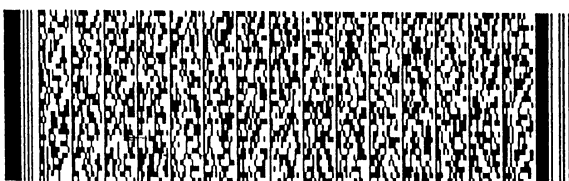


五、發明說明 (18)

輸出的信號 $ABLS_i$ ($ABLS_0$ 、 $ABLS_1$ 、 $ABLS_2$) 和由 R/D 位址比較部 44 所輸出的信號 $\overline{BLKDIS}$ 控制源極線電壓產生器 94 的動作而每區塊磁芯選擇地給與基板電位 SL_i 。此外，因禁止鎖定器 54 而缺陷區塊磁芯中的區塊解碼器 53 成為強制非選擇，所以即使在全部區塊整批擦除亦可防止施加電位給缺陷區塊，可防止電位下降。此結果，全部區塊整批擦除成為可能。

圖 10 為顯示上述圖 4 所示的電路的區塊解碼器 53 和禁止鎖定器 54 其他結構例的電路圖。區塊解碼器 53 係包含反及閘 110、時鐘反相器 111、112、反相器 113 及源極線電壓產生器 114 所構成。禁止鎖定器 54 係包含反或 (NOR) 閘 115、PMOS 電晶體 116、117、NMOS 電晶體 118 及反相器 119、120 所構成。供應由區塊位址緩衝器 45 所輸出的信號 $ABLS_0 \sim ABLS_2$ 給上述反及閘 110 之第一至第三輸入端，供應上述區塊位址比較部 44 中的反相器 82 的輸出信號 $\overline{BLKDIS}$ 給第四輸入端。此反及閘 110 的輸出信號 (區塊選擇信號) $\overline{B_i}$ 供應給時鐘反相器 111 之輸入端，同時供應給電晶體 116 之閘極。供應信號 $MULTIBLK$ 和以反相器 113 反轉此信號 $MULTIBLK$ 的信號給上述時鐘反相器 111 之時鐘輸入端而控制動作。

由上述禁止脈衝產生部 46 所輸出的信號 $\overline{SETPLS}$ 供應給上述電晶體 117 之閘極。此外，信號 $\overline{CLRPLS}$ 供應給反或閘 115 之一方輸入端。供應上述反及閘 110 的輸出信號 $\overline{B_i}$ 給上述反或閘 115 之他方輸入端，此反或閘 115 的輸出信號供應給電晶體 118 之閘極。上述電晶體 116、117、118 之電流通路

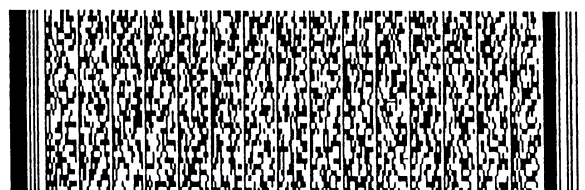
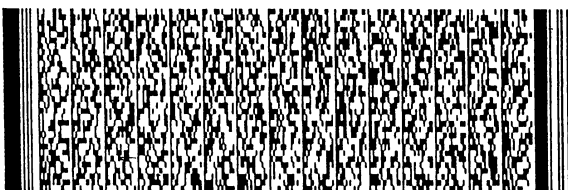


五、發明說明 (19)

串聯連接於電源和接地點間。反相器119之輸入端及反相器120之輸出端分別連接於上述電晶體117、118之電流通路連接點。上述反相器119之輸出端及反相器120之輸入端分別連接於時鐘反相器112之輸入端。供應信號MULTIBLK和以反相器113反轉此信號MULTIBLK的信號給此時鐘反相器112之時鐘輸入端而控制動作。而且，供應上述時鐘反相器111、112的輸出信號給源極線電壓產生器114、從此源極線電壓產生器114輸出信號SLi，供應給記憶胞陣列51。在本實施例，將想要擦除之區塊繼續設定於禁止鎖定器54。此外，暫時擦除時，MULTIBLK成為"1"電平，通過時鐘反相器112供應設定於鎖定器54的信號給源極線電壓產生器114。

即使這種結構也和圖9所示的電路同樣，區塊解碼器53可按照由區塊位址緩衝器所輸出的信號ABLSi (ABLS0、ABLS1、ABLS2) 和由R/D位址比較部44所輸出的信號 $\overline{\text{BLKDIS}}$ 控制源極線電壓產生器114的動作而各區塊磁芯選擇地給與基板電位SLi。此外，因信號MULTIBLK和禁止鎖定器54而想要擦除之區塊之區塊解碼器53成為強制非選擇，所以即使在全部區塊整批擦除亦可防止施加電位給缺陷區塊，可防止電位下降，所以全部區塊整批擦除成為可能。

圖11為顯示上述圖4所示的電路的記憶胞陣列51結構例的等效電路。此記憶胞陣列51係反及(NAND)胞型構造。在此例，串聯連接8個記憶胞 $M_1 \sim M_8$ 之電流通路，在汲極側及源極側各設第一、第二選擇電晶體 S_1, S_2 而構成一個反及

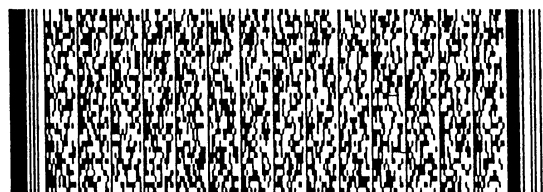
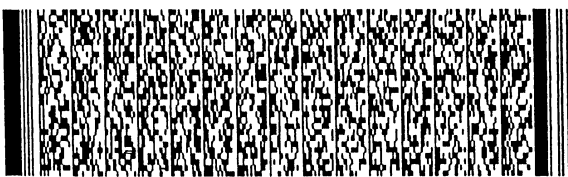


五、發明說明 (20)

胞。記憶胞 $M_1 \sim M_8$ 之控制閘在行方向延設，形成控制閘線 CG_1 、 CG_2 、...、 CG_8 。這些控制閘線 CG_1 、 CG_2 、...、 CG_8 起作用作為字元線。選擇電晶體 S_1 、 S_2 之閘極也分別在行方向延設，形成選擇閘線 SG_1 、 SG_2 。位元線 BL_1 、 BL_2 、...、 BL_j 在和上述控制閘線 CG_1 、 CG_2 、...、 CG_8 及選擇閘線 SG_1 、 SG_2 交叉的方向配設。上述選擇電晶體 S_1 之汲極每列連接於這些位元線 BL_1 、 BL_2 、...、 BL_j 。上述選擇電晶體 S_2 之源極共同連接於源極線 SL 。

圖12為顯示上述圖4所示的電路的記憶胞陣列51其他結構例的等效電路。此記憶胞陣列51係反或(NOR)胞型構造。構成各反或(NOR)胞的非揮發性電晶體 M_{00} 、 M_{01} 、...之汲極每列連接於位元線 BL_0 、 BL_1 、...、 BL_j ，源極共同連接於源極線 SL 。此外，各控制閘在行方向延設而形成字元線 WL_0 、 WL_1 、 WL_2 、...。

圖13為顯示上述圖4所示的電路的記憶胞陣列51另外其他結構的等效電路。此記憶胞陣列51係DINOR胞型(例如參照S. Kobayashi:ISSCC, Digest of Technical Papers, 1995, H. Onoda et al., IEDM Tech. Digest, 1992, pp. 599-602)。在此例，並聯連接32個記憶胞 $M_0 \sim M_{31}$ 之電流通路，在汲極側設置選擇電晶體 S 而構成一個DINOR胞。記憶胞 $M_0 \sim M_{31}$ 之控制閘在行方向延設，起作用作為字元線 WL_0 、 WL_1 、 WL_2 、...、 WL_{31} 。選擇電晶體 S 之閘極也在行方向延設，形成選擇閘線 ST 。位元線以主位元線 D_0 、 D_1 、...、 D_j 和局部位元線 LB 構成。各選擇電晶體 S 之汲極

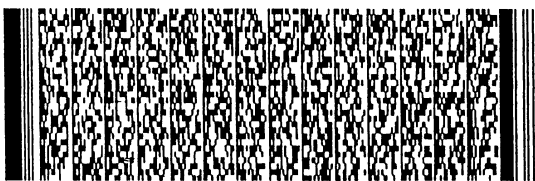


五、發明說明 (21)

每列連接於各主位元線 D_0 、 D_1 、...、 D_j ，這些選擇電晶體 S 之源極連接於局部位元線 LB 。各記憶胞 $M_0 \sim M_{31}$ 之汲極共同連接於局部位元線 LB ，各源極連接於源極線 SL 。

圖14為顯示上述圖4所示的電路的記憶胞陣列51另外結構例的等效電路。此記憶胞陣列51係及(AND)胞型(例如參照A. Zozoe: ISSCC, Digest of Technical Papers, 1995, H. Kume et al., IEDM Tech. Digest, 1992, pp. 991-993)。在此例，並聯連接32個記憶胞 $M_0 \sim M_{31}$ 之電流通路，在汲極側設置第一選擇電晶體 S_1 ，在源極側設置第二選擇電晶體 S_2 而構成一個及(AND)胞。記憶胞 $M_0 \sim M_{31}$ 之控制閘在行方向延設，起作用作為字元線 WL_0 、 WL_1 、 WL_2 、...、 WL_{31} 。選擇電晶體 S_1 、 S_2 之閘極也分別在行方向延設，形成第一、第二選擇閘線 ST_1 、 ST_2 。位元線以主位元線 D_0 、 D_1 、...、 D_j 和局部位元線 LB 構成。此外，源極線也以主源極線 MSL 和局部源極線 LS 構成。選擇電晶體 S_1 之汲極每列連接於各主位元線 D_0 、 D_1 、...、 D_j ，這些選擇電晶體 S_1 之源極連接於局部位元線 LB 。各記憶胞 $M_0 \sim M_{31}$ 之汲極共同連接於局部位元線 LB ，各源極連接於局部源極線 LS 。選擇電晶體 S_2 之源極共同連接於上述主源極線 MSL ，這些選擇電晶體 S_2 之汲極連接於局部源極線 LS 。

圖15為顯示上述圖4所示的電路的記憶胞陣列51另外其他結構例的等效電路。此記憶胞陣列51係附有選擇電晶體之反或(NOR)胞型構造。各反或(NOR)胞以非揮發性電晶體 M 和選擇電晶體 S 構成。選擇電晶體 S 之汲極每列連接於位



五、發明說明 (22)

元線BL0、BL1、...、BLj，源極連接於非揮發性電晶體M。這些非揮發性電晶體M之源極共同連接於源極線SL。此外，各非揮發性電晶體M之控制閘在行方向延設而形成字元線WL。各選擇電晶體S之閘極也同樣在行方向延設而形成選擇閘線ST。

又，本發明可適用於電氣進行資料擦除/再寫入的EEPROM全般，例如也可以適用於虛接地陣列(Virtual Ground Array)型(參照Lee, et al: Symposium on VLSI Circuits, Digest of Technical Papers, 1994)等任何快閃記憶體。

如上述，根據本發明，在記憶胞擦除時抽出浮動閘中的電子到基板(P井區域)的型式的半導體記憶裝置方面，即使在記憶胞內有缺陷亦可確實調換。

此外，整批擦除半導體記憶裝置內的全部區塊時，藉由對於有不良的區塊磁芯不施和電壓，可抑制因不良部分而電位下降，有不妨礙正常區塊磁芯擦除的效果。

而且，作為不良位址記憶元件，使用和本體同樣的記憶胞，藉由將擦除時的記憶胞的臨界電壓在GND以下的電平狀態下擦除，可以電源電壓讀出控制閘的電壓，無需控制閘電位控制，可增大低電壓動作作品動作裕度。



圖式簡單說明



圖式

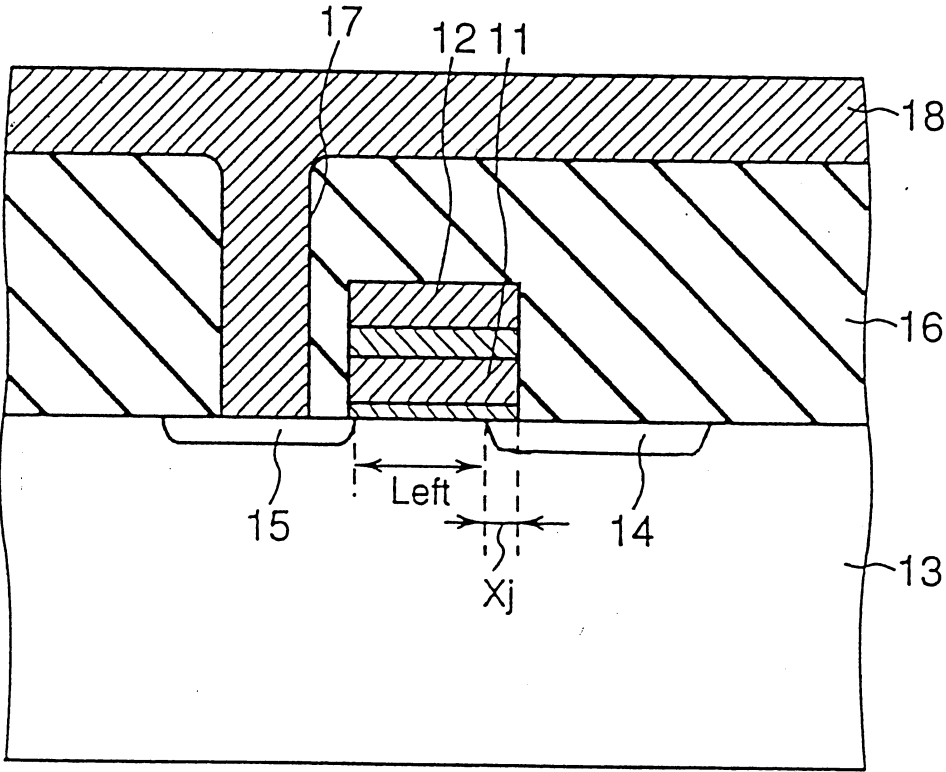


圖 1
(先前技藝)

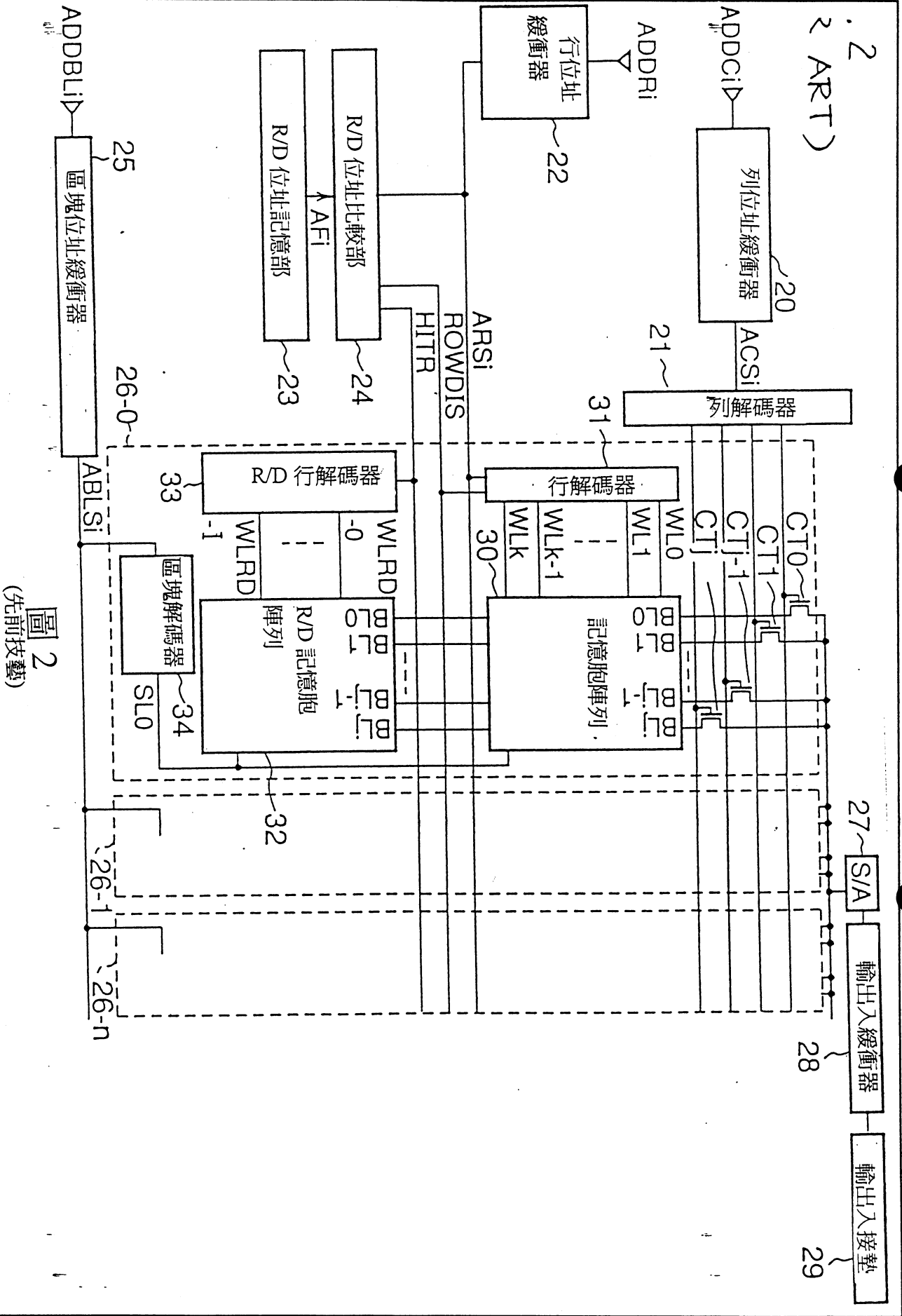


圖 2
(先前技藝)

圖式

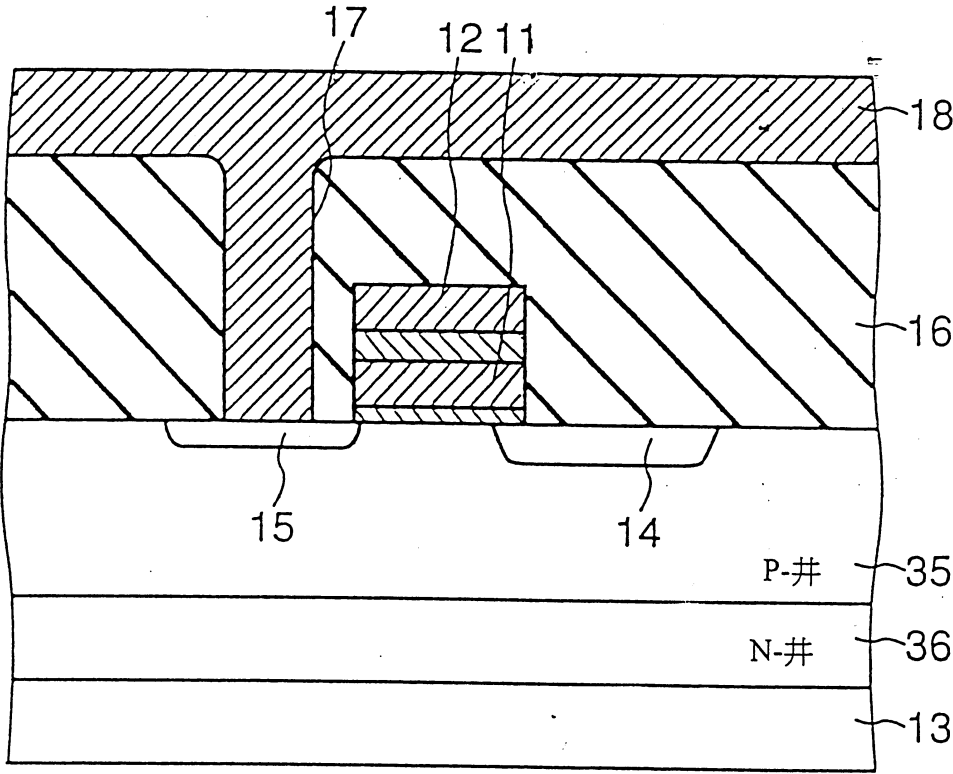


圖 3
(先前技藝)

圖式

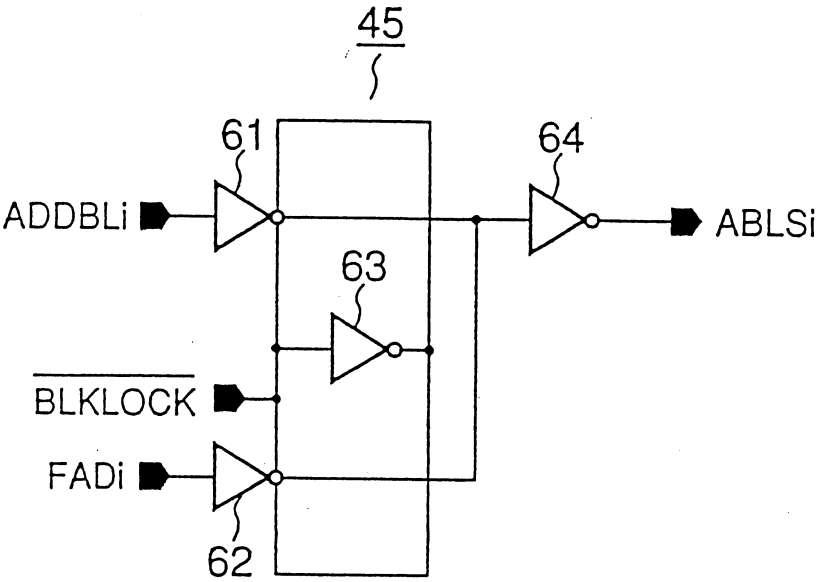


圖 5

圖式

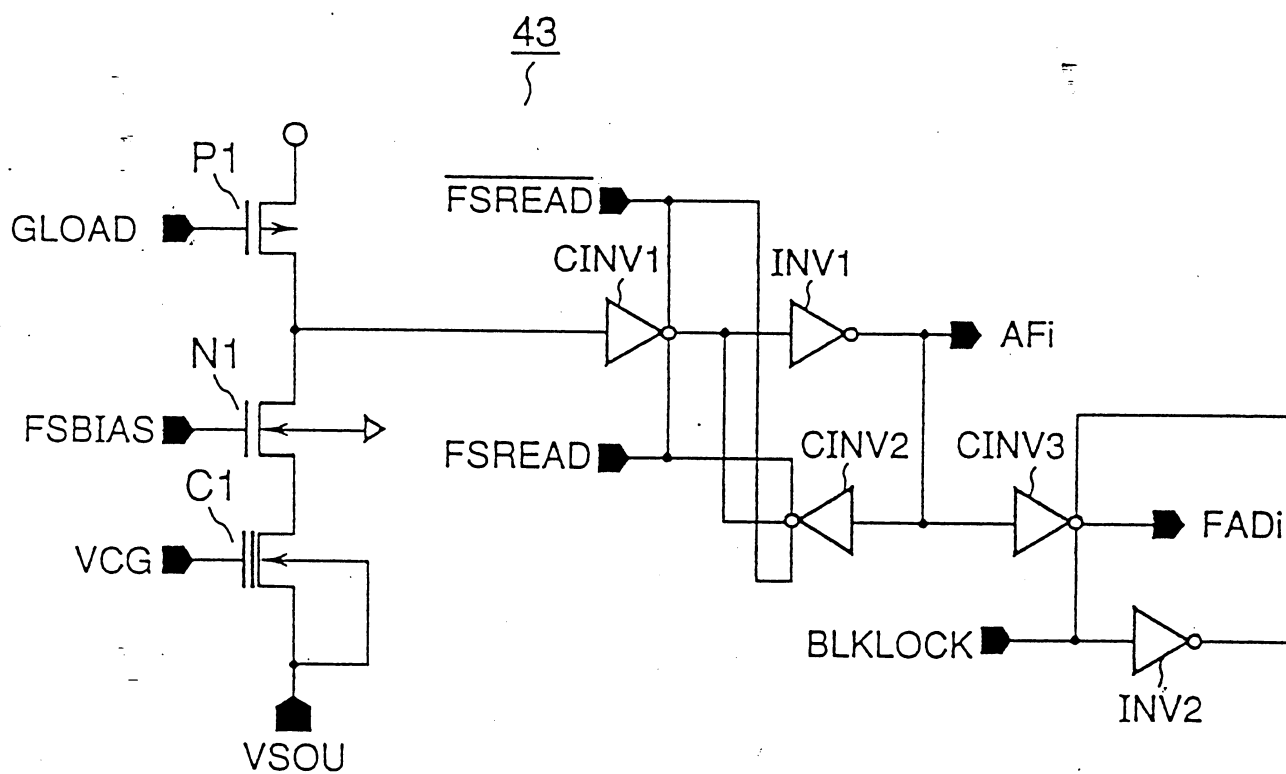


圖 6

圖式

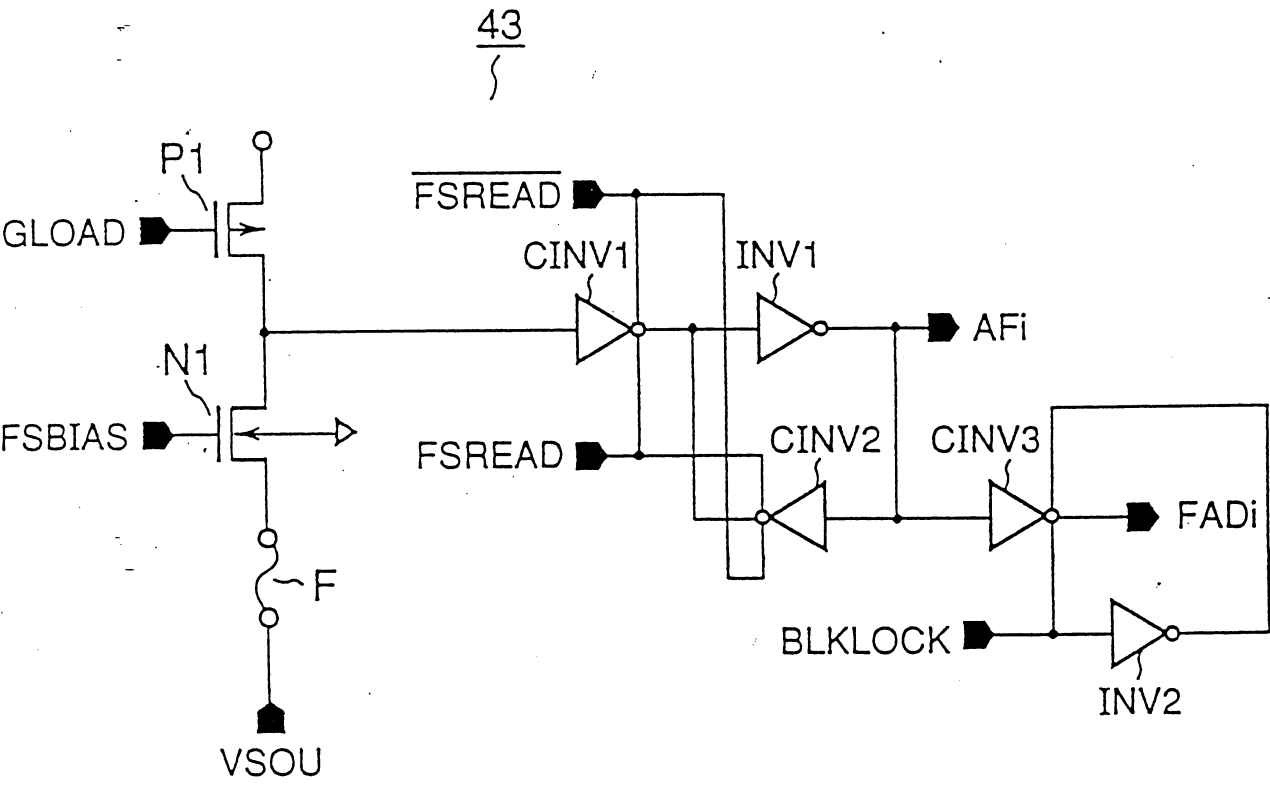


圖 7

圖式

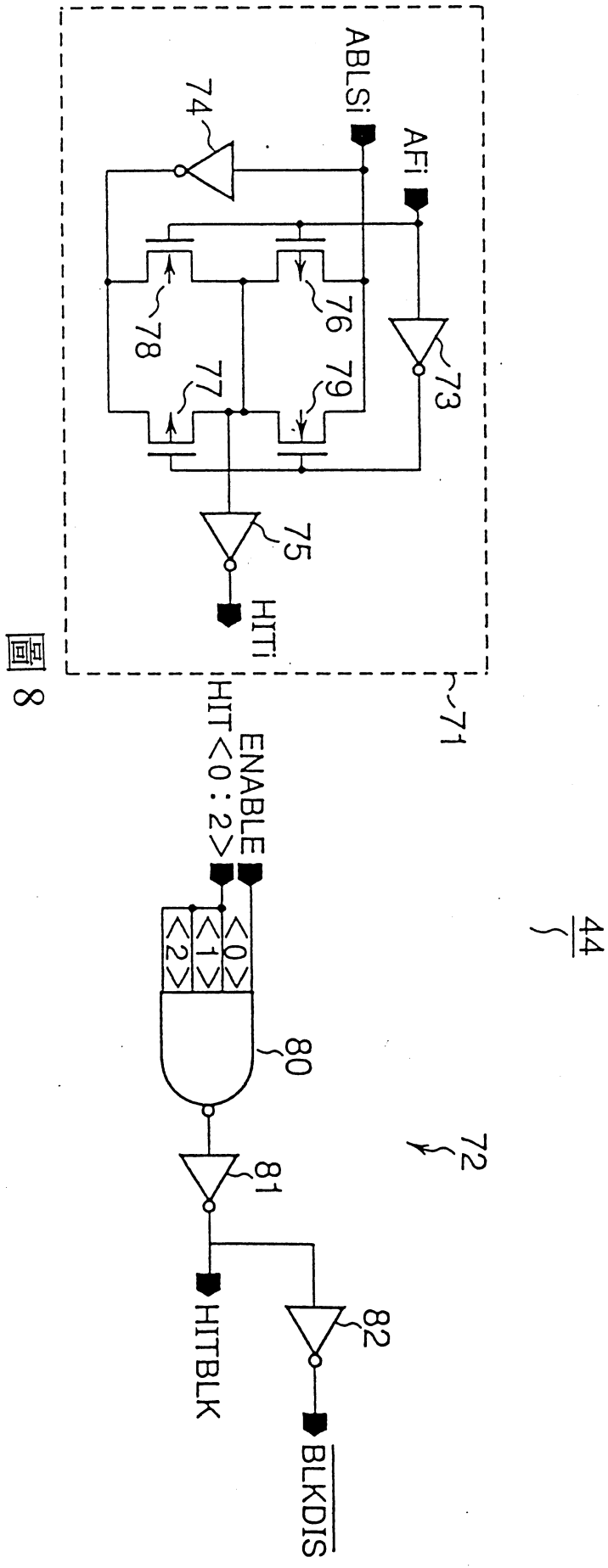


圖 8

圖式

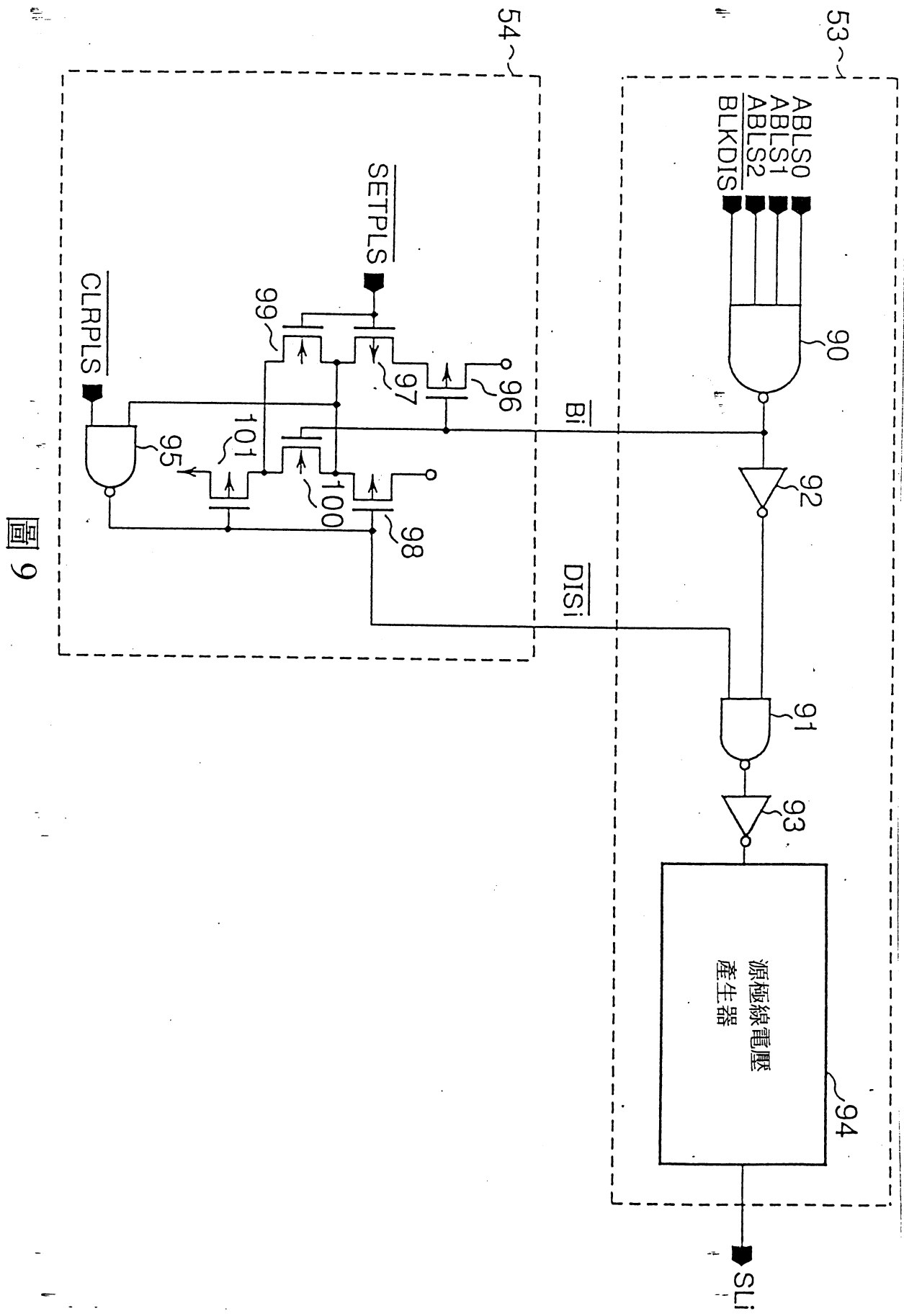


圖 9

圖式

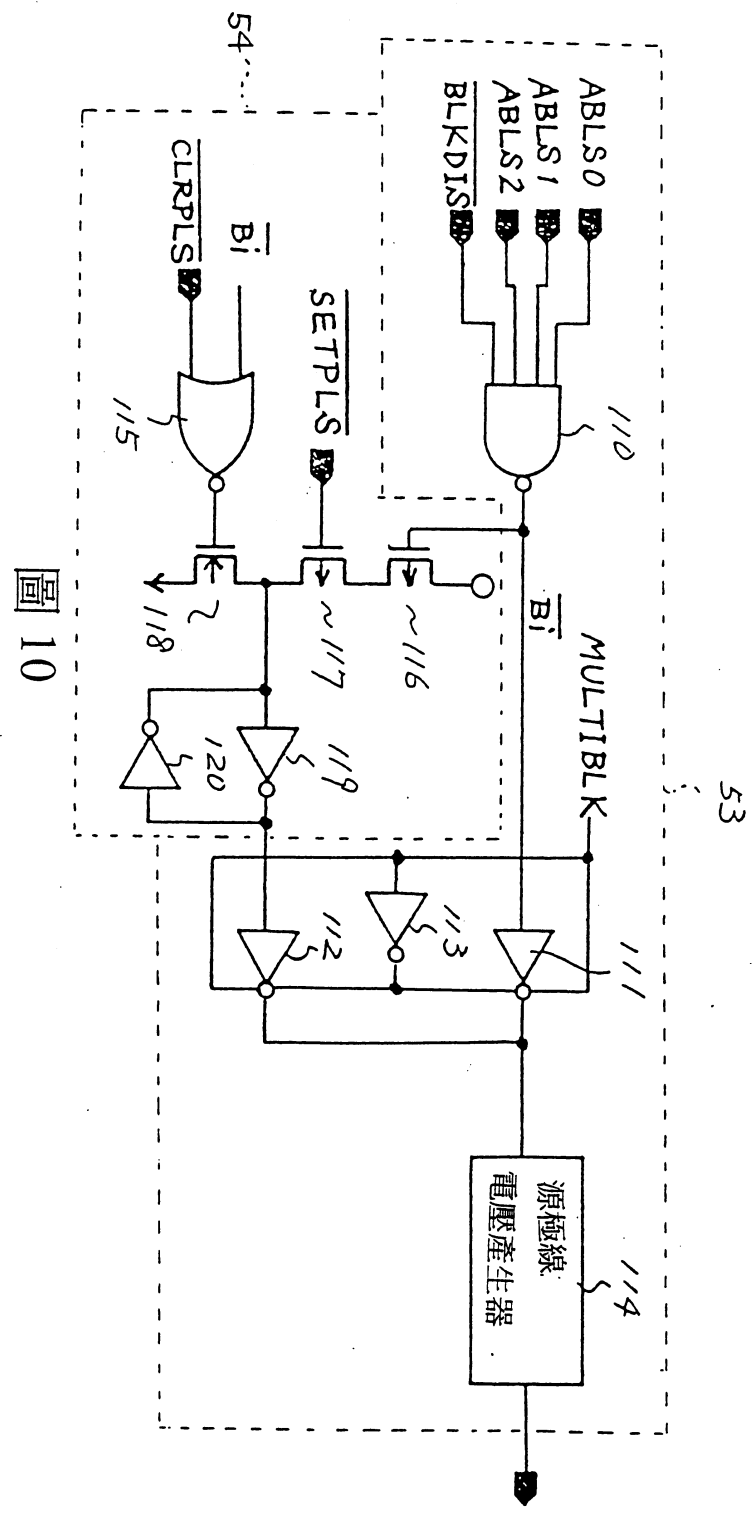


圖 10

圖式

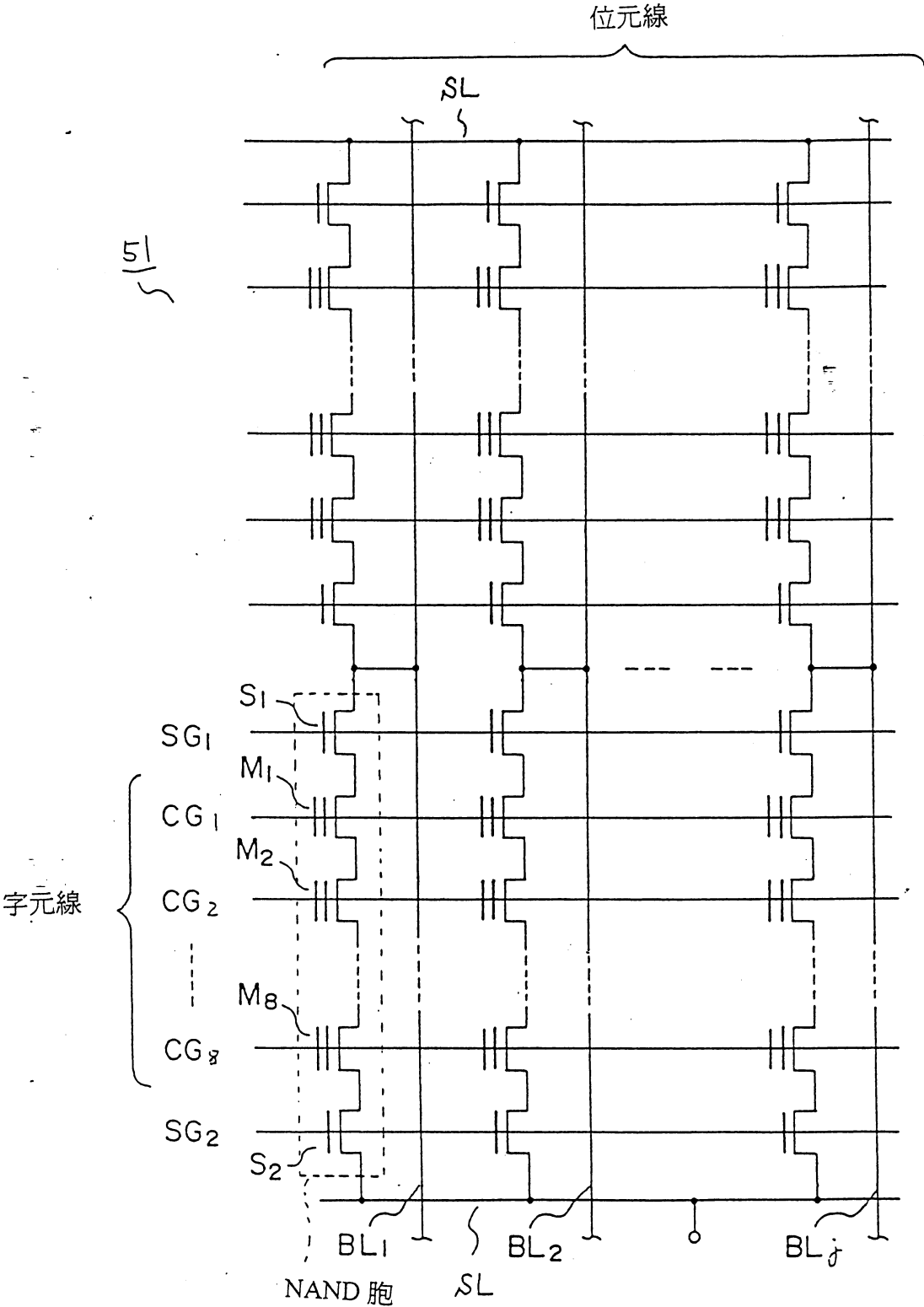


圖 11

圖式

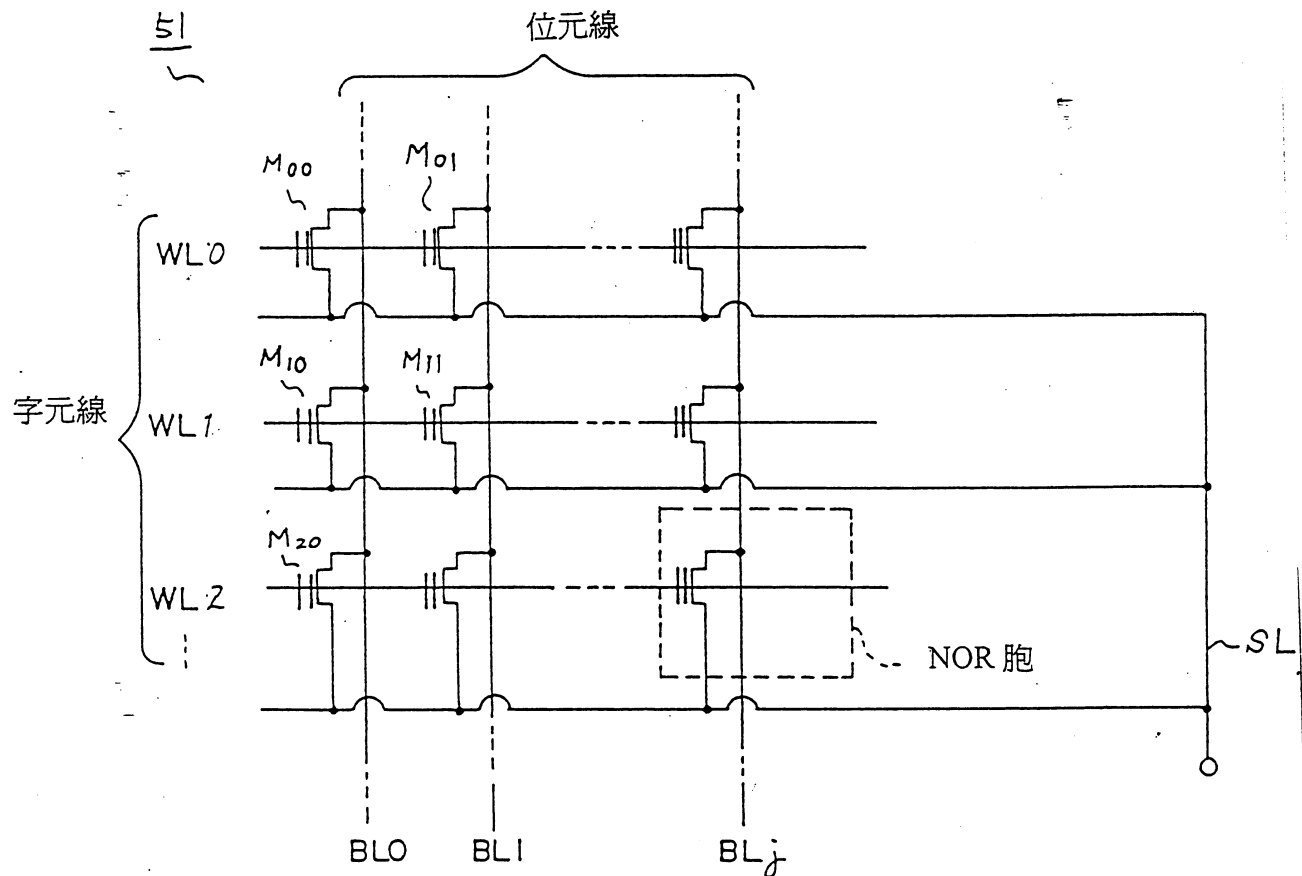


圖 12

圖式

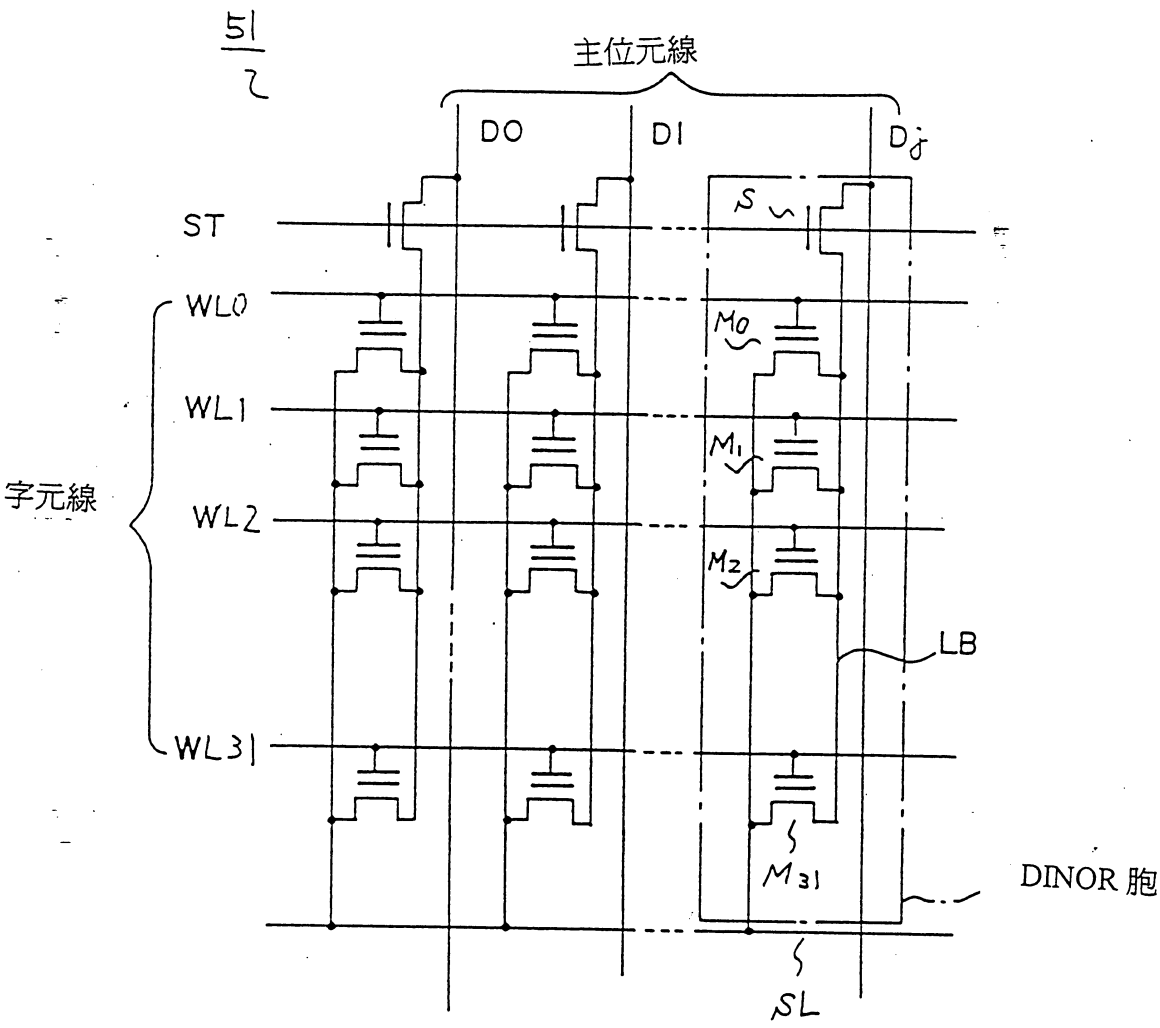


圖 13

圖式

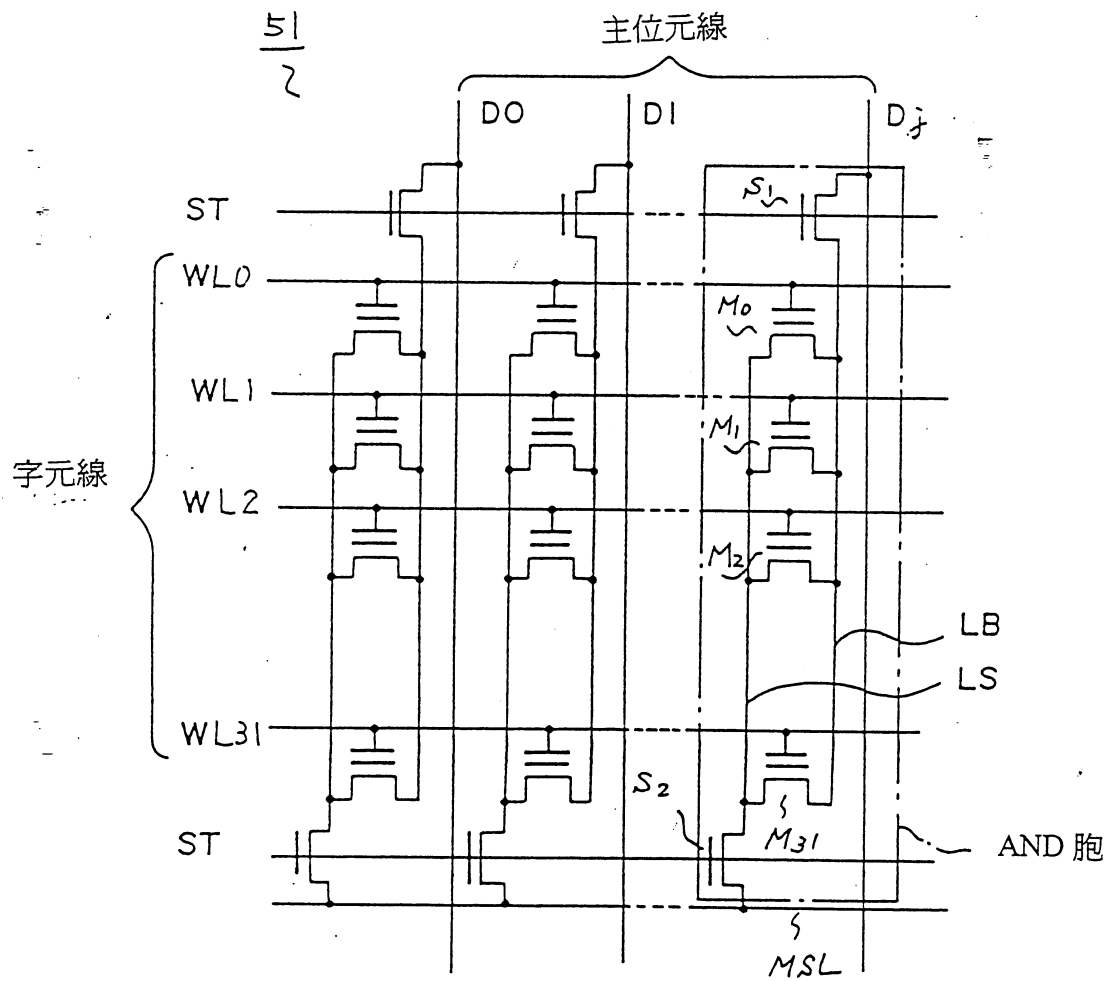
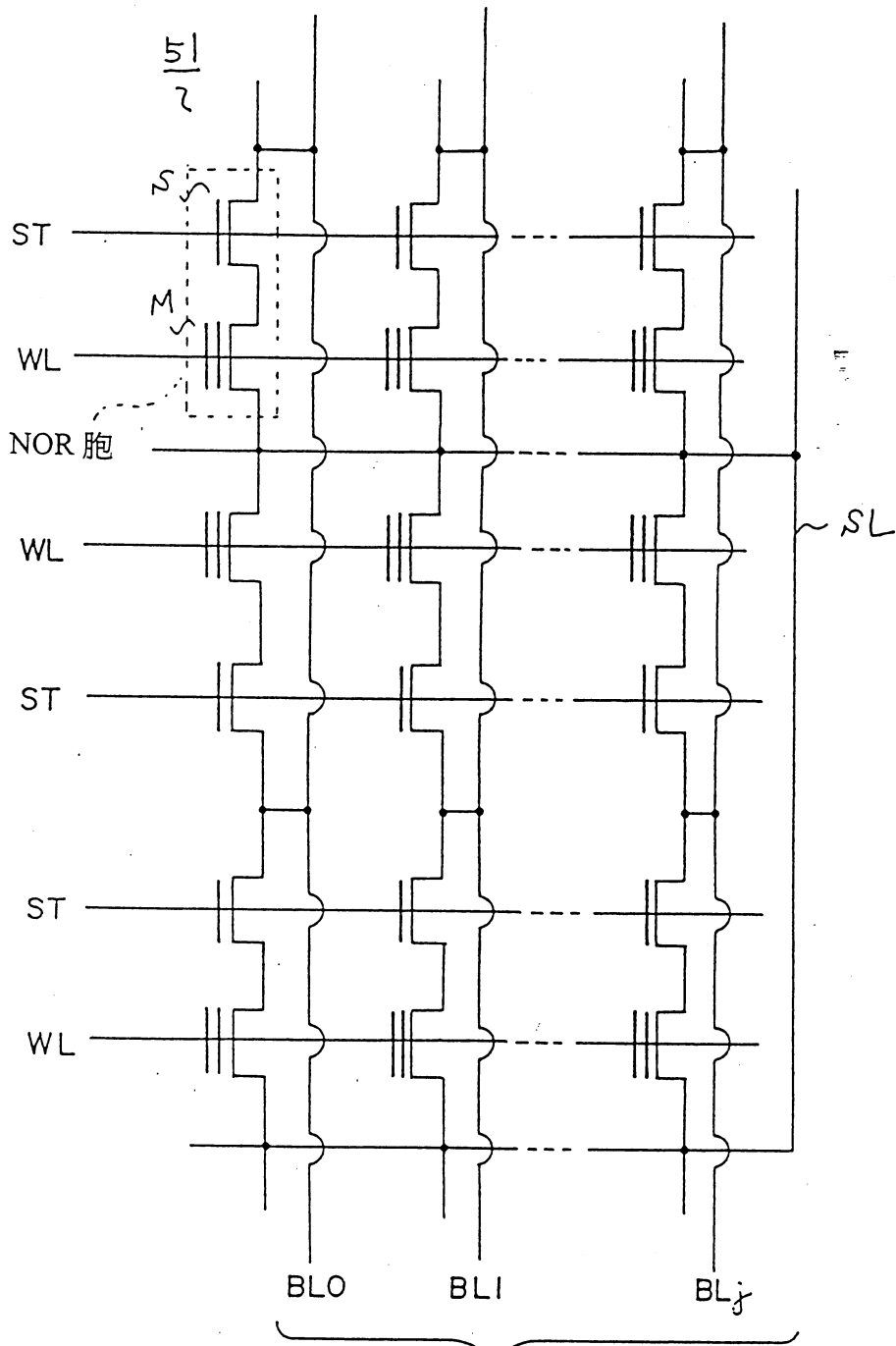


圖 14

圖式

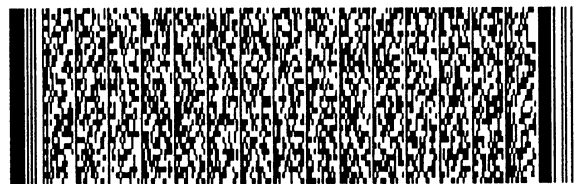
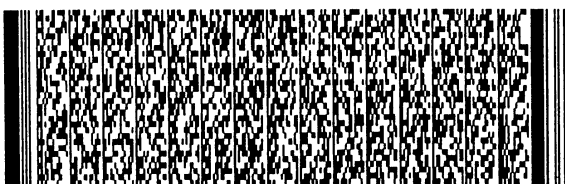


位元線
圖 15

五、發明說明 (11)

習知半導體記憶裝置的為了以各區塊磁心 $26-0 \sim 26-n$ 中的行單位進行調換的R/D記憶胞陣列32及R/D行解碼器33。而且，取代這些，設置和通常所選擇的區塊磁芯 $47-0 \sim 47-n$ 相同結構的區塊磁芯單位的調換用R/D區塊磁芯 $47-RD$ 。此外，各區塊磁芯 $47-0 \sim 47-n$ 、 $47-R$ 中具備為了強制禁止選擇的禁止鎖定器(LAT)54。由區塊解碼器53所輸出的區塊選擇信號($i=0 \sim n, RD$)輸入到此禁止鎖定器54，響應由禁止脈衝產生部46所輸出的信號 $\overline{SETPLS}$ 而鎖定鎖定信號 $DISi(i=0 \sim n, RD)$ ，使上述區塊解碼器53強制成為非選擇。

在如上述結構方面，從外部輸入行位址信號 $ADDRi$ 到行位址緩衝器42，供應其輸出信號 $ARSi$ 給各區塊磁芯 $47-0 \sim 47-n$ 、 $47-RD$ 中的行解碼器52作為內部行位址信號。利用此行解碼器52選擇記憶胞陣列51中的字元線 $WL0 \sim WLk$ 中的一條字元線。從外部輸入列位址信號 $ADDCi$ 到列位址緩衝器40，供應其輸出信號 $ACSi$ 給列解碼器41作為內部列位址信號而被解譯。藉由根據上述列解碼器41的輸出信號選擇各區塊磁芯 $47-0 \sim 47-n$ 、 $47-RD$ 中的列選擇閘 $CT0 \sim CTj$ 之任一閘，選擇位元線 $BL0 \sim BLj$ 。供應區塊位址信號 $ADDBLi$ 給區塊位址緩衝器45，供應其輸出信號 $ABL Si$ 給各區塊磁芯 $47-0 \sim 47-n$ 、 $47-RD$ 中的區塊解碼器53。藉此，選擇連接於所選擇區塊磁芯中的記憶胞陣列的所選擇字元線和所選擇位元線的一個記憶胞。所選擇記憶胞的記憶資料透過所選擇區塊磁芯的列選擇閘供應給感測放大器48而被放大後，供應給輸出入緩衝器49，從輸出入接墊50導出到外部。





四、中文發明摘要 (發明之名稱：半導體記憶裝置)

半導體記憶裝置具備擦除時成為單位的多數區塊磁芯(47-0~47-n)，在這些區塊磁芯中的記憶胞陣列(51)產生不良時為了調換的R/D區塊磁芯(47-RD)、記憶不良區塊磁芯位址的R/D位址記憶部(43)及比較此R/D位址記憶部的輸出信號和區塊位址緩衝器(45)的輸出信號的R/D位址比較部(44)。此R/D位址比較部的比較結果一致時，使R/D區塊磁芯中的區塊解碼器成為選擇狀態，使不良區塊磁芯中的區塊解碼器(53)成為強制非選擇狀態，將不良區塊磁芯換成R/D區塊磁芯(47-RD)。

英文發明摘要 (發明之名稱：SEMICONDUCTOR MEMORY DEVICE FOR EFFECTING ERASING OPERATION IN BLOCK UNIT)

A semiconductor memory device includes a plurality of block cores which are each treated as one unit at the erase time, an R/D block core which is used instead of a memory cell array of a corresponding one of the block cores in which a defect occurs, an R/D address storing section for storing an address of a defective block, and an R/D address comparing section for comparing an output signal of the R/D address storing section with an output signal of a block address buffer. If the result of comparison in the R/D address comparing section indicates "coincidence", a block decoder in the R/D block core is set into a selected state and a block decoder in the defective block core is forcedly set into a non-selected state to replace the defective block core by the R/D block core.



六、申請專利範圍

1. 一種半導體記憶裝置，其包含：

多數第一記憶區塊，各具有配置成一矩陣型式的記憶胞；

一第一解碼器，用以選擇性地啟動該等第一記憶區塊；

至少一第二記憶區塊，其實質上與該第一記憶區塊為相同的構造；

一第二解碼器，用以選擇該第二記憶區塊；

一區塊位址緩衝器，用以輸出區塊位址資訊；

一不良區塊位址記憶部，其具有一記憶元件及一用以保留記憶在該記憶元件中之位址資訊的鎖定電路，其可用以記憶一不良區塊位址，其中該不良區塊位址記憶部的一讀出動作係在一電源供應器的開啟時間中來實施，而記憶在該記憶元件中的資訊則會被鎖定於該鎖定電路中；及

一不良區塊位址比較部，用以將鎖定於該不良區塊位址記憶部之該鎖定電路中的不良區塊位址與由該區塊位址緩衝器輸入之一區塊位址作比較；

其中當在該不良區塊位址比較部中偵測出該等被比較的位址一致時，便會將該用以選擇發生一不良記憶胞之第一記憶區塊的該第一解碼器設定成非選擇狀態，而將該第二解碼器設定成選擇狀態。

2. 如申請專利範圍第1項之半導體記憶裝置，其中會在對多數記憶區塊同時進行擦除時將記憶在該不良區塊位址記憶部之不良區塊位址輸入至該區塊位址緩衝器中，而該



六、申請專利範圍

第一解碼器會將第一資料鎖定於分別位於該等記憶區塊中之相應的其中一個第一鎖定電路之中，以禁止施加擦除電位給該第一資料已經被鎖定於其內部的第一鎖定電路之其中一個該等記憶區塊中的記憶胞。

3. 如申請專利範圍第1項之半導體記憶裝置，其中該不良區塊位址記憶部之該記憶元件包括一電晶體，該電晶體具有與該等第一及第二記憶胞陣列之記憶胞實質相等的結構。

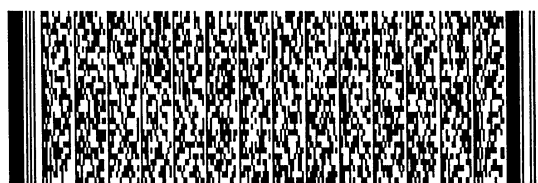
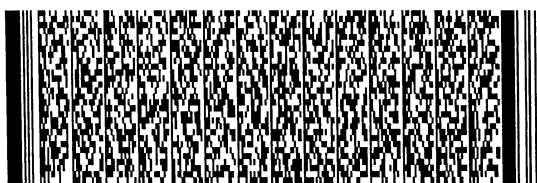
4. 如申請專利範圍第3項之半導體記憶裝置，其中在該記憶元件的擦除時間，該電晶體的臨界電壓會降低至不高於一接地電平的電平；而在寫入時間，則會寫入至高於一電源供應器電位的電平；而在讀出時間，則會將控制閘電位設定在該電源供應器電位。

5. 如申請專利範圍第1項之半導體記憶裝置，其中該不良區塊位址記憶部之該記憶元件包括熔絲元件。

6. 如申請專利範圍第5項之半導體記憶裝置，其中該不良區塊位址係根據熔絲元件是否熔斷以進行記憶。

7. 一種半導體記憶裝置，其中在一記憶胞的擦除時間中，會將一浮動閘中的電子抽出至一井區域，其包含：

多數區塊磁芯，各包含一具有配置成一矩陣型式之記憶胞的一記憶胞陣列、一用以選擇該記憶胞陣列中其中一列該等記憶胞之一列解碼器、一用以選擇區塊之區塊解碼器、一用以保留該記憶胞陣列之選擇狀態的鎖定器，以及一用以選擇該記憶胞陣列中其中一行該等記憶胞之行選擇



六、申請專利範圍

開；

至少一冗餘用區塊磁芯，其實質上與該等多數區塊磁芯為相同的構造；

一具備一位址信號之列位址緩衝器，用以供應一內部列位址信號給該等多數區塊磁芯及冗餘用區塊磁芯中的列解碼器；

一具備一行位址信號之行位址緩衝器；

一行解碼器，用以對該行位址緩衝器輸出的一內部行位址信號進行解碼，以選擇該等複數個區塊磁芯及冗餘用區塊磁芯中的行選擇開；

一具備一區塊位址之區塊位址緩衝器，用以輸出一區塊選擇信號給該等多數區塊磁芯之區塊解碼器；

一冗餘用位址記憶部，用以記憶發生不良之區塊磁芯的位址；

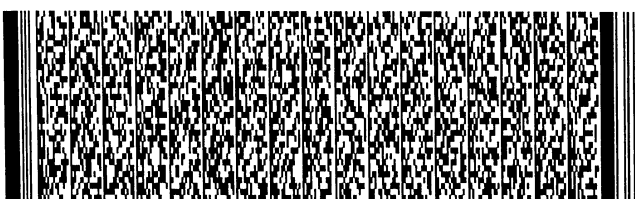
一位址比較部，用以將記憶在該位址記憶部中的區塊磁芯位址與由該區塊位址緩衝器輸出之區塊選擇信號作比較；

一脈衝產生部，用以輸出一脈衝信號；

一感測放大器，用以放大從該被選擇之記憶胞中讀出的資料；及

一輸入/輸出緩衝器，用以傳輸與該感測放大器有關的資料；

其中當在該區塊磁芯的記憶胞陣列中發生不良時，便將該區塊磁芯的一位址記憶在該位址記憶部，當該位址比



六、申請專利範圍

較部偵測出一致時，便會從該位址比較部輸出一禁止信號，並且強制將發生不良之區塊磁芯中的區塊解碼器設定成非選擇狀態，而將該冗餘用區塊磁芯中的該區塊解碼器設定成選擇狀態，以便利用該冗餘用區塊磁芯取代該發生不良之區塊磁芯。

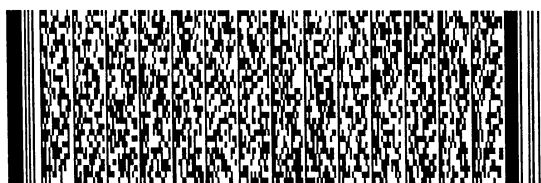
8. 如申請專利範圍第7項之半導體記憶裝置，其中當有多數區塊同時進行擦除作業時，從該位址儲存部記憶部將不良位址輸入至該區塊位址緩衝器中，響應該脈衝產生部所輸出的一脈衝信號，提供一區塊選擇信號給該區塊磁芯之鎖定器以鎖定一禁止信號，從而強制將發生不良之區塊磁芯中的區塊解碼器設定成一非選擇狀態。

9. 如申請專利範圍第7項之半導體記憶裝置，其中欲被擦除的區塊之區塊位址信號會依序地輸入至該區塊解碼器中，以便同時擦除該等區塊，並且響應該脈衝產生部所輸出的脈衝信號，將一區塊選擇信號鎖定於該鎖定器中，以便選擇欲被擦除的區塊磁芯中的區塊解碼器。

10. 如申請專利範圍第7項之半導體記憶裝置，其中該等多數區塊磁芯係形成於獨立形成之井區域中。

11. 一種半導體記憶裝置，其包含：

多數第一區塊磁芯，各包含一具有配置成一矩陣型式之記憶胞的記憶胞陣列、一用以選擇該記憶胞陣列中其中一列該等記憶胞之列解碼器、一用以選擇一區塊之區塊解碼器、一用以保留該記憶胞陣列之選擇狀態的鎖定器，以及一用以選擇該記憶胞陣列中其中一行該等記憶胞之行選



六、申請專利範圍

擇開；

至少一第二區塊磁芯，其實質上與該等多數第一區塊磁芯為相同的構造；

一具備一列位址信號之列位址緩衝器，用以供應一內部列位址信號給該等多數第一區塊磁芯及該至少一第二區塊磁芯中的每個列解碼器；

一具備一行位址信號之行位址緩衝器；

一行解碼器，用以對該行位址緩衝器輸出的一內部行位址信號進行解碼，以選擇該等複數個第一區塊磁芯及該至少一第二區塊磁芯中的行選擇開；

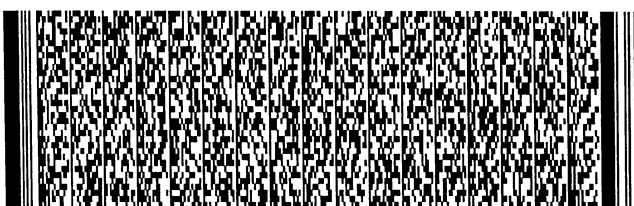
一具備一區塊位址之區塊位址緩衝器，用以輸出一區塊選擇信號給該等多數第一區塊磁芯之每個區塊解碼器；
一冗餘用位址記憶部，用以記憶發生不良之一第一區塊磁芯的位址；

一位址比較部，用以將記憶在該冗餘用位址記憶部中的第一區塊磁芯位址與由該區塊位址緩衝器輸出之一區塊選擇信號作比較；

一禁止脈衝產生部，用以輸出一脈衝信號來控制該等多數第一區塊磁芯及該至少一第二區塊磁芯中的一禁止鎖定位器的作業；

一感測放大器，用以放大從一被選擇之記憶胞中讀出的資料；及

一輸入/輸出緩衝器，用以傳輸與該感測放大器有關的資料；



六、申請專利範圍

其中當有多數區塊同時進行擦除作業時，便從該冗餘用位址記憶部將一不良位址輸入至該區塊位址緩衝器中，提供一區塊選擇信號給發生不良之區塊磁芯中的該禁止鎖定期，並且響應該禁止脈衝產生部所輸出的脈衝信號，鎖定一禁止信號，以便強制將發生不良之區塊磁芯中的區塊解碼器設定成一非選擇狀態。

12. 如申請專利範圍第11項之半導體記憶裝置，其中在一記憶胞的擦除時間中，會將浮動閘中的電子抽出至一井區域。

13. 如申請專利範圍第11項之半導體記憶裝置，其中當在該第一區塊磁芯的記憶胞陣列中發生不良時，便將該第一區塊磁芯的一位址記憶在該冗餘用位址記憶部，當該位址比較部偵測出一致時，便會從該位址比較部輸出該禁止信號，並且強制將發生不良之第一區塊磁芯中的區塊解碼器設定成非選擇狀態，而將一第二區塊磁芯中的區塊解碼器設定成選擇狀態，以便利用該第二區塊磁芯取代該發生不良之第一區塊磁芯。

14. 如申請專利範圍第11項之半導體記憶裝置，其中該位址比較部所輸出的禁止信號僅會提供給該等多數第一區塊磁芯的每個區塊解碼器。

15. 如申請專利範圍第11項之半導體記憶裝置，其中該區塊解碼器包含一電壓產生器，用以在擦除時間中產生該等記憶胞之一源極電位及一基板電位。

16. 如申請專利範圍第15項之半導體記憶裝置，其中該



六、申請專利範圍

電壓產生器係一源極線電壓產生器，用以供應一源極電位給一共用的源極線。

17. 如申請專利範圍第16項之半導體記憶裝置，其中該區塊解碼器進一步包含一邏輯電路，其具備該區塊選擇信號、該禁止信號以及該禁止鎖定器之一輸出信號，用以執行一邏輯作業，並且將該邏輯作業的一結果提供給該源極線電壓產生器。

18. 如申請專利範圍第11項之半導體記憶裝置，其中該禁止鎖定器具備該區塊選擇信號，並且可響應該禁止脈衝產生部所輸出的脈衝信號以鎖定該該禁止信號。

19. 一種半導體記憶裝置，其包含：

多數第一區塊磁芯，各包含一具有配置成一矩陣型式之記憶胞的記憶胞陣列、一用以選擇該記憶胞陣列中其中一列該等記憶胞之列解碼器、一用以選擇一區塊之區塊解碼器、一用以保留該記憶胞陣列之選擇狀態的鎖定器，以及一用以選擇該記憶胞陣列中其中一行該等記憶胞之行選擇閘；

至少一第二區塊磁芯，其實質上與該等多數第一區塊磁芯為相同的構造；

一具備一列位址信號之列位址緩衝器，用以供應一內部列位址信號給該等多數第一區塊磁芯及該至少一第二區塊磁芯中的每個列解碼器；

一行解碼器，用以對該行位址緩衝器輸出的一內部行位址信號進行解碼，以選擇該等複數個第一區塊磁芯及該



六、申請專利範圍

至少一第二區塊磁芯中的一行選擇閘；

一具備一區塊位址之區塊位址緩衝器，用以輸出一區塊選擇信號給該等多數第一區塊磁芯之每個區塊解碼器；
一冗餘用位址記憶部，用以記憶發生不良之一第一區塊磁芯的一位址；

一位址比較部，用以將記憶在該冗餘用位址記憶部中的第一區塊磁芯位址與由該區塊位址緩衝器輸出之一區塊選擇信號作比較；

一禁止脈衝產生部，用以輸出一脈衝信號來控制該等多數第一區塊磁芯及該至少一第二區塊磁芯中的一禁止鎖定器的作業；

一感測放大器，用以放大從一被選擇之記憶胞中讀出的資料；及

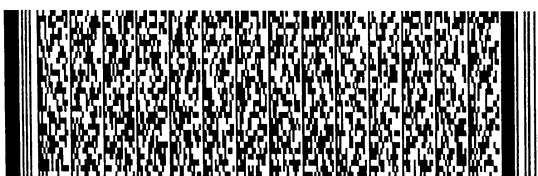
其中當有多數區塊同時進行擦除作業時，欲被擦除的區塊之一區塊位址信號會依序地輸入至該區塊解碼器中，並且響應該禁止脈衝產生部所輸出的脈衝信號，將一區塊選擇信號鎖定於該禁止鎖定器中，以便強制將欲被擦除之該等區塊磁芯中的區塊解碼器設定成一選擇狀態。

20. 一種半導體裝置，其包括：

第一記憶區塊，各具有配置成一矩陣型式的記憶胞；

一第一解碼器，用以選擇性地啟動該等第一記憶區塊；

至少一第二記憶區塊，其實質上與該第一記憶區塊為相同的構造；



六、申請專利範圍

一被連接至該等第一記憶區塊及該至少一第二記憶區塊中每一個的感測放大器，該感測放大器係被該等第一記憶區塊及該至少一第二記憶區塊中每一個所共用，並且可配置用以放大從一被選擇之記憶胞中讀取出來的資料；

一第二解碼器，用以選擇該第二記憶區塊；

一不良區塊位址儲存部，其具有一用以儲存一不良區塊位址之記憶元件，其中該不良區塊位址儲存部的一讀出動作係在一電源供應器的開啟時間中來實施；及

一區塊位址比較部，用以將被儲存於該不良區塊位址儲存部之該不良區塊位址與區塊位址資訊作比較；

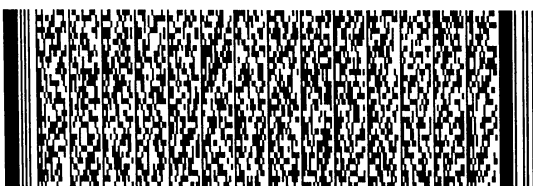
其中當在該不良區塊位址比較部中偵測出該等被比較的位址一致時，便會將用以選擇發生一不良記憶胞之該第一記憶區塊的該第一解碼器設定成一非選擇狀態，而將該第二解碼器設定成一選擇狀態。

21. 一種半導體裝置，其中在一記憶胞的擦除時間中，會將一浮動閘中的電子抽取至一井區，其包括：

區塊磁芯，各包括一具有配置成一矩陣型式之記憶胞的記憶胞陣列、一用以選擇該記憶胞陣列中其中一列該等記憶胞之列解碼器、一用以選擇一區塊之區塊解碼器、一用以保留該記憶胞陣列之一選擇狀態的鎖定器以及一用以選擇該記憶胞陣列中其中一行該等記憶胞之行選擇閘；

至少一冗餘區塊磁芯，其實質上與該等多數區塊磁芯為相同的構造；

一具備列位址信號之列位址緩衝器，用以供應一內部



六、申請專利範圍

列位址信號給該等區塊磁芯及該冗餘區塊磁芯中的列解碼器；

一具備行位址信號之行位址緩衝器；

一行解碼器，用以對該行位址緩衝器輸出的一內部行位址信號進行解碼，以選擇該等區塊磁芯及該冗餘區塊磁芯中的行選擇閘；

一具備一區塊位址之區塊位址緩衝器，其配置用以輸出一區塊選擇信號給該等多數區塊磁芯之該等區塊解碼器；

一冗餘位址儲存部，其配置用以儲存發生不良之一區塊磁芯的一位址；

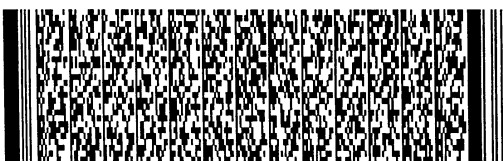
一位址比較部，其配置用以將儲存在該冗餘位址儲存部中的該區塊磁芯與由該區塊位址緩衝器輸出之一區塊選擇信號作比較；

一脈衝產生部，其配置用以輸出一脈衝信號；

一被連接至該等區塊磁芯及該至少一冗餘區塊磁芯中每一個的感測放大器，該感測放大器係被該等區塊磁芯及該至少一冗餘區塊磁芯中每一個所共用，並且可配置用以放大從一被選擇之記憶胞中讀取出來的資料；

一輸入/輸出緩衝器，用以傳輸與該感測放大器有關的資料；

其中當在該區塊磁芯的該記憶胞陣列中發生不良時，便將該區塊磁芯的一位址儲存在該冗餘位址儲存部，當該位址比較部偵測出一致時，便會從該位址比較部輸出一禁



六、申請專利範圍

止信號，並且強制將發生不良之該區塊磁芯中的該區塊解碼器設定成一非選擇狀態，而將該冗餘區塊磁芯中的該區塊解碼器設定成一選擇狀態，以便利利用該冗餘區塊磁芯取代發生不良之該區塊磁芯。

22. 一種半導體記憶裝置，其包括：

第一區塊磁芯，各包括一具有配置成一矩陣型式之記憶胞的記憶胞陣列、一用以選擇該記憶胞陣列中其中一列該等記憶胞之列解碼器、一用以選擇一區塊之區塊解碼器、一用以保留該記憶胞陣列之選擇狀態的鎖定期以及一用以選擇該記憶胞陣列中其中一行該等記憶胞之行選擇閘；

至少一第二區塊磁芯，其實質上與該等第一區塊磁芯為相同的構造；

一具備一列位址信號之列位址緩衝器，用以供應一內部列位址信號給該等區塊磁芯及該至少一第二區塊磁芯中的每個列解碼器；

一具備一行位址信號之行位址緩衝器；

一行解碼器，用以對該行位址緩衝器輸出的一內部行位址信號進行解碼，以選擇該等第一區塊磁芯及該至少一第二區塊磁芯中的一行選擇閘；

一具備一區塊位址之區塊位址緩衝器，用以輸出一區塊選擇信號給該等第一區塊磁芯之每個區塊解碼器；

一冗餘位址儲存部，其配置用以儲存一發生不良之第一區塊磁芯的一位址；



六、申請專利範圍

一位址比較部，其配置用以將儲存在該冗餘位址儲存部中的該第一區塊磁芯位址與由該區塊位址緩衝器輸出之一區塊選擇信號作比較；

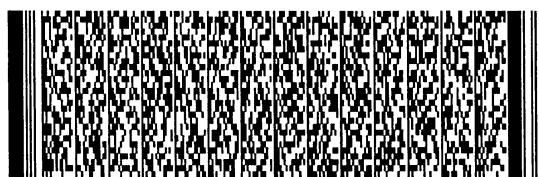
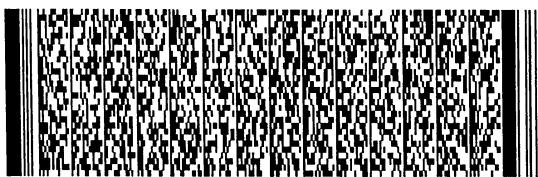
一禁止脈衝產生部，其配置用以輸出一脈衝信號來控制該等第一區塊磁芯及該至少一第二區塊磁芯中的一禁止鎖定器的作業；

一被連接至該等第一區塊磁芯及該至少一第二區塊磁芯中每一個的感測放大器，該感測放大器係被該等第一區塊磁芯及該至少一第二區塊磁芯中每一個所共用，並且可配置用以放大從一被選擇之記憶胞中讀取出來的資料；及一輸入/輸出緩衝器，其配置用以傳輸與該感測放大器有關的資料；

其中當有該等區塊同時進行一擦除作業時，便從該冗餘位址儲存部將一不良位址輸入至該區塊位址緩衝器中，提供一區塊選擇信號給發生不良之該區塊磁芯中的該禁止鎖定器，並且響應該禁止脈衝產生部所輸出的一脈衝信號，鎖定一禁止信號，以便強制將發生不良之該區塊磁芯中的該區塊解碼器設定成一非選擇狀態。

23. 一種半導體裝置，其包括：

第一區塊磁芯，各包括一具有配置成一矩陣型式之記憶胞的記憶胞陣列、一用以選擇該記憶胞陣列中其中一列該等記憶胞之列解碼器、一用以選擇一區塊之區塊解碼器、一用以保留該記憶胞陣列之選擇狀態的鎖定器以及一用以選擇該記憶胞陣列中其中一行該等記憶胞之行選擇



六、申請專利範圍

開；

至少一第二區塊磁芯，其實質上與該等第一區塊磁芯為相同的構造；

一具備一系列位址信號之列位址緩衝器，其配置用以供應一內部列位址信號給該等區塊磁芯及該至少一第二區塊磁芯中的每個列解碼器；

一具備一行位址信號之行位址緩衝器；

一行解碼器，其配置用以對該行位址緩衝器輸出的一內部行位址信號進行解碼，以選擇該等第一區塊磁芯及該至少一第二區塊磁芯中的一行選擇開；

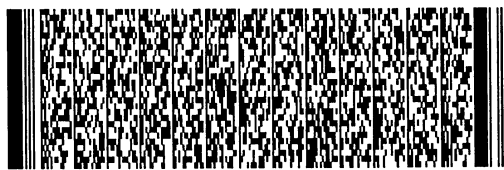
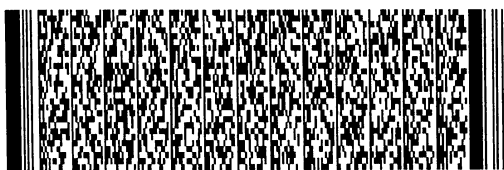
一具備一區塊位址之區塊位址緩衝器，用以輸出一區塊選擇信號給該等第一區塊磁芯之每個區塊解碼器；

一冗餘位址儲存部，其配置用以儲存一發生不良之第一區塊磁芯的一位址；

一位址比較部，其配置用以將儲存在該冗餘位址儲存部中的該第一區塊磁芯位址與由該區塊位址緩衝器輸出之一區塊選擇信號作比較；

一禁止脈衝產生部，其配置用以輸出一脈衝信號來控制該等第一區塊磁芯及該至少一第二區塊磁芯中的一禁止鎖定器的作業；

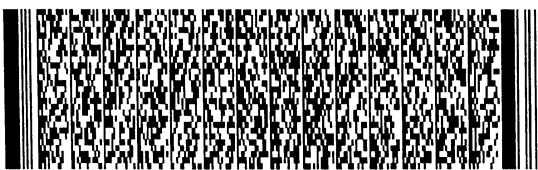
一被連接至該等第一區塊磁芯及該至少一第二區塊磁芯中每一個的感測放大器，該感測放大器係被該等第一區塊磁芯及該至少一第二區塊磁芯中每一個所共用，並且可配置用以放大從一被選擇之記憶胞中讀取出來的資料；及



六、申請專利範圍

一輸入/輸出緩衝器，其配置用以傳輸與該感測放大器有關的資料；

其中當有該等區塊同時進行一擦除作業時，欲被擦除的一區塊之一區塊位址信號會依序地輸入至該區塊解碼器中，並且響應該禁止脈衝產生部所輸出的一脈衝信號，將區塊選擇信號鎖定於該禁止鎖定器中，以便強制將欲被擦除之該等區塊磁芯中的該區塊解碼器設定成一選擇狀態。



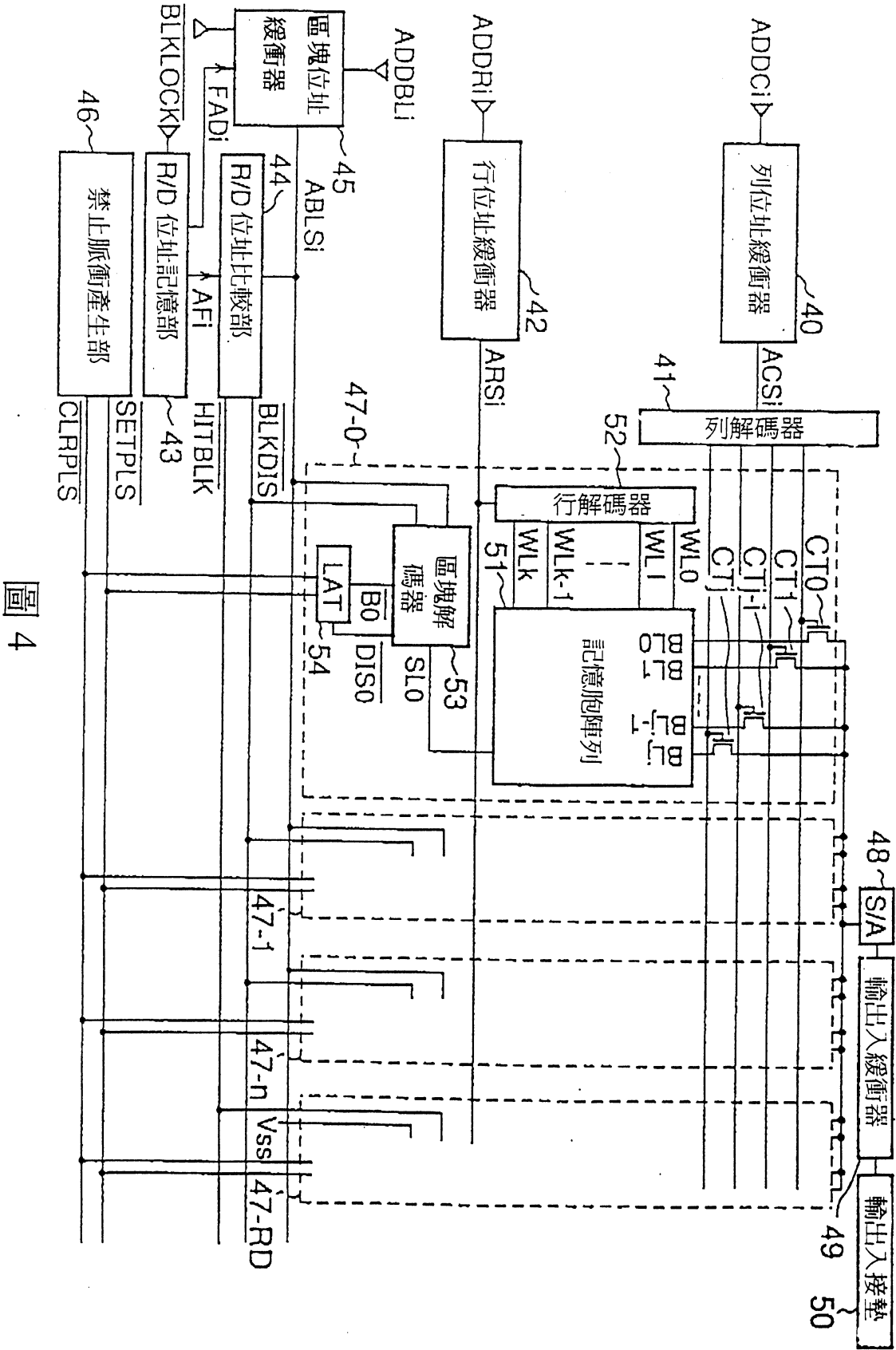


圖 4