

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95145701

※ 申請日期：95.12.7

※IPC 分類：G11C ¹⁶/₀₈ (2006.01)

一、發明名稱：(中文/英文)

G11C 16/02 (2006.01)

非揮發性半導體記憶裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商夏普股份有限公司

SHARP KABUSHIKI KAISHA

代表人：(中文/英文)

町田 勝彦

MACHIDA, KATSUHIKO

住居所或營業所地址：(中文/英文)

日本國大阪府大阪市阿倍野區長池町22番22號

22-22, NAGAIKE-CHO, ABENO-KU, OSAKA-SHI, OSAKA 545-8522,

JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

森本 英德

MORIMOTO, HIDENORI

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2005年12月16日；特願2005-362646

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種包含交叉點型記憶胞陣列之非揮發性半導體記憶裝置，其包含分別將2端子構造之記憶胞沿列方向及行方向複數排列、沿列方向延伸之複數字元線和沿行方向延伸之複數位元線，同一列之前述記憶胞分別將前述記憶胞之一端側與共通之前述字元線連接，同一行之前述記憶胞分別將前述記憶胞之另一端側與共通之前述位元線連接。

【先前技術】

隨著積體電路及電腦功能之提升，不斷開發出需要記憶大容量資料功能之新應用。其中亦包含需要具有電性寫入及抹除資料之功能之非揮發性半導體記憶裝置之應用。由於每1MB之非揮發性半導體記憶裝置之價格低於1美元，其可利用之應用大量增加。例如：

- (1) 替代用於記憶照片圖像之化學膠片(攝影膠片)；
- (2) 替代用於記憶發佈用音樂資料及文件資料之光碟(CD)；
- (3) 替代用於記憶發佈用視頻資料及多媒體資料之多用途數位光碟(DVD)；或
- (4) 替代視聽者用於記憶音頻資料及視頻資料之數位聲頻磁帶及數位視頻磁帶等磁帶。

上述過去之記憶媒體係非揮發性記憶裝置，收容於歸檔檔案(保存容器等)中，一邊維持其中所記錄之資訊不被實

質完全破壞，一邊能在約10年以上期間內從本體裝置及全部電源中取下。對於非揮發性半導體記憶裝置之要求，係能與CD、DVD、磁帶及幾乎所有形態之攝影膠片長期保存資料相對應。

能替代過去之記憶媒體之非揮發性半導體記憶裝置，目前係由快閃記憶體及EEPROM等之能以電性抹除、寫入之非揮發性半導體記憶裝置所構成。遺憾的是，現有之非揮發性半導體記憶裝置之記憶胞，係在普通單晶矽基板內二維排列而成，並限定在二維記憶胞陣列內。因而，其可記憶資料量(記憶容量)受可形成於矽基板之單一平面內之記憶胞數限制。

相反，三維半導體記憶裝置藉由將記憶胞陣列對基板表面垂直方向積層，可增大每單位面積之記憶容量，謀求降低每1位元之製造成本。下述非專利文獻1所揭示之三維半導體記憶裝置，係將記憶胞陣列縱向地對基板表面垂直方向地積層之三維構造之僅能寫入一次之OTP型非揮發性半導體記憶裝置。在字元線和位元線之交叉點上配置記憶元件之交叉點型記憶胞陣列係於垂直方向重疊而成之4層構造者。

在非專利文獻1，使用多晶矽作為構成記憶元件之膜材料。每位元之記憶胞面積為 $4F^2$ 。這裡，"F"表示在所使用之製造流程中所規定之最小設計尺寸。該記憶胞面積與同樣設計規範之快閃記憶體相等。不過，由於上述三維半導體記憶裝置之記憶胞陣列採取4層構造，故其有效胞面積

為 $4F^2$ 之四分之一即 $1F^2$ 。因此可使製造成本比快閃記憶體還低。構成記憶胞陣列之各記憶胞，係具有將稱為"反熔絲"之狀態變化部與由二極體構成之選擇部串聯連接所形成之使該記憶胞之各端部分別與字元線和位元線連接之構造。反熔絲係由矽氧化膜構成，二極體係由P型矽和N型矽積層而成。資料之記憶係利用對記憶胞施加電壓時之反熔絲之電阻變化。反熔絲在初期狀態處於高絕緣狀態，若施加臨限值電壓以上之電壓，則變為導通狀態。由於一旦變為導通狀態後，反熔絲則不再恢復絕緣狀態，故只能寫入一次。二極體之作用在於防止流經選擇記憶胞之電流回流。

不過，作為能應用於在記憶胞陣列之字元線與位元線之交叉部(交叉點)分別配置有2端子構造之記憶胞之交叉點型記憶胞陣列之記憶胞，記憶胞陣列並不局限於二維構造或三維構造，除帶有上述二極體之反熔絲以外，亦想定為各種非揮發性之記憶胞。例如，可考慮由下述非專利文獻2及非專利文獻3所揭示之藉由電應力改變電阻之PrCaMnO、NiO等過渡金屬氧化物或非專利文獻4所揭示之藉由電流之熱壓力產生相變化之GeSeTe等相變化材料構成之記憶胞，或上述各記憶元件材料與二極體串聯連接之記憶胞。

[非專利文獻1] Feng Li等，"Evaluation of SiO₂ Antifuse in a 3D-OTP Memory"，IEEE Transactions on Device and Material Reliability Vol. 4 No.3 (2004) pp. 416-421

[非專利文獻 2] W. W. Zhuang 等，"Novell Colossal Magnetoresistive Thin Film Nonvolatile Resistance Random Access Memory (RRAM)"，IEDM Technical Digest，pp. 193-196，2002年12月

[非專利文獻 3] I. G. Beak 等，"Highly scalable non-volatile resistive memory using simple binary oxide driven by asymmetric unipolar voltage pulses"，IEDM Technical Digest，pp. 587-590，2004年12月

[非專利文獻 4] S. J. Ahn 等，"Highly manufacturable high density phase change memory of 64Mb and beyond"，IEDM Technical Digest，pp. 907-910，2004年12月

【發明內容】

但是，在實現上述之三維半導體記憶裝置時，由於交叉反覆形成記憶胞陣列和形成字元線和位元線之配線層，故在配線層上一般採用對熱穩定之多晶矽或高熔點金屬材料。由於上述配線材料比鋁、銅電阻高，故藉由寫入電流和配線電阻之IR位降(電壓下降或電壓上升)之影響，在選擇字元線及位元線之選擇電路之近側和遠側，存在有記憶胞上電壓位準不同、寫入後之電阻值變化大之問題。並且，即使記憶胞陣列係二維構造，但在寫入電流大之情形，也會產生同樣問題。

鑒於上述問題，本發明之目的在於提供一種能抑制因交叉點型記憶胞陣列之字元線、位元線上之IR位降所導致之記憶體特性劣化之非揮發性半導體記憶裝置。

旨在達成上述目的之本發明之非揮發性半導體記憶裝置，係包含分別將2端子構造之記憶胞沿列方向及行方向複數排列，沿列方向延伸之複數之字元線和沿行方向延伸之複數之位元線；並包含記憶胞陣列，其同一列之前述記憶胞分別將前述記憶胞之一端側與共通之前述字元線連接，同一行之前述記憶胞分別將前述記憶胞之另一端側與共通之前述位元線連接之非揮發性半導體記憶裝置，其第一特徵為包含：字元線選擇電路，其自前述複數字元線中選擇特定數量之前述字元線作為選擇字元線，在前述選擇字元線和未選擇之非選擇字元線上分別施加選擇字元線電壓和非選擇字元線電壓；位元線選擇電路，其自前述複數位元線中選擇特定數量之前述位元線作為選擇位元線，在前述選擇位元線和未選擇之非選擇位元線上分別施加選擇位元線電壓和非選擇位元線電壓；電壓控制電路，其分別抑制前述複數字元線和前述複數位元線之至少一方之各電壓變動；且前述複數字元線和前述複數位元線之至少一方在位於距與前述字元線選擇電路或前述位元線選擇電路連接之驅動點之最遠點或位於前述驅動點與前述最遠點之間之電壓控制點上與前述電壓控制電路連接。

藉由上述第一特徵之非揮發性半導體記憶裝置，在其電壓控制電路所連接之字元線或位元線，在離開藉由字元線選擇電路或位元線選擇電路驅動之驅動點之電壓控制點上，由於其電壓變動係藉由電壓控制電路抑制，故可抑制流經驅動點與作為記憶體動作對象之選擇記憶胞之間之配

線電阻之電流所導致之電壓下降或電壓上升，而抑制該電壓下降或電壓上升所導致之記憶體特性劣化。

例如，記憶胞可藉由在可變電阻元件之兩端施加電應力，改變可變電阻元件之電阻而實現寫入資訊，在此情形，藉由流經選擇記憶胞之寫入電流和配線電阻所導致之電壓下降或電壓上升，可藉由字元線或位元線上之選擇記憶胞之位置改變施加至選擇記憶胞上之電壓，藉由電壓控制電路抑制該電壓變動，而抑制依存於選擇記憶胞配置場所之寫入後電阻值(記憶體特性)之參差不一。藉此，抑制寫入後之記憶體特性參差不一之結果，實現高精度之讀出動作。

上述第一特徵之非揮發性半導體記憶裝置，其第二特徵為：在前述複數字元線和前述複數位元線之至少一方之各一端側連接有前述字元線選擇電路或前述位元線選擇電路，而在各另一端側連接有前述電壓控制電路。

藉由上述第二特徵之非揮發性半導體記憶裝置，流經驅動點與作為記憶體動作對象之選擇記憶胞之間之配線電阻之電流所導致之電壓下降或電壓上升，在選擇記憶胞位於字元線或位元線上最遠點之情形為最大，由於在該最遠點連接有電壓控制電路，故能最大限度地發揮電壓變動抑制效果，使上述第一特徵之非揮發性半導體記憶裝置之效果得以最大限度地發揮。

上述第一或第二特徵之非揮發性半導體記憶裝置還具有第三特徵，即：前述電壓控制電路具備二極體電路，其目

的在於抑制與特定控制基準電壓相對應之前述電壓控制點上之正方向或負方向之電壓變動。

上述第三特徵之非揮發性半導體記憶裝置還具有第四特徵，即：前述電壓控制電路由前述二極體電路與MOSFET之串聯電路及反向器電路所構成，前述串聯電路連接於前述電壓控制點與特定電壓供給線之間，前述反向器電路之輸入端子連接於前述MOSFET之汲極與源極之內之前述電壓控制點側之電極，前述反向器電路之輸出端子連接於前述MOSFET之閘極。

上述第三或第四特徵之非揮發性半導體記憶裝置還具有第五特徵，即：前述二極體電路包含PN接合型二極體元件之構成。

上述第三或第四特徵之非揮發性半導體記憶裝置還具有第六特徵，即：前述二極體電路還包含使汲極與閘極相互連接之MOSFET。

上述第一或第二特徵之非揮發性半導體記憶裝置還具有第七特徵，即：前述電壓控制電路由使汲極連接於前述電壓控制點、源極連接於特定之電壓供給線之MOSFET，和使輸入端子連接於前述電壓控制點、輸出端子連接於前述MOSFET之閘極之反向器電路構成。

藉由上述第三乃至第七特徵之非揮發性半導體記憶裝置，可具體實現使上述第一特徵之非揮發性半導體記憶裝置發揮效果之電壓控制電路。特別是在以二極體電路實現電壓控制電路之情形，只要調整二極體電路接通時之兩端

電壓，即可選擇性地僅抑制電壓變動大之情形。藉此，在希望在特定之記憶體動作中不強制性地抑制較小之電壓變動之狀況下，可迴避該情形。並且，由於包含輸出端子與MOSFET及其閘極連接之反向器電路，可根據反向器電路之輸入端子之電壓位準控制電壓控制電路之通斷，故在施加於選擇字元線或選擇位元線之電壓因記憶胞動作種類而不同之情形，能夠選擇性地僅抑制特定記憶體動作下之選擇字元線或選擇位元線上之電壓變動。

上述任一特徵之非揮發性半導體記憶裝置，其前述記憶胞係具有根據電阻變化而記憶資訊之可變電阻元件之2端子構造之記憶胞，藉由將電應力施加至前述可變電阻元件之兩端，使前述可變電阻元件之電阻產生變化，使之能夠寫入資訊之構成，在寫入動作時，在與寫入對象之前述記憶胞相連接之前述選擇字元線和前述選擇位元線之間施加了特定寫入電壓之狀態下，在前述選擇字元線和前述選擇位元線之內之高電壓側連接有前述電壓控制電路之情形，該電壓控制電路抑制向前述電壓控制點之低電壓方向之電壓變動，在前述選擇字元線和前述選擇位元線之內之低電壓側連接有前述電壓控制電路之情形，該電壓控制電路抑制向前述電壓控制點之高電壓方向之電壓變動，此為其第八特徵。

藉由上述第八特徵之非揮發性半導體記憶裝置，藉由因流經選擇記憶胞之寫入電流和配線電阻所導致之電壓下降或電壓上升，藉由字元線或位元線上之選擇記憶胞位置而

施加至選擇記憶胞之電壓雖有變動，但能夠藉由電壓控制電路具體抑制該電壓變動，並抑制依存選擇記憶胞之配置場所之寫入後電阻值(記憶體特性)參差不一。藉此抑制寫入後記憶體特性參差不一之結果，可實現高精度之讀出動作。

上述任一特徵之非揮發性半導體記憶裝置，還具有第九特徵，即：前述記憶胞係具有根據電阻變化而記憶資訊之可變電阻元件之2端子構造之記憶胞，藉由將電應力施加至前述可變電阻元件之兩端，使前述可變電阻元件之電阻產生變化，使之能夠寫入資訊之構成，前述電壓控制電路在前述記憶胞讀出動作時不被激活。

藉由上述第九特徵之非揮發性半導體記憶裝置，在讀出動作時，在流經讀出對象之選擇記憶胞之讀出電流上，重疊電壓變動控制時流經電壓控制電路之電流，可防止對高精度讀出動作之阻礙。

上述任一特徵之非揮發性半導體記憶裝置，還具有第十特徵，即：對於前述非選擇字元線或前述非選擇位元線，前述電壓控制電路之構成為不抑制個別施加之電壓變動。

藉由上述第十特徵之非揮發性半導體記憶裝置，在電壓控制電路之構成為抑制施加於選擇字元線或選擇位元線之選擇字元線電壓或選擇位元線電壓之變動之情形，可防止將施加於非選擇字元線或非選擇位元線之非選擇字元線電壓或非選擇位元線電壓誤判為從選擇字元線電壓或選擇位元線電壓之變動，維持將非選擇字元線電壓或非選擇位元

線電壓適當施加至非選擇字元線或非選擇位元線，確保適當之記憶體動作。

上述任一特徵之非揮發性半導體記憶裝置，還具有第十一特徵，即：前述複數字元線和前述複數位元線之至少一方係以高熔點金屬材料、多晶矽或高熔點金屬材料與多晶矽之化合物構成。

藉由上述第十一特徵之非揮發性半導體記憶裝置，若將高熔點金屬材料、多晶矽或高熔點金屬材料與多晶矽之化合物等用於字元線或位元線，則由於其與使用鋁、銅等低電阻金屬材料之情形相比之配線電阻為高電阻化，因該配線電阻所導致之電壓下降或電壓上升可藉由電壓控制電路有效地加以抑制，故能抑制因使用高電阻配線材料所導致之記憶體特性劣化。

【實施方式】

以下基於圖式說明本發明之非揮發性半導體記憶裝置(以下適當簡稱"本發明裝置")之實施形態。

圖1係本發明裝置10之一實施形態之方塊構成圖。如圖1所示，本發明裝置10包含：記憶胞陣列11、字元線解碼器(相當於字元線選擇電路)14、位元線解碼器(相當於位元線選擇電路)15、第一電壓控制電路(相當於電壓控制電路)16、第二電壓控制電路(相當於電壓控制電路)17、讀出電路18、控制電路19及電壓開關電路20。

記憶胞陣列11係分別將非揮發性記憶胞沿列方向及行方向複數排列而成，可將資訊電性寫入根據來自外部之位址

輸入指定之記憶胞內，並可讀出記憶於根據位址輸入指定之記憶胞內之資訊。更詳細地說，資訊被記憶於從位址線12輸入之位址信號所對應之記憶胞陣列11內之特定記憶胞，該資訊經由資料線13輸出至外部裝置。

更詳細地說，記憶胞陣列11包含將具有藉由電阻變化而記憶資訊之可變電阻元件之2端子構造之記憶胞分別沿列方向及行方向複數排列、沿列方向延伸之複數字元線和沿行方向延伸之複數位元線；並具有交叉點型記憶胞陣列構造，即其同一列之記憶胞分別將記憶胞之一端側與共通之字元線連接，同一行之記憶胞分別將記憶胞之另一端側與共通之位元線連接。另，作為本實施形態之記憶胞，推定為只要在可變電阻元件兩端施加電應力(寫入電壓)，則可藉由可變電阻元件之電阻變化寫入資訊。

字元線解碼器14將輸入位址線12之列選擇用位址信號所對應之記憶胞陣列11之字元線選擇為選擇字元線，將與寫入、抹除、讀出等各記憶動作對應之選擇字元線電壓和非選擇字元線電壓分別施加至選擇字元線及未選擇之非選擇字元線。

位元線解碼器15將輸入位址線12之行選擇用位址信號所對應之記憶胞陣列11之位元線選擇為選擇位元線，將與寫入、抹除、讀出等各記憶體動作對應之選擇位元線電壓和非選擇位元線電壓分別施加至選擇位元線及未選擇之非選擇位元線。

第一電壓控制電路16連接於與由各字元線之字元線解碼

器14驅動之驅動點相反側之最遠點，以該最遠點作為電壓控制點，電壓控制點上之電壓藉由字元線解碼器14施加於選擇字元線驅動點之選擇字元線電壓(相當於控制基準電壓)之變動受到抑制。並且，第二電壓控制電路17連接於與各位元線之位元線解碼器15所驅動之驅動點相反側之最遠點，以該最遠點作為電壓控制點，電壓控制點上之電壓藉由位元線解碼器15施加於選擇位元線驅動點之選擇位元線電壓(相當於控制基準電壓)之變動受到抑制。

更具體地說，第一電壓控制電路16和第二電壓控制電路17積極抑制寫入及抹除動作時之上述電壓變動，選擇字元線及選擇位元線上之電壓變動傾向依寫入及抹除動作時之選擇字元線電壓、非選擇字元線電壓、選擇位元線電壓及非選擇位元線電壓等各電壓位準之相對關係而決定。因而，第一電壓控制電路16和第二電壓控制電路17之具體電路構成會因應抑制之電壓變動之傾向而各異，故與施加電壓條件一併在後面說明。

控制電路19實施記憶胞陣列11之寫入、抹除、讀出等各記憶體動作之控制。控制電路19基於從位址線12輸入之位址信號和從資料線13輸入之資料輸入(寫入動作時)、從控制信號線21輸入之控制輸入信號，控制字元線解碼器14和位元線解碼器15，控制記憶胞陣列11之讀出、寫入及抹除動作。在圖1所示之例中，控制電路19雖未圖示，但其具有一般位址緩衝電路、資料輸入輸出緩衝電路和控制輸入緩衝電路之功能。

電壓開關電路20將記憶胞陣列11之讀出、寫入及抹除動作時所必需之選擇字元線電壓、非選擇字元線電壓、選擇位元線電壓、非選擇位元線電壓供給至字元線解碼器14及位元線解碼器15。Vcc係本發明裝置10之供給電壓(電源電壓)，Vss係接地電壓，Vpp係寫入或抹除用電壓，Vr係讀出用電壓。

資料之讀出從記憶胞陣列11經由位元線解碼器15、讀出電路18實施。讀出電路18判定資料之狀態，將其結果發送至控制電路19，輸出至資料線13。

圖2係交叉點型記憶胞陣列11之部分構成之模式顯示之立體圖。在圖2中，記憶胞陣列11在4條位元線BL0~3和4條字元線WL0~3之交點夾持著記憶胞M。圖3係與位元線BL之延伸方向平行之垂直剖面上之記憶胞剖面圖。作為記憶胞M，想定為例如非專利文獻1所示之二極體和反熔絲串聯連接之記憶胞、藉由非專利文獻2及非專利文獻3所示之電應力使電阻變化之PrCaMnO、NiO等過渡金屬氧化物或非專利文獻4所示之藉由電流之熱壓力產生相變化之GeSeTe等之相變材料或由該材料與二極體串聯電路構成之記憶胞等。

並且，在圖2中，字元線WL0~3或位元線BL0~3在考慮使記憶胞陣列11多層化之情形，最好採用比鋁、銅熔點更高之鎢、鉑等高熔點金屬或多晶矽等。以後將說明位元線BL0~3或字元線WL0~3採用鉑，記憶胞M以單體使用以PrCaMnO形成之可變電阻體構成之情形。

以下以4列×4行之記憶胞陣列為例，說明本實施形態之交叉點型記憶胞陣列之各記憶體動作時之電壓施加條件。在以下說明中，設記憶體動作對象之選擇記憶胞為記憶胞M22。

如圖4所示，寫入動作時之電壓施加條件為：分別在選擇位元線BL2施加寫入電壓 V_{pp} ，在非選擇位元線BL0、BL1、BL3施加寫入電壓 V_{pp} 之二分之一之寫入抑制電壓 $V_{pp}/2$ ，在選擇字元線WL2施加接地電壓 V_{ss} ，在非選擇字元線WL0、WL1、WL3施加上述寫入抑制電壓 $V_{pp}/2$ 。其結果，分別在選擇記憶胞M22之兩端施加寫入電壓 V_{pp} ，在與選擇位元線BL2及選擇字元線WL2連接之非選擇記憶胞(以下適當簡稱為"半非選擇記憶胞")施加寫入抑制電壓 $V_{pp}/2$ ，而在其他非選擇記憶胞(以下適當簡稱為"完全非選擇記憶胞")不施加電壓。這裡，只要將記憶胞寫入所必需之寫入電壓(絕對值)之下限值設定為比寫入抑制電壓 $V_{pp}/2$ (絕對值)高，即可抑制半非選擇記憶胞之寫入。

如圖5所示，抹除動作時之電壓施加條件為：分別在選擇位元線BL2施加接地電壓 V_{ss} ，在非選擇位元線BL0、BL1、BL3施加抹除電壓 V_{pp} 之二分之一之抹除抑制電壓 $V_{pp}/2$ ，在選擇字元線WL2施加抹除電壓 V_{pp} ，在非選擇字元線WL0、WL1、WL3施加上述抹除抑制電壓 $V_{pp}/2$ 。其結果，分別與寫入動作時反極性，在選擇記憶胞M22之兩端施加抹除電壓 V_{pp} ，在半非選擇記憶胞施加抹除抑制電壓 $V_{pp}/2$ ，而在完全非選擇記憶胞不施加電壓。這裡，只

要將記憶胞抹除所必需之抹除電壓(絕對值)之下限值設定為比抹除抑制電壓 $V_{pp}/2$ (絕對值)高，即可抑制半非選擇記憶胞之抹除。

如圖 6 所示，讀出動作時之電壓施加條件為：分別在全部位元線 BL0~3 施加讀出電壓 V_r ，在選擇字元線 WL2 施加接地電壓 V_{ss} ，在非選擇字元線 WL0、WL1、WL3 施加讀出電壓 V_r 。在各位元線 BL0~3，選擇字元線 WL2 上各記憶胞所對應之讀出電流分別以字元線單位流動，所以只要選擇性地檢出選擇位元線 BL2 之讀出電流，即可讀出選擇記憶胞 M22 之資料。另，在選擇字元線 WL2 上之各記憶胞，雖然施加有讀出電壓 V_r ，但為防止因該電壓產生不必要之寫入動作或抹除動作，讀出電壓 V_r (絕對值)設定為寫入抑制電壓 $V_{pp}/2$ 以下。

圖 7 係將選擇字元線 WL2 作為配線電阻 RW20~RW24 之分佈常數電路顯示之等效電路圖，採用該等效電路圖模式性顯示選擇字元線 WL2 與各位元線 BL0~3 之連接關係。在選擇字元線 WL2 之一端(圖中右側)之驅動點 D1 與字元線解碼器 14 連接，在另一端(圖中左側)之電壓控制點 C1 與第一電壓控制電路 16 連接。各位元線 BL0~3 分別經由記憶胞 M20~M23 與選擇字元線 WL2 連接。

在圖 4 所示之寫入動作時之電壓施加條件，分別在選擇記憶胞 M22 施加寫入電壓 V_{pp} ，在半非選擇記憶胞 M20、M21、M23 施加寫入抑制電壓 $V_{pp}/2$ ，在選擇記憶胞 M22，寫入電流 I_w 經由選擇字元線 WL2 流向驅動點 D1，在半非選

擇記憶胞 M20、M21、M23 與各電阻值分別對應之記憶胞電流 I_{b0} 、 I_{b1} 、 I_{b3} 經由選擇字元線 WL2 流向驅動點 D1。

此時，若第一電壓控制電路 16 處於未激活狀態，施加於各記憶胞 M20~M23 之選擇字元線 WL2 側之各端部之字元線電壓則藉由流經各端部間之字元線配線電阻之電流，從驅動點 D1 上升至很遠，使電壓互不相同。因而，藉由選擇記憶胞 M20~M23 中之哪個，使施加於選擇記憶胞兩端之寫入電壓產生誤差。在字元線之配線電阻比記憶胞之電阻足夠小之情形，尚無問題，但在記憶胞之電阻值與配線電阻相等或處於無法忽視之位準之情形，對寫入電壓之誤差之影響則很顯著，寫入後之電阻值會產生參差。該現象在字元線之配線電阻大之情形，或在寫入電流大之情形，則成為問題。

因此，在寫入動作時，連接於選擇字元線 WL2 之第一電壓控制電路 16 隨電壓控制點 C1 之電壓位準之上升而自動反應並激活，使電壓控制點 C1 之電壓位準向與驅動點 D1 之電壓位準 (V_{ss}) 同電壓位準下降，由此可解決或緩和上述問題。

圖 8(A) 及 (B) 係在選擇字元線連接 128 個記憶胞之情形，即在位元線為 128 條之情形，顯示設有第一電壓控制電路 16 之情形 (A) 和未設置之情形 (B) 之選擇字元線之電壓位準之電路模擬結果。在設有第一電壓控制電路 16 之情形 (A) 和未設置之情形 (B)，選擇記憶胞之位置在驅動點 D1 側、電壓控制點 C1 側和選擇字元線中央 3 種作一比較。作為模

之分佈常數電路顯示之等效電路圖，模式性顯示選擇位元線 BL2 與各字元線 WL0~3 之連接關係。在選擇位元線 BL2 之一端(圖中右側)之驅動點 D2，與位元線解碼器 15 連接，在另一端(圖中左側)之電壓控制點 C2 與第二電壓控制電路 17 連接。各字元線 WL0~3 分別經由記憶胞 M02~M32 與選擇位元線 BL2 連接。

在圖 4 所示之寫入動作時之電壓施加條件下，分別在選擇記憶胞 M22 施加寫入電壓 V_{pp} ，在半非選擇 M02、M12、M32 施加寫入抑制電壓 $V_{pp}/2$ ，在選擇記憶胞 M22，寫入電流 I_w 經由選擇字元線 BL2 從驅動點 D2 流過；在半非選擇 M02、M12、M32 之分別對應於各電阻值之記憶胞電流 I_{w0} 、 I_{w1} 、 I_{w3} 經由選擇字元線 BL2 從驅動點 D2 流過。

此時，若第二電壓控制電路 17 處於未激活狀態，施加於各記憶胞 M02~M32 之選擇位元線 BL2 側之各端部之位元線電壓藉由流經各端部間之位元線配線電阻之電流，從驅動點 D2 降低至很遠，使電壓互不相同。因而，藉由選擇記憶胞 M02~M32 中之哪個，使選擇記憶胞兩端所施加之寫入電壓產生誤差。在位元線之配線電阻比記憶胞之電阻足夠小之情形尚無問題，但在記憶胞之電阻值與配線電阻相等或處於無法忽視之位準之情形，對寫入電壓之誤差之影響顯著，寫入後之電阻值會產生參差。該現象在位元線之配線電阻大之情形，或在寫入電流大之情形，則成為問題。

因此，在寫入動作時，連接於選擇位元線 BL2 之第二電壓控制電路 17 隨電壓控制點 C2 之電壓位準之下降自動反應

並激活，使電壓控制點 C2 之電壓位準向與驅動點 D2 之電壓位準 (V_{pp}) 同電壓位準下降，由此可解決或緩和上述問題。

作為用以抑制選擇位元線電壓下降之第二電壓控制電路 17 之電路構成例，例如可利用圖 12(A)~(C) 所示之電路構成。

在圖 12(A) 及 (B) 之電路例中，第二電壓控制電路 17 之構成為：在電壓控制點 C2 與寫入電壓 V_{pp} 之間，串聯連接二極體電路 40、41 和 P 型 MOS 電晶體 42，反向器 43 之輸入連接於電壓控制點 C2，反向器 43 之輸出連接於 MOS 電晶體 42 之閘極。在圖 12(A) 中，二極體電路 40 由汲極與閘極相互連接之 P 型 MOS 電晶體所構成，在圖 12(B) 中，二極體電路 40 由 PN 接合型二極體元件構成。並且，在圖 12(C) 之電路例中，第二電壓控制電路 17 之構成為：在電壓控制點 C2 和接地電壓 V_{pp} ，分別連接 P 型 MOS 電晶體 42 之汲極與源極，反向器 43 之輸入與電壓控制點 C2 連接，反向器 43 之輸出與 MOS 電晶體 42 之閘極連接。

位於電壓控制點 C2 之電壓下降檢知位準之上限值，在圖 12(A) 及 (B) 之電路例中，設定為低於寫入電壓 V_{pp} ，可藉在寫入電壓 V_{pp} 與電壓控制點 C2 之間插入之二極體電路 40、41 接通時之兩端電壓 (接通臨限值電壓) 來調整，而在圖 12(C) 之電路例中，則為寫入電壓 V_{pp} 。並且，位於電壓控制點 C2 之電壓下降檢知位準之下限值可用反向器 43 之輸入反轉位準來調整，設定為高於施加於非選擇位元線之寫

入抑制電壓 $V_{pp}/2$ 。若未設定電壓下降檢知位準之下限值，或設定為寫入抑制電壓 $V_{pp}/2$ 以下，與非選擇位元線連接之第二電壓控制電路 17 則對非選擇位元線寫入抑制電壓 $V_{pp}/2$ 自動反應並激活，無準備地升高非選擇位元線電壓 $V_{pp}/2$ 之電壓位準，在與選擇字元線連接之半非選擇記憶胞兩端施加寫入抑制電壓 $V_{pp}/2$ 以上之電壓，產生誤寫入之虞。因此，在本實施形態，藉由調整反向器 43 之輸入反轉位準，將位於電壓控制點 C2 之電壓下降檢知位準之下限值設定為高於寫入抑制電壓 $V_{pp}/2$ 。

在本實施形態，如圖 6 所示，由於讀出動作時從位元線之驅動點側(位元線解碼器 15 側)檢出讀出電流，故第二電壓控制電路 17 若在讀出動作時對在電壓控制點 C2 之位元線電壓下降反應並自動激活，則由於從第二電壓控制電路 17 側供給一部分讀出電流，所以不能在位元線解碼器 15 側正確檢出讀出電流。因此，為使其不在讀出動作時之位元線電壓 V_r 反應，第二電壓控制電路 17 預先調整反向器 43 之輸入反轉位準。在本實施形態，因為讀出電壓 V_r 為寫入抑制電壓 $V_{pp}/2$ 以下，所以在讀出動作時不會產生第二電壓控制電路 17 誤動作。

另，在第二電壓控制電路 17 之動作條件在寫入動作時和讀出動作時不同之情形，可認為反向器 43 之輸入反轉位準在兩動作時不相等。在此情形，只要調整圖 12(A)及(B)之電路例之二極體電路 40、41 之接通臨限值電壓，即可使第二電壓控制電路 17 不對讀出時之位元線電壓下降作出反

應。

以上詳細說明了寫入動作時第一電壓控制電路16和第二電壓控制電路17之電路動作及電路構成，但在本實施形態，寫入動作與抹除動作僅係字元線與位元線關係之逆轉，所以在第一電壓控制電路16和第二電壓控制電路17分別採用之電路構成在另一方亦可原封不動地利用。

以下說明本發明裝置之其他實施形態。

(1)在上述實施形態，作為記憶胞，想定為以單體使用以PrCaMnO形成之可變電阻而構成之情形，係以將寫入電流與抹除電流之流向反轉之情形為例加以說明，但是在記憶胞帶有二極體之反熔絲等寫入僅能共用一次而不伴隨抹除動作之情形，或者寫入電壓與抹除電壓之施加極性相同之情形，第一電壓控制電路16和第二電壓控制電路17之電路構成僅考慮寫入動作時即可。

並且，即使在記憶胞既能寫入又能抹除之情形，在寫入動作時與抹除動作時之間所產生電壓變動存在差別之情形，特化第一電壓控制電路16和第二電壓控制電路17之電路構成，使之僅抑制電壓變動大之一方亦無妨。

此外，在選擇字元線與選擇位元線之間所產生電壓變動存在差別之情形，亦可僅設定第一電壓控制電路16和第二電壓控制電路17之一方，使之抑制電壓變動大之一方亦無妨。

(2)在上述實施形態，第一電壓控制電路16連接於與由各字元線之字元線解碼器14驅動之驅動點相反側之最遠

點，以該最遠點為電壓控制點，並且，第二電壓控制電路17連接於與由各位元線之位元線解碼器15驅動之驅動點相反側之最遠點，以該最遠點為電壓控制點，但是與第一電壓控制電路16及第二電壓控制電路17之各字元線及各位元線之連接點並不限定於上述實施形態。

圖13顯示了第一電壓控制電路16之設置位置(電壓控制點位置)與選擇記憶胞位置上之字元線電壓之電壓變動之最大值與最小值之電壓差之關係。該電壓差係在電壓控制點位置固定之狀態下，基於在選擇記憶胞位置變化之情形下位於各選擇記憶胞位置之字元線電壓之最大值與最小值而導出。另，圖13所示之電路模擬結果係採用與圖8之電路模擬相同之條件。即想定為在選擇字元線連接128個記憶胞之情形，將字元線之配線電阻想定為 1Ω ，將選擇記憶胞之電阻值想定為 $1k\Omega$ ，將半非選擇記憶胞之電阻值想定為 $20k\Omega$ ，將寫入電壓 V_{pp} 想定為 $5V$ ，將向字元線解碼器14和第一電壓控制電路16之接地電壓 V_{ss} 側之電流驅動能力設定為相等。

如圖13所示，第一電壓控制電路16及第二電壓控制電路17之與各字元線及各位元線之連接點設為距字元線解碼器14及位元線解碼器15之最遠點，其字元線電壓變化之電壓變化幅度最小且最有效，但是設置為比最遠點更接近字元線解碼器14及位元線解碼器15，一定程度上亦可期望獲得與上述實施形態相同之電壓變動抑制效果。

並且，在字元線解碼器14及位元線解碼器15設於字元線

和位元線之各自兩端之情形，最好設置於第一電壓控制電路16及第二電壓控制電路17之各字元線及各位元線之中間點。

(3)在上述實施形態，作為第一電壓控制電路16及第二電壓控制電路17之電路構成，例示了圖10(A)~(C)及圖12(A)~(C)所示之電路，但並不僅限於該電路構成。

例如在圖10(A)~(C)所示之第一電壓控制電路16之電路動作中，施加接地電壓 V_{SS} 之節點之電壓僅在抑制電壓變動期間施加接地電壓 V_{SS} 即可，而在不必抑制電壓變動期間，例如在字元線之選擇與非選擇切換途中，施加寫入抑制電壓 $V_{pp}/2$ ，而不激活第一電壓控制電路16亦較理想。

同樣，在圖12(A)~(C)所示之第二電壓控制電路17之電路動作中，施加寫入電壓 V_{pp} 之節點之電壓僅在抑制電壓變動期間施加寫入電壓 V_{pp} 即可，而在不必抑制電壓變動期間，例如在字元線之選擇與非選擇切換途中，施加寫入抑制電壓 $V_{pp}/2$ ，使第二電壓控制電路17非激活亦較理想。並且，在讀出動作時，對該節點及反向器43之電源電壓施加讀出電壓 V_r ，而不激活第二電壓控制電路17較理想。

並且，在上述實施形態，例示了第一電壓控制電路16及第二電壓控制電路17分別對字元線電壓及位元線電壓之變動自動反應，使之激活或非激活之電路構成，但電路之激活或不激活亦可由外部控制。例如，在階層陣列構造之情形，亦即將記憶胞陣列在列方向或行方向細分化為複數個

方塊，在各方塊設置局部字元線及位元線，在整個記憶胞陣列設置全域字元線及位元線，在局部字元線及位元線，經由選擇方塊之方塊選擇電晶體，供給各自之選擇及非選擇字元線電壓、選擇及非選擇位元線電壓之情形，圖10(A)~(C)及圖12(A)~(C)所示電路構成之反向器33、43之輸入分別連接全域字元線及位元線而構成亦無妨。

(4)在上述實施形態所例示之各記憶體動作下之電壓施加條件係其一例，並不限定於本發明之內容，可適當變更。

本發明可利用於非揮發性半導體記憶裝置，特別是對於具有2端子構造之記憶胞沿列方向及行方向複數排列、沿列方向延伸之複數字元線和沿行方向延伸之複數位元線，同一列之前述記憶胞分別將前述記憶胞之一端側與共通之前述字元線連接，同一行之前述記憶胞分別將前述記憶胞之另一端側與共通之前述位元線連接之交叉點型記憶胞陣列之非揮發性半導體記憶裝置，則更為有效。

【圖式簡單說明】

圖1係顯示本發明之非揮發性半導體記憶裝置之一實施形態之概略電路構成例之方塊圖。

圖2係交叉點型記憶胞陣列之部分構成之模式性顯示之立體圖。

圖3係圖2所示之交叉點型記憶胞陣列之記憶胞之垂直剖面圖。

圖4係顯示4列×4行之交叉點型記憶胞陣列之寫入動作時

之電壓施加條件之一例之等效電路圖。

圖5係顯示4列×4行之交叉點型記憶胞陣列之抹除動作時之電壓施加條件之一例之等效電路圖。

圖6係顯示4列×4行之交叉點型記憶胞陣列之讀出動作時之電壓施加條件之一例之等效電路圖。

圖7係顯示4列×4行之交叉點型記憶胞陣列之選擇字元線WL2與各位元線BL0~3之連接關係之等效電路圖。

圖8係顯示設置有第一電壓控制電路之情形(A)和未設置之情形(B)之選擇字元線之電壓位準之字元線上位置依存性之特性圖。

圖9係設置有第一電壓控制電路之情形和未設置之情形之選擇記憶胞位置位於驅動點側、電壓控制點側和選擇字元線中央之情形之各電壓位準比較表。

圖10(A)~(C)係顯示本發明之非揮發性半導體記憶裝置之一實施形態下之用以抑制選擇字元線電壓上升之第一電壓控制電路之電路構成例之電路圖。

圖11係顯示圖4所示之4列×4行之交叉點型記憶胞陣列之選擇位元線BL2與各字元線WL0~3之連接關係之等效電路圖。

圖12(A)~(C)係顯示本發明之非揮發性半導體記憶裝置之一實施形態下之用以抑制選擇位元線電壓下降之第二電壓控制電路之電路構成例之電路圖。

圖13係顯示第一電壓控制電路之設置位置(電壓控制點位置)與選擇記憶胞位置上之字元線電壓之電壓差之關係

之特性圖。

【主要元件符號說明】

10	非揮發性半導體記憶裝置
11	記憶胞陣列
12	位址線
13	資料線
14	字元線解碼器(字元線選擇電路)
15	位元線解碼器(相當於位元線選擇電路)
16	第一電壓控制電路(電壓控制電路)
17	第二電壓控制電路(電壓控制電路)
18	讀出電路
19	控制電路
20	電壓開關電路
21	控制信號線
30、31、40、41	二極體電路
32	N型MOS電晶體
33、43	反向器
41	P型MOS電晶體
BL、BL0~3	位元線
C1、C2	電壓控制點
D1、D2	驅動點
Ib0、Ib1、Ib3	記憶胞電流
Iw	寫入電流
Iw0、Iw1、Iw3	記憶胞電流

M、M00~M33	記憶胞
RW20~RW24	字元線配線電阻
Vcc	供給電壓(電源電壓)
Vpp	寫入電壓、抹除電壓
Vpp/2	寫入抑制電壓、抹除抑制電壓
Vr	讀出電壓
Vss	接地電壓
WL、WL0~WL3	字元線

五、中文發明摘要：

本發明提供一種非揮發性半導體記憶裝置，其可於抑制因交叉點型記憶胞陣列之字元線及位元線上之IR位降所導致之記憶體特性劣化。其包含：字元線選擇電路14，其從複數字元線中選擇字元線，在選擇字元線和非選擇字元線上分別施加選擇字元線電壓和非選擇字元線電壓；位元線選擇電路15，其從複數之位元線中選擇出選擇位元線，在選擇位元線和非選擇位元線上分別施加選擇位元線電壓和非選擇位元線電壓；電壓控制電路16、17，其分別抑制複數字元線和複數位元線之至少一方之各電壓變動，複數字元線和複數位元線之至少一方在位於距與字元線選擇電路14或位元線選擇電路15連接之驅動點之最遠點的電壓控制點與電壓控制電路16、17連接。

六、英文發明摘要：

十一、圖式：

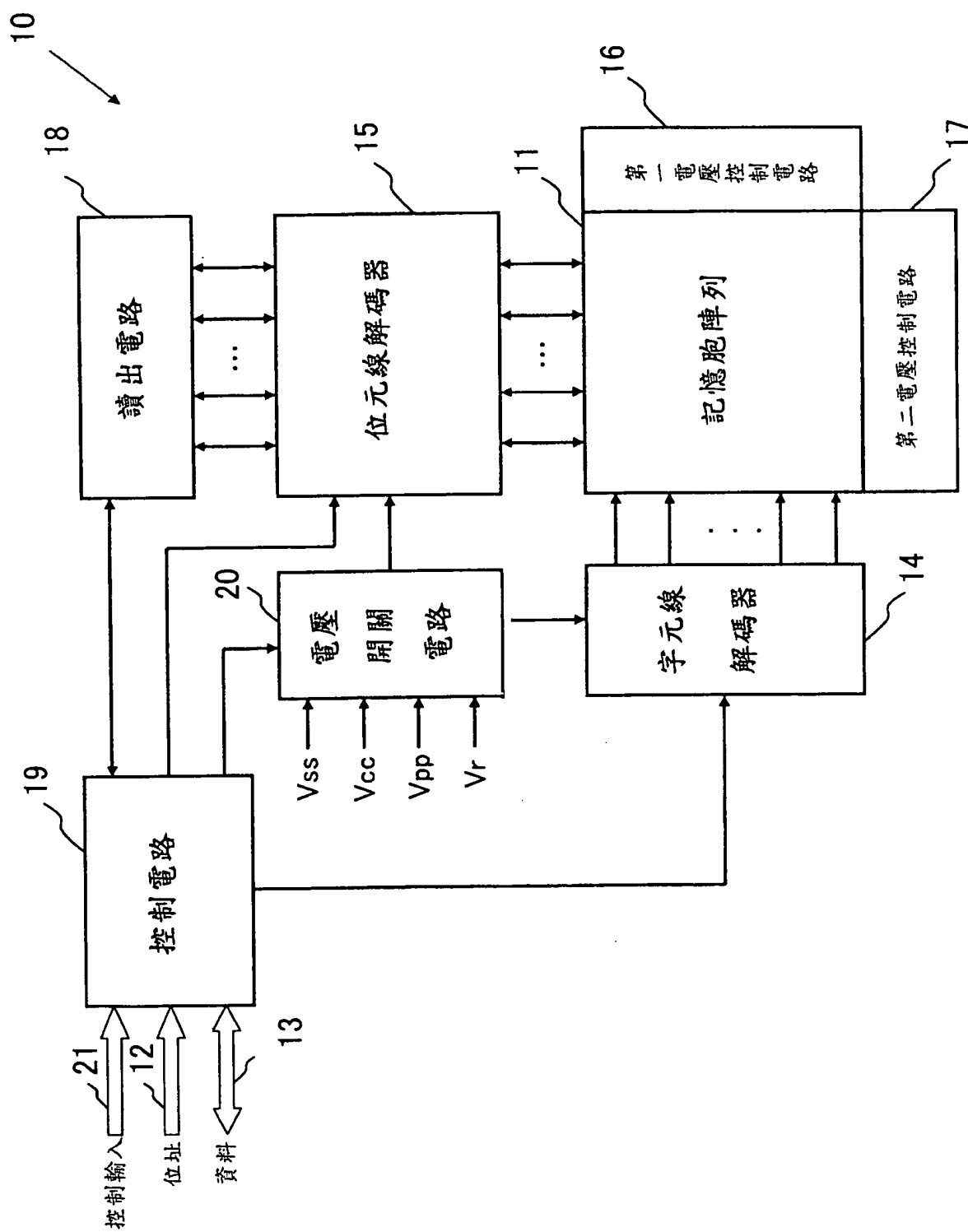


圖 1

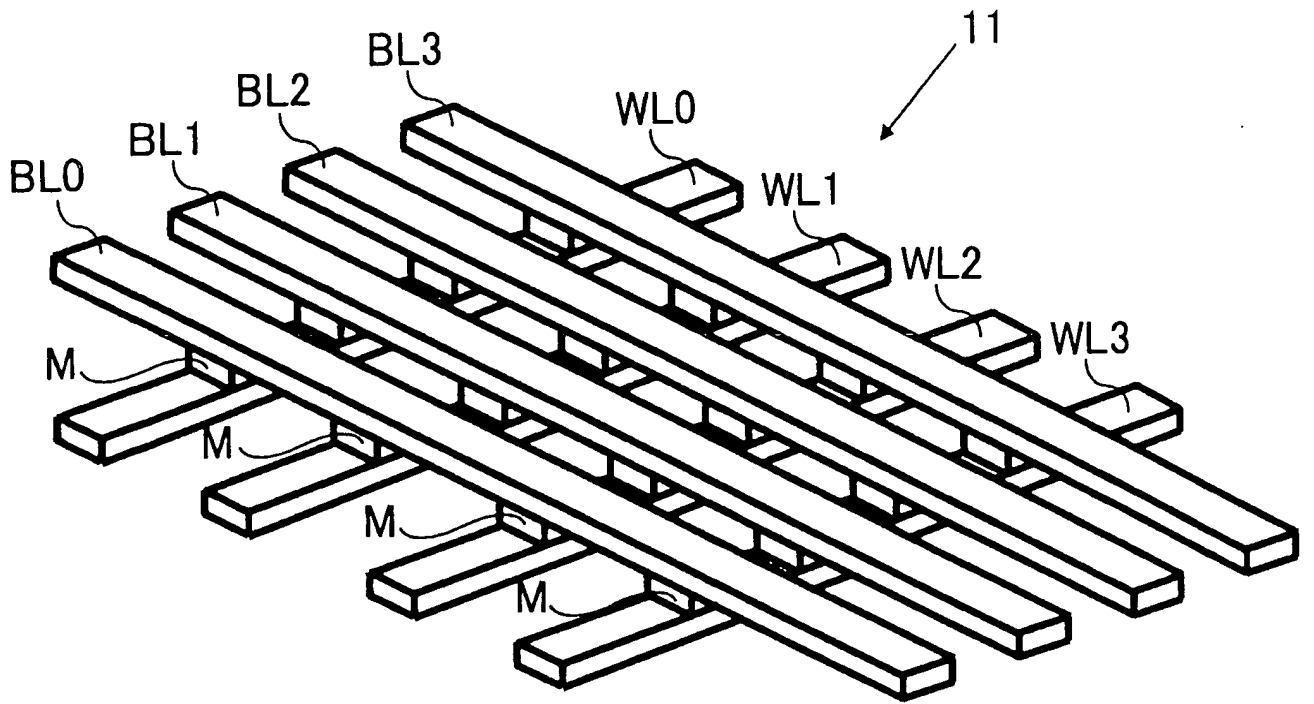


圖 2

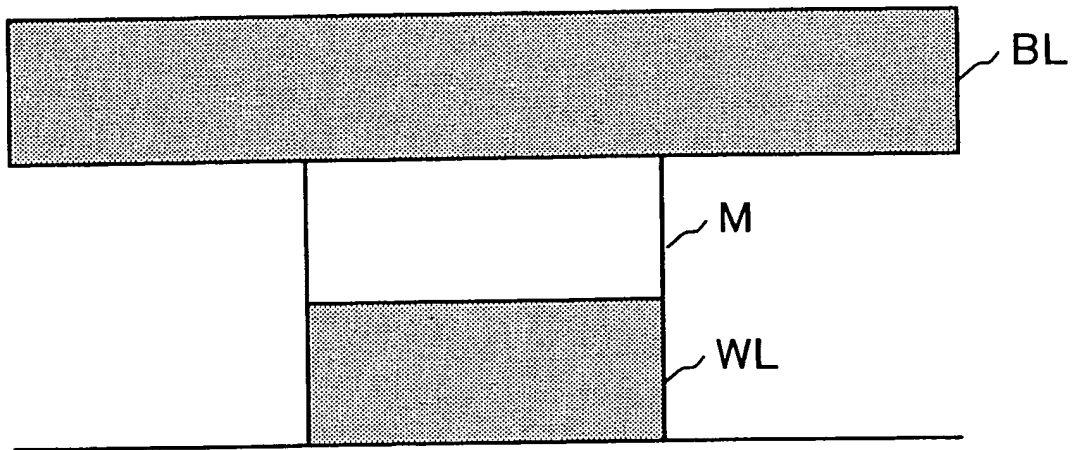


圖 3

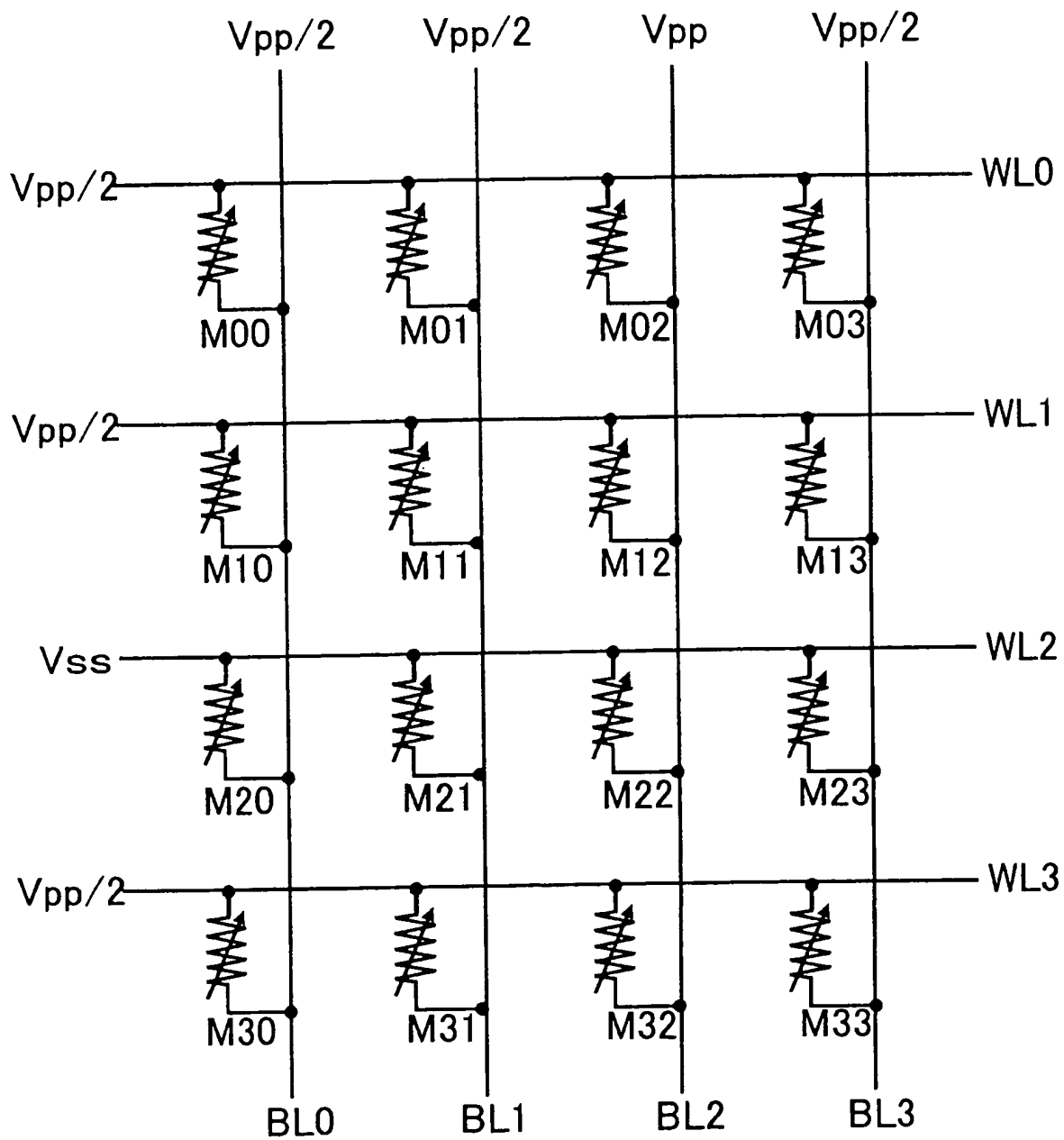


圖 4

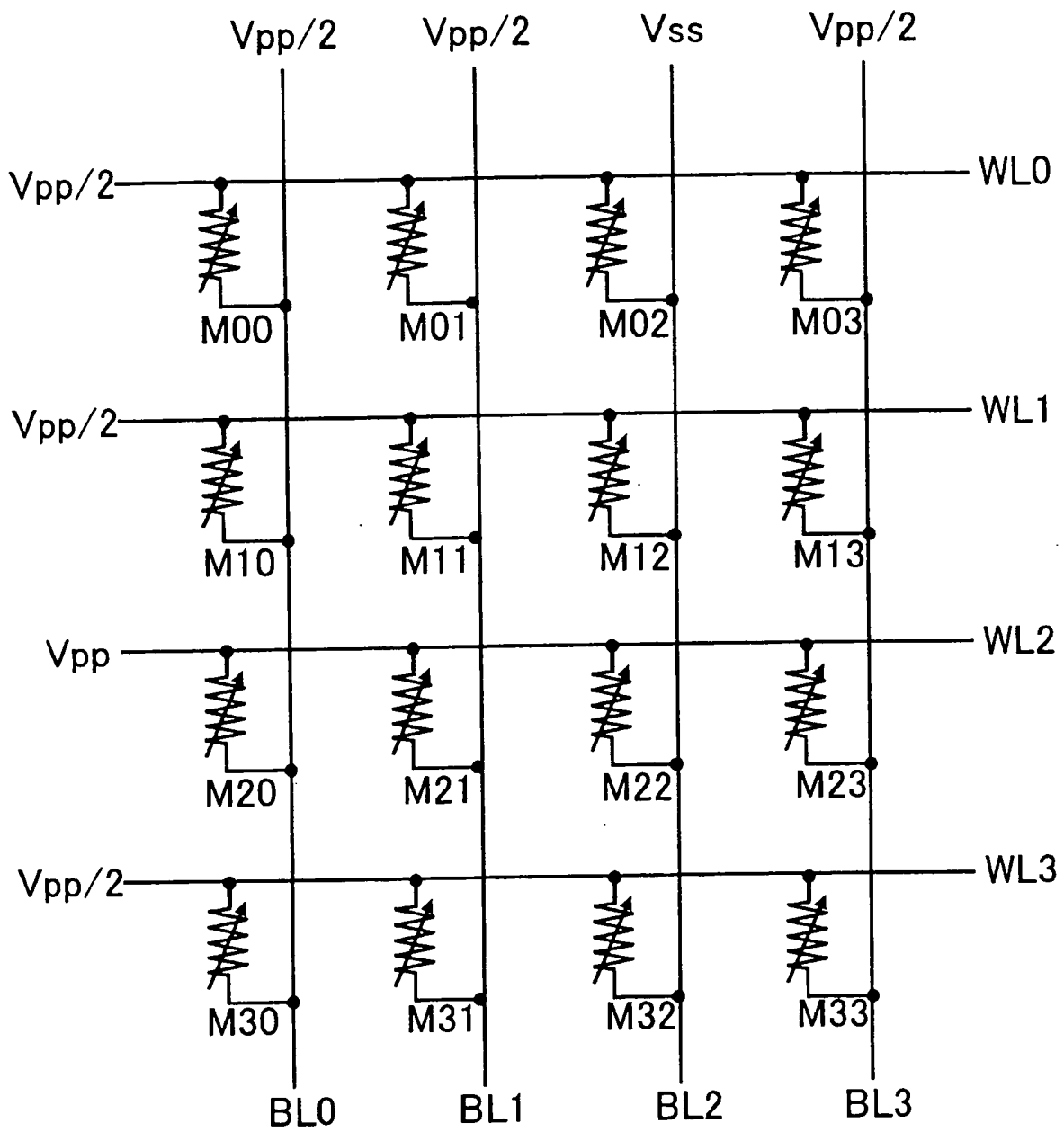


圖 5

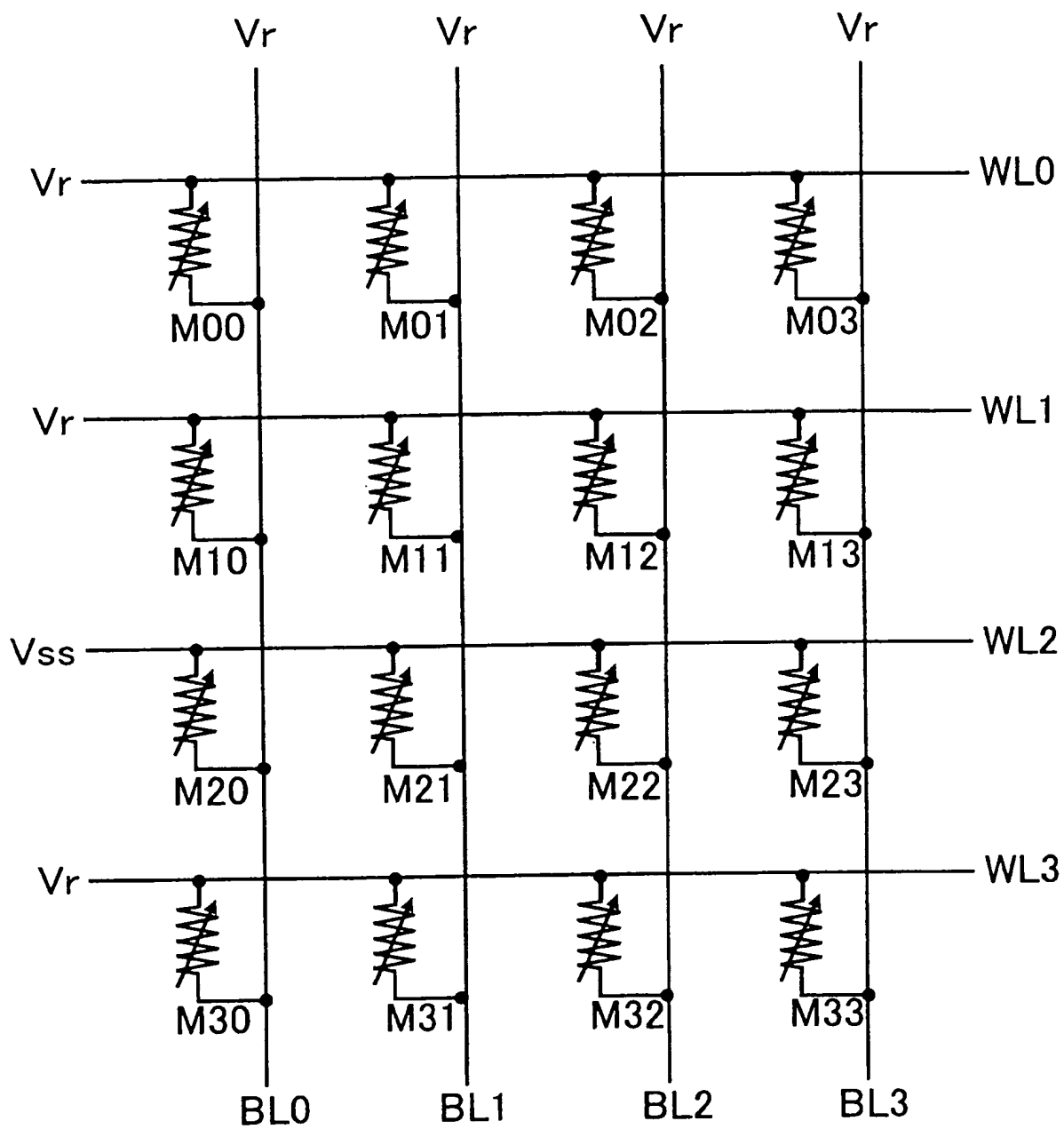


圖 6

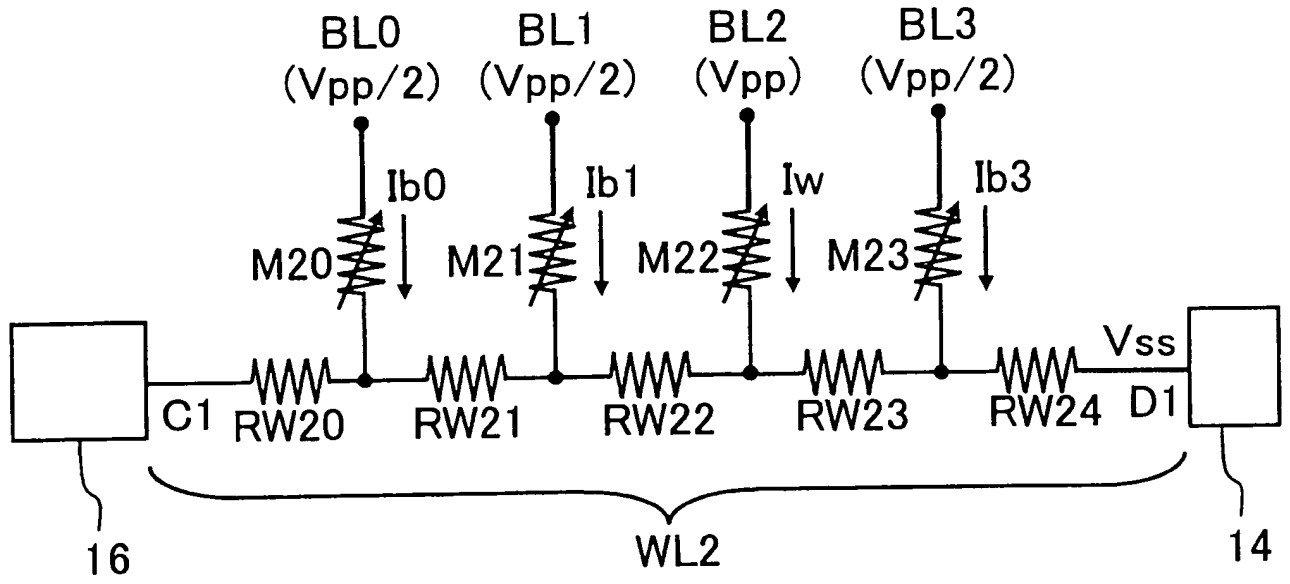
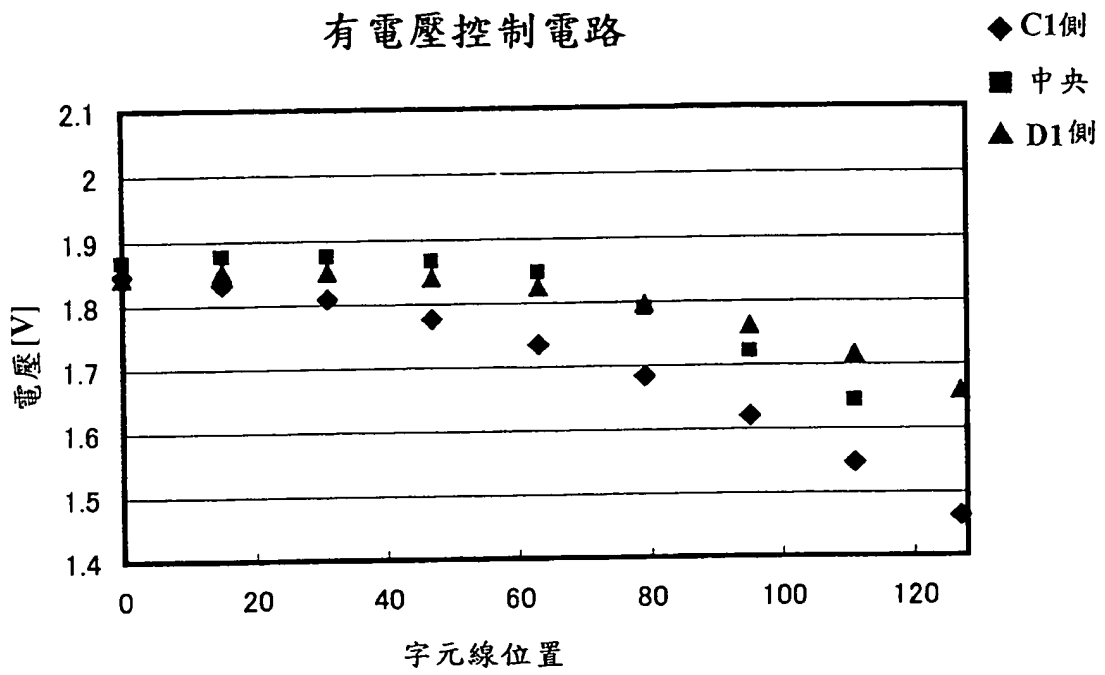
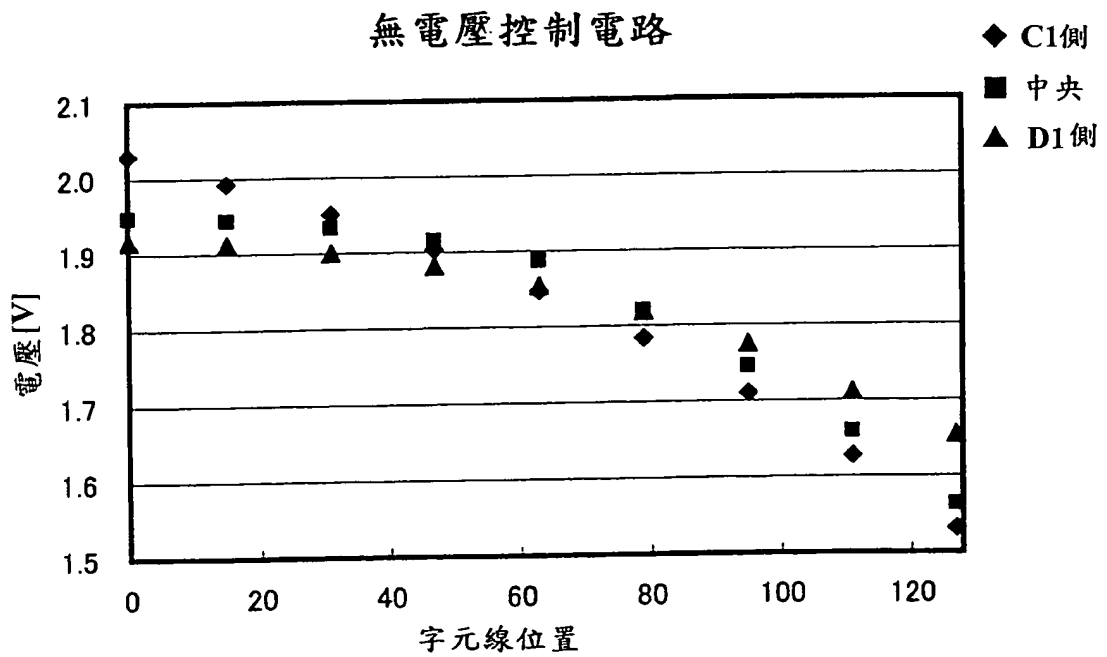


圖 7



(A)



(B)

圖 8

選擇記憶胞位置	字元線電壓 (V)	
	有電壓控制電路 (A)	無電壓控制電路 (B)
C1側	1.85	2.03
中央	1.85	1.89
D1側	1.66	1.66

圖 9

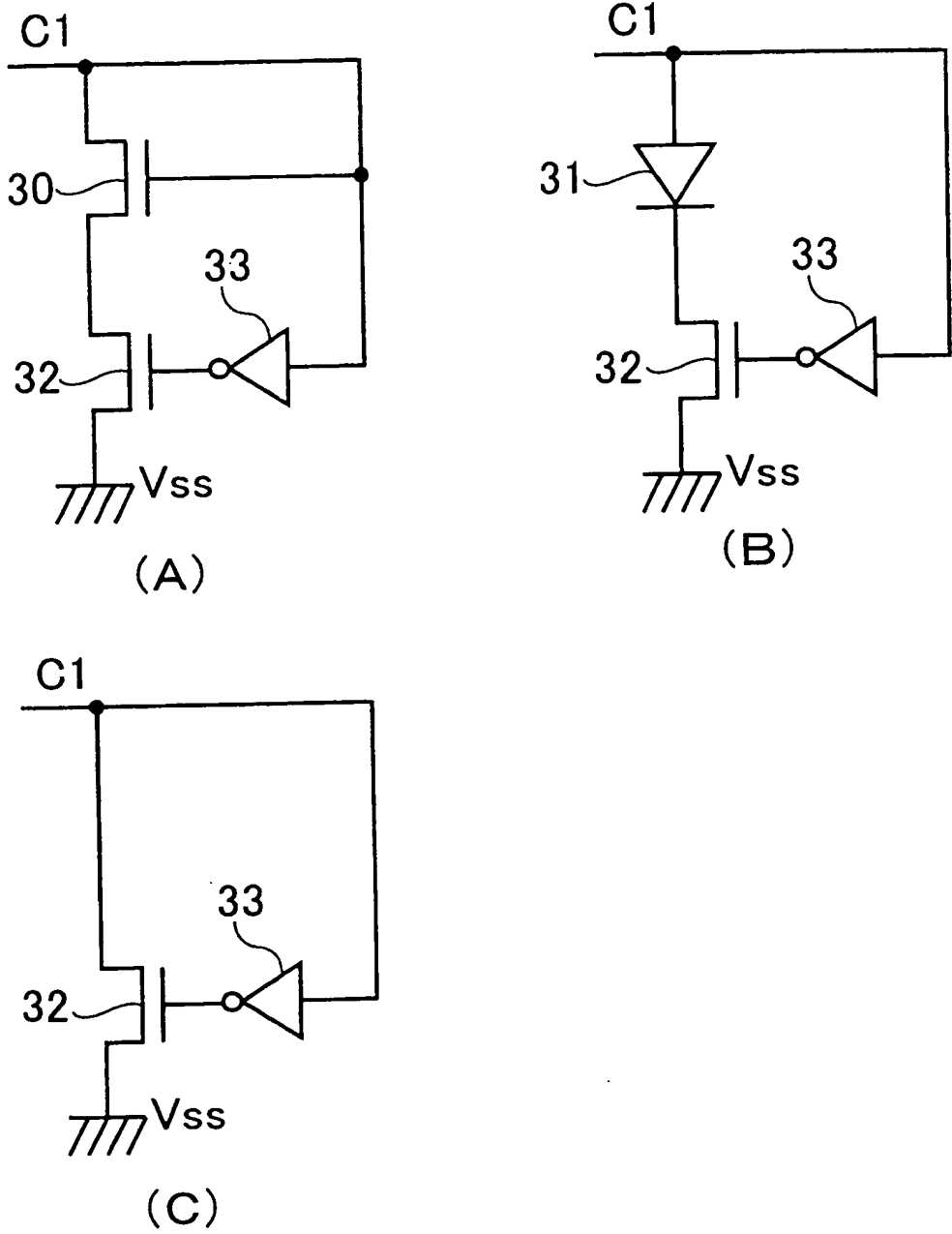


圖 10

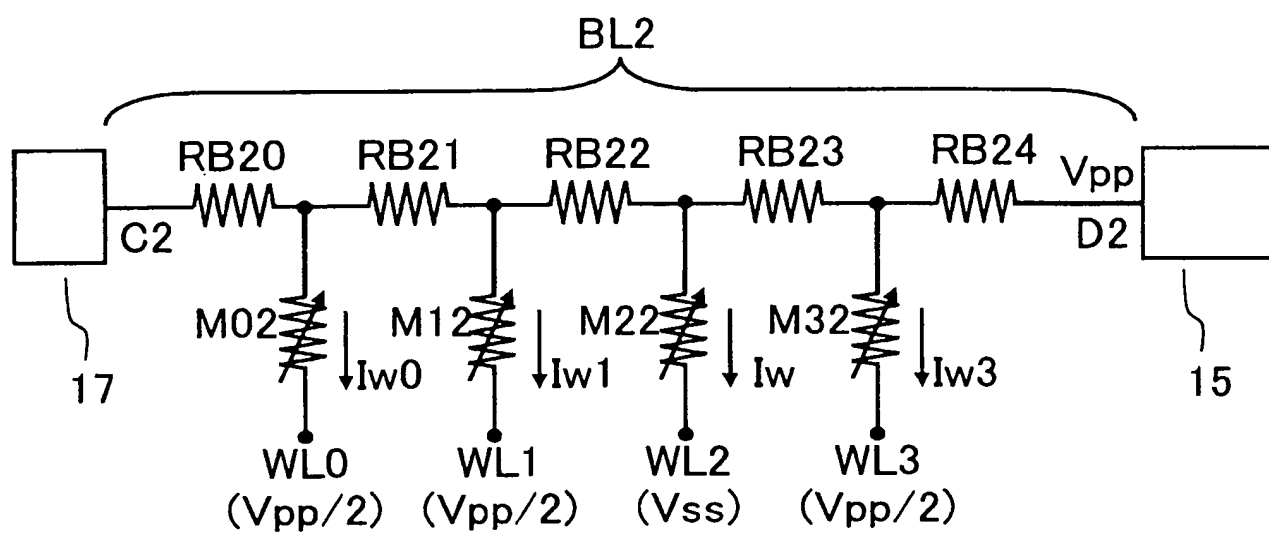


圖 11

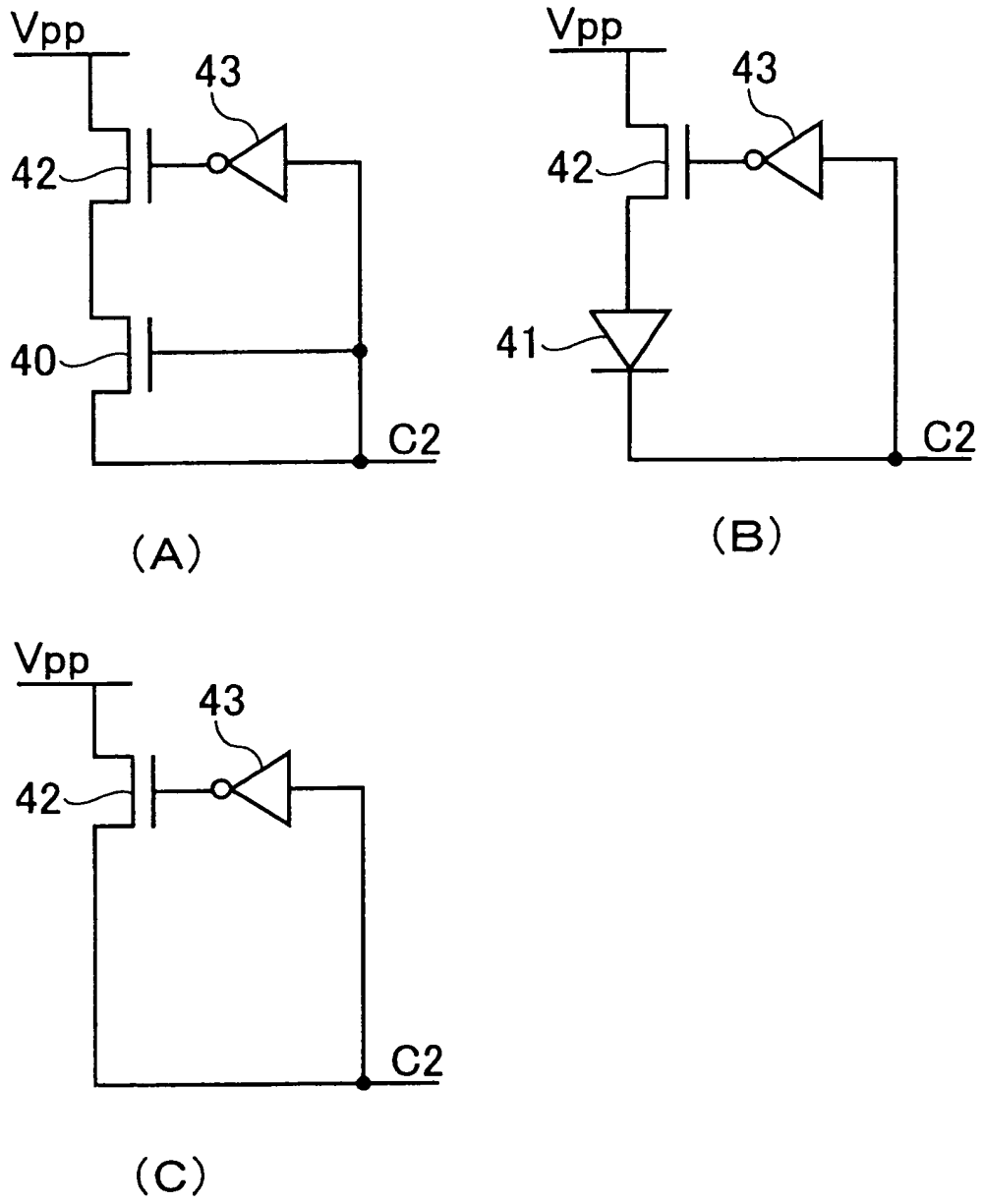


圖 12

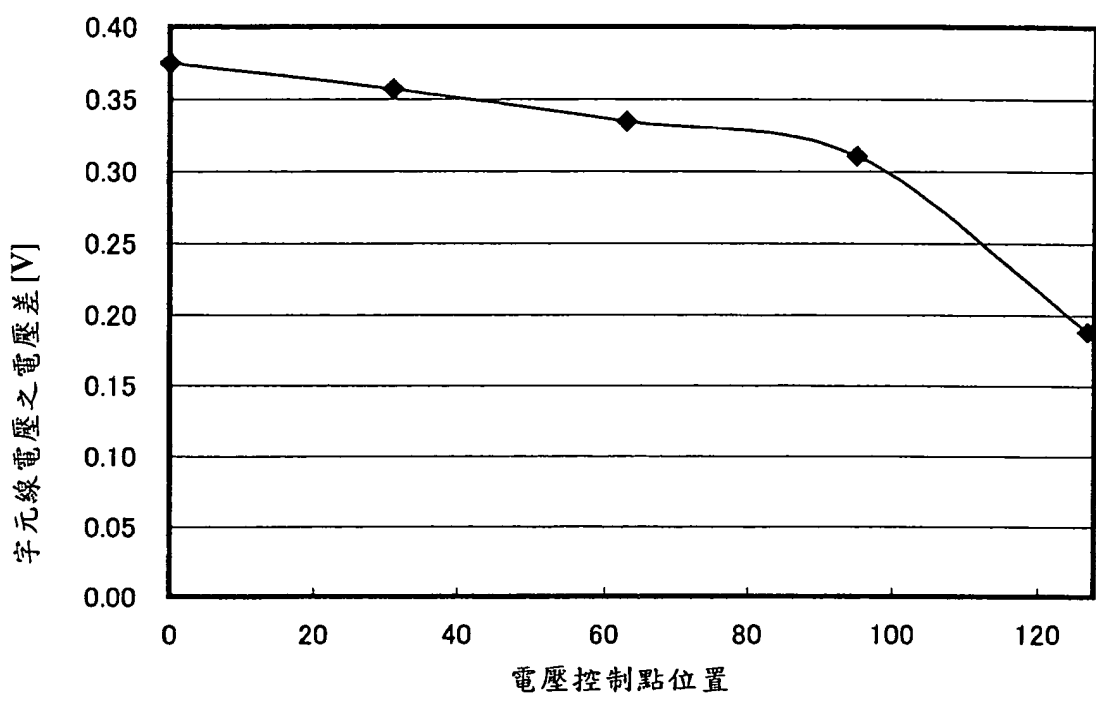


圖 13

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	非揮發性半導體記憶裝置
11	記憶胞陣列
12	位址線
13	資料線
14	字元線解碼器(字元線選擇電路)
15	位元線解碼器(相當於位元線選擇電路)
16	第一電壓控制電路(電壓控制電路)
17	第二電壓控制電路(電壓控制電路)
18	讀出電路
19	控制電路
20	電壓開關電路
21	控制信號線
Vcc	供給電壓(電源電壓)
Vpp	寫入電壓、抹除電壓
Vr	讀出電壓
Vss	接地電壓

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

擬之模式，將字元線之配線電阻想定為 1Ω ，將選擇記憶胞之電阻值想定為 $1k\Omega$ ，將半非選擇記憶胞之電阻值想定為 $20k\Omega$ ，將寫入電壓 V_{pp} 想定為 $5V$ ，將向字元線解碼器14和第一電壓控制電路16之接地電壓 V_{ss} 側之電流驅動能力設為相等。

圖8之各橫軸之數字以從電壓控制點C1側數來之記憶胞順序，越向右側越接近驅動點D1。圖8之各縱軸顯示各記憶胞與選擇字元線之連接點上之選擇字元線電壓位準，由此可知距離驅動點D1越遠之記憶胞(左側)，其電壓上升越大。在設置有第一電壓控制電路16之情形(A)和未設置之情形(B)之各情形，選擇記憶胞之位置位於驅動點D1側、電壓控制點C1側和選擇字元線中央之情形之各電壓位準如圖9之表所示。由圖8及圖9可知，選擇記憶胞之位置位於驅動點D1側和電壓控制點C1側之兩端之情形之電壓位準差，相對於未設置第一電壓控制電路16之情形(B)為 $0.37V$ ，在設置第一電壓控制電路16之情形(A)為 $0.19V$ ，而有大幅度減少。

作為用以控制選擇字元線之電壓上升之第一電壓控制電路16之電路構成例，例如可利用圖10(A)~(C)所示之電路構成。

在圖10(A)及(B)之電路例，第一電壓控制電路16之構成為：在電壓控制點C1與接地電壓 V_{ss} 之間，二極體電路30、31和N型MOS電晶體32串聯連接，反向器33之輸入與電壓控制點C1連接，反向器33之輸出與MOS電晶體32之閘

98年9月8日修正替換頁

極連接。在圖 10(A)中，二極體電路 30 由使汲極與閘極相互連接之 N 型 MOS 電晶體構成，在圖 10(B)中，二極體電路 31 由 PN 接合型二極體元件構成。並且，在圖 10(C)之電路例中，第一電壓控制電路 16 之構成為：在電壓控制點 C1 和接地電壓 V_{SS} ，分別連接 N 型 MOS 電晶體 32 之汲極與源極，反向器 33 之輸入與電壓控制點 C1 連接，反向器 33 之輸出與 MOS 電晶體 32 之閘極連接。

位於電壓控制點 C1 之電壓上升檢知位準之下限值，在圖 10(A)及 (B) 之電路例中，設定為高於接地電壓 V_{SS} ，可藉在接地電壓 V_{SS} 與電壓控制點 C1 之間插入之二極體電路 30、31 接通時之兩端電壓(接通臨限值電壓)來調整，而在圖 10(C)之電路例中，則為接地電壓 V_{SS} 。並且，位於電壓控制點 C1 之電壓上升檢知位準之上限值可用反向器 33 之輸入反轉位準來調整，設定為低於施加於非選擇字元線之寫入抑制電壓 $V_{pp}/2$ 。若電壓上升檢知位準之上限值未設定，或為寫入抑制電壓 $V_{pp}/2$ 以上，與非選擇字元線連接之第一電壓控制電路 16 則對非選擇字元線電壓 $V_{pp}/2$ 自動反應並激活，無準備地降低非選擇字元線電壓 $V_{pp}/2$ 之電壓位準，在與選擇位元線連接之半非選擇記憶胞兩端施加寫入抑制電壓 $V_{pp}/2$ 以上之電壓，產生誤寫入之虞。因此，在本實施形態，藉由調整反向器 33 之輸入反轉位準，將位於電壓控制點 C1 之電壓上升檢知位準之上限值設定為低於寫入抑制電壓 $V_{pp}/2$ 。

圖 11 係採用將選擇位元線 BL2 作為配線電阻 RB20~RB24

十、申請專利範圍：

1. 一種非揮發性半導體記憶裝置，其包含：

一記憶胞陣列，該記憶胞陣列包含將2端子構造之記憶胞沿列方向及行方向分別複數排列、沿列方向延伸之複數之字元線和沿行方向延伸之複數之位元線，同一列之前述記憶胞分別將前述記憶胞之一端側與共通之前述字元線連接，同一行之前述記憶胞分別將前述記憶胞之另一端側與共通之前述位元線連接；一字元線選擇電路，其自前述複數字元線中選擇特定數量之前述字元線作為選擇字元線，在前述選擇字元線和未選擇之非選擇字元線上分別施加一選擇字元線電壓和一非選擇字元線電壓；

一位元線選擇電路，其自前述複數位元線中選擇特定數量之前述位元線作為選擇位元線，在前述選擇位元線和未選擇之非選擇位元線上分別施加一選擇位元線電壓和一非選擇位元線電壓；及

一電壓控制電路，其分別抑制前述複數字元線和前述複數位元線之至少一方之各電壓變動，

前述複數字元線和前述複數位元線之至少一方在位於距與前述字元線選擇電路或前述位元線選擇電路連接之驅動點之最遠點、或位於前述驅動點與前述最遠點之間之電壓控制點上與前述電壓控制電路連接，

前述複數字元線與前述電壓控制電路連接時，與被施加前述非選擇字元線電壓之前述非選擇字元線連接之前

述電壓控制電路為未激活，前述非選擇字元線電壓為前述選擇字元線電壓與前述選擇位元線電壓的中間電壓，

前述複數位元線與前述電壓控制電路連接時，與被施加前述非選擇位元線電壓之前述非選擇位元線連接之前述電壓控制電路為未激活，前述非選擇位元線電壓為前述選擇字元線電壓與前述選擇位元線電壓的中間電壓。

2. 如請求項1之非揮發性半導體記憶裝置，其中在前述複數字元線與前述複數位元線之至少一方之各一端側連接有前述字元線選擇電路或前述位元線選擇電路，而在各另一端側連接有前述電壓控制電路。
3. 如請求項1之非揮發性半導體記憶裝置，其中前述電壓控制電路包含MOSFET及反向器電路，

前述MOSFET中汲極電極與源極電極中之一方之電極係與前述電壓控制點及前述反向器電路的輸入端子連接，另一方之電極係與被施加與前述驅動點相同之電壓的線路連接，而閘極電極係與前述反向器電路的輸出端子連接，

前述電壓控制電路係與前述複數字元線連接之情形時，若前述選擇字元線電壓係比前述選擇位元線電壓低之電壓，而被施加比前述非選擇字元線電壓低且為下限值以上的電壓，則前述電壓控制電路成為未激活，若前述選擇字元線電壓係比前述選擇位元線電壓高之電壓，而被施加比前述非選擇字元線電壓高且為上限值以下的電壓，則前述電壓控制電路成為未激活，

前述電壓控制電路係與前述複數位元線連接之情形時，若前述選擇位元線電壓係比前述選擇字元線電壓低之電壓，而被施加比前述非選擇位元線電壓低且為下限值以上的電壓，則前述電壓控制電路成為未激活，若前述選擇位元線電壓係比前述選擇字元線電壓高之電壓，而被施加比前述非選擇位元線電壓高且為上限值以下的電壓，則前述電壓控制電路成為未激活。

4. 如請求項1之非揮發性半導體記憶裝置，其中

前述記憶胞係具有根據電阻變化而記憶資訊之可變電阻元件之2端子構造之記憶胞，藉由將電應力施加至前述可變電阻元件之兩端，使前述可變電阻元件之電阻產生變化，使之能夠寫入資訊，

在寫入動作時，在與寫入對象之前述記憶胞相連接之前述選擇字元線和前述選擇位元線之間施加了特定之寫入電壓之狀態下，

在前述選擇字元線和前述選擇位元線之中的高電壓者連接有前述電壓控制電路之情形，該電壓控制電路抑制向前述電壓控制點之低電壓方向之電壓變動，

在前述選擇字元線和前述選擇位元線之中的低電壓者連接有前述電壓控制電路之情形，該電壓控制電路抑制向前述電壓控制點之高電壓方向之電壓變動。

5. 如請求項1之非揮發性半導體記憶裝置，其中

前述記憶胞係具有根據電阻變化記憶資訊之可變電阻元件之2端子構造之記憶胞，藉由將電應力施加至前述

可變電阻元件之兩端，使前述可變電阻元件之電阻產生變化，使之能夠寫入資訊，

前述電壓控制電路在前述記憶胞之讀出動作時不被激活。

6. 如請求項1之非揮發性半導體記憶裝置，其中對於前述非選擇字元線及/或前述非選擇位元線，前述電壓控制電路不抑制施加之電壓的變動。
7. 如請求項1之非揮發性半導體記憶裝置，其中前述複數字元線和前述複數位元線之一方或兩方係以一高熔點金屬材料、多晶矽或高熔點金屬材料與多晶矽之一化合物所形成。
8. 如請求項1之非揮發性半導體記憶裝置，其中

前述電壓控制電路係與前述複數字元線連接之情形時，若前述選擇字元線電壓係比前述選擇位元線電壓低之電壓，而被施加比前述非選擇字元線電壓低且為下限值以上的電壓，則前述電壓控制電路成為未激活，若前述選擇字元線電壓係比前述選擇位元線電壓高之電壓，而被施加比前述非選擇字元線電壓高且為上限值以下的電壓，則前述電壓控制電路成為未激活，

前述電壓控制電路係與前述複數位元線連接之情形時，若前述選擇位元線電壓係比前述選擇字元線電壓低之電壓，而被施加比前述非選擇位元線電壓低且為下限值以上的電壓，則前述電壓控制電路成為未激活，若前述選擇位元線電壓係比前述選擇字元線電壓高之電壓，

而被施加比前述非選擇位元線電壓高且為上限值以下的電壓，則前述電壓控制電路成為未激活。

9. 如請求項8之非揮發性半導體記憶裝置，其中

當前述選擇字元線電壓係比前述選擇位元線電壓要低電壓時，前述非選擇字元線電壓係前述選擇位元線電壓的 $1/2$ ，

當前述選擇字元線電壓係比前述選擇位元線電壓要高電壓時，前述非選擇字元線電壓係前述選擇位元線電壓的 $1/2$ 。

10. 一種非揮發性半導體記憶裝置，其包含：

記憶胞陣列，該記憶胞陣列包含將2端子構造之記憶胞沿列方向及行方向分別複數排列、沿列方向延伸之複數之字元線和沿行方向延伸之複數之位元線，同一列之前述記憶胞分別將前述記憶胞之一端側與共通之前述字元線連接，同一行之前述記憶胞分別將前述記憶胞之另一端側與共通之前述位元線連接；

字元線選擇電路，其自前述複數字元線中選擇特定數量之前述字元線作為選擇字元線，在前述選擇字元線和未選擇之非選擇字元線上分別施加選擇字元線電壓和非選擇字元線電壓；

位元線選擇電路，其自前述複數位元線中選擇特定數量之前述位元線作為選擇位元線，在前述選擇位元線和未選擇之非選擇位元線上分別施加選擇位元線電壓和非選擇位元線電壓；及

電壓控制電路，其分別抑制前述複數字元線和前述複數位元線之至少一方之各電壓變動，

前述複數字元線和前述複數位元線之至少一方在位於距與前述字元線選擇電路或前述位元線選擇電路連接之驅動點之最遠點、或位於前述驅動點與前述最遠點之間之電壓控制點上與前述電壓控制電路連接，

前述電壓控制電路由二極體電路與MOSFET之串聯電路、及反向器電路構成，

前述串聯電路連接於前述電壓控制點與特定電壓供給線之間，

前述反向器電路之輸入端子連接於與前述電壓控制點側同一側之前述二極體電路之陽極或陰極中一方之電極，

前述二極體電路之另一方之電極係連接於前述MOSFET之源極或汲極，

前述反向器電路之輸出端子連接於前述MOSFET之閘極。

11. 如請求項10之非揮發性半導體記憶裝置，其中前述二極體電路包含一PN接合型二極體元件。
12. 如請求項10之非揮發性半導體記憶裝置，其中前述二極體電路包含汲極與閘極相互連接之一MOSFET。