



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월31일
(11) 등록번호 10-1195041
(24) 등록일자 2012년10월22일

(51) 국제특허분류(Int. Cl.)
G11C 11/16 (2006.01) *H01L 43/08* (2006.01)

(73) 특허권자
고려대학교 산학협력단

(21) 출원번호 10-2011-0044587

서울 성북구 안암동5가 1

(22) 출원일자 2011년05월12일

(72) 발명자

심사청구일자 2011년05월12일

이경진

(56) 선행기술조사문현

서울특별시 성북구 종암로25길 30, 104동 1301호
(종암동, 삼성 래미안아파트)

US20080180991 A1

서수만
서울특별시 강북구 오페산로30길 30, 110동 403호
(미아동, 경남아너스빌)

US20080259508 A1

(74) 대리인

KR1020040092342 A

특허법인충현

JP21252909 A

심사관 : 윤혜숙

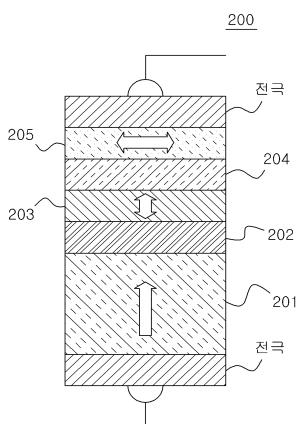
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 자기 공명 세차 현상을 이용한 스픈전달토크 자기 메모리 소자

(57) 요 약

본 발명은 자기 메모리 소자에 관한 것으로서, 고정 자성층, 제1 비자성층, 제1 자유자성층, 제2 비자성층 및 제2 자유 자성층을 포함하고, 상기 고정 자성층은 고정 자화 방향을 갖고, 막면에 대하여 수직 방향으로 자화되는 물질로 이루어진 박막이며, 상기 제1 자유 자성층은 외부에서 인가되는 전류에 의해서 자화 방향이 변하고, 막면에 대하여 수직 방향으로 자화되는 물질로 이루어진 박막이며, 상기 제2 자유 자성층은 외부에서 인가되는 전류에 의해서 자화 방향이 변하고, 막면에 대하여 수평 방향으로 자화되는 물질로 이루어진 박막이며, 상기 수평 방향으로 자화되는 물질의 포화 자화값이 $300\text{--}2000 \text{ emu/cm}^3$ 인 것을 특징으로 하며, 본 발명에 따른 새로운 구조의 자기 메모리 소자는 일정한 M_s 값을 가지고, 수평 이방성을 갖는 자유층 삽입하여, 종래 구조의 자기 메모리 소자에 비해 스위칭 전류가 현저히 감소하여 고집적화 소자의 구현이 가능하고, 자유층의 자화반전 임계 전류밀도를 낮추어 기록시 사용되는 전력을 저감시킬 수 있다.

대 표 도 - 도2



이) 발명을 지원한 국가연구개발사업

과제고유번호 K1002189
부처명 한국산업기술평가관리원
연구사업명 산업원천기술개발사업
연구과제명 수직자화 STT-MRAM 구동 모델링 및 셀 최적화 기술개발
주관기관 한양대학교
연구기간 2010.03.01 ~ 2011.02.28

특허청구의 범위

청구항 1

고정 자성층; 제1 비자성층; 제1 자유자성층; 제2 비자성층; 및 제2 자유 자성층;을 포함하고,
상기 고정 자성층은 고정 자화 방향을 갖고, 막면에 대하여 수직 방향으로 자화되는 물질로 이루어진 박막이며,
상기 제1 자유 자성층은 외부에서 인가되는 전류에 의해서 자화 방향이 변하고, 막면에 대하여 수직 방향으로
자화되는 물질로 이루어진 박막이며,
상기 제2 자유 자성층은 외부에서 인가되는 전류에 의해서 자화 방향이 변하고, 막면에 대하여 수평 방향으로
자화되는 물질로 이루어진 박막이며, 상기 수평 방향으로 자화되는 물질의 포화 자화값이 300~2000 emu/cm³ 인
것을 특징으로 하는 자기 메모리 소자.

청구항 2

제 1 항에 있어서

상기 고정 자성층은 Fe, Co, Ni, B, Si, Zr, Pt, Pd 및 이들의 혼합물 중에서 선택되는 물질로 이루어진 것을
특징으로 하는 자기 메모리 소자.

청구항 3

제 2 항에 있어서,

상기 고정 자성층은 (X/Y)_n (n≥1)의 다층박막 구조이고, 상기 X 및 Y는 각각 독립적으로 Fe, Co, Ni, B, Si,
Zr, Pt 및 Pd 중에서 선택되는 것을 특징으로 하는 자기 메모리 소자.

청구항 4

제 1 항에 있어서,

상기 고정 자성층은 제1 자성층; 비자성층 및 제2 자성층으로 이루어진 반자성체구조로서,

상기 제1 자성층 및 제2 자성층은 각각 독립적으로 Fe, Co, Ni, B, Si, Zr, Pt, Pd 및 이들의 혼합물 중에서 선택되는 물질로 이루어지며,

상기 비자성층은 Ru, Cu 및 이들의 혼합물 중에서 선택되는 물질로 이루어진 것을 특징으로 하는 자기 메모리
소자.

청구항 5

제 4 항에 있어서,

상기 제1 자성층 및 제2 자성층 중 적어도 하나 이상은 (X/Y)_n (n≥1)의 다층박막 구조이고, 상기 X 및 Y는 각각 독립적으로 Fe, Co, Ni, B, Si, Zr, Pt 및 Pd 중에서 선택되는 것을 특징으로 하는 자기 메모리 소자.

청구항 6

제 1 항에 있어서,

상기 고정 자성층은 반강자성층; 제1 자성층; 비자성층; 및 제2 자성층으로 이루어진 교환바이어스된 반자성체
구조로서,

상기 반강자성층은 Ir, Pt, Mn 및 이들의 혼합물 중에서 선택되는 물질로 이루어지고,

상기 제1 자성층 및 제2 자성층은 각각 독립적으로 Fe, Co, Ni, B, Si, Zr, Pt, Pd 및 이들의 혼합물 중에서 선택되는 물질로 이루어지며,

상기 비자성층은 Ru, Cu 및 이들의 혼합물 중에서 선택되는 물질로 이루어진 것을 특징으로 하는 자기 메모리

소자.

청구항 7

제 6 항에 있어서,

상기 제1 자성층 및 제2 자성층은 중 적어도 하나 이상은 $(X/Y)_n$ ($n \geq 1$)의 다층박막 구조이고, 상기 X 및 Y는 각각 독립적으로 Fe, Co, Ni, B, Si, Zr, Pt 및 Pd 중에서 선택되는 것을 특징으로 하는 자기 메모리 소자.

청구항 8

제 1 항에 있어서,

상기 제1 자유 자성층은 Fe, Co, Ni, B, Si, Zr, Pt, Pd 및 이들의 혼합물 중에서 선택되는 물질로 이루어진 것을 특징으로 하는 자기 메모리 소자.

청구항 9

제 8 항에 있어서,

상기 제1 자유 자성층은 Fe, Co, Ni, B, Si, Zr, Pt, Pd 및 이들의 혼합물 중에서 선택되는 물질로 이루어진 층 및 $(X/Y)_n$ ($n \geq 1$) 층으로 이루어진 다층박막 구조이고, 상기 X 및 Y는 각각 독립적으로 Fe, Co, Ni, B, Si, Zr, Pt 및 Pd 중에서 선택되는 것을 특징으로 하는 자기 메모리 소자.

청구항 10

제 1 항에 있어서,

상기 제2 자유 자성층은 Fe, Co, Ni, B, Si, Zr 및 이들의 혼합물 중에서 선택되는 물질로 이루어진 것을 특징으로 하는 자기 메모리 소자.

청구항 11

제 1 항에 있어서,

상기 제1 비자성층 및 제2 비자성층은 서로 상이한 물질로 이루어지고, 각각 독립적으로 Ru, Cu, Al, Ta, Au, Ag, Al₂O_x, MgO, Ta₂O_x, ZrO_x 및 이들의 혼합물 중에서 선택되는 물질로 이루어지는 것을 특징으로 하는 자기 메모리 소자.

청구항 12

제 1 항에 있어서,

상기 제1 비자성층 및 제2 비자성층은 상기 고정 자성층, 제1 자유 자성층 및 제2 자유 자성층보다 전기전도도가 높은 것을 특징으로 하는 자기 메모리 소자.

청구항 13

제 1 항에 있어서,

상기 제1 비자성층 및 제2 비자성층은 상기 고정 자성층, 제1 자유 자성층 및 제2 자유 자성층보다 전기전도도가 낮은 것을 특징으로 하는 자기 메모리 소자.

청구항 14

제 1 항 내지 제 13 항 중 어느 한 항에 따른 자기 메모리 소자 및 상기 자기 메모리 소자에 전류를 공급하는 상부 전극과 하부 전극을 포함하는 자기 메모리.

명세서

기술분야

[0001] 본 발명은 자기 메모리 소자에 관한 것으로서, 더욱 상세하게는 수직 이방성을 갖는 자유층에 수평 이방성을 가지는 자유층을 삽입하여, 전류 주입시 소자 자체적으로 교류 자기장을 유도시켜 임계 전류밀도를 낮출 수 있는 자기 공명 세차 현상을 이용한 스핀전달토크 자기 메모리 소자에 관한 것이다.

배경기술

[0002] 강자성체는 외부에서 강한 자기장을 인가하지 않더라도 자발적으로 자화가 되어있는 물질을 말한다. 두 강자성체 사이에 비자성체를 삽입한 스핀 밸브 구조 (제1 자성체/비자성체/제2 자성체)에서 두 자성층의 상대적인 자화 방향에 따라 전기 저항이 달라지는 거대 자기저항 효과가 발생하며, 이는 스핀 밸브 구조에서 업스핀과 다운스핀이 느끼는 전기저항이 다르기 때문에 발생한다. 이러한 거대 자기저항 효과는 하드디스크에 기록된 정보를 읽기 위한 센서의 핵심기술로 널리 이용되고 있다.

[0003] 거대 자기저항 효과로 인하여 두 자성층의 상대적인 자화방향이 전류의 흐름을 제어하는 현상을 가져오게 된다. 한편, 뉴턴의 제3 법칙인 작용-반작용 법칙에 따라, 자화방향이 전류의 흐름을 제어할 수 있다면, 전류를 인가하여 자성층의 자화방향을 제어하는 것 역시 가능하다. 스핀 밸브 구조에 전류를 인가하여, 제1 자성체(고정 자성층)에 의해 스핀 분극된 전류가 제2 자성체(자유 자성층)를 통과하면서 자신의 스핀 각운동량을 전달하게 된다. 이를 스핀전달토크 (Spin-transfer-torque)라고 하며, 스핀전달토크를 이용하여 자유 자성층의 자화를 반전시키거나 지속적으로 회전시키는 소자의 제작이 가능하다.

[0004] 막 면에 수직인 자화를 갖는 자성체로 구성된 스핀 밸브구조를 응용한 종래의 자기 메모리 소자는 기본적으로도 1과 같은 구조를 가진다. 하부 전극/제1 자성체(고정 자성층, 101)/비자성체(102)/전류에 의해 자화의 방향이 변하는 제2 자성체(자유 자성층, 103)/상부 전극의 구조를 갖는다. 여기서, 제2 자성체는 외부에서 인가되는 전류 또는 자기장에 의해 자화 반전이 유도되고, 고정층과 자유층 자화의 상대적인 방향에 따라 높은 저항과 낮은 저항의 두 가지 전기적 신호가 구현되며, 이를 “0” 또는 “1”의 정보로 기록하는 자기 메모리 소자로서 응용이 가능하다.

[0005] 자유층의 자화를 제어하기 위해 외부 자기장을 이용할 경우, 소자의 크기가 작아질수록 반-선택 셀(half-selected cell)문제가 발생하여 소자의 고집적화에 제약이 따른다. 반면, 소자에 전압을 인가하여 발생하는 스핀전달토크를 이용할 경우에는, 소자의 크기에 무관하게 선택적인 셀의 자화 반전이 용이하다. 상기 기술한 스핀전달토크의 물리적 기구에 따르면, 자유 자성층에 발생하는 스핀전달토크의 크기는 인가된 전류밀도(또는 전압)의 양에 비례하며, 자유 자성층의 자화 반전을 위한 임계 전류밀도가 존재한다. 고정층과 자유층이 모두 수직 이방성을 갖는 물질로 구성한 경우, 임계전류밀도 J_c 는 CGS 단위로 기술하였을 때, 다음 [수학식 1]과 같다.

[0006] [수학식 1]

$$J_c = \frac{2e}{\hbar} \frac{\alpha M_s d}{\eta} (H_{K\perp} - 4\pi M_s) = \frac{2e}{\hbar} \frac{\alpha M_s d}{\eta} (H_{K,eff})$$

[0007]

[0008] 상기 [수학식 1]에서, α 는 Gilbert 감쇠상수이며, $\hbar (=1.05 \times 10^{-34} \text{ J?s})$ 는 Planck 상수를 2π 로 나눈 값이고, $e (=1.6 \times 10^{-19} \text{ C})$ 는 전자의 전하량, η 는 물질 및 전체 구조에 의해 결정되는 스핀분극효율 상수로 0과 1 사이의 값을 가지며, M_s 는 자성체의 포화자화양, d 는 자유 자성층의 두께, $H_{K\perp}$ 는 수직이방성자계이며, 수직방향의 유효이방성자계 $H_{K,eff}$ 는 $H_{K,eff} = (H_{K\perp} - 4\pi M_s)$ 로 정의된다.

[0009] 고집적 메모리 소자를 위해 셀의 크기를 줄이게 되면 상온에서의 열에너지에 의해 기록된 자화방향이 임의적으로 바뀌는 초상자성 현계가 발생한다. 이는 기록된 자기정보가 원하지 않게 지워지는 문제를 야기한다. 열에너지에 저항하여 평균적으로 자화방향이 유지되는 시간 (τ)은 하기 [수학식 2]와 같다.

[0010] [수학식 2]

$$\tau = \tau_0 \exp\left(\frac{K_{eff} V}{k_B T}\right) = \tau_0 \exp\left(\frac{H_{K,eff} M_s V}{2k_B T}\right)$$

[0011]

[0012] 상기 [수학식 2]에서, τ_0 는 시도주파수의 역수로 1 ns 정도이며, K_{eff} 는 자유층의 유효 자기 이방성 에너지 밀

도 ($= H_{k,\text{eff}} M_S / 2$), V 는 소자의 부피, k_B 는 볼츠만 상수 ($= 1.381 \times 10^{-16}$ erg/K), T 는 캘빈 온도이다.

[0013] 여기서, $K_{\text{eff}} V / k_B T$ 가 자기 메모리 소자의 열적 안정성(Δ)으로 정의된다. 비휘발성 메모리로써의 상용화를 위해서는 일반적으로 $\Delta > 50$ 의 조건이 만족되어야 한다. 소자의 고집적화를 위해 자유층의 부피 (V)를 줄이게 되면, $\Delta > 50$ 의 조건을 만족시키기 위해 K_{eff} 를 키워야 하며, 그 결과 J_c 가 증가하게 되는 것을 알 수 있다.

[0014] 이와 같이 Δ 와 J_c 가 모두 K_{eff} 에 비례하기 때문에, 상용화가 가능할 정도로 충분히 높은 Δ 와 충분히 낮은 J_c 를 동시에 만족시키기는 매우 어렵다. 뿐만 아니라, 일반적으로 CMOS (Complementary metal-oxide-semiconductor) 트랜지스터 소자에서 제공할 수 있는 전류의 양은 제한되어 있다.

[0015] 따라서, 메모리 소자의 크기를 줄이면서 고집적화를 구현하기 위해서는 자유층의 자화반전 임계 전류밀도를 낮추어야 하고, 자유층의 자화반전 임계 전류밀도를 낮추어 기록시 사용되는 전력이 저감 효과까지 발휘할 수 있어야 한다.

[0016] 자기 메모리 소자의 임계전류밀도를 낮추기 위해서는 유효 자기이방성 자계 ($H_{k,\text{eff}}$)를 효과적으로 줄여야 한다. 하드디스크 드라이브의 기록헤드로부터 발생하는 자기장에 더하여 고주파 변조 자기장을 동시에 인가하여 기록 자기장의 크기를 저감시키는 방안이 제안되었는데, 이는 인가된 교류자기장의 주파수가 기록매체 자화의 공진주파수에 근접하여 원래 $H_{k,\text{eff}}$ 보다 낮은 자기장에서 자화반전이 일어나는 원리를 이용한 것이다. 즉, 직류전류에 교류전류를 주입하여 임계 전류밀도를 감소시킬 수 있는 것이다. 하지만, 변조 자기장 또는 교류전류를 추가로 제공하기 위해 추가적인 관련소자가 필요하며, 결과적으로 전체 소자판점에서 자화 반전에 필요한 전류가 효과적으로 감소하지 않으며, 이는 전력 소모 관점에서 큰 이득이 없다.

발명의 내용

해결하려는 과제

[0017] 따라서, 본 발명이 해결하고자 하는 기술적 과제는 스픬전달토크를 이용한 자기 메모리 소자에 있어서, 보다 낮은 임계 전류밀도를 가져서 고집적화 구현이 가능한 자기 메모리 소자를 제공하는 것이다.

과제의 해결 수단

[0018] 본 발명은 상기 첫 번째 과제를 달성하기 위하여,

[0019] 고정 자성층, 제1 비자성층, 제1 자유 자성층, 제2 비자성층 및 제2 자유 자성층을 포함하고, 상기 고정 자성층은 고정 자화 방향을 갖고, 막면에 대하여 수직 방향으로 자화되는 물질로 이루어진 박막이며, 상기 제1 자유 자성층은 외부에서 인가되는 전류에 의해서 자화 방향이 변하고, 막면에 대하여 수직 방향으로 자화되는 물질로 이루어진 박막이며, 상기 제2 자유 자성층은 외부에서 인가되는 전류에 의해서 자화 방향이 변하고, 막면에 대하여 수평 방향으로 자화되는 물질로 이루어진 박막이며, 상기 수평 방향으로 자화되는 물질의 포화 자화값이 300-2000 emu/cm³인 것을 특징으로 하는 자기 메모리 소자를 제공한다.

[0020] 본 발명의 일 실시예에 의하면, 상기 고정 자성층은 Fe, Co, Ni, B, Si, Zr, Pt, Pd 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다.

[0021] 본 발명의 일 실시예에 의하면, 상기 고정 자성층은 $(X/Y)_n$ ($n \geq 1$)의 다층박막 구조이고, 상기 X 및 Y는 각각 독립적으로 Fe, Co, Ni, B, Si, Zr, Pt 및 Pd 중에서 선택될 수 있다.

[0022] 본 발명의 일 실시예에 의하면, 상기 고정 자성층은 제1 자성층; 비자성층 및 제2 자성층으로 이루어진 반자성체구조로서, 상기 제1 자성층 및 제2 자성층은 각각 독립적으로 Fe, Co, Ni, B, Si, Zr, Pt, Pd 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있으며, 상기 비자성층은 Ru, Cu 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다.

[0023] 본 발명의 일 실시예에 의하면, 상기 제1 자성층 및 제2 자성층 중 적어도 하나 이상은 $(X/Y)_n$ ($n \geq 1$)의 다층박막 구조이고, 상기 X 및 Y는 각각 독립적으로 Fe, Co, Ni, B, Si, Zr, Pt 및 Pd 중에서 선택될 수 있다.

[0024] 본 발명의 일 실시예에 의하면, 상기 고정 자성층은 반강자성층, 제1 자성층, 비자성층 및 제2 자성층으로 이루-

어진 교환바이어스된 반자성체구조로서, 상기 반강자성층은 Ir, Pt, Mn 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있고, 상기 제1 자성층 및 제2 자성층은 각각 독립적으로 Fe, Co, Ni, B, Si, Zr, Pt, Pd 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있으며, 상기 비자성층은 Ru, Cu 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다.

[0025] 본 발명의 일 실시예에 의하면, 상기 제1 자성층 및 제2 자성층은 중 적어도 하나 이상은 $(X/Y)_n$ ($n \geq 1$)의 다층 박막 구조이고, 상기 X 및 Y는 각각 독립적으로 Fe, Co, Ni, B, Si, Zr, Pt 및 Pd 중에서 선택될 수 있다.

[0026] 본 발명의 일 실시예에 의하면, 상기 제1 자유 자성층은 Fe, Co, Ni, B, Si, Zr, Pt, Pd 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다.

[0027] 본 발명의 일 실시예에 의하면, 상기 제1 자유 자성층은 Fe, Co, Ni, B, Si, Zr, Pt, Pd 및 이들의 혼합물 중에서 선택되는 물질로 이루어진 층 및 $(X/Y)_n$ ($n \geq 1$) 층으로 이루어진 다층박막 구조이고, 상기 X 및 Y는 각각 독립적으로 Fe, Co, Ni, B, Si, Zr, Pt 및 Pd 중에서 선택될 수 있다.

[0028] 본 발명의 일 실시예에 의하면, 상기 제2 자유 자성층은 Fe, Co, Ni, B, Si, Zr 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다.

[0029] 본 발명의 일 실시예에 의하면, 상기 제1 비자성층 및 제2 비자성층은 서로 상이한 물질로 이루어지고, 각각 독립적으로 Ru, Cu, Al, Ta, Au, Ag, AlO_x , MgO , TaO_x , ZrO_x 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다.

[0030] 본 발명의 일 실시예에 의하면, 상기 제1 비자성층 및 제2 비자성층은 상기 고정 자성층, 제1 자유 자성층 및 제2 자유 자성층보다 전기전도도가 높을 수 있다.

[0031] 본 발명의 일 실시예에 의하면, 상기 제1 비자성층 및 제2 비자성층은 상기 고정 자성층, 제1 자유 자성층 및 제2 자유 자성층보다 전기전도도가 낮을 수 있다.

[0032] 또한, 본 발명은 상기 자기 메모리 소자 및 상기 자기 메모리 소자에 전류를 공급하는 상부 전극과 하부 전극을 포함하는 자기 메모리를 제공한다.

발명의 효과

[0033] 본 발명에 따른 새로운 구조의 자기 메모리 소자는 일정한 M_s 값을 가지고, 수평 이방성을 갖는 자유층을 삽입하여, 종래 구조의 자기 메모리 소자에 비해 스위칭 전류가 현저히 감소하여 고집적화 소자의 구현이 가능하고, 자유층의 자화반전 임계 전류밀도를 낮추어 기록시 사용되는 전력을 저감시킬 수 있다.

도면의 간단한 설명

[0034] 도 1은 종래의 스픬전달토크를 이용한 자기 메모리 소자의 구조를 나타낸 단면도이다.

도 2는 본 발명의 일 실시예에 따른 스픬전달토크를 이용한 자기 메모리 소자의 구조를 나타낸 단면도이다.

도 3a는 본 발명의 일 실시예에 따른 시간에 따른 인가된 전류를 나타낸 그래프이다.

도 3b는 본 발명의 일 실시예에 따른 제1 자유 자성층의 시간에 따른 자화 거동을 나타낸 그래프이다.

도 3c는 본 발명의 일 실시예에 따른 제2 자유 자성층의 시간에 따른 자화 거동을 나타낸 그래프이다.

도 3d는 본 발명의 일 실시예에 따른 제2 자유 자성층의 세차운동에 따라 제1 자유 자성층에 발생하는 교류 자기장을 나타낸 그래프이다.

도 4a는 본 발명의 일 실시예에 따른 상기 도 1의 구조와 상기 도 2의 구조에 대해서 인가된 전류에 대한 스위칭 확률을 나타낸 그래프이다.

도 4b는 본 발명의 일 실시예에 따른 상기 도 1의 구조와 상기 도 2의 구조에 대해서 인가된 전류에 대해 스위칭 확률을 전류로 미분한 값을 나타낸 그래프이다.

도 5는 제2 자유 자성층의 포화자화값 및 스픬분극 효율에 대한 자기 메모리 소자의 스위칭 전류를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0035] 이하, 본 발명을 상세하게 설명한다.
- [0036] 본 발명은 자기 메모리 소자에 있어서, 열적 안정성을 유지하면서, 소자의 임계전류밀도를 낮추어 소자의 크기 를 줄여 고집적화 구현이 가능하고 기록시 사용 전력 소모를 감소시킨 것을 특징으로 한다. 본 발명은 자기 메모리 소자의 임계 전류밀도를 감소시키기 위해, 소자 자체적으로 교류 전류 또는 자기장을 유도시켜 실질적으로 임계 전류밀도를 낮추는 새로운 구조인 것이다.
- [0037] 본 발명에 따른 자기 메모리 소자는 고정 자성층(201), 제1 비자성층(202), 제1 자유 자성층(203), 제2 비자성 층(204) 및 제2 자유 자성층(205)을 포함하고, 상기 고정 자성층은 고정 자화 방향을 갖고, 막면에 대하여 수직 방향으로 자화되는 물질로 이루어진 박막이며, 상기 제1 자유 자성층은 외부에서 인가되는 전류에 의해서 자화 방향이 변하고, 막면에 대하여 수직 방향으로 자화되는 물질로 이루어진 박막이며, 상기 제2 자유 자성층은 외부에서 인가되는 전류에 의해서 자화 방향이 변하고, 막면에 대하여 수평 방향으로 자화되는 물질로 이루어진 박막인 것을 특징으로 한다.
- [0038] 즉, 수직 이방성을 갖는 제1 자유 자성층(203)에 수평 이방성을 갖는 제2 자유 자성층(205)을 추가적으로 삽입 하여, 전류를 인가시 스핀전달토크의 효과로 인해 제2 자유 자성층 자화가 회전운동을 하게 되고, 직류전류를 인가하여 면내 자화를 갖는 자유층이 높은 주파수로 회전하게 되고, 그 결과 높은 주파수를 갖는 교류자기장이 자체적으로 발생하게 되어 J_c 를 효과적으로 낮추는 것이 가능하다.
- [0039] 하기 도 2는 본 발명의 일 실시예에 따른 스핀전달토크 자기 메모리 소자의 구조를 나타내는 단면도로서, 본 발명에 따른 소자는 기본적으로 하부 전극, 수직방향의 자화를 갖는 고정 자성층(201), 제1 비자성층(202), 수직 이방성을 갖고 전류에 의해 자화의 방향이 변하는 제1 자유 자성층(203), 제2 비자성층(204), 수평 자화를 갖고 전류에 의해 자화의 방향이 변하는 제2 자유 자성층(205) 및 상부 전극을 포함하는 구조를 갖는다.
- [0040] 제1 자유 자성층(203)은 일반적으로 자화를 수직으로 세우려고 하는 수직 결정 이방성 자계 ($H_{K\perp}=2K_\perp/M_S$)가 자화를 수평으로 눕히려고 하는 형상 이방성 자계 ($H_d=4\pi M_S$)에 비해 현저하게 크기 때문에 자화의 방향이 박막의 수직 방향으로 안정화된다. (즉, $H_{K,\text{eff}} = H_{K\perp} - H_d = H_{K\perp} - 4\pi M_S > 0$)
- [0041] 제2 자유 자성층(205)은 형상 이방성 자계가 자기 이방성 자계에 비해 현저하게 크기 때문에 자화의 방향이 박막의 면내에서 안정화 된다. 따라서, 제1 자유 자성층(203)과 제2 자유 자성층(205)의 자화는 전류를 인가하지 않은 상태에서도 큰 각도를 유지하게 된다.
- [0042] 자화 스위칭을 위해 전류를 인가하게 되면, 제1 자유 자성층(203)은 고정 자성층(201)에 의해 스핀분극된 전자로부터 스핀전달 토크를 받게 된다. 또한, 제1 자유 자성층(203)과 제2 자유 자성층(205)은 제2 비자성층(204)을 사이에 두고 있기 때문에, 제2 자유 자성층(205)은 제1 자유 자성층(203)에 의해 스핀분극된 전자로부터 스핀전달 토크를 받는다. 즉, 자기 메모리 소자에 전압을 인가하게 되면 제2 자유 자성층(205)의 자화는 수직방향에 가까운 스핀전달토크를 받게 되어, 고속 회전하게 된다.
- [0043] 따라서, 고속 회전하는 제2 자유 자성층(205)은 소자에 변조 자기장을 제공하여, 제1 자유 자성층(203)의 J_c 를 효과적으로 낮추는 효과를 얻을 수 있다. 소자의 전체 저항이 낮으면 동일한 인가전압에서 보다 많은 양의 전류가 흐르게 되어, 자화 반전에 필요한 전력을 감소시킬 수 있다. 제1 비자성층(202)과 제2 비자성층(204)은 전기 전도도가 현저히 높은 금속을 사용할 수 있다.
- [0044] 또한, 제1 비자성층(202)과 제2 비자성층(204)은 전기전도도가 현저히 낮은 물질을 사용할 수도 있다. 전기전도도가 현저히 낮은 물질을 사용하면, 동일 전압 하에서 전류는 감소하지만, 전자의 터널링 효과에 의해 자화 회전에 따른 자기저항의 차이가 매우 커지게 되므로 높은 자기 저항비를 얻을 수 있다. 따라서, 제1 비자성층(202)과 제2 비자성층(204) 중 적어도 하나, 또는 둘 다에 전기전도도가 현저히 낮은 물질을 사용할 수 있다.
- [0045] 본 발명에 따른 자기 메모리 소자에서는 높은 전류밀도를 얻기 위하여, 패터닝 기술을 이용하여 가능한 한 작은 크기의 구조를 구현해야 한다. 이때, 면내 자기 형상 이방성이 어느 방향에서도 동일하여 제1 자유 자성층(203) 및 제2 자유 자성층(205)의 자화의 고속 회전이 용이하도록 소자의 단면이 가능한 원에 가까운 것이 바람직하다.

[0046] 이하, 바람직한 실시예를 들어 본 발명을 더욱 상세하게 설명한다. 그러나 이를 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 실험 조건, 물질 종류 등에 의하여 본 발명이 제한되거나 한정되지는 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.

[0047] <실시예>

[0048] 본 발명에 따른 자기 메모리 소자의 효과를 자화의 운동방정식을 이용한 미소자기모델링을 통해서 확인하였다.

[0049] 자화의 운동방정식은 하기 [수학식 3]과 같다.

[0050] [수학식 3]

$$\frac{\partial \mathbf{m}_1}{\partial t} = -\gamma(\mathbf{m}_1 \times \mathbf{H}_1^{\text{eff}}) + \alpha \mathbf{m}_1 \times \frac{\partial \mathbf{m}_1}{\partial t} - \frac{\gamma \hbar \eta_1 j_e}{2eM_{S1}d_1} \mathbf{m}_1 \times (\mathbf{m}_1 \times \mathbf{p}_1), \quad \mathbf{p}_1 = \hat{z}$$

$$\frac{\partial \mathbf{m}_2}{\partial t} = -\gamma(\mathbf{m}_2 \times \mathbf{H}_2^{\text{eff}}) + \alpha \mathbf{m}_2 \times \frac{\partial \mathbf{m}_2}{\partial t} - \frac{\gamma \hbar \eta_2 j_e}{2eM_{S2}d_2} \mathbf{m}_2 \times (\mathbf{m}_2 \times \mathbf{m}_1)$$

[0051]

상기 [수학식 3]에서, \mathbf{m}_1 과 \mathbf{m}_2 는 각각 제1 자유 자성층(203) 및 제2 자유 자성층 (205)의 단위 자화벡터, γ 는 자기회전상수, $\mathbf{H}_1^{\text{eff}}$ 과 $\mathbf{H}_2^{\text{eff}}$ 는 각각 제1 자유 자성층(203) 및 제2 자유 자성층 (205)의 모든 유효 자기장벡터, α 는 Gilbert 감쇠상수이며, $\hbar (=1.05 \times 10^{-34} \text{ J}\cdot\text{s})$ 는 Planck 상수를 2π 로 나눈 값이고, $e (=1.6 \times 10^{-19} \text{ C})$ 는 전자의 전하양, η_1 과 η_2 는 물질 및 전체 구조에 의해 결정되는 제1 자유 자성층(203) 및 제2 자유 자성층(205)에서의 스핀 분극효율 상수, j_e 는 인가 전류밀도, M_{S1} 과 M_{S2} 는 제1 자유 자성층(203) 및 제2 자유 자성층 (205)의 자성체의 포화자화양, d_1 과 d_2 는 각각 제1 자유 자성층(203) 및 제2 자유 자성층(205)의 두께를 나타낸다. \mathbf{p}_1 은 고정 자성층 (201)에서 제1 자유 자성층 (203)으로 입사하는 스핀분극 전류의 스핀방향을 나타내는 단위 벡터이며, 막의 두께 방향인 z-축의 단위 벡터이다.

[0053] 실험예1. 본 발명에 따른 소자에 대해 전류를 인가함에 따라 발생하는 제1 자유 자성층 및 제2 자유 자성층 자화의 시간에 따른 거동

[0054] (1) 하기 도 2와 같이 본 발명의 일 실시예에 따른 자기 메모리 소자에 대해 전류를 인가할 경우 수직 이방성을 갖는 제1 자유 자성층 및 수평 이방성을 갖는 제2 자유 자성층의 자화 거동이 개시된다.

[0055] (2) 소자의 구조와 물성 값은 다음과 같다.

[0056] 전체 구조의 단면적 = 314 nm^2 ,

[0057] 고정 자성층(201)/제1 비자성층(202)/제1 자유 자성층(203): "두께 (t) = 3 nm, 수직 이방성 상수 (K_\perp) = $6 \times 10^6 \text{ erg/cm}^3$, 포화자화값 (M_{S1}) = 1000 emu/cm³, Gilbert 감쇠상수 (α) = 0.01, 스핀분극효율 상수 (η_1) = 1.0"

[0058] 제2 비자성층(204): 두께 (t) = 1 nm

[0059] 제2 자유 자성층(205): "두께 (t) = 1 nm, 수직 이방성 상수 (K_\perp) = 0 erg/cm³, 포화자화값 (M_{S2}) = 700 emu/cm³, Gilbert 감쇠상수 (α) = 0.01, 스핀분극효율 상수 (η_2) = 1.0"

[0060] (3) 하기 도 3a는 시간에 따른 인가된 전류를 도시한 그래프이다. 자화의 스위칭 거동을 살펴보기 위해 rise time이 40 ps이고, 너비가 5 ns인 전류 펄스를 인가하였다.

[0061] 하기 도 3b는 시간에 따른 제1 자유 자성층(203)의 자화 거동을 도시한 그래프이다.

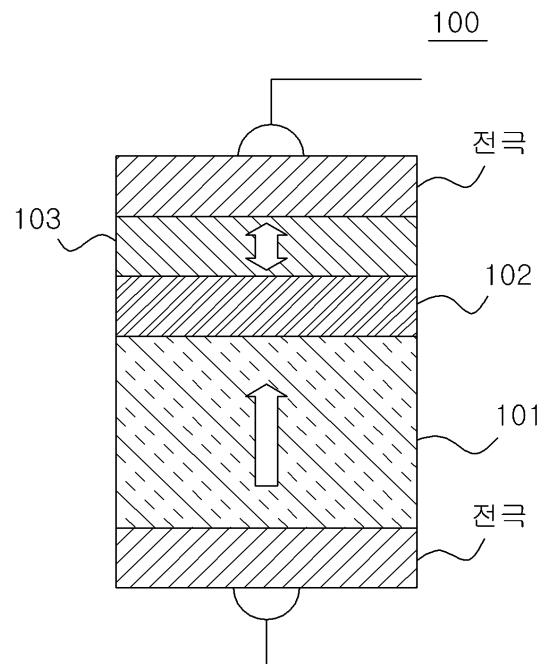
[0062] 하기 도 3b를 참조하면, 막면에 수평방향인 x-성분은 시간에 대해 진동을 하고, $t = 1 \text{ ns}$ 부근에서, z-성분이 $+1000 \text{ emu/cm}^3$ 에서 -1000 emu/cm^3 으로 바뀌는 것을 볼 수 있다. 이는 자화 성분이 인가된 전류에 의해 스위칭이 된 것을 의미한다.

- [0063] 하기 도 3c는 시간에 따른 제2 자유 자성층(205)의 자화 거동을 도시한 그래프이다.
- [0064] 하기 도 3c를 참조하면, 제2 자유 자성층(205)은 자화가 면내 성분 (= x 축 성분)이 수직성분 (= z 축 성분)에 비해 매우 크며, 제1 자유 자성층(203)의 자화와 같은 주기로 시간에 대해 진동하는 거동을 보여준다. 이러한 제2 자유 자성층(205)의 시간에 따른 진동, 즉 세차운동은, 전체 구조에 전류를 인가하였을 때, 수직방향으로 자화되어있는 제1 자유 자성층(203)에 의한 스핀분극된 수직방향 스핀토크에 의해 발생한다.
- [0065] 하기 도 3d는 시간에 따른 제2 자유 자성층(205)의 세차운동에 의해 제1 자유 자성층(203)에 발생하는 교류자기장을 도시한 그래프이다. 이러한 교류자기장은 제2 자유 자성층(205)의 자화가 제1 자유 자성층(203)의 위치에 만들어내는 자기장이며, 이는 제2 자유 자성층(205) 자화의 시간에 따른 세차운동을 하기 때문에 발생한다.
- [0066] 하기 도 3d를 참조하면, x-성분을 갖는 200 0e 정도 크기의 교류 자기장이 본 발명에 따른 자기 메모리 소자 구조에서 자체적으로 발생하는 것을 의미한다. 따라서, 종래의 소자 구조와 달리 본 발명에 따른 소자 구조에서는, 제1 자유 자성층(203)의 자화를 반전시키기 위한 전류밀도를 낮추기 위해, 소자 외부에 추가적으로 교류자기장을 만들어내는 장치가 필요하지 않은 것이다.
- [0067] 즉, 제2 자유 자성층(205)은 면내 성분이 큰 세차운동을 하기 때문에, 제1 자유 자성층에 유도된 교류 자기장은 x-성분이 z-성분에 비해 매우 크게 나타난다. 결과적으로 유도 자기장은 제1 자유 자성층(203)의 자화 용이축(z-축)의 이방성 에너지를 감소시켜, 제1 자유 자성층(203)의 자화 스위칭을 용이하게 한다.
- [0068] 실험예 2. 종래 구조에 따른 소자 및 본 발명에 따른 소자에 대해 인가된 전류에 대한 스위칭 확률 측정
- [0069] (1) 하기 도 1의 종래 구조와 하기 도 2에 개시된 본 발명에 따른 새로운 구조의 소자에 대해 스위칭 전류를 개시한다.
- [0070] (2) 소자의 구조와 물성 값은 다음과 같다.
- [0071] 전체 구조의 단면적은 두 구조에서 동일하게 314 nm^2 이다.
- [0072] 하기 도 1의 종래 구조는 고정 자성층(101)/비자성층(102)/자유 자성층(103): "두께 (t) = 3 nm, 수직 이방성 상수 (K_{\perp}) = $6 \times 10^6 \text{ erg/cm}^3$, 포화자화값 (M_{S1}) = 1000 emu/cm³, Gilbert 감쇠상수 (α) = 0.01, 스핀분극효율 상수 (η_1) = 1.0"
- [0073] 하기 도 2의 본 발명에 따른 새로운 구조의 물성값은 다음과 같다.
- [0074] 고정 자성층(201)/제1 비자성층(202)/제1 자유 자성층(203): "두께 (t) = 3 nm, 수직 이방성 상수 (K_{\perp}) = $6 \times 10^6 \text{ erg/cm}^3$, 포화자화값 (M_{S1}) = 1000 emu/cm³, Gilbert 감쇠상수 (α) = 0.01, 스핀분극효율 상수 (η_1) = 1.0"
- [0075] 제2 비자성층(204): 두께 $t=1 \text{ nm}$
- [0076] 제2 자유 자성층(205): "두께 (t) = 1 nm, 수직 이방성 상수 (K_{\perp}) = 0 erg/cm³, 포화자화값 (M_{S2}) = 700 emu/cm³, Gilbert 감쇠상수 (α) = 0.01, 스핀분극효율 상수 (η_2) = 1.0"
- [0077] 종래 구조와 본 발명에 따른 새로운 구조에서 공통적으로 포함된 고정 자성층, 제1 비자성층(비자성층) 및 자유 자성층(제1 자유 자성층)는 동일한 구조 및 물성 값을 갖는다.
- [0078] (3) 본 실험예에서 고려한 소자의 온도는 300 K이며, 각각의 인가 전류에서 100 회의 실험을 반복하여 자화가 스위칭이 될 확률을 측정하였다.
- [0079] 하기 도 4a는 본 발명에 따른 새로운 구조(도 2)와 종래 구조(도 1)에 대해 인가된 전류에 따른 스위칭 확률 (P_{SW})을 도시한 그래프이다.
- [0080] 하기 도 4a를 참조하면, 스위칭 전류는 스위칭 확률(P_{SW})이 0.5인 전류로 정의되는데, 새로운 구조에서는 스위칭 전류가 $7.9 \mu\text{A}$ 이고, 기존 구조에서는 $17.6 \mu\text{A}$ 이었다. 즉, 스위칭 전류가 약 55% 정도 감소한 것을 의미한다.
- [0081] 하기 도 4b는 하기 도 4a에 도시된 스위칭 확률을 전류로 미분한 값을 도시한 그래프이다.

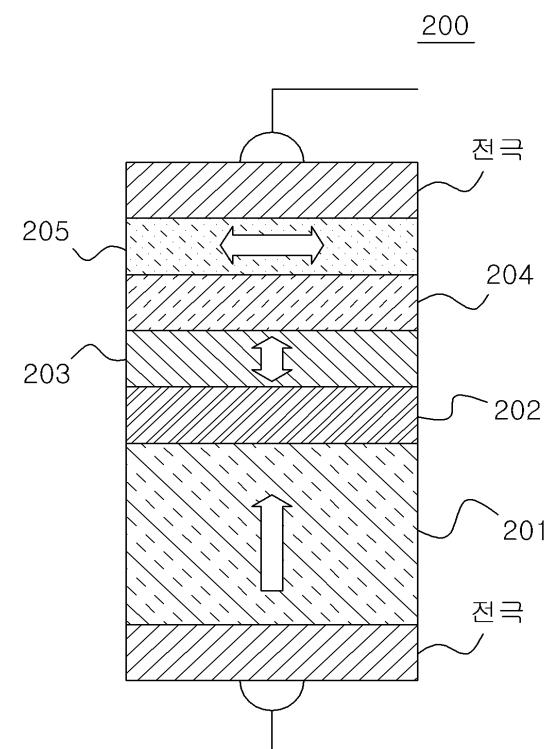
- [0082] 하기 도 4b를 참조하면, 일반적인 확률 분포에서 Q-인자는 피크의 x-축 값을 y-축 값이 0.5인 지점(FWHM, full width half maximum)에서 분포 함수의 폭으로 나눈 값이며, 본 실현 예에서는 $I_c/\Delta I$ 로 정의된다. 본 발명에 따른 하기 도 2의 새로운 구조의 경우 Q-인자는 13.5이고, 도 1의 종래 구조는 3.6을 나타낸다.
- [0083] 즉, 본 발명에 따른 자기 메모리 소자 구조의 높은 Q-인자는 스위칭 확률 분포가 작은 것을 의미하며, 이는 자화상태를 바꾸기 위해 인가하여야 하는 전류의 분산이 작다는 것을 의미하는 것으로서, 본 발명에 따른 자기 메모리 소자 구조가 상용화 관점에서 매우 우수함을 알 수 있다.
- [0084] 실험예 3. 본 발명에 따른 소자에 대한 제2 자유 자성층(205)의 포화자화값에 따른 스위칭 전류 측정
- [0085] (1) 본 발명에 따른 새로운 구조에서 제2 자유 자성층(205)의 포화자화값 (M_{S2})에 따른 스위칭 전류의 변화를 개시한다.
- [0086] (2) 소자의 구조와 물성 값은 다음과 같다.
- [0087] 전체 구조의 단면적=314 nm²
- [0088] 고정 자성층(201)/제1 비자성층(202)/제1 자유 자성층(203): "두께 (t) = 3 nm, 수직 이방성 상수 (K_\perp) = 6 × 10⁶ erg/cm³, 포화자화값 (M_{S1}) = 1000 emu/cm³, Gilbert 감쇠상수 (α) = 0.01, 스픈분극효율 상수 (n_1) = 1.0"
- [0089] 제2 비자성층(204): 두께 t=1 nm
- [0090] 제2 자유자성층(205): "두께 (t) = 1 nm, 수직 이방성 상수 (K_\perp) = 0 erg/cm³, 포화자화값 (M_{S2}) = 0-2000 emu/cm³, Gilbert 감쇠상수(α) = 0.01, 스픈분극효율 상수 (n_2)=0-1.0"
- [0091] 본 실험예에서 고려한 소자의 온도는 300 K이고, 스위칭 전류는 상기 실험예 2와 같이, 각각의 인가 전류에서 실험을 100 회 실시 후 스위칭 확률을 측정하였다.
- [0092] 하기 도 5는 제2 자유 자성층(205)의 포화자화값 및 스픈분극 효율에 대한 스위칭 전류를 도시한 그래프이다.
- [0093] 하기 도 5를 참조하면, 수평 이방성을 갖는 제2 자유 자성층(205)의 포화자화값 (M_{S2})에 따라 스위칭 전류가 변하는 것을 알 수 있다. 여기서, M_{S2} 가 0 emu/cm³인 경우가 수평이방성을 갖는 제2 자유 자성층이 없는 구조, 즉 하기 도 1에 개시된 종래 자기 메모리 소자 구조에 해당한다. 특히, M_{S2} 가 300 emu/cm³ 이상인 경우 제2 자유 자성층(205)의 스픈분극 효율과 무관하게 기존 구조에 비해 스위칭 전류가 감소하는 것을 나타낸다.
- [0094] 이와 같이, 제1 자유 자성층(203)의 스위칭 전류를 감소시키기 위해서는 제2 자유자성층(205)의 유도 교류 자기장이 필요하다. 본 실험예와 같이 제2 자유 자성층(205)의 포화자화값 (M_{S2})이 300 emu/cm³ 이상에서 스위칭 전류 밀도 감소 효과가 나타나는 것을 알 수 있다.
- [0095] 본 발명에 따른 새로운 자기 메모리 소자 구조는 일정 이상의 포화자화값을 갖고 수평 자화를 갖는 제2 자유 자성층(205)을 삽입함으로써, 기존 구조에 비해 스위칭 전류가 효과적으로 감소하였음을 알 수 있다.
- 부호의 설명**
- [0096]
- 100: 종래 자기 메모리 소자의 구조
 - 101: 고정 자성층
 - 102: 비자성층
 - 103: 자유 자성층
 - 200: 본 발명에 따른 자기 모리 소자의 구조
 - 201: 고정 자성층
 - 202: 제1 비자성층
 - 203: 제1 자유 자성층
 - 204: 제2 비자성층
 - 205: 제2 자유 자성층

도면

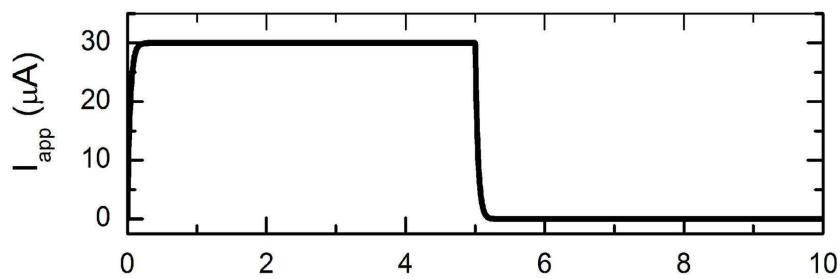
도면1



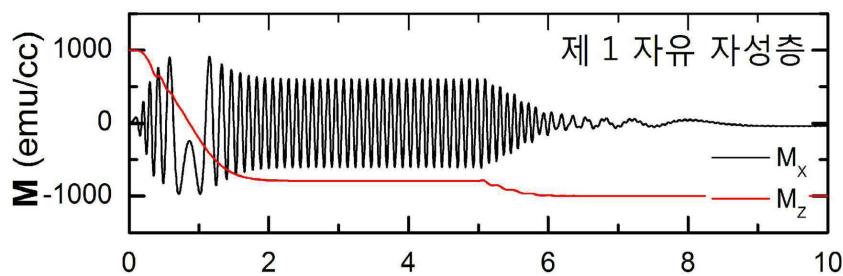
도면2



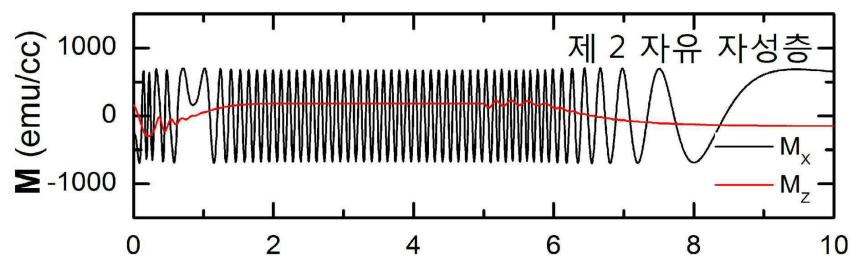
도면3a



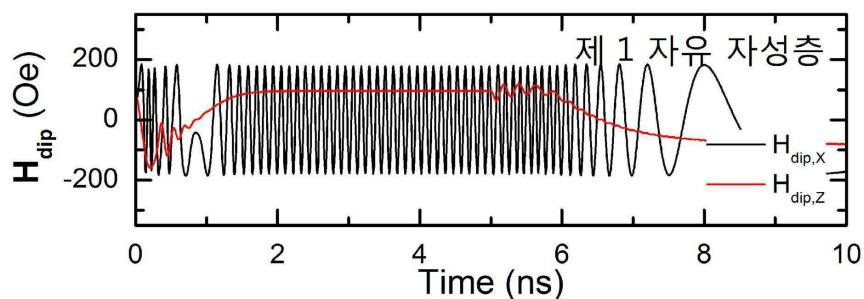
도면3b



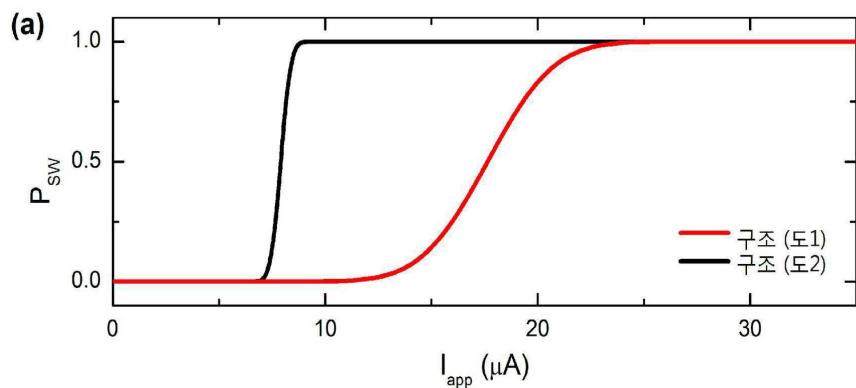
도면3c



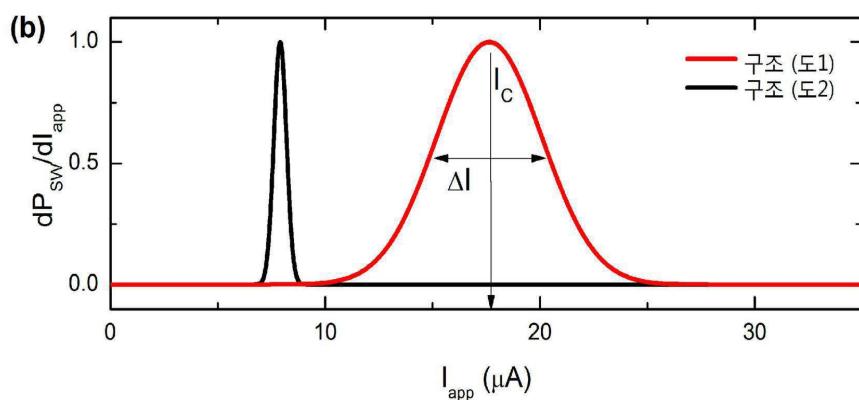
도면3d



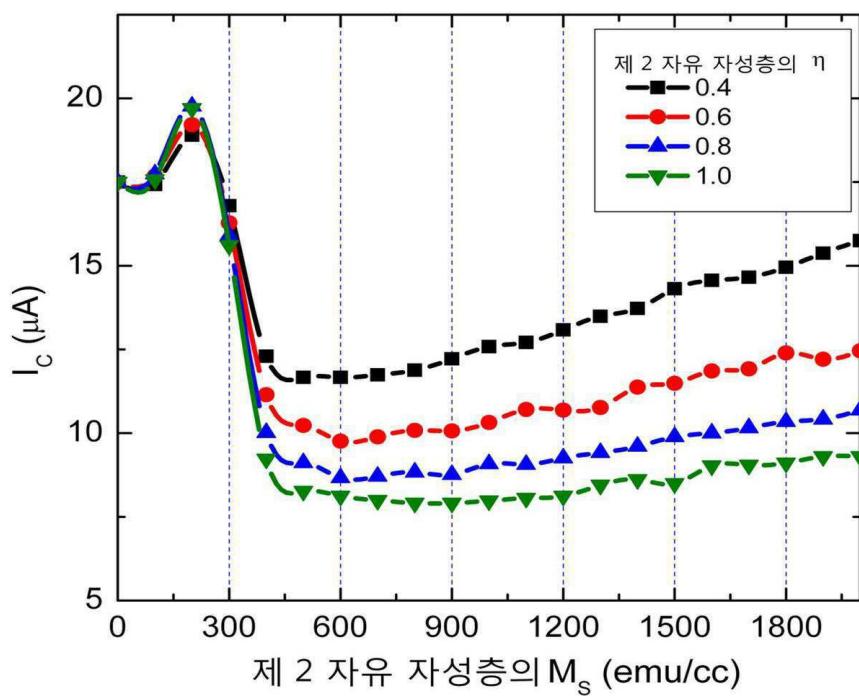
도면4a



도면4b



도면5



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제3항

【변경전】

n?3

【변경후】

$n \geq 3$