(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 6
H01L 21/28

(45) 공고일자 2002년12월18일
(11) 등록번호 10 - 0354578
(24) 등록일자 2002년09월16일

(21) 출원번호 10 - 1994 - 0012702
(22) 출원일자 1994년06월07일

(65) 공개번호 특1995 - 0001909
(43) 공개일자 1995년01월04일

(30) 우선권주장 072,012 1993년06월07일 미국(US)

(73) 특허권자 모토로라 인코포레이티드
미국, 일리노이 60196, 샤움버그, 이스트 앨공퀸 로드 1303

(72) 발명자 파푸디.매니어
미국,텍사스78729,오스틴,올림피아드드라이브12618
레자모아잠미
미국,텍사스78759,오스틴,#433,그레이트힐즈트레일9617
시.죠셉모가브
미국,텍사스78746,오스틴,얼리히로드22

(74) 대리인 이병호

심사관 : 권인희

(54) 환원/산화되는도전성물질을갖는반도체소자와그제조방법

요약

본 발명은 원소 금속과 그 도전성 금속 산화물을 포함하는 층(21, 161, 61, 81, 111, 121, 125, 133, 137)을 갖는 반도체소자를 포함하며, 상기 층은 반도체소자의 인접 영역보다 더 우선적으로 산화되거나 환원될 수 있다. 본 발명은 또한 반도체소자들을 형성하는 공정들을 포함한다. 도핑 영역(11)과 같은 기판 영역들, 실리콘함유층(132), 유전체층들(41, 101, 122, 134), 전극들(135), 배리어층들(141, 144), 접촉과 비어 플러그들(13, 142, 34, 132), 상호 접속부들(145), 및 강유전체 커패시터들은 상기 층들로 형성되거나 형성됨으로써 보호될 수도 있다. 본 발명에 사용될 수도 있는 원소 금속들과 그들의 도전성 금속 산화물들의 예로는 루테늄과 이산화루테늄, 레늄과 이산화레늄, 이리듐과 이산화이리듐, 오스뮴과 사산화오스뮴 등이 있다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도 및 제 2 도는 각각 본 발명의 일 실시예에 따라 접촉 플러그 위에 있는 원소 금속과 그 도전성 금속 산화물을 포함하는 금속 화합물을 갖는 층을 형성하는 여러 공정 단계들에서의 기판의 일부를 도시한 단면도.

제 3 도, 제 5 도 및 제 6 도는 각각 본 발명의 또 다른 실시예에 따라 상호 접속부 위에 있는 원소 금속과 그 도전성 금속 산화물을 포함하는 금속 화합물을 갖는 층을 형성하는 여러 공정 단계들에서의 기판의 일부를 도시한 단면도.

제 4 도 및 제 9 도는 각각 여러 물질들과 그들의 산화 상태들을 보여주기 위해 물질에서의 산소의 부분압(partial pressure)과 물질의 온도의 대수치를 그래프로 도시한 도면.

제 7 도, 제 8 도, 제 10 도 및 제 11 도는 각각 본 발명의 또 다른 실시예에 따라 원소 금속과 그 도전성 금속 산화물을 포함하는, 강유전체 캐패시터용 전극을 형성하는 여러 공정 단계들에서의 기판의 일부를 도시한 단면도.

제 12 도 내지 제 17 도는 각각 본 발명의 또 다른 실시예에 따라 원소 금속과 그 도전성 금속 산화물을 포함하는 층을 설명하기 위하여 기판의 일부를 도시한 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

10 : 기판 11 : 도핑 영역

13 : 실리콘 플러그 21, 161 : 도전층

34 : 접촉 플러그 35 : 하부전극

41 : 강유전체층 141 : 질화티타늄층

142 : 텅스턴층 145 : 상호 접속부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명 분야

본 발명은 반도체소자의 분야에 관한 것으로, 특히, 원소 금속과 그 도전성 금속 산화물의 층을 갖는 반도체소자에 관한 것이다.

발명의 배경

반도체소자들은 층이 산화되거나 환원되면 전기적 특성이 변하는 층을 가질 수도 있다. 기판 영역들, 실리콘 부재들(silicon members), 접촉부, 비어(via)들 및 상호 접속부들(interconnects) 등의 도전성 물질들에 대하여, 일반적으로는 산화가 방지되거나 적어도 최소화된다. 도전성 물질들로 이용되는 종래의 물질들로는 실리콘(단결정, 다결정 또는 비결정질), 금속들 및 금속함유 화합물들을 포함할 수도 있다. 이러한 물질들의 산화물들의 대부분은 절연체들이다. 바람직하지 않게도, 절연성 산화물들의 형성은 전기적인 개방들(electrical opens)을 야기할 수 있다.

어떤 반도체소자들에서는 환원제들(reducing agents)이 문제를 일으키기도 한다. 산화 강유전체 물질들(oxide ferroelectric materials)을 유전체로 사용하는 커패시터들(capacitors)에서, 환원분위기(reducing atmosphere)는 강유전체를 열화시킬 수도 있다. 강유전체는 그 강유전성 특성들을 상실하여 사실상 강유전체 커패시터로서 쓸모 없게 될 수도 있다. 강유전체 커패시터들은 이러한 문제점에 대해 다른 많은 반도체소자보다 더 민감한 것으로 나타난다. 산화 기체들이 전혀없이 질소, 아르곤 또는 헬륨 등의 비교적 불활성 분위기에서 처리하는 것도 여전히 강유전체 커패시터를 열화시킬 수 있다.

강유전체 커패시터들뿐만 아니라, 다른 반도체소자들도 수소 등의 환원제들과 관련된 문제점들을 가질 수도 있다. 수소는 여러 종류들의 전기적으로 프로그램 가능한 판독 전용 메모리들(EPROMs ; electrically programmable read only memories), 특히, 전기적으로 소거가능 EPROMs(EEPOMs)의 열전자 열화(hot electron degradation)를 가속화 할 수도 있다. 게이트 또는 터널 유전체층(tunnel dielectric layer)을 통한 핫 캐리어 이동(hot carrier transport)은 일반적으로 EEPROM이 가질 수 있는 사이클 수를 감소시킨다. 여기서, 한 사이클은 하나의 프로그램 단계와 소거 단계의 결합으로 이루어진다. 또한, 수소는 산소와 반응하여 수분을 형성할 수도 있다. EPROM에 수분이 존재하면 일반적으로 데이터 보존상의 문제들을 일으킨다.

발명의 개요

본 발명은 주면(primary surface), 제 1 영역 및 제 1 층을 갖는 기판을 포함하는 반도체소자에 관한 것이다. 제 1 영역은 주면에 인접한 기판 내에 배치되거나 기판 위에 배치된다. 제 1 층은 제 1 영역 위에 배치되고, 원소 금속과 그 도전성 금속 산화물을 포함한다. 원소 금속을 산화시키는 반응과 도전성 금속 산화물을 환원시키는 반응은 가역적(reversible)이다. 제 1 층은 제 1 영역보다 더 우선적으로 산화되거나 환원된다. 본 발명은 또한 반도체소자를 형성하는 공정을 포함한다.

본 발명의 또 다른 특징들과 장점들은 첨부된 도면들과 이하 상세한 설명에서 명백해질 것이다.

실시예에 대한 상세한 설명

본 발명은 실례에 의해 설명되고, 첨부된 도면들의 형태에 한정되지 않는다. 도면에서 같은 참조 부호들은 유사한 구성요소들을 나타낸다.

본 발명은 원소 금속과 그 도전성 금속 산화물을 포함하는 물질을 갖는 반도체소자를 포함하는데, 여기서 상기 물질은 반도체소자의 인접영역보다 더 우선적으로 산화되거나 환원될 수 있다. 이 물질은 인접영역이 바람직하지 않게 산화되거나 환원될 가능성을 줄인다. 이 물질이 사용될 수 있는 적용들에 대해 일반적인 설명이 뒤따른다. 이하 설명된 적용들은 예시적인 것일 뿐이고 제한적인 것은 아니다.

(일반적인 설명)

영역을 산화시키거나 환원시킬 가능성을 줄이기 위해, 그러한 영역에 인접하여 배치되어야 할 물질을 결정하는데 깁스의 자유 에너지 변화이론(Gibbs free energy changes)이 사용된다. 예를 들어, 인접 영역이 환원되지 않는다면, 그 물질은 인접 영역에 비해 더 쉽게 환원되어야 하고, 인접 영역이 산화되지 않는다면, 그 물질은 인접 영역에 비해 더 쉽게 산화되어야 한다. 산화 상태의 변화가 물질의 전기적 특성들을 변화시키기 때문에, 많은 물질들이 본 발명에 이용될 수 있는 것은 아니다. 예를 들어, 티타늄(titanium)은 도전체이며, 산화되어 산화티타늄(TiOx : 여기서 x는 2 이하임)을 형성한다. 일산화티타늄(TiO)은 반도체이며, 이 산화티타늄(TiO_2)은 절연체이다. 그러므로, 티타늄 물질은 도전체로부터 반도체나 절연체로 변하거나 또는 그 역으로 변할 수도 있다. 이러한 변화들은 일반적으로 반도체소자 내에 원하지 않는 전기적 특성들을 야기한다. 도전체로부터 반도체나 절연체로 또는 그 역으로의 변형을 피하기 위하여, 그의 산화된 형태 및 환원된 형태 모두에서 물질은 모두 도전체들이 되거나, 모두 반도체들이 되거나, 모두 절연체들이 되어야 한다.

본 발명에 이용될 수 있는 물질의 범주로는 도전성 금속 산화물들을 형성할 수 있는 물질들이 있다. 루테늄(Ru ; Ruthenium), 레늄(Re ; rhenium), 이리듐(Ir; iridium) 및 오스뮴(Os ; osmium)은 도전성이 있으며, 이들은 산화되어, 각각 이산화루테늄(RuO_2), 이산화레늄(RuO_2)나 삼산화레늄(ReO_3), 이산화이리듐(IrO_2) 및 사산화오스뮴(OsO_4)을 형성할 수 있다. 이들은 또한 도전성이 있다. 다음은 루테늄의 반응을 나타낸 것이다.

$Ru + O_2 \leftrightarrow RuO_2$

양방향 화살표는 반응이 가역적임을 나타낸다. 루테늄은 산화되어 이산화루테늄을 형성할 수 있고 이산화루테늄은 환원되어 루테늄과 산소를 형성할 수 있다.

본 발명은 금속과 그 도전성 금속 산화물의 혼합물을 필요로 한다. 상기 혼합물은 단지 금속만을 갖거나 단지 도전성 금속 산화물만을 갖는 경우와 비교할 때 반응들이 보다 자유로이 가역적으로 될 수 있게 한다. 이 두 가지가 모두 존재하지 않으면, 혼합물을 형성하기 위해서 더 많은 에너지(extra energy)와 보다 중요하게는 더 긴 시간을 필요로 한다. 혼합물이 우선적으로 환원되어야 한다면, 인접영역을 환원시킬 가능성을 줄이기 위해 혼합물은 RuO_2와 같은 충분한 양의 도전성 금속 산화물을 가져야 한다. 혼합물이 우선적으로 산화되어야 한다면, 인접층을 산화시킬 가능성을 줄이기 위해 혼합물은 Ru와 같은 충분한 양의 금속을 가져야 한다. 본 발명은 기판 영역들, 실리콘 부재들, 접촉부와 비어 플러그(via plug)들, 강유전체 커패시터들, 및 상호 접속부들을 포함하는 다양한 응용들에서 이용될 수도 있다. 이후 사용되는 바와 같이, " 원소 금속" 이라는 용어는 Ru, Re, Ir, Os, Pb, Cu 등과 같은 단일 원자의 금속 물질을 뜻한다. 어떤 원소 금속은 RuO_2, ReO_2, ReO_3, IrO,$_2$ OsO_4 등의 도전성 금속 산화물들을 갖는다. 어떤 적용들에 대한 설명은 다음과 같다.

(접촉과 비어 플러그들 및 상호 접속부들)

본 발명은 반도체소자 내의 접촉 또는 비어 플러그들의 일부로서 또는 그와 함께 사용될 수도 있다. 상기 플러그는 아래에 있는 층이 산화되거나 환원될 가능성을 줄이는데 사용될 수도 있다. 제 1 도는 기판(10), 그 기판(10)내의 도핑영역(11), 패턴화된 산화물층(12) 및 실리콘 플러그(13)를 갖는 반도체소자의 일부를 도시한 단면도이다. 기판이 산화된다면, 실리콘 플러그(13)의 일부분이 이산화실리콘층을 형성할 것이다. 플러그(13) 위에 상호 접속부가 형성되기 전에, 상기 이산화실리콘층은 제거되어야 한다. 이산화실리콘층이 제거되면 또한 패턴화된 산화물층(12)의 일부도 제거될 수 있다. 그러므로, 산화 단계 전에 실리콘 플러그(13)를 보호하는 것이 유리하다.

제 2 도에 도시된 바와 같이, 산화물층(12) 위에 도전층(21)이 형성되어 실리콘 플러그(13) 위에 보호캡(protective cap)을 형성하도록 패턴화된다. 도전층(21)은 원소 금속과 그 도전성 금속 산화물의 혼합물을 포함한다. 도전층(21)은 원소 금속과 도전성 금속 산화물의 혼합물을 갖는 타깃(target)을 이용하여 스퍼터 침착법(sputter depositing)에 의해 형성될 수도 있다. 도전층이 Ru와 RuO_2를 포함하면, 스퍼터 타깃에 있는 모든 루테늄 원자의 약 5 내지 95%는 Ru이고 그 타깃에 있는 루테늄 원자의 나머지는 RuO_2가 된다. 이 경우, 스퍼터 타깃과 도전층(21)은 유사한 조성들을 갖는다. 도전층(21)은 또 다른 방법들을 사용하여 형성될 수도 있다. 예를 들면, Ru 타깃과 산소함유 플라즈마를 사용하는 반응 이온 스퍼터링법(reactive ion sputtering)이 도전층(21)을 침착하는데 이용될 수 있다. 그 외에도, 스퍼터 침착 또는 화학적 증착(chemical vapor deposition)에 의해 Ru층이 형성될 수 있고, 이어서 Ru의 일부만이 산화되어 RuO_2로 변화될 수 있다. 또 다른 실시예에서는, Ru층과 RuO_2층이 순차적으로 침착될 수도 있다. Ru 및 RuO_2의 추가적인 층들이 침착될 수도 있다. 도전층(21)을 형성하는데 이용된 방법과 관계없이 도전층(21)내에 존재하는 모든 루테늄 원자의 약 5 내지 95%가 Ru이고 도전층(21)내의 루테늄 원자의 나머지는 RuO_2가 된다. 또 다른 실시예들에서, 도전층(21)은 Re와 이것의 어떤 산화물들, Ir과 IrO_2, Os와 OsO_4 등을 포함할 수도 있다. 본 명세서에서 사용된 바와 같이, " Re와 이것의 어떤 산화물" 이라는 용어는 Re와 ReO_2, Re와 ReO_3, 또는 Re와 ReO_2와 ReO_3를 포함한다.

도전층(21) 위에 차폐층(masking layer, 도시 안됨)이 형성되고, 종래의 리소그래픽 기술(lithographic technique)을 사용하여 패턴화된다. 도전층(21)은 도전층(21)의 노출부들을 이온 평삭(ion milling)함으로써 또는 도전층(21)의 노출부들을 플라즈마 에칭(plasma etching)함으로써 패턴화된다. 도전층(21)이 Ru와 RuO_2를 포함하면, 플라즈마 에칭 화학(plasma etching chemistry)은 산소, 또는 사불화탄소(CF_4; tetrafluoride) 등의 불소함유 화합물들을 포함할 수도 있다. 다른 물질들이 사용된다면, 또 다른 에칭 화학들이 사용될 수도 있다. 패턴화 단계 이후, 차폐층(도시 안됨)이 제거된다.

제 2 도에 도시된 바와 같이, 도전층(21)은 실리콘 플러그(13)를 덮는다. 도전층(21)은 이후의 산화 단계동안 실리콘 플러그(13)가 산화될 가능성을 줄인다. 도전층(21)에 있는 Ru는 산화되어 RuO_2를 형성할 수도 있다. 실리콘 플러그(13)가 도전층(21) 아래에서 산화되도록 하기 위해서는, 산소는 도전층(21) 내의 Ru와 반응하기 전에 도전층(21)을 통과하여 이동하여야 한다. 또한 Ru가 산화될지라도 도전층(21)은 계속 도전성을 갖는다. 도전체인 티타늄은 산화되어 절연체인 이산화티타늄이 되기 때문에, 티타늄층은 도전층(21) 대신에 이용될 수 없다. 또 다른 실시예들에서, 상기 플러그(13)는 실리콘 대신에 금속과 그 도전성 금속 산화물을 포함할 수도 있다. 이러한 방법에서, 기판(10) 및 도핑 영역(11)의 산화가 보다 양호하게 방지될 수 있고, 플러그(13)를 통하여 전기 접속들이 유지될 수도 있다.

접촉과 비어 플러그들은 모두 본 발명을 사용하여 형성될 수도 있다. 예를 들어, 제 1 도에 도시된 플러그(13)는 플러그(13)에 인접한 기판내의 영역을 산화시킬 가능성을 줄일 수 있는 Ru와 RuO_2를 포함할 수도 있다. 유사하게, 플러그(13)는 산화를 방지하기 위해 게이트 전극가 같은 실리콘 부재와 접촉할 수도 있다. 플러그(13)가 Ru와 RuO_2를 포함한다면, 제 2 도에 도시된 도전층(21)은 필요하지 않게 된다. 기판내의 영역들로의 수소 이동이 우려되면, 플러그(13) 내의 모든 루테늄의 약 5 내지 95 원자%는 RuO_2여야 한다.

상호 접속부에 대한 본 발명의 적용은 접촉 또는 비어 플러그들에 대한 적용과 유사하다. 제 3 도는 집적회로의 일부를 도시한 단면도이며, 상기 집적회로는 반도체기판(10), 상기 기판(10)내의 도핑 영역(11), 접촉구(contact opening)를 갖는 제 1 절연층(12), 질화티타늄층(141)을 포함하는 접촉구 내부에 있는 접촉 플러그 및 텅스텐층(142)을 포함한다. 제 2 절연층(143)은 제 1 절연층(12)과 접촉 플러그 위에 배치된다. 제 2 절연층(143)은 상호 접속용 채널을 포함한다. 제 2 절연층(143) 위와 상호 접속용 채널 내부에는 몰리브덴층(144)과 구리층(145)이 집작된다. 기판이 화학적 및 기계적으로 연마(polishing)되어 상호접속용 채널의 밖에 있는 몰리브덴층(144)과 구리층(145)의 일부들을 제거하여 상호 접속부를 형성한다. 이러한 공정까지의 반도체소자의 형성은 종래의 방법들에 의해 행해진다.

구리인 경우의 문제점은 산화될 수도 있다는 것이다. 다음은 여러 가지 구리 화합물들을 형성하는 반응들을 나타낸다.

$$4Cu + 2O_2 \leftrightarrow 2Cu_2O + O_2 \leftrightarrow 4CuO$$

제 4 도는 구리 화합물들의 환원/산화에 대한 산소 부분압의 대수(logarithm)와 온도 관계를 나타내는 그래프이다. 그래프에서 Y 축은 산소이 부분압의 대수(Log pO_2)이며, 여기서 압력은 기압의 단위이다. 그래프는 3개의 곡선들을 갖는데, 그 중 2개는 구리 화합물들에 관한 것이다. 가장 위에 있는 곡선의 좌상부분(upper left-hand part)에서, 반응조건들은 CuO의 형성에 적합하다. 가장 위에 있는 곡선과 중간에 있는 곡선 사이의 영역에서, 반응조건들은 Cu_2O의 형성에 적합하다. 중간에 있는 곡선의 우하측(lower right-hand side)에서, 반응조건들은 Cu의 형성에 적합하다. 온도 및 산소 부분압이 정해진 경우에, 어떤 생성물(Cu, Cu_2O 또는 CuO)이 형성될 것인지를 예측할 수 있다. 예를 들어, 온도가 약 400 °K이고, Log pO_2가 약 -60 이면, Cu가 형성될 것이다. 유사하게, 약 400 °K와 약 -20의 Log pO_2인 경우에, CuO 가 형성될 것이다. 더 높은 온도에서는, Cu를 산화시키는데 더 높은 산소부분압이 필요하다는 것을 상기 곡선은 나타낸다.

본 발명의 발명자들은 Cu보다 더 쉽게 산화되는 물질을 배치함으로써 Cu가 Cu_2O 또는 CuO로 산화될 가능성을 줄일 것이라고 생각한다. 제 4 도에서 가장 아래에 있는 곡선은 Re와 ReO_2의 경우이다. 이 곡선은 전술된 구리관련 곡선들과 유사하다. ReO_2/ReO_3의 곡선은 제 4 도에 도시되어 있지 않지만, 이 곡선은 Cu_2O/Cu 곡선과 Re/ReO_2곡선 사이에 있을 것이다. 제 4 도는 Cu가 Cu_2O나 CuO로 산화되는 것에 비해 Re는 더 쉽게 ReO_2로 산화된다는 것을 보여준다. 왜냐하면, Re는 주어진 온도에서 Cu에 비해 더 낮은 Log pO_2에서 산화되기 때문이다. Re와 ReO_2는 모두 도전성이 있고, Re와 ReO_2의 층은 상호 접속부(145) 내의 Cu가 산화될 가능성을 줄이기 위해 상호 접속부(145) 위에서 사용될 수도 있다.

제 5 도에 도시된 바와 같이, 몰리브덴층(144)과 구리층(145) 위에 도전층(161)이 형성된다. 도전층(161)은 Re와 ReO_2를 포함하는데, 도전층 내의 모든 레늄원자의 약 5 내지 95 원자%는 Re이고, 도전층 내의 레늄 원자의 나머지는 ReO_2가 된다. 도전층(161)의 형성은 루테늄이 레늄에 의해 대체되는 것을 제외하고는 Ru와 ReO_2에 대해 전술된 침착 방법 및 패턴화 방법을 사용하여 행해질 수도 있다. 제 6 도에 도시된 바와 같이, 도전층(161) 위에 패시베이션층(passivation layer)(171)이 형성되어, 실질적으로 완성된 집적회로를 형성한다. 필요하다면 또 다른 층들 및 전기 접촉부들(도시 안됨)이 형성될 수도 있다.

본 발명은 기판 위에 배치된 실리콘함유층(silicon-containing layer), 상기 기판 위에 배치된 유전체층, 상기 기판 위에 배치된 배리어층 및 상기 기판 위에 배치된 게이트 전극들이나 커패시터 전극들 등의 전극들을 포함하는 반도체소자의 다른 부분들을 산화시키거나 환원시킬 가능성을 줄이는데 사용될 수 있다.

(강유전체 커패시터들)

본 발명은 강유전체 커패시터들을 형성하는 데에 사용될 수도 있다. 제 7 도는 반도체소자의 일부를 도시한 단면도인데, 상기 반도체소자는 반도체 기판(10); 소스/드레인 영역들(source/drain regions)(301), 게이트 유전체층(302) 및 게이트 전극(303)을 갖는 금속 산화물 반도체 트랜지스터(metal-oxide-semiconductor transistor)(30); 제 1 평탄화 절연층(a first planarized insulating layer)(32), 이산화티타늄층(33), 접촉 플러그(34), 및 약 500 내지 2000Å(옹스트롬)의 두께를 갖고 백금(platinum)을 포함하는 하부전극(35)을 포함한다. 이러한 공정까지 반도체소자를 형성하기 위해 종래의 기술이 사용된다. 이 산화티타늄층(33)과 하부전극(35)은 이어서 형성된 강유전체층과 접촉할 것이다. 이산화티타늄층(33)과 하부전극(35)은 다른 물질들로 대체되거나 다른 물질들과 함께 사용될 수도 있지만, 그러한 물질들은 강유전체층과 반응하지 않아야 하며, 또는 그 아래에 있는 실리콘함유층들이 강유전체층과 반응하는 것을 허용하지 않아야 한다. 또한, 이산화티타늄층(33)은 절연체로 작용할 것이다. 또 다른 실시예들에서, 이산화티타늄층(33)은 마그네슘, 지르코늄(zirconium), 탄탈륨 등의 산화물들을 포함할 수도 있다. 하부전극(35)은 도전체로 작용할 것이다. 또 다른 실시예들에서, 하부전극(35)은 팔라듐(palladium), 질화티타늄, 금속들 및/또는 그들의 도전성 금속 산화물들(상기 금속이 도전성 금속 산화물을 형성할 수 있다면) 등을 포함할 수도 있다.

두께가 약 700 내지 2000Å인 패턴화된 강유전체층(41)은 제 8 도에 도시된 바와 같이 하부전극(35) 위에 형성된다. 강유전체층(41)은 지르콘산 티탄산 납(lead zirconate titanate)(PZT)을 포함한다. " 지르코늄(zirconium)" 이라는 용어가 " 지르콘산(zirconate)" 대신에 종종 사용되기도 하지만 이는 같은 물질이다. 강유전체층은 스핀 코팅법(spin coating) 스퍼터 침착법 또는 금속유기 화학적 증착법(metalorganic chemical vapor deposition)에 의해 침착된다. 강유전체층은 약 550 내지 750℃ 범위의 온도와 대기압력에서의 산화분위기(oxidizing ambient)내에서 어닐링된다. 어닐링 시간(annealing time)은 노(furnace)가 이용되는 경우에는 약 5 내지 30분이며, 금속 열처리(thermal processor)가 이용되는 경우에는 약 10 내지 300초이다. 산화분위기는 산소 그 자체만을 포함하거나 질소, 아르곤, 헬륨 등의 비교적 불활성인 기체들과 혼합된 산소를 포함할 수도 있다. 산소가 없는 비교적 불활성인 기체들(질소, 아르곤, 헬륨 등) 등과 같은 비산화분위기(non-oxidizing ambients)와 특히 수소 등의 환원분위기는 강유전체층이 이어서 산화 분위기에서 어닐링되지 않았다면 회피되어야 한다.

강유전체층(41) 위에는 차폐층(도시 안됨)이 형성된다. 강유전체층(41)은 습식 에칭법(wet etching technique) 또는 건식 에칭법에 의해 패턴화된다. 습식 에칭은 수불산(hydrofluoric acid), 질산(nitric acid) 및 과산화수소(hydrogen peroxide)를 포함하는 용액으로 행하여질 수도 있다. 용액은 에칭하는 동안 대략 실온(room temperature)에서 유지된다. 건식 에칭은 플라즈마 에칭이나 이온 평삭을 사용하여 행하여질 수도 있다. 플라즈마 에칭의 경우 에칭 화학(etching chemistry)은 산소, 사불화탄소(CF_4) 등과 같은 불소함유 화합물들, 및 사염화탄소(CCl_4), 염소 분자(Cl_2) 등과 같은 염소함유 화합물들을 포함한다. 패턴화 단계 이후, 차폐층(도시 안됨)이 제거되어, 제 8 도에 도시된 바와 같이 패턴화된 강유전체층(41)이 제공된다.

전술된 바와 같이, 강유전체 커패시터들에서의 한가지 문제점은 그들의 강유전체 특성들을 유지할 수 없다는 것이다. 비록 문제의 원인이 알려지지는 않았지만 강유전체층이 후속 공정 동안 적어도 부분적으로 환원될 가능성이 있다. PZT 내의 물질들 중, 납(lead)이 가장 쉽게 환원된다. 제 9 도는 그래프가 납 원소(Pb)와 산화 납(PbO)에 대한 하나의 곡선과 Ru와 RuO_2에 대한 하나의 곡선을 갖는 것을 제외하고는 제 4 도와 유사하다. 곡선은, 더 높은 온도에서, PbO가 Pb로 환원되는 것을 막기 위해서는 더 높은 산소 부분압이 필요하다는 것을 나타낸다. 제 9 도는 RuO_2가 Ru로 환원되는 것이 PbO가 Pb로 환원되는 것보다 더 쉽다는 것을 도시한다. Ru와 RuO_2는 모두 도전성이 있으며, 모두 PZT와 그다지 반응하지 않는다. 그러므로, Ru와 RuO_2는 강유전체 커패시터를 위한 상부전극으로서 사용될 수도 있다. 유사하게 Re와 그 산화물들 중 어느 하나, Ir과 IrO_2, Os와 OsO_4등이 상부전극으로 사용될 수도 있다. 상부전극은 금속 원소와 그 도전성 금속 산화물 모두를 포함해야 한다.

제 10 도를 보면, 패턴화된 상부전극(61)은 강유전체층(41)의 상측과 외측을 덮도록 형성된다. 상부전극(61)은 Ru와 RuO_2를 포함하는데, 상부전극(61)에서 모든 루테늄 원자의 약 5 내지 95%가 RuO_2이고, 상부전극(61)에서 루테늄 원자의 나머지는 Ru가 된다. 상부전극(61)이 강유전체층(41) 내의 PZT를 보호할 것이기 때문에, 상부전극(61)은 도전층(21, 161)에 비해 더 진한 RuO_2농도를 갖는다. 상부전극(61)은 상부전극(61)의 형성에 대해 전술된 방법들 중 어느 한 방법을 사용하여 약 500 내지 5000Å의 두께를 갖는 층을 스퍼터 침착함으로써 형성된다. 상기 층이 Re와 그 산화물들 중 어느 하나, Ir와 IrO_2, Os와 OsO_4등을 포함하는 경우에 유사한 방법이 사용된다.

Ru와 RuO_2의 층위에 차폐층(도시 안됨)이 형성되고, 종래의 리소그래픽 기술을 사용하여 패턴화된다. Ru와 RuO_2의 층은 상기 층의 노출부를 이온 평삭하거나 플라즈마 에칭함으로써 패턴화된다. 층이 Ru와 RuO_2를 포함하는 경우에, 플라즈마 에칭 화학은 산소나 사불화탄소(CF_4) 등의 불소함유 화합물들을 포함할 수도 있다. 다른 물질들이 이용되는 경우에, 다른 에칭 화학들이 사용될 수도 있다. 패턴화 단계 이후에, 차폐층(도시 안됨)이 제거됨으로써 제 10 도에 도시된 바와 같이 상부전극(61)을 남긴다.

제 10 도에 도시된 바와 같이, 상부전극(61)은 강유전체층(41)의 상측과 외측을 보호한다. 상부전극(61) 내의 RuO_2는 환원되어 Ru를 형성할 수도 있다. 상부전극(61)은 후속 공정 동안 강유전체층(41)이 환원될 가능성을 줄인다. 강유전체층(41)이 환원되기 위해서는 환원제가 RuO_2를 환원시키지 않고 상부전극(61)을 통과하여 이동하여야 한다. 이러한 방법에서, 강유전체층(41)은 환원으로부터 더 양호하게 보호될 수도 있다. 다른 금속들과 그들의 도전성 금속 산화물들은 Ru와 RuO_2의 층과 함께 사용되거나 대체될 수 있다.

제 11 도에 도시된 바와 같이, 실질적으로 완성된 집적회로가 형성된다. 제 2 평탄화된 절연층(71)이 이산화티타늄층(33) 및 상부전극(61) 위에 형성된다. 절연층(71) 내에 개구(opening)가 형성되어 상부전극(61)으로 연장된다. 도전성 플러그는 질화티타늄층(72) 및 텅스텐층(73)을 포함하는 상기 개구 내에 형성된다. 도전성 플러그에는 다른 물질들이 사용될 수도 있지만 Ru와 RuO_2의 산화력과 환원력은 선택을 제한할 수도 있다. 도전성 플러그에 사용되는 물질은 도전성을 유지해야 한다. 질화티타늄 이외에, 상부전극(61)과 접촉하는 층은 티타늄 텅스텐, 텅스텐, 원소 금속들 및 그들의 전도성 금속 산화물들 등을 포함할 수도 있다. 상호 접속부(74)와 패시베이션층(75)은 도전성 플러그와 절연층(71) 위에 형성된다. 필요하다면, 다른 레벨간(interlevel) 절연층과 상호접속층들이 형성될 수도 있다. 게이트 전극(303)과 좌측 소스/드레인 영역(301) 등의 집적회로의 다른 부분들에 대한 전기 접속들이 형성되지만, 제 11 도에는 도시되어 있지 않다.

(보호층 적용들)

본 발명은 보호층의 형성에 이용될 수도 있다. 본 실시예가 강유전체층과 관련하여 설명되었을지라도, 보호층은 반도체소자들의 수와 무관하게 이용될 수도 있다. 질화실리콘은 양호한 수소 배리어(hydrogen barrier)이지만, 질화실리콘은 실리콘과 PZT 물질들 사이의 반응 가능성 때문에, PZT 층과 직접 접촉할 수는 없다. 또한, 선택된 침착 화학(deposition chemistry)에 따라, 질화실리콘층을 형성하는 동안 수소가 생성될 수도 있으며, 이는 강유전체층 내의 산화 화합물들을 환원시킬 수도 있다. 본 응용은 강유전체층이 질화실리콘을 포함하는 보호층들에 의해 실제로 둘러싸여질 수 있는 방법을 제시해 준다. 제 12 도는 원소 이리듐(Ir) 또는 이리듐(Ir)과 산화이리듐(IrO_2)의 혼합물을 포함하는 하부전극(81) 및 제 1 절연층(80)을 포함하는 반도체소자의 일부를 도시한 단면도이다. 하부전극(81)은 금속들과 그들의 도전성 금속 산화물들을 포함하는 전술된 다른 층들과 유사하게 침착되고 패턴화된다. 패턴화된 제 2 절연층(91)은 제 1 절연층(80) 및 하부전극(81)의 일부 위에 형성된다. 제 13 도에 도시된 바와 같이, 질화실리콘층은 침착되고 이방적으로(anisotropically) 에칭되어, 질화물 측벽 스페이서들(nitride sidewall spacers)(92)을 형성한다. 이산화티타늄층도 제 13 도에 도시된 바와 같이 침착되고 이방적으로 에칭되어, 이산화티타늄 스페이서들(93)을 형성한다. 또 다른 실시예에서, 이산화티타늄층은 마그네슘, 지르코늄 또는 탄탈륨 등의 산화물들로 대체되거나 함께 이용될 수도 있다. 선택적으로, 이산화티타늄층은 이방적으로 에칭될 필요가 없지만, 반도체소자의 모든 노출면들을 덮는다. 이러한 선택적인 실시예는 제 13 도에는 도시되어 있지 않다. 스페이서들을 형성하는 동안 수소가 생성될 수 있고, IrO_2가 원래 존재하는 경우에 IrO_2가 환원될 수 있다. 필요하다면, Ir의 일부를 IrO_2로 산화시키기 위해 산화분위기를 이용하는 순간 어닐링(short annealing)이 실행될 수도 있다. 스페이서를 형성한 후, IrO_2는 하부전극(81) 내의 모든 이리듐의 5 내지 96 원자% 사이로 구성되어야 한다.

제 14 도에 도시된 바와 같이, 란탄륨-도핑된 PZT를 포함하는 강유전체층(101)이 형성된다. 강유전체층(101)은 PZT를 포함하는 층들과 함께 전술된 방법들중 한 방법에 의해 침착된다. 강유전체층(101)을 포함하는 기판은 화학 기계적 연마(chemical-mechanical polishing)에 의해 패턴화된다. 절연층(91) 위에 있는 모든 강유전체층(101)이 제거되는 것을 보장하기 위해서, 강유전체층(101)은 수불산, 질산 및 과산화수소를 포함하는 용액을 사용하여 습식 에칭된다. 잔류 강유전체층(101)을 모두 제거하는 것 외에, 습식 에칭단계에서는 또한 개구 내에 있는 강유전체층(101)의 일부도 에칭하여, 강유전체층(101)이 이산화티타늄 스페이서들(93)과 하부전극(81)에만 확실히 접촉하게 한다. 강유전체층(101)을 포함하는 기판은 전술된 강유전체층(41)과 유사한 방식으로 어닐링된다.

제 15 도에 도시된 바와 같이, 원소 오스뮴(Os) 및 사산화오스뮴(OsO_4)을 포함하는 상부전극(111)이 형성된다. OsO_4는 상부전극(111) 내의 전체 오스뮴의 양 5 내지 95 원자%로 구성되고, 상부 전극(111) 내의 오스뮴의 나머지는 Os가 된다. 상부전극(111)은 금속들과 그들의 금속 산화물들을 포함하는 전술된 다른 층들과 유사하게 침착되고 패턴화된다. 다른 층들과 전기 접촉부들을 강유전체 커패시터로 만들어지지만, 도면에는 도시되어 있지 않다.

이 실시예에서, 강유전체층은 금속들과 그들의 도전성 금속 산화물들을 포함하는 전극들(81, 111)을 갖는다. 질화물 스페이서들(92)은 강유전체층(101)의 측면들을 둘러싸지만, 강유전체층(101)과 접촉하지는 않는다. 질화물 스페이서들(92)이 수소 배리어로서 작용해야 하므로, 수소는 상기 측면들을 거쳐 강유전체층(101)과 접촉하지 않아야 한다. 질화물 스페이서들(92)이 강유전체층(101) 보다 먼저 형성되었기 때문에, 질화물 스페이서를 형성하는 동안 생성된

수소에 의해 강유전체층(101)이 환원되지는 않는다. 이산화티타늄 스페이서들(93)은 질화물 스페이서들(92)과 강유전체층(101)을 분리시킨다. 그러므로 질화물 스페이서들(92)내의 실리콘은 강유전체층(101)과 반응하지 않는다. 전극들(81, 111)과 질화실리콘 스페이서들(92)은 강유전체층(101)을 실제로 둘러싸고 있다. 이러한 실시예에서, 강유전체층(101)이 환원될 가능성은 종래의 강유전체 커패시터들에서보다 적다.

제 16 도는 보호된 강유전체층을 갖는 또 다른 실시예를 포함한다. 제 16 도는 산화물층(80)과 제 1 질화실리콘층(82)을 갖는다. Re와 ReO_2를 포함하는 도전층(121)과, PZT를 포함하는 강유전체층(122)은 제 1 질화실리콘층(82) 위에 형성된다. 도전층(121)은 하부전극으로서 작용하고, 도전층(121) 내의 ReO_2는 강유전체층(122)을 환원시킬 가능성을 줄인다. 상기 층들(121, 122)은 이온 평삭을 사용하여 패턴화된다. 이온 평삭(ion milling)은 상기 층들(121, 122)이 서로 일치하도록 상기 층들(121, 122)을 패턴화한다. 이산화티타늄층(123)과 제 2 질화실리콘층(124)은 상기 층들(121, 122)을 포함하는 절연층(80) 위에 형성된다. 상기 층들(123, 124)은 이방적으로 에칭되어 측벽 스페이서들을 형성한다. 측벽 스페이서들을 형성하기 위하여 에칭은 하나 이상의 단계들로 실행될 수도 있다. 질화실리콘의 침착은 강유전체층 내의 PbO를 환원시킬 수도 있는 수소를 생성한다. 스페이서들이 형성된 후에, 강유전체층(122)을 포함하는 기판의 산화분위기에서 어닐링된다. 이러한 어닐링은 전술된 강유전체층(41)에 사용된 어닐링과 유사하다. Ru와 RuO_2를 포함하는 상부전극(125)은 강유전체층(122)가 측벽 스페이서들 위에 형성된다. 상부전극(125) 내의 RuO_2는 강유전체층(122)을 환원할 가능성을 줄인다. 하부전극으로서 작용하는 도전층(121)과 강유전체층(122)은 제 1 질화실리콘층(82), 측벽 스페이서들의 제 2 질화실리콘층(124) 및 상부전극(125)에 의해 실제로 둘러싸인다. 강유전체 커패시터들에 대한 열화(degradation)의 문제들이 하부전극에 관련된 것인지 강유전체층에 관련된 것인지 완전하게 알려지지 않았기 때문에, 이러한 실시예는 하부전극과 강유전체층이 다른 실시예들에서보다 더 조심스럽게 둘러싸여 있으므로 열화의 문제들에 대하여 효율적일 수도 있다.

제 17 도는 환원제들로부터 강유전체 커패시터들을 보호하도록 강유전체 커패시터와 차폐층(shielding)들을 갖은 반도체소자의 일부를 도시한 단면도이다. 기판은 제 1 절연층(130)과 이산화티타늄층(131)을 포함한다. 폴리실리콘 플러그(132)는 커패시터의 제 1 전극을 규정하는 Ru와 RuO_2등의 제 1 도전층(133)으로 덮여있다. 강유전체층(134)은 제 1 도전층(133) 위에 배치되고, 백금층(135)이 강유전체층(134) 위에 배치된다. 백금층(135)은 커패시터에 대한 제 2 전극으로서 작용한다. 강유전체층(134)의 어닐링을 포함하는 이러한 공정까지의 반도체소자의 형성은 종래와 같다. 제 2 절연층(136)은 전극 위에 형성되며, 그 두께는 백금층(135)과 이어서 형성될 차폐층 사이에 용량성 결합(capacitive coupling)이 생긴다하더라도 약간만 있을 정도로 충분히 두껍다. 일반적으로, 제 2 절연층(136)은 적어도 약 5000Å의 두께를 갖는다. 제 2 절연층(136)을 포함하는 기판은 산화분위기에서 어닐링되어, 제 2 절연층(136) 내에 가두어 질 수도 있는 수소의 양을 줄이게 된다.

차폐층들(137, 138)은 제 2 절연층(136) 위에 형성된다. 차폐층(137)은 층(61)과 유사하게 Ru와 RuO_2의 혼합물을 포함한다. 차폐층(138)은 질화실리콘을 포함하며, 스퍼터 침착법이나 플라즈마 강화된 화학적 증착법에 의해 형성된다. 질화실리콘 침착 동안 존재하는 수소의 양과 온도는 층(137) 내의 RuO_2와 Ru의 환원을 최소화하기 위해 상대적으로 낮아야 한다. 층(138)의 침착 후에, 기판은 산화분위기에서 어닐링되어 층(137) 내의 Ru의 일부를 산화시키는 것을 돕고, 층(138) 내에 존재할 수도 있는 모든 핀홀들(pinholes)을 막는다. 수소 등의 환원제의 경우, 강유전체 커패시터를 방해하기 위해서는, 환원제가 층(138)을 통과해야 할뿐만 아니라 층(137) 내의 RuO_2를 Ru로 환원시키지 않고 층(137)을 통과해야 한다. 이러 한 실시예는 양호한 수소 배리어를 예시할 뿐만 아니라, 바람직하다면, 차폐층들이 반도체소자 내에서 전기적으로 관여하지 않아야 한다는 것을 나타낸다.

전술한 명세서에서, 본 발명은 특정한 실시예를 참조로 하여 설명되었다. 그러나, 첨부된 청구범위에 기재된 본 발명의 범위와 정신을 벗어나지 않고 여러변경들 및 변화들이 이루어질 수 있음이 명백할 것이다. 따라서, 본 명세서 및 도면들은 제한적이기보다는 예시적인 것으로 취급되어야 한다.

(57) 청구의 범위

청구항 1.

반도체 기판;

상기 반도체 기판 위에 배치되며, 구리(copper)를 포함하는 상호 접속부; 및

상기 상호 접속부 위에 있는 제 1 층을 포함하고,

상기 제 1 층은 원소 금속 및 그의 도전성 금속 산화물을 포함하는 혼합물을 가지며;

상기 원소 금속은 상기 상호 접속부가 산화되는 것보다 더 우선적으로 산화되어 그의 도전성 금속 산화물이 될 수 있는 반도체소자.

청구항 2.

강유전체층;

상기 강유전체층 위에 있는 전극; 및

상기 전극 위에 있는 차폐층(shielding layer)을 포함하고,

상기 차폐층은 상기 전극으로부터 이격되어 분리되며,

상기 차폐층은 상기 강유전체층의 상부 및 측면들을 둘러싸고,

상기 차폐층은 원소 금속과 그의 도전성 금속 산화물을 포함하는 혼합물을 가지며,

상기 도전성 금속 산화물은 상기 강유전체층이 환원되는 것보다 더 우선적으로 환원되어 상기 원소 금속이 될 수 있는, 강유전체 커패시터.

청구항 3.

강유전체 커패시터를 형성하는 방법에 있어서, 상기 방법은;

강유전체층을 형성하는 단계;

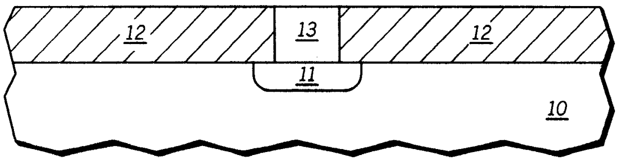
원소 금속 및 그의 도전성 금속 산화물을 포함하는 혼합물을 가지는 도전층을 상기 강유전체층 위에 형서하는 단계; 및

상기 강유전체층 및 도전층들을 환원 분위기에 노출시키는 단계를 포함하며,

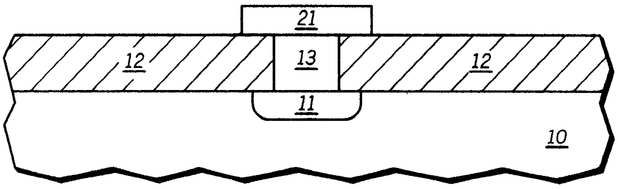
상기 도전성 금속 산화물은 상기 강유전체층이 환원되는 것보다 더 우선적으로 환원되어 상기 원소 금속이 되는 강유전체 커패시터 형성하는 방법.

도면

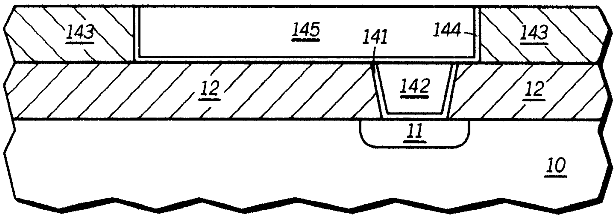
도면 1



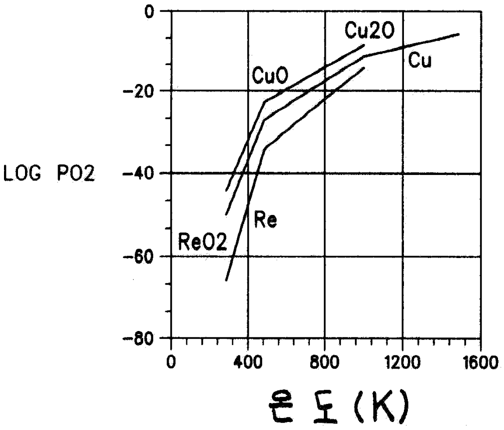
도면 2



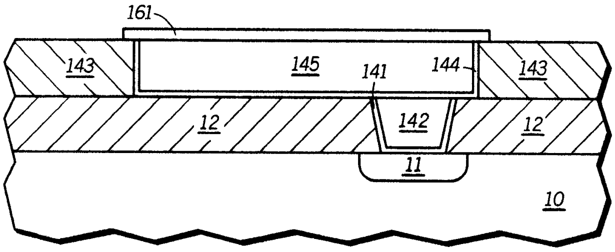
도면 3



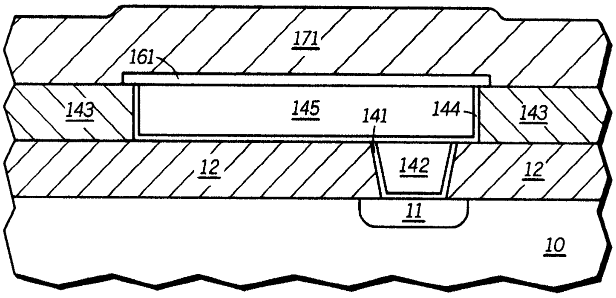
도면 4



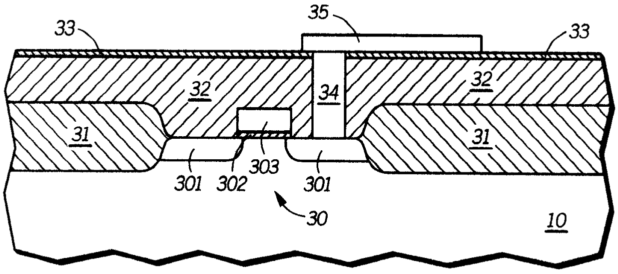
도면 5



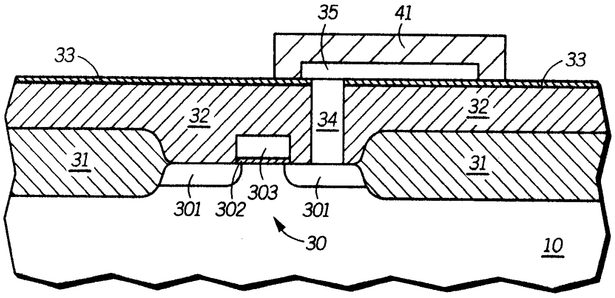
도면 6


171
161
143
145
141
144
143
12
142
12
11
10

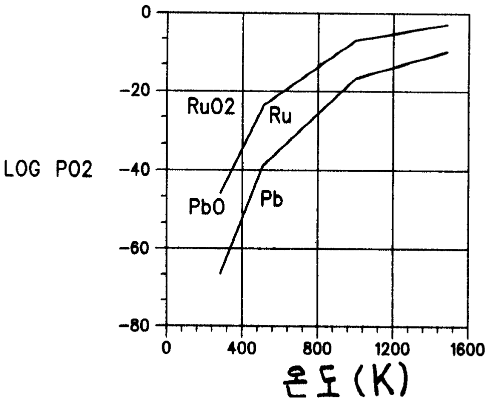
도면 7


35
33
33
32
34
32
31
31
303
301
302
301
30
10

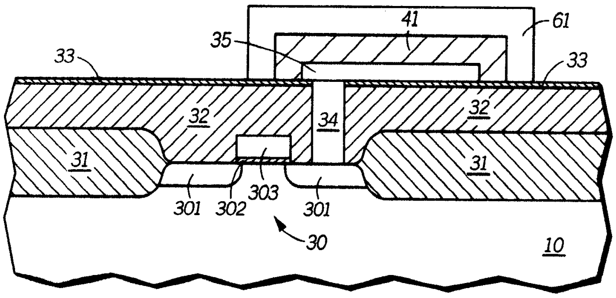
도면 8


35
41
33
33
32
34
32
31
31
303
301
302
301
30
10

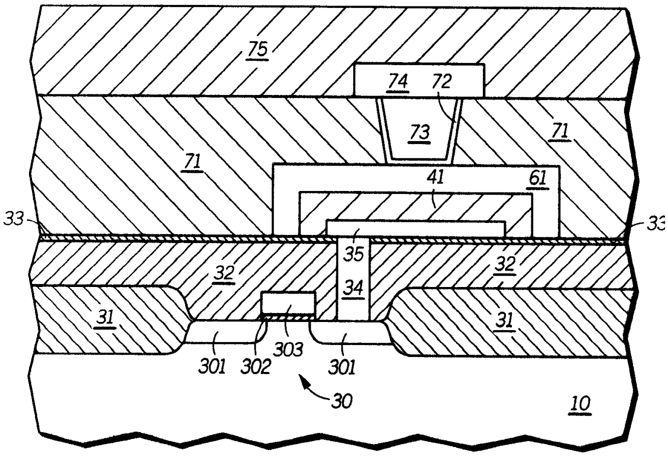
도면 9



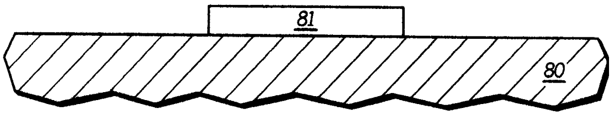
도면 10



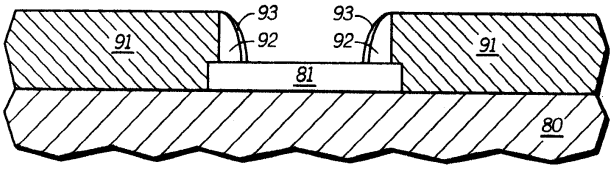
도면 11



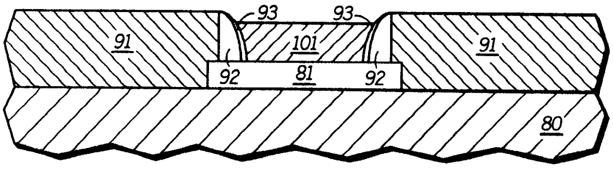
도면 12



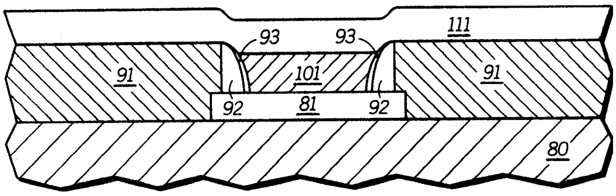
도면 13



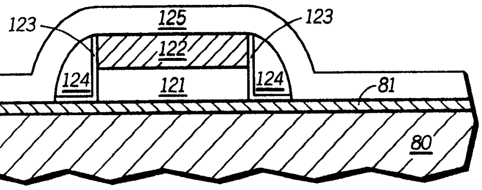
도면 14



도면 15



도면 16



도면 17